

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5822544号
(P5822544)

(45) 発行日 平成27年11月24日 (2015.11.24)

(24) 登録日 平成27年10月16日 (2015.10.16)

(51) Int. Cl.		F I	
HO 4 N	5/225	(2006.01)	HO 4 N 5/225 F
HO 4 N	5/232	(2006.01)	HO 4 N 5/232 Z
HO 4 N	5/341	(2011.01)	HO 4 N 5/335 4 1 O

請求項の数 5 (全 18 頁)

(21) 出願番号	特願2011-128640 (P2011-128640)	(73) 特許権者	000001007
(22) 出願日	平成23年6月8日 (2011.6.8)		キヤノン株式会社
(65) 公開番号	特開2012-257059 (P2012-257059A)		東京都大田区下丸子3丁目30番2号
(43) 公開日	平成24年12月27日 (2012.12.27)	(74) 代理人	100076428
審査請求日	平成26年6月9日 (2014.6.9)		弁理士 大塚 康德
		(74) 代理人	100112508
			弁理士 高柳 司郎
		(74) 代理人	100115071
			弁理士 大塚 康弘
		(74) 代理人	100116894
			弁理士 木村 秀二
		(74) 代理人	100130409
			弁理士 下山 治
		(74) 代理人	100134175
			弁理士 永川 行光

最終頁に続く

(54) 【発明の名称】 撮像装置および撮像システム

(57) 【特許請求の範囲】

【請求項 1】

第1モードと第2モードとを含む複数のモードで動作可能な撮像装置であって、
 複数のタイプの画素を含み、同じタイプの画素には同じ色を透過するカラーフィルタが配されている複数の画素の画素値をデジタルデータとして取得し、2以上のタイプの画素のデジタルデータを含み、各タイプの画素のデジタルデータを2以上含む複数のデジタルデータをI個のMビット・パラレルデータとして並列に出力する撮像部と、

前記I個のMビット・パラレルデータからJ個のMビット・パラレルデータを得る圧縮部と、

前記圧縮部から入力された前記J個のMビット・パラレルデータのビットを入れ替えてL個のPビット・パラレルデータを生成する第1データ変換部と、

前記撮像部から入力された前記I個のMビット・パラレルデータのビットを入れ替えてQ個のPビット・パラレルデータを生成する第2データ変換部と、

前記第1モードにおいて前記第2データ変換部からの前記Pビット・パラレルデータをシリアルデータに変換して複数のポートから出力し、前記第2モードにおいて前記第1データ変換部からの前記Pビット・パラレルデータをシリアルデータに変換して前記複数のポートの一部のポートから出力するPS変換部と、

前記複数のポートから出力されたデジタルデータの伝送形式を変換して信号処理部へ出力する伝送部とを備え、

前記一部のポートはそれぞれ、前記第1モードと前記第2モードとにおいて、同じタイ

10

20

プの画素のデジタルデータのみを出力し、

前記伝送部は、前記複数のポートのそれぞれに対して、該ポートから出力されたデジタルデータの伝送形式を変換する変換回路を備え、

前記一部のポートは第1ポートと第2ポートとを含み、

前記第1ポートに対する変換回路と前記第2ポートに対する変換回路との間に、前記複数のポートのうち前記第2モードにおいて使用されないポートに対する変換回路が配置され、

前記使用されないポートに対する変換回路は前記第2モードの間にオフとなることを特徴とする撮像装置。

【請求項2】

10

前記圧縮部は、同じタイプの複数の画素のデジタルデータから1つのデジタルデータを得ることによって、前記J個のMビット・パラレルデータを得ることを特徴とする請求項1に記載の撮像装置。

【請求項3】

前記変換回路はLVDS回路を含み、

前記変換回路は、前記複数のポートから出力されたデジタルデータをLVDS信号に変換する

ことを特徴とする請求項1又は2に記載の撮像装置。

【請求項4】

前記圧縮部は、複数のデジタルデータの加算、平均化、最大値の取得又は最小値の取得を行うことを特徴とする請求項1乃至3の何れか1項に記載の撮像装置。

20

【請求項5】

請求項1乃至4の何れか1項に記載の撮像装置と、

前記撮像装置から出力された信号を処理する信号処理部と、
を備えることを特徴とする撮像システム。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は撮像装置および撮像システムに関する。

【背景技術】

30

【0002】

従来の撮像装置の1つの課題として消費電力を低減がある。充電式のバッテリーによって駆動される撮像装置ではその消費電力が1回の充電あたりの撮影時間や撮影枚数に影響するためこの課題の重要性が高い。また、別の課題として、固体撮像素子の高画素化や高フレームレート化(高速読み出し化)がある。高速に読み出すために固体撮像素子からの読み出し動作周波数が向上すると消費電力も増加するため、消費電力の低減とフレームレートの向上とは相反する課題である。特許文献1に開示された固体撮像装置では両方の課題に対応すべく、固体撮像素子からの画素値の読み出しを複数のチャンネルに分割して行う。これにより同時に複数画素を読み出すことができるため高速読み出しに対応できる。また動作モードに応じて固体撮像素子からの読み出しチャンネル数を減少させることで消費電力を低減する。

40

【先行技術文献】

【特許文献】

【0003】

【特許文献1】特開2008-283331号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

特許文献1に記載の撮像装置では、動作モードに依存して、各チャンネルから読み出される画素の色が異なる。例えば特許文献1の図10では、1つの行の画素の読み出しにおい

50

て、チャンネル 1 から赤色を表す信号のみが読み出されるモードとチャンネル 1 から赤色を表す信号と緑色を表す信号との両方が読み出されるモードとが混在している。このように動作モードによって 1 つのチャンネルから出力される画素の色が異なると、撮像装置からの信号を処理する信号処理部の動作を動作モードごとに変える必要が生じ、撮像システムの設計が複雑になる。そこで、本発明の 1 つの側面は、複数の動作モードを有する撮像装置からの信号を処理する信号処理部の設計を容易にするための技術を提供することを目的とする。

【課題を解決するための手段】

【0005】

上記課題に鑑みて、第 1 モードと第 2 モードとを含む複数のモードで動作可能な撮像装置であって、複数のタイプの画素を含み、同じタイプの画素には同じ色を透過するカラーフィルタが配されている複数の画素の画素値をデジタルデータとして取得し、2 以上のタイプの画素のデジタルデータを含み、各タイプの画素のデジタルデータを 2 以上含む複数のデジタルデータを I 個の M ビット・パラレルデータとして並列に出力する撮像部と、前記 I 個の M ビット・パラレルデータから J 個の M ビット・パラレルデータを得る圧縮部と、前記圧縮部から入力された前記 J 個の M ビット・パラレルデータのビットを入れ替えて L 個の P ビット・パラレルデータを生成する第 1 データ変換部と、前記撮像部から入力された前記 I 個の M ビット・パラレルデータのビットを入れ替えて Q 個の P ビット・パラレルデータを生成する第 2 データ変換部と、前記第 1 モードにおいて前記第 2 データ変換部からの前記 P ビット・パラレルデータをシリアルデータに変換して複数のポートから出力し、前記第 2 モードにおいて前記第 1 データ変換部からの前記 P ビット・パラレルデータをシリアルデータに変換して前記複数のポートの一部のポートから出力する P S 変換部と、前記複数のポートから出力されたデジタルデータの伝送形式を変換して信号処理部へ出力する伝送部とを備え、前記一部のポートはそれぞれ、前記第 1 モードと前記第 2 モードとにおいて、同じタイプの画素のデジタルデータのみを出力し、前記伝送部は、前記複数のポートのそれぞれに対して、該ポートから出力されたデジタルデータの伝送形式を変換する変換回路を備え、前記一部のポートは第 1 ポートと第 2 ポートとを含み、前記第 1 ポートに対する変換回路と前記第 2 ポートに対する変換回路との間に、前記複数のポートのうち前記第 2 モードにおいて使用されないポートに対する変換回路が配置され、前記使用されないポートに対する変換回路は前記第 2 モードの間にオフとなることを特徴とする撮像装置が提供される。

【発明の効果】

【0006】

上記手段により、複数の動作モードを有する撮像装置からの信号を処理する信号処理部の設計を容易にするための技術が提供される。

【図面の簡単な説明】

【0007】

【図 1】本発明の実施形態の固体撮像装置 100 の全体構成例を説明する図。

【図 2】本発明の実施形態の撮像部 110 の構成例を説明する図。

【図 3】本発明の実施形態の画素の回路構成例を説明する図。

【図 4】本発明の実施形態の撮像部 110 の動作の例を説明する図。

【図 5】本発明の実施形態のラインメモリ部 113 の状態例を説明する図。

【図 6】本発明の実施形態のデータ変換部へ入力されるデジタルデータを説明する図。

【図 7】本発明の実施形態の圧縮部 121 の構成例を説明する図。

【図 8】本発明の実施形態の圧縮部 121 の入出力レートを説明する図。

【図 9 A】本発明の実施形態の第 2 データ変換部 123 における処理の一例を説明する図。

。

【図 9 B】本発明の実施形態の第 2 データ変換部 123 における処理の一例を説明する図。

。

【図 10 A】本発明の実施形態の第 1 データ変換部 122 における処理の一例を説明する

10

20

30

40

50

図。

【図 1 0 B】本発明の実施形態の第 1 データ変換部 1 2 2 における処理の一例を説明する図。

【図 1 1 A】本発明の実施形態の通常モードにおける P S 変換部 1 2 5 の動作の一例を説明する図。

【図 1 1 B】本発明の実施形態の通常モードにおける P S 変換部 1 2 5 の動作の一例を説明する図。

【図 1 1 C】本発明の実施形態の通常モードにおける P S 変換部 1 2 5 の動作の一例を説明する図。

【図 1 1 D】本発明の実施形態の通常モードにおける P S 変換部 1 2 5 の動作の一例を説明する図。

10

【図 1 2 A】本発明の実施形態の圧縮モードにおける P S 変換部 1 2 5 の動作の一例を説明する図。

【図 1 2 B】本発明の実施形態の圧縮モードにおける P S 変換部 1 2 5 の動作の一例を説明する図。

【図 1 3】本発明の実施形態の圧縮モードにおける一部の L V D S 回路のオフを説明する図。

【図 1 4】本発明の実施形態の撮像部 1 4 0 0 の構成例を説明する図。

【図 1 5】本発明の実施形態の圧縮部 1 2 1 の別の構成例を説明する図。

【図 1 6】本発明の実施形態の圧縮部 1 2 1 の入出力レートを示す図。

20

【図 1 7】本発明の実施形態の撮像システム 2 2 0 0 の構成例を説明する図。

【発明を実施するための形態】

【0 0 0 8】

添付の図面を参照しつつ、本発明の様々な実施形態を以下に説明する。図 1 を用いて 1 つの実施形態に係る固体撮像装置 1 0 0 の全体の構成例を説明する。固体撮像装置 1 0 0 は撮像部 1 1 0、変換部 1 2 0、伝送部 1 3 0、制御部 1 4 0 およびタイミング発生部 1 5 0 を備える。撮像部 1 1 0 で得られた各画素の画素値を表すデジタルデータはデータ「in1」～「in8」として変換部 1 2 0 へ出力される。変換部 1 2 0 と伝送部 1 3 0 とは本実施形態では 1 2 本の信号線で接続される。変換部 1 2 0 は撮像部 1 1 0 から出力されたデータを変換して 1 2 個のデータ「s1_p1」～「s4_p1」として伝送部 1 3 0 へ出力する。伝送部 1 3 0 は変換部 1 2 0 から出力されたデータの伝送形式を変換して信号線 1 7 0 へ出力する。タイミング発生部 1 5 0 は撮像部 1 1 0 へ供給されるタイミングを発生する。制御部 1 4 0 は固体撮像装置 1 0 0 全体の動作を制御する。特に、本実施形態の固体撮像装置 1 0 0 は通常モード（第 1 モード）と圧縮モード（第 2 モード）との 2 つのモードで動作可能であり、制御部 1 4 0 は固体撮像装置 1 0 0 が何れのモードで動作するかを制御する。通常モードは撮像部 1 1 0 から出力された画素値を表すデジタルデータをそのまま後続の信号処理部へ出力するモードであり、例えば静止画撮影などの高精細画像撮影時に用いられる。一方、圧縮モードは撮像部 1 1 0 から出力された画素値を表すデジタルデータの複数個を代表する 1 つのデジタルデータを後続の信号処理部へ出力するモードである。この圧縮モードは例えば動画撮影などの高速駆動が必要な場合に用いられる。

30

40

【0 0 0 9】

撮像部 1 1 0 は、画素部 1 1 1、A D（アナログデジタル）変換部 1 1 2 およびラインメモリ部 1 1 3 を備える。画素部 1 1 1 には複数の画素がアレイ状に配列されており、各画素の画素値がアナログデータとして取得される。A D 変換部 1 1 2 は画素部 1 1 1 で取得されたアナログデータをそれぞれデジタルデータに変換する。A D 変換部 1 1 2 から出力されたデジタルデータはラインメモリ部 1 1 3 に格納され、1 クロックあたり 8 画素分のデジタルデータが変換部 1 2 0 へ出力される。本実施形態では 1 つのデジタルデータは 1 2 ビットで構成される。撮像部 1 1 0 と変換部 1 2 0 とを接続するバスは 9 6 ビット（＝1 2 ビット×8 データ）のバス幅を有しており、撮像部 1 1 0 から変換部 1 2 0 へ伝送されるデジタルデータの各ビットは平行に伝送される。

50

【 0 0 1 0 】

変換部 1 2 0 は、圧縮部 1 2 1、第 1 データ変換部 1 2 2、第 2 データ変換部 1 2 3、切替部 1 2 4 および P S (パラレルシリアル) 変換部 1 2 5 を備えうる。圧縮部 1 2 1 は撮像部 1 1 0 が出力したデータ「in1」～「in8」(I 個の M ビット・パラレルデータ)に基づいてデータ「out1」～「out8」(J 個の P ビット・パラレルデータ)を出力する。一部の実施形態において、圧縮部 1 2 1 は画素値を表すデジタルデータを複数個加算して 1 つのデジタルデータを生成する。すなわち、圧縮部 1 2 1 は加算部として機能する。この 1 つのデジタルデータは複数の画素の値を代表する。本実施形態では、それぞれが画素値を表す複数個のデジタルデータを単純に加算して 1 つのデジタルデータを生成しているが、複数個のデジタルデータを処理する方法は加算に限られない。例えば複数個のデジタルデータの平均化を行って平均値を求めてもよいし、最大値や最小値を有するデジタルデータを代表値として取得してもよい。すなわち、複数個のデジタルデータから、複数の画素の値を表す 1 つのデジタルデータを得る処理であればよい。

10

【 0 0 1 1 】

第 1 データ変換部 1 2 2 は、圧縮部 1 2 1 が出力した 8 個のデータ「out1」～「out8」のビット幅を変換して 1 2 個のデータ「dout1_p1」～「dout4_p3」として出力する。本実施形態では、データ「out1」～「out8」はそれぞれ 1 2 ビットであり、データ「dout1_p1」～「dout4_p3」はそれぞれ 8 ビットである。第 2 データ変換部 1 2 3 は、撮像部 1 1 0 が出力した 8 個のデータ「in1」～「in8」のビット幅を変換して 1 2 個のデータ「din1_p1」～「din4_p3」として出力する。本実施形態では、データ「in1」～「in8」はそれぞれ 1 2 ビットであり、データ「din1_p1」～「din4_p3」はそれぞれ 8 ビットである。

20

【 0 0 1 2 】

切替部 1 2 4 は、制御部 1 4 0 からの指示に従って出力を切り替える。具体的には、固体撮像装置 1 0 0 が圧縮モードで動作する場合に、切替部 1 2 4 は第 1 データ変換部 1 2 2 からの出力「dout1_p1」～「dout4_p3」をデータ「d1_p1」～「d4_p3」として出力する。固体撮像装置 1 0 0 が通常モードで動作する場合に、切替部 1 2 4 は第 2 データ変換部 1 2 3 からの出力「din1_p1」～「din4_p3」をデータ「d1_p1」～「d4_p3」として出力する。P S 変換部 1 2 5 は切替部 1 2 4 が出力するパラレルデータ「d1_p1」～「d4_p3」をシリアルデータ「s1_p1」～「s4_p3」に変換して出力する。

30

【 0 0 1 3 】

上記において概要を説明した各構成要素について、以下により詳細に説明する。まず、図 2 を用いて撮像部 1 1 0 の構成をより詳細に説明する。画素部 1 1 1 には光電変換素子を含む画素がアレイ状に配列されており、光電変換素子の上にはカラーフィルタが載せられている。その結果として、画素部 1 1 1 の各画素から、複数の色のうちの何れか 1 色についての画素値が読み出される。図 2 では例としてベイヤー配列のカラーフィルタが用いられ、第 1 行の行に沿った方向に赤(R)、緑(G)のカラーフィルタが繰り返し配置される。そこで、第 1 行の画素を図面の左側から R 1、G 2、...と呼ぶ。図 2 では画素 G 8 までしか示していないが、これ以降も同様に列方向に画素が配置される。第 2 行の行に沿った方向に緑(G)、青(B)のカラーフィルタが繰り返し配置される。そこで、第 2 行の画素を図面の左側から G 1、B 2、...と呼ぶ。第 3 行以降は第 1 行、第 2 行の配列が繰り返される。例えば赤色のカラーフィルタが設けられた画素から得られた信号を、赤の画素値と呼ぶことにする。緑色、青色についても同様である。

40

【 0 0 1 4 】

図 2 に示される構成例では、図面の左側から奇数列に位置する画素のデータが画素部 1 1 1 の上部に配置された A D 変換部 1 1 2 に出力され、偶数列に位置する画素のデータが画素部 1 1 1 の下部に配置された A D 変換部 1 1 2 に出力される。例えば、画素 R 1 からの信号は垂直信号線 2 0 1 を介して列アンプ 2 0 2 へ出力され、列アンプ 2 0 2 で増幅されてアナログデータとして A D 変換器 2 0 3 へ出力される。A D 変換器 2 0 3 は列アンプ 2 0 2 が出力したアナログデータをデジタルデータに変換してラインメモリ 2 1 1 に格納する。同様に、画素 G 2 からの信号は垂直信号線 2 0 4 を介して列アンプ 2 0 5 へ出力さ

50

れ、列アンプ 205 で増幅されてアナログデータとして A/D 変換器 206 へ出力される。A/D 変換器 206 は列アンプ 205 が出力したアナログデータをデジタルデータに変換してラインメモリ 212 に格納する。以降では、特に断らない限り、列の奇数及び偶数は、図の左側から数えるものとする。

【0015】

ラインメモリ部 113 は 8 つのラインメモリ 211 ~ 218 を有し、それぞれ第 1 列 ~ 第 8 列の画素の値を表すデジタルデータを記憶する。第 9 列以降の画素の値を表すデジタルデータについても同様に 8 つのラインメモリ 211 ~ 218 の何れかに記憶される。撮像部 110 は水平走査用アドレス指定部 220 をさらに備える。水平走査用アドレス指定部 220 は、ラインメモリ部 113 に格納された 1 行分の画素のデジタルデータを 8 個

10

【0016】

図 3 を用いて画素部 111 に含まれる画素の回路構成の例を説明する。図 3 は画素部 111 の左上の 4 つの画素 R1、G2、G1、B2 に注目した図である。奇数行に含まれる画素を代表して画素 R1 について説明し、偶数行に含まれる画素を代表して画素 G1 について説明する。画素 R1 は入射光量に応じて電荷を生じる光電変換を行う光電変換素子（フォトダイオード）301 を含む。光電変換素子 301 で光電変換された電荷は、転送 MOS トランジスタ 302 を介してフローティングディフュージョン（FD）（図示せず）に保持される。FD に保持された電荷は FD の寄生容量によって電位に変換され、その FD の電位に応じた信号が増幅 MOS トランジスタ 303 によって増幅される。増幅された

20

【0017】

図 4 に示されるタイミング図を用いて撮像部 110 の動作の一例を説明する。時刻 t1 において垂直走査用アドレス指定部（図 3 に図示せず）によって 1 アドレス目が選択される。1 アドレス目が指定されると、パルスの引数 n が 1 となり、1 行目の画素と 2 行目の画素の値が読み取られる。また、時刻 t1 に図 3 に示された SVD D が、増幅 MOS トランジスタ 303 が増幅器として動作しない基準レベル（例えば接地レベル）から VDD レベルに変更される。時刻 t2 ~ t3 において Pres (1) を Low から High にすることによってリセット MOS トランジスタ 304 を ON し、FD に VDD レベルを書き込む。この 1 アドレス目（1 行目、2 行目）の FD のみを VDD レベルにし、その他の行を基準レベルにすることで、1 アドレス目の増幅 MOS トランジスタ 303 からの出力のみが垂直信号線 201、204 に出力される。

30

【0018】

時刻 t4 ~ t5 において、1 アドレス目の上の行、つまり 1 行目の転送 MOS トランジスタ 302 のゲートに接続されている Ptx1 (1) を ON する。これにより光電変換素子 301 に蓄積された電荷が FD に転送される。また転送された電荷量に応じた信号が増幅 MOS トランジスタ 303 によって電圧値として垂直信号線 13 に読み出され、列アンプ 202 を通じて A/D 変換器 203 へ出力される。時刻 t5 ~ t6 では A/D 変換器 203 において A/D 変換が行なわれる。

40

【0019】

時刻 t6 にて、Pres (1)、Ptx1 (1) が再度 ON となり、光電変換素子 301 がリセットされる。また A/D 変換後の 1 行目のデジタルデータを、水平走査用アドレス指定部 220 によって順次指定することによって第 1 行のデータを読み出す。この読み出しは、2 行目の A/D 変換が終了する時刻 (t12) までに完了すればよい。時刻 t7 ~ t8 では、SVD D を基準レベルにし、Pres (1) を High にすることで光電変換素子

50

301に基準レベルを書き込んでいる。これにより1行目からの画素出力を垂直信号線13、14に出力しないようにする。

【0020】

時刻 t_9 にて再度SVDDをVDDレベルに変更する。またPres(1)をHighにし、時刻 $t_{10} \sim t_{11}$ にて $Ptx2(1)$ をONすることで2行目の画素の値を垂直信号線に出力する。時刻 t_{12} にて光電変換素子311をリセットし、基準レベルを書き込んで、2行目の処理を終了する。時刻 t_{13} 以降では、垂直走査用アドレス指定部にて次の2アドレス目を指定して同様の処理を行う。

【0021】

図5を用いて、1行目の画素の値を表すデジタルデータを記憶したラインメモリ部113の状態を説明する。図5において、参照符号R1は画素そのものを参照するのではなく、画素R1の画素値を表すデジタルデータを参照する。図4のタイミング図を用いて説明したように、時刻 t_6 の時点でラインメモリ部113には1行目の画素の値を表すデジタルデータが記憶されている。前述のように、ラインメモリ部113はラインメモリ211~218を有しており、ラインメモリ211には1列目の画素R1や、9列目の画素R9などを表すデジタルデータが記憶されている。すなわち、ラインメモリ211には、1列目の画素から始めて8列ごとの画素値が記憶されている。その他のラインメモリ212~218についても同様である。前述の通り、各画素値を表すデジタルデータは12ビットで構成される。水平走査用アドレス指定部220は、タイミング発生部150が出力するクロックごとに、各ラインメモリからそれぞれ1個のデジタルデータを出力する。すなわち、1クロックあたり8個のデジタルデータが並列に出力される。例えば、1クロック目ではR1、G2、...、G8を表す8個のデジタルデータが出力される。本実施形態では各ラインメモリから出力されるデジタルデータがパラレルデータである場合を扱うが、シリアルデータであってもよい。また、本実施形態では水平走査用アドレス指定部220は81MHzのレートでデジタルデータを出力する。

【0022】

図6を用いて第1データ変換部122および第2データ変換部123へ入力されるデジタルデータについて説明する。図6(a)は第2データ変換部123へ入力されるデジタルデータについて説明する。図1に示すように、第2データ変換部123へは、撮像部110が出力するデジタルデータ「in1」~「in8」がそのまま入力される。例えば、1クロック目にはR1~G8の画素の値がそれぞれデジタルデータ「in1」~「in8」として第2データ変換部123へ入力される。2クロック目にはR9~G16の画素の値がそれぞれデジタルデータ「in1」~「in8」として第2データ変換部123へ入力される。

【0023】

図6(b)は第1データ変換部122へ入力されるデジタルデータについて説明する。図1に示すように、第1データ変換部122へは、圧縮部121が出力するデジタルデータ「out1」~「out8」が入力される。一部の実施形態では、圧縮部121は3個の隣接する同色画素のデジタルデータを加算して1つのデジタルデータを生成する。例えば、圧縮部121は画素R1、R3、R5の3個のデジタル信号を加算して得られたデジタルデータを「out1」として出力する。本実施形態では、加算後の画素の重心を等ピッチとするために、緑色画素について、画素G2のデジタルデータを使用せず、画素G4から3個ずつ加算する。

【0024】

図7を用いて圧縮部121の構成例を説明する。図に示されるように、3クロック分の入力が各Dフリップフロップに記憶される。そして、圧縮部121は、各Dフリップフロップに記憶されたデジタルデータを3個加算して1個のデジタルデータを生成し出力する。

【0025】

図8を用いて圧縮部121の入出力レートについて説明する。圧縮部121へは1クロックあたり8個のデジタルデータが入力される。圧縮部121では3個のデジタルデータ

10

20

30

40

50

から 1 個のデジタルデータを生成しているため、デジタルデータの個数は 1 / 3 になる。圧縮部 1 2 1 から 1 クロックあたり 8 個のデジタルデータを出力するためには、圧縮部 1 2 1 からの出力レートを圧縮部 1 2 1 への入力レートの 1 / 3 にすればよい。前述の通り、圧縮部 1 2 1 への入力レートは 8 1 M H z であるので、圧縮部 1 2 1 からの出力レートはその 1 / 3 の 2 7 M H z となる。

【 0 0 2 6 】

続いて、図 9 A、図 9 B を用いて第 2 データ変換部 1 2 3 における処理の一例を説明する。前述の通り、第 2 データ変換部 1 2 3 へは、8 1 M H z のレートで 1 クロックあたり 1 2 ビット・パラレルデータが 8 個入力される。そこで、第 1 データ変換部 1 2 2 は入力データのビット幅を 8 ビットに変換して、8 1 M H z のレートで 1 クロックあたり 8 ビット・パラレルデータを 1 2 個出力する。図に示される例では、「in1」として入力された画素 R 1 を表す 1 2 ビット・デジタルデータの各ビットは、4 ビットずつ「din1_p1」～「din1_p3」の上位ビットに振り分けられる。同様に、「in5」として入力された画素 R 5 を表す 1 2 ビット・デジタルデータが 4 ビットずつ「din1_p1」～「din1_p3」の下位ビットに振り分けられる。その結果として、例えば

$\text{din1_p3}[7:0] = \{\text{in1}[11:8], \text{in5}[11:8]\},$

$\text{din1_p2}[7:0] = \{\text{in1}[7:4], \text{in5}[7:4]\},$

$\text{din1_p1}[7:0] = \{\text{in1}[3:0], \text{in5}[3:0]\},$

のように変換される。ここで、例えば in1[11:8] はデータ「in1」の 1 1 ビット目から 8 ビット目までのビット列を表す。また、{ ... } はビット連接を表す。他の 1 2 ビット・デジタルデータの各ビットも同様に図に示すように振り分けられる。一般に、第 2 データ変換部 1 2 3 は I 個の M ビット・パラレルデータのビットを入れ替えて Q 個の P ビット・パラレルデータを生成する。

【 0 0 2 7 】

次に、図 1 0 A、図 1 0 B を用いて第 1 データ変換部 1 2 2 における処理の一例を説明する。前述の通り、第 1 データ変換部 1 2 2 へは、2 7 M H z のレートで 1 クロックあたり 1 2 ビットのパラレルデータが 8 個入力される。そこで、第 1 データ変換部 1 2 2 は入力データのビット幅を 8 ビットに変換する。また、第 1 データ変換部 1 2 2 は、出力レートを 3 倍の 8 1 M H z に変換して、第 2 データ変換部 1 2 3 の出力レートに一致させる。ビット幅が変換されると、8 個の 1 2 ビット・パラレルデータは 1 2 個の 8 ビット・パラレルデータになる。また、出力レートが入力レートの 3 倍であるため、1 クロックあたり 4 個の 8 ビット・パラレルデータを出力する。図に示される例では、「out1」として入力された 3 個の画素 R 1、R 3、R 5 を表す 1 2 ビット・デジタルデータの各ビットは、6 ビットずつ 1 クロック目に出力される「dout1_p1」と「dout1_p2」との上位ビットに振り分けられる。「out2」～「out8」の各ビットも図に示されるように、3 クロックの間に送信される「dout1_p1」～「dout4_p3」の何れかのビットに振り分けられる。その結果として、例えば、

1 クロック目の $\text{dout1_p1}[7:0] = \{\text{out1}[5:0], \text{out3}[5:4]\}$

2 クロック目の $\text{dout1_p1}[7:0] = \{\text{out3}[3:0], \text{out5}[5:2]\}$

3 クロック目の $\text{dout1_p1}[7:0] = \{\text{out5}[1:0], \text{out7}[5:0]\}$

のように変換される。第 1 データ変換部 1 2 2 からは 1 クロックあたり 4 個のデジタルデータが出力される。そのため、「dout1_p3」、「dout2_p1」～「dout2_p3」、「dout3_p1」～「dout3_p3」、「dout4_p3」としてデータを出力する必要がない。そこで、第 1 データ変換部 1 2 2 はこれらのデータとして Low (図では「0」と表示) を出力する。一般に、第 1 データ変換部 1 2 2 は J 個の M ビット・パラレルデータのビットを入れ替えて L 個の P ビット・パラレルデータを生成する。

【 0 0 2 8 】

続いて、図 1 1 A ~ 図 1 1 D を用いて、通常モードにおける P S 変換部 1 2 5 の動作の一例について説明する。前述の通り、P S 変換部 1 2 5 へは 8 1 M H z のレートで 1 クロックあたり 1 2 個の 8 ビット・パラレルデータが入力される。P S 変換部 1 2 5 はこのパ

10

20

30

40

50

ラレルデータをそれぞれシリアルデータに変換して、648MHzで1クロックあたり12個の1ビット・シリアルデータを出力する。例えば、図11Aに示されるように、PS変換部125は、「d1_p3」として入力されたデジタルデータを最上位ビットから順に「s1_p3」として各クロックに出力する。その結果として、「s1_p3」として画素R1を表すデジタルデータの11ビット目から8ビット目までが出力され、続いて画素R5を表すデジタルデータの11ビット目から8ビット目までが出力される。その他の入力データも同様にシリアルデータに変換される。その結果として、例えば図11Aに示すように、1クロック目から4クロック目の「s1_p1」～「s1_p3」のデータとして、画素R1を表すデジタルデータが出力される。このように、通常モードにおいて、1行目の画素の読み出しの際に、ポート「s1_p1」～「s1_p3」、「s3_p1」～「s3_p3」から赤色を表す画素値が出力される。また、ポート「s2_p1」～「s2_p3」、「s4_p1」～「s4_p3」から緑色を表す画素値が出力される。

10

【0029】

次に、図12A、図12Bを用いて、圧縮モードにおけるPS変換部125の動作の一例について説明する。通常モードと圧縮モードとではPS変換部125へ入力されるデータの値が異なるだけで、PS変換部125の動作自体は同じであるため、説明を省略する。PS変換部125による変換結果として、例えば図11Aに示すように、1クロック目から6クロック目の「s1_p1」、「s1_p2」のデータとして、3個の画素R1、R3、R5を表すデジタルデータが出力される。圧縮モードでは、「d1_p3」、「d2_p1」～「d2_p3」、「d3_p1」～「d3_p3」、「d4_p3」として常にLowが入力される。そこで、PS変換部125は「s1_p3」、「s2_p1」～「s2_p3」、「s3_p1」～「s3_p3」、「s4_p3」としてLowを出力する。このように、圧縮モードにおいて、1行目の画素の読み出しの際に、ポート「s1_p1」、「s1_p2」から赤色を表す画素値が出力され、ポート「s4_p1」、「s4_p2」から緑色を表す画素値が出力される。それ以外のポートはLowが出力される。すなわち、ポート「s1_p1」、「s1_p2」（第1ポート）からは、通常モード（第1モード）と圧縮モード（第2モード）との両方において、赤色を表す画素のデジタルデータ（第1色のデジタルデータ）が出力される。また、ポート「s4_p1」、「s4_p2」（第2ポート）からは、通常モードと圧縮モードとの両方において、緑色を表す画素のデジタルデータ（第2色のデジタルデータ）が出力される。これにより、後続の信号処理部はモードによって処理すべき色を切り替える必要がなくなり、入力されたデータの処理が容易になる。

20

30

【0030】

続いて、図13を用いて伝送部130を詳細な構成の一例を説明する。伝送部130は出力ドライバとして機能する12個のLVDS（Low voltage differential signaling）回路を有し、それぞれに伝送部130へ入力されるシリアルデータ「s1_p1」～「s4_p3」が供給される。各LVDS回路は供給されたシリアルデータをLVDS信号へ変換して信号線170へ出力する。

【0031】

上述されたように、変換部120から伝送部130へは12本の信号線を介してデータが転送される。通常モードにおいては、この12本の信号線をすべて用いてデータが転送されるが、圧縮モードでは12本の信号線のうち4本を用いてデータが転送される。そこで、圧縮モードでは、add_md信号をHighにして、データ処理を行わないLVDS回路の電源をオフする。上述の例では、圧縮モードにおいて8個のLVDS回路の電源をオフにできる。その結果、圧縮モードでは通常モードと比較して伝送部130の消費電力を1/3に低減できる。伝送部130は固体撮像装置100の他の構成要素と比較して消費電力が大きいため、伝送部130での消費電力の低減は固体撮像装置100全体の消費電力の低減に大きく寄与する。また、PS変換部125を12本の信号線ごとに動作を停止可能なように構成してもよい。そして、圧縮モードにおいて使用されない信号線に対応するPS変換動作を停止する。これは例えばPS変換部125で使用しているクロックを止めることによって実現されうる。これにより、圧縮モードでは通常モードと比較してPS変換部125の消費電力も1/3に低減できる。

40

50

【 0 0 3 2 】

さらに、図 1 3 に示すように、圧縮モードにおいて用いられる L V D S 回路の間に、圧縮モードにおいて用いられない L V D S 回路を配置するように伝送部 1 3 0 が構成されてもよい。図 1 3 の例では、シリアルデータ「s4_p2」が供給される L V D S 回路とシリアルデータ「s1_p1」が供給される L V D S 回路との間に、圧縮モードで用いられない L V D S 回路が配置されている。このように、圧縮モードで用いられる L V D S 回路を分散して配置することにより、L V D S 回路で生じる発熱を分散することができる。これにより、伝送部 1 3 0 の一部が過熱することを軽減できる。

【 0 0 3 3 】

さらに、上述の数値例のように、通常モードと圧縮モードの両方において伝送部 1 3 0 の各出力線から信号が絶えず出力されるように各種パラメータを設定してもよい。まず、固体撮像装置 1 0 0 で用いられるパラメータを以下のように定義する。

- ・ K : 1 クロックあたりに撮像部 1 1 0 から読み出す画素数。
- ・ L : 伝送部 1 3 0 が L V D S 信号を出力する信号線 1 7 0 の本数。
- ・ M : A D 変換部 1 1 2 の分解能。A D 変換部 1 1 2 は画素値を M ビットのデジタルデータで表す。
- ・ N : 圧縮率。圧縮部 1 2 1 は N 個の画素のデジタルデータを用いて 1 つのデジタルデータを出力する。

【 0 0 3 4 】

このようにパラメータを定義した場合に、伝送部 1 3 0 からビットを隙間無く出力するための条件式は以下になる。

条件 1 : $(K \times M) / L$ が自然数である。

条件 2 : $(K \times M) / N$ が自然数である。

【 0 0 3 5 】

$K \times M$ は 1 クロックあたりに変換部 1 2 0 へ入力される総ビット数を表す。そのため、通常モードにおいて伝送部 1 3 0 からビットが隙間無く出力されるためには、この総ビット数が信号線の本数 L で割り切れる必要があり、条件 1 が得られる。次に、 $(K \times M) / N$ は、圧縮モードにおける 1 クロックあたりの総ビット数を表す。そのため、圧縮モードにおいて伝送部 1 3 0 からビットが隙間無く出力されるためには、これも自然数となる必要があり、条件 2 が得られる。ビットが隙間無く出力されることで、通常モード、圧縮モードの両方において、信号線 1 7 0 の本数を最小化できる。圧縮モードにおいて、オフにできる L V D S 回路の個数を最大化することができ、圧縮モードにおける伝送部 1 3 0 の消費電力が最小となる。この場合に、圧縮モードにおいてオンにする L V D S 回路の個数は、 L / N で与えられる。上述の例では、 $K = 8$ 、 $L = 12$ 、 $M = 12$ 、 $N = 3$ であるため、上述の条件をすべて満たし、4 個の L V D S 回路をオンにすればよいことがわかる。

【 0 0 3 6 】

続いて、図 1 4 を用いて図 1 の撮像部 1 1 0 の変形例を説明する。本発明の一部の実施形態において、図 1 の固体撮像装置 1 0 0 は撮像部 1 1 0 の代わりに図 1 4 の撮像部 1 4 0 0 を備えうる。撮像部 1 4 0 0 も撮像部 1 1 0 と同様に、画素部 1 4 1 0、A D 変換部 1 4 2 0、およびラインメモリ部 1 4 3 0 を備えうる。画素部 1 4 1 0、A D 変換部 1 4 2 0、およびラインメモリ部 1 4 3 0 のそれぞれの構成は画素部 1 1 1、A D 変換部 1 1 2、およびラインメモリ部 1 1 3 と同様であるが、撮像部 1 4 0 0 ではこれらの配置が撮像部 1 1 0 と異なる。画素部 1 4 1 0 からのアナログデータはラインメモリ部 1 4 3 0 で一時的に保持される。ラインメモリ部 1 4 3 0 に記憶されたアナログデータは 1 クロックあたり 8 個ずつ A D 変換部 1 4 2 0 へ出力され、A D 変換部 1 4 2 0 においてそれぞれデジタルデータへ変換される。これらのデジタルデータが「in1」～「in8」として変換部 1 2 0 へ出力される。

【 0 0 3 7 】

続いて、図 1 5 を用いて圧縮部 1 2 1 が信号間引きによってデータ量を低減し高速駆動を行う場合の回路構成を説明する。この場合、圧縮部 1 2 1 はそれぞれが画素値を表す 3

10

20

30

40

50

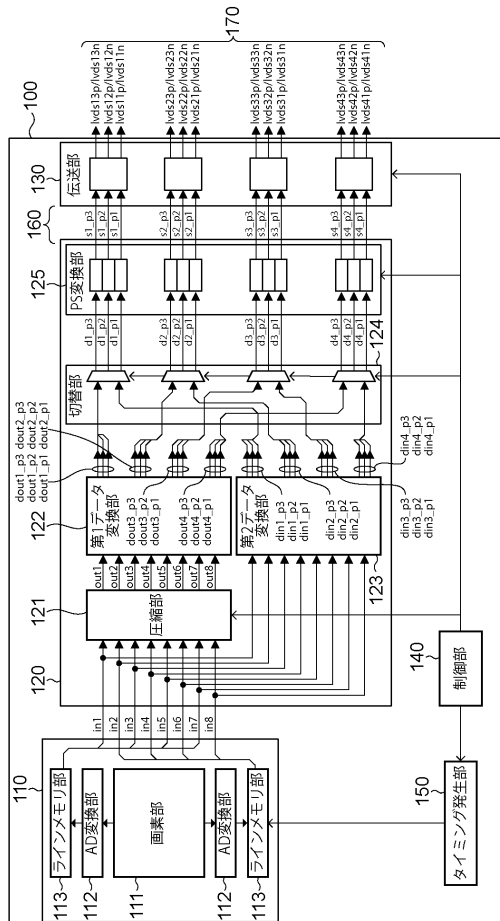
個のデジタルデータから１個のデジタルデータを第１データ変換部１２２へ出力する。図１６は圧縮部１２１が間引き処理を行う場合の入出力レートを示す。間引き処理の場合も図８で説明された加算処理の場合と同様に圧縮部１２１の出力レートは入力レートの１／３となる。

【００３８】

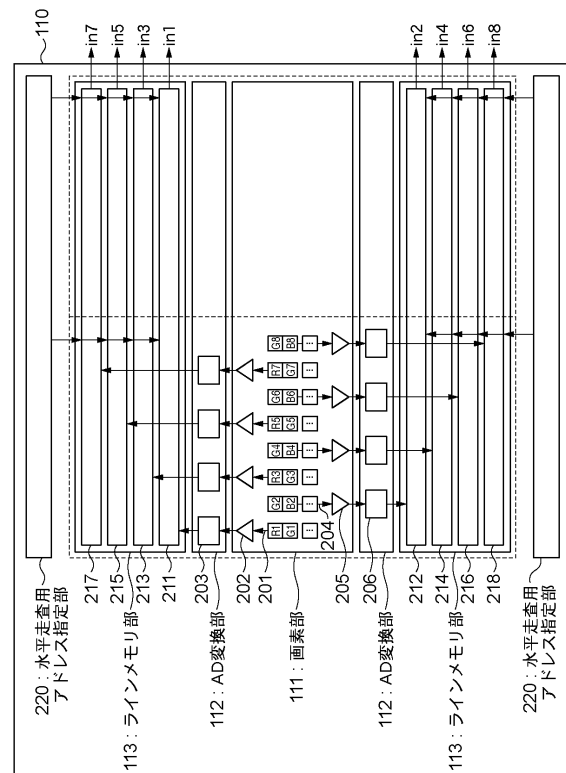
図１７を用いて上述した固体撮像装置１００を撮像システム２２００に適用した実施形態を説明する。撮像システム２２００は例えばカメラであり、第１実施形態で説明された固体撮像装置１００を備える。撮像システム２２００は光学系２２１０、信号処理部２２２０、ＣＰＵ２２３０、スイッチ部２２４０、映像表示部２２５０および画像記録部２２６０をさらに備える。光学系２２１０より入射した光に応じて、固体撮像装置１００は前述のようにＬＶＤＳ信号を信号線１７０へ出力する。出力されたＬＶＤＳ信号は、さらに映像表示部２２５０、画像記録部２２６０に出力できるように信号処理部２２２０にて画像補正が行なわれる。信号処理後の画像信号は例えば映像表示部２２５０に表示され、画像記録部２２６０に記録される。またスイッチ部２２４０の操作によって動作モードが切り替えられると、その情報はＣＰＵ２２３０に入力され、ＣＰＵ２２３０にて光学系２２１０、固体撮像装置１００、信号処理部２２２０、映像表示部２２５０および画像記録部２２６０の制御が変更される。

10

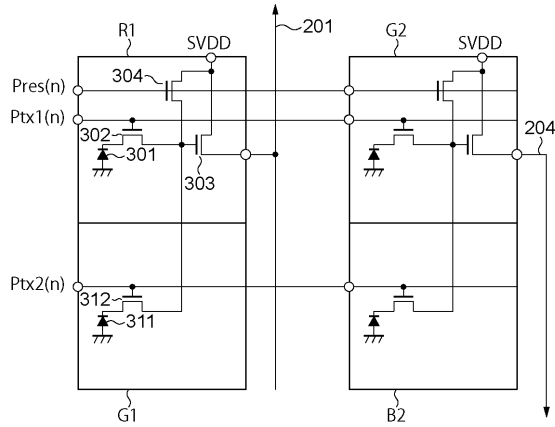
【図１】



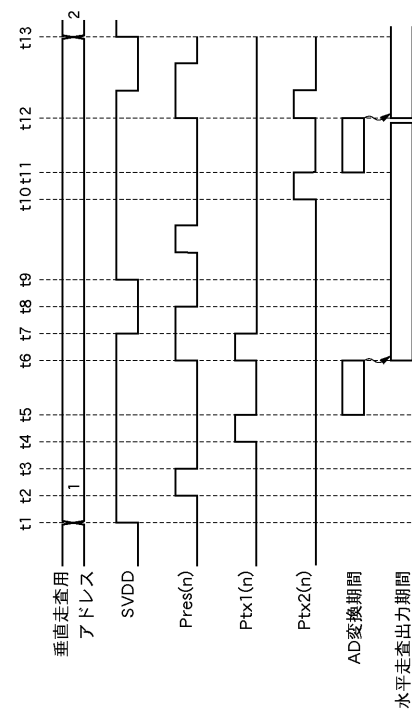
【図２】



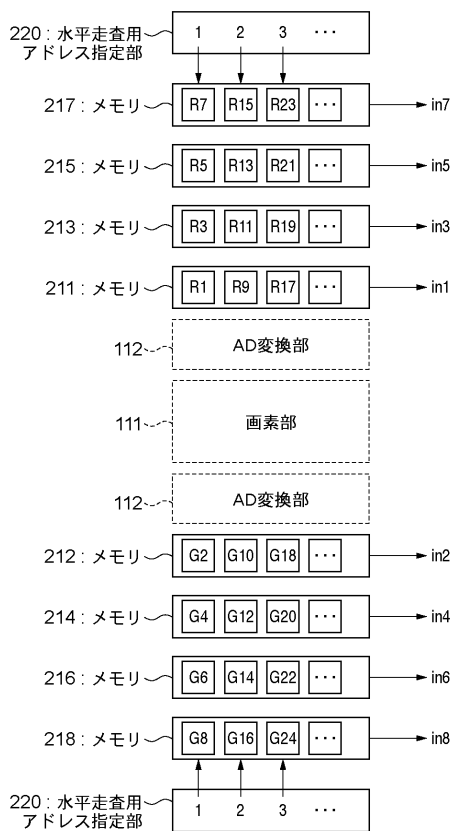
【図 3】



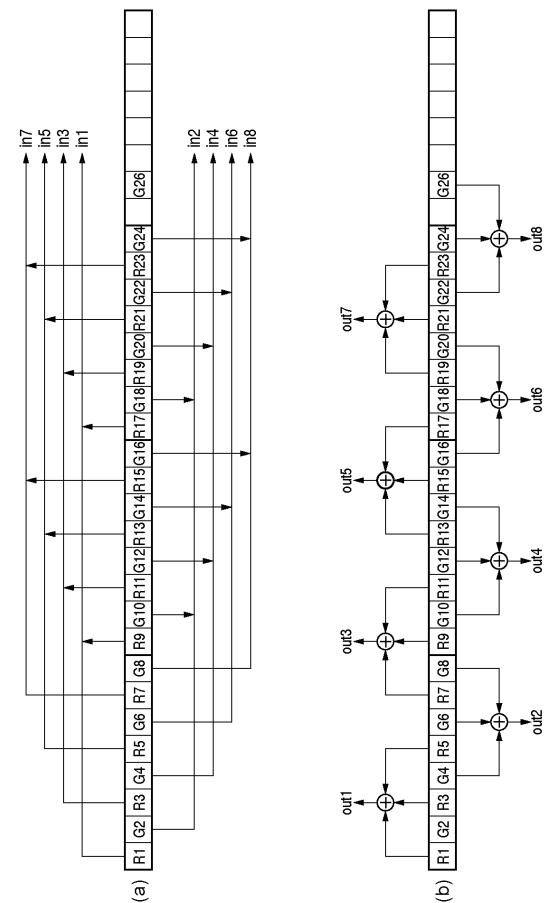
【図 4】



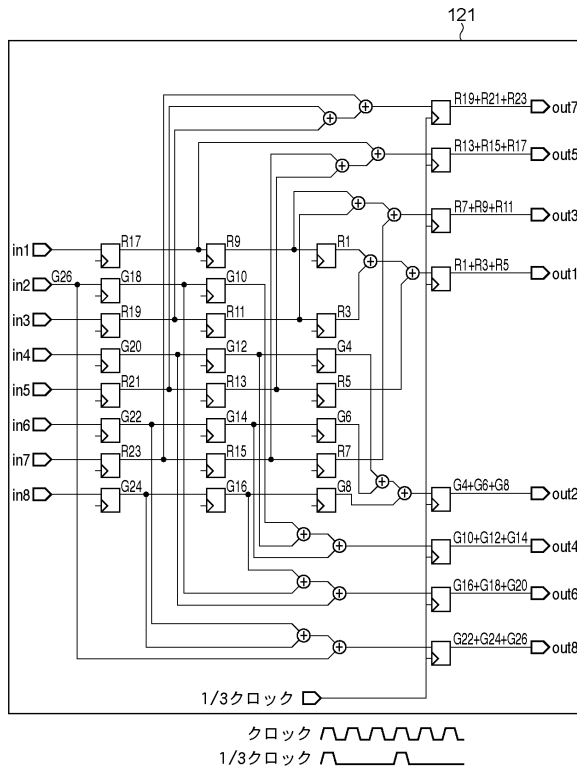
【図 5】



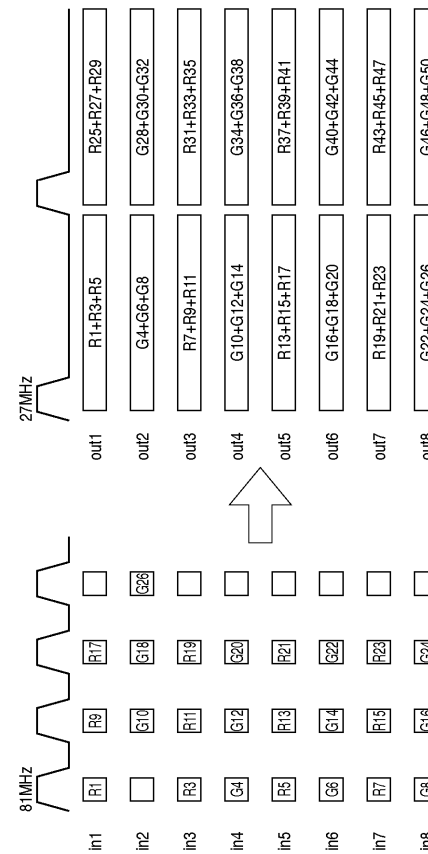
【図 6】



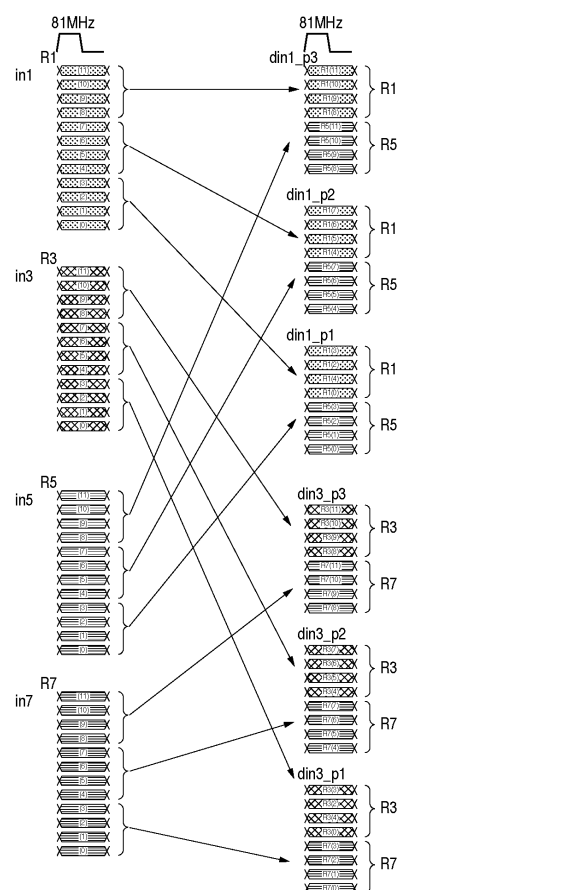
【図 7】



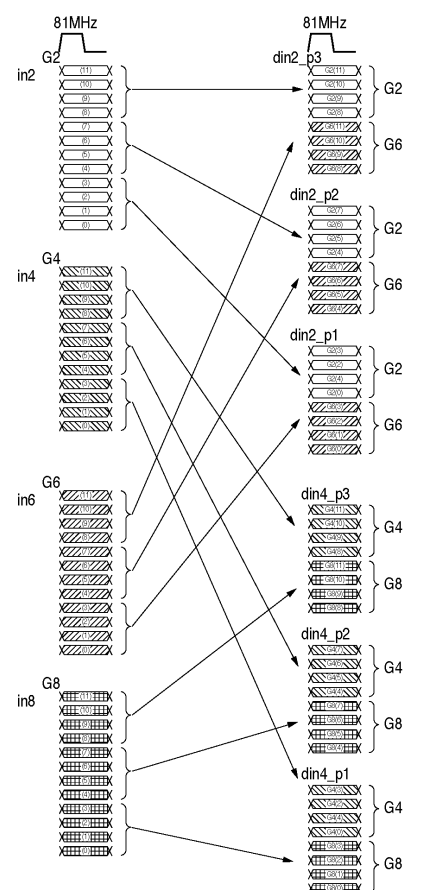
【図 8】



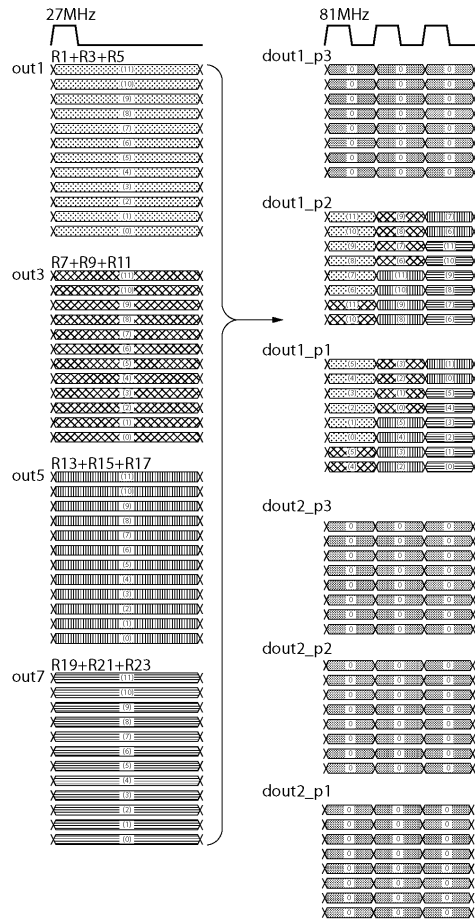
【図 9 A】



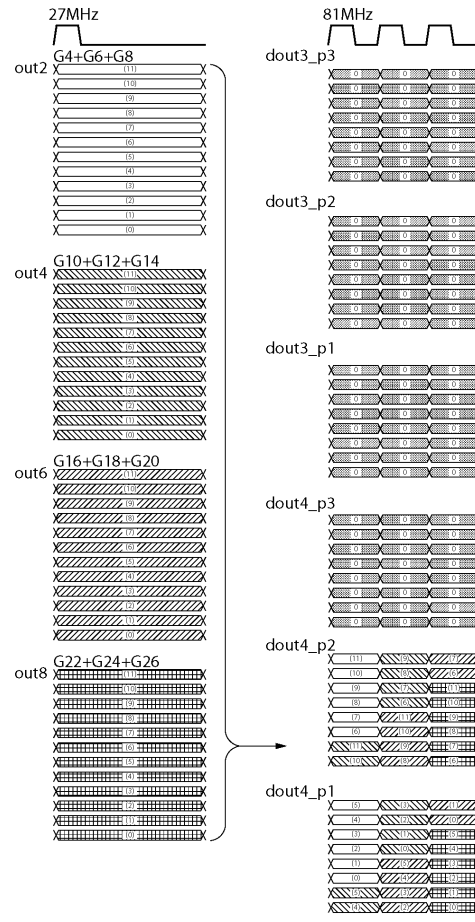
【図 9 B】



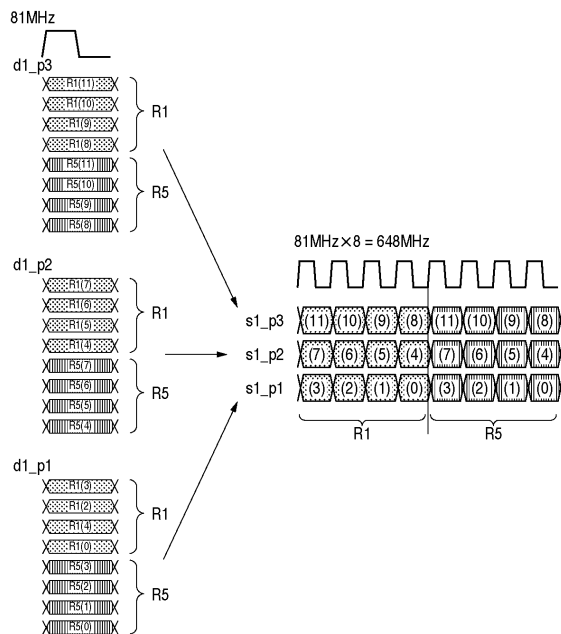
【図 10 A】



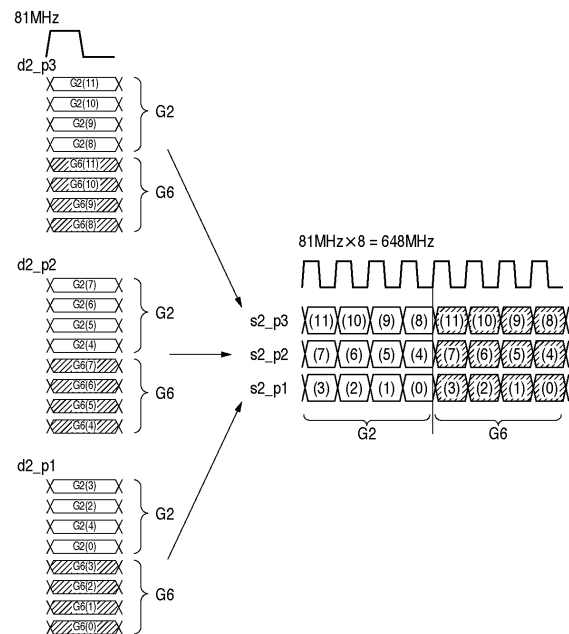
【図 10 B】



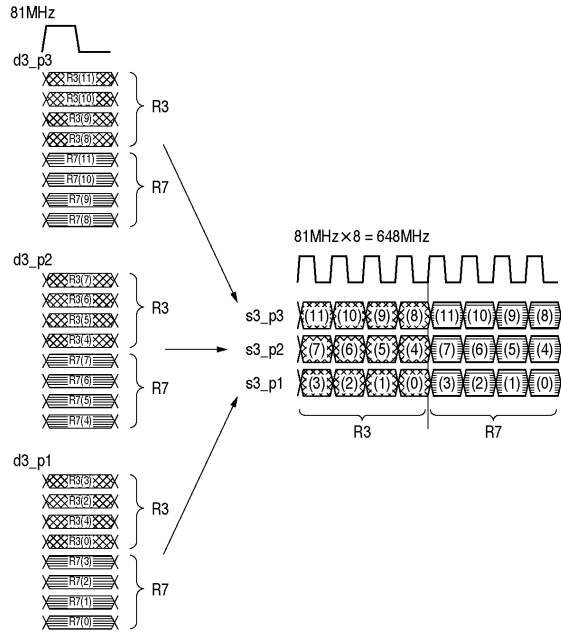
【図 11 A】



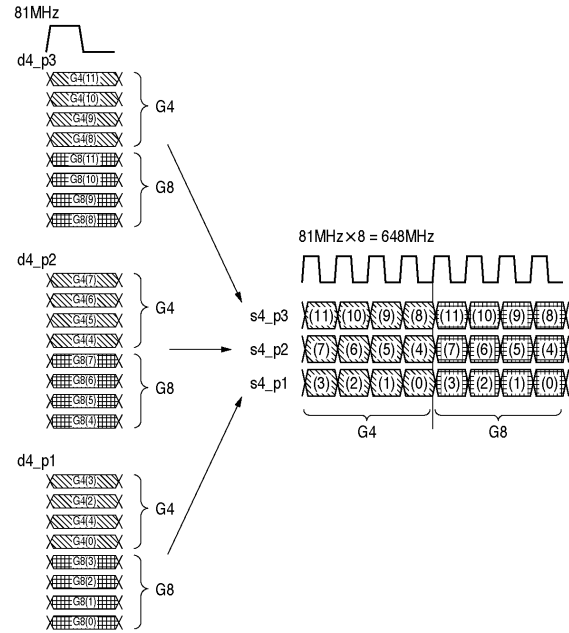
【図 11 B】



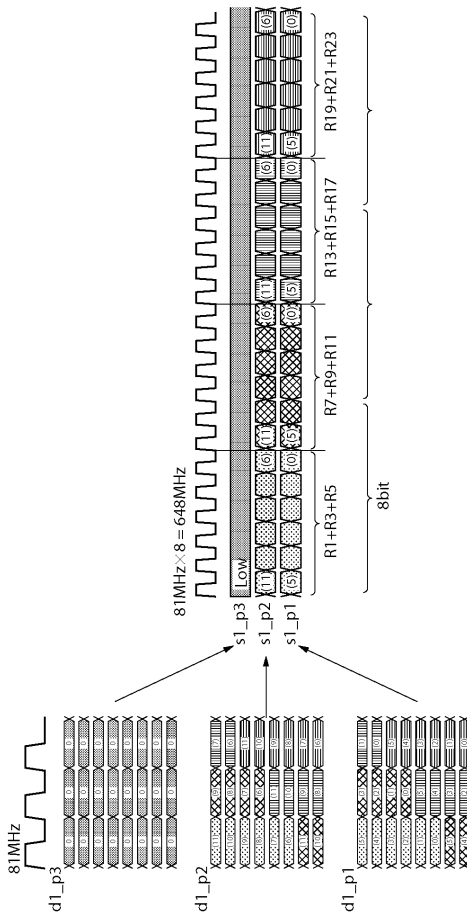
【図 1 1 C】



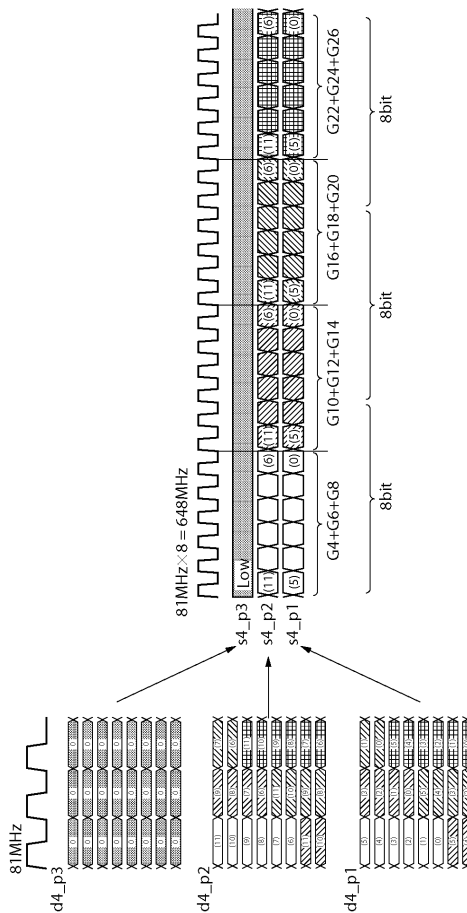
【図 1 1 D】



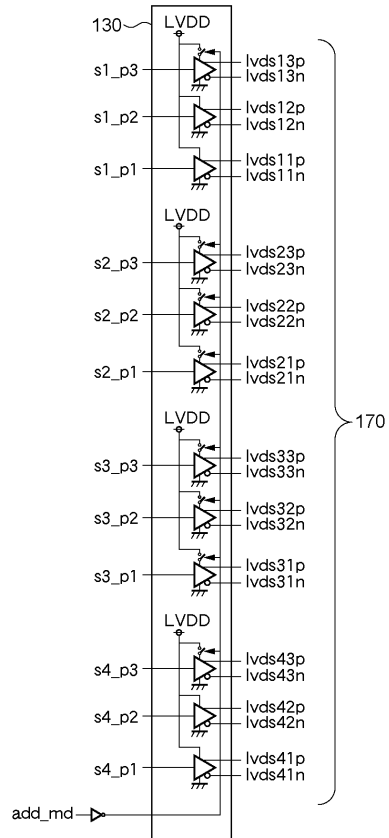
【図 1 2 A】



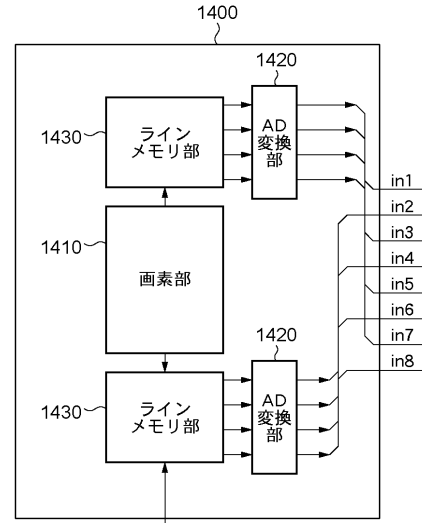
【図 1 2 B】



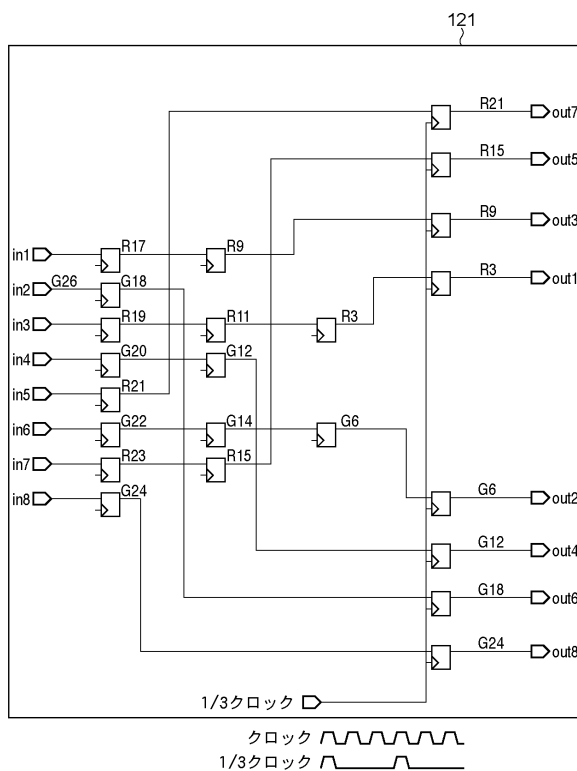
【図 13】



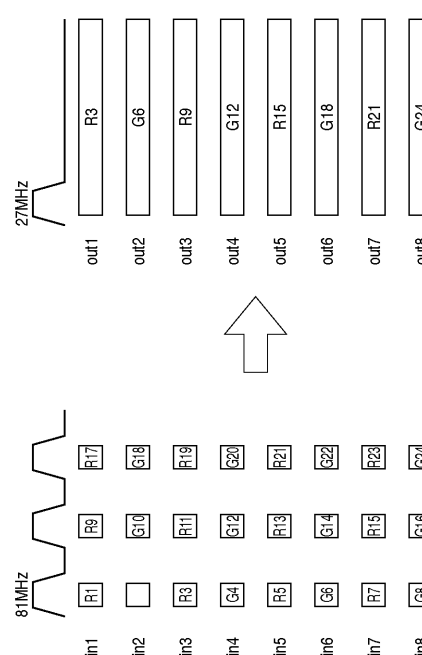
【図 14】



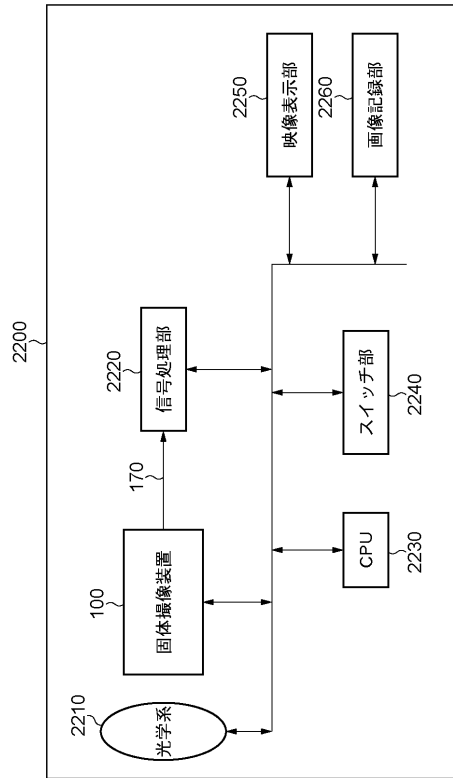
【図 15】



【図 16】



【図 17】



フロントページの続き

- (72)発明者 林 英俊
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 竹中 真太郎
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
- (72)発明者 山崎 竜彦
東京都大田区下丸子3丁目30番2号 キヤノン株式会社内

審査官 山口 祐一郎

- (56)参考文献 特開2008-283331(JP,A)
特開2010-283671(JP,A)
特開2008-40272(JP,A)
特開平9-46480(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/222 - 5/257
5/30 - 5/378
9/04 - 9/11