

【公報種別】特許法第 17 条の 2 の規定による補正の掲載  
 【部門区分】第 7 部門第 2 区分  
 【発行日】平成 17 年 5 月 26 日 (2005.5.26)

【公開番号】特開 2003-142653 (P2003-142653A)  
 【公開日】平成 15 年 5 月 16 日 (2003.5.16)  
 【出願番号】特願 2002-231867 (P2002-231867)  
 【国際特許分類第 7 版】

H 0 1 L 27/10

H 0 1 L 21/82

【F I】

H 0 1 L 27/10 4 3 1

H 0 1 L 21/82 A

【手続補正書】

【提出日】平成 16 年 8 月 3 日 (2004.8.3)

【手続補正 1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

行方向に延びる 1 つまたは複数の行方向導体と、

クロスポイントが前記行方向導体と列方向導体との間の交点に形成されるように、列方向に延びる 1 つまたは複数の列方向導体と、

少なくとも 1 つのクロスポイントに形成される状態素子であって、互いに直列であるヒューズ及びアンチヒューズを含み、前記行方向導体及び前記列方向導体と電気接触している状態素子と、

を備えるワンタイムプログラマブルメモリアレイ。

【請求項 2】

前記状態素子を取り囲む絶縁体をさらに備える請求項 1 に記載のメモリアレイ。

【請求項 3】

前記状態素子は、前記ヒューズと前記アンチヒューズとの間に配置された薄い導体をさらに備える請求項 1 に記載のメモリアレイ。

【請求項 4】

前記薄い導体が第 1 の薄い導体であり、前記状態素子が、前記行方向導体と前記列方向導体のうちの 1 つと前記アンチヒューズとの間に配置された、第 2 の薄い導体をさらに含む請求項 3 に記載のメモリアレイ。

【請求項 5】

前記状態素子の前記ヒューズは、前記行方向導体及び列方向導体のうちの 1 つに沿って延びる請求項 1 に記載のメモリアレイ。

【請求項 6】

前記状態素子の前記ヒューズは、前記ヒューズのほぼ中心に空洞が存在するように形成される請求項 1 に記載のメモリアレイ。

【請求項 7】

前記ヒューズは、垂直に配向しているヒューズである請求項 1 に記載のメモリアレイ。

【請求項 8】

行方向に延びる 1 つまたは複数の行方向導体と、

クロスポイントが前記行方向導体と列方向導体との間の交点に形成されるように、列方

向に延びる１つまたは複数の列方向導体と、

少なくとも１つのクロスポイントに形成される状態素子であって、垂直に配向されたヒューズを含み、前記行方向導体及び前記列方向導体と電気接触している状態素子と、  
を備えるワнтаムプログラマブルメモリアレイ。

【請求項 9】

前記状態素子を取り囲む絶縁体をさらに備える請求項 8 に記載のメモリアレイ。

【請求項 10】

前記状態素子の前記垂直に配向したヒューズは、前記行方向導体方向及び列方向導体方向のうちの１つに沿って延びる請求項 8 に記載のメモリアレイ。

【請求項 11】

前記状態素子の前記垂直に配向したヒューズは、前記ヒューズのほぼ中心に空洞が存在するように形成される請求項 8 に記載のメモリアレイ。

【請求項 12】

各メモリアレイが、

行方向に延びる１つまたは複数の行方向導体と、

クロスポイントが前記行方向導体と列方向導体との間の交点に形成されるように、列方向に延びる１つまたは複数の列方向導体と、

少なくとも１つのクロスポイントに形成される状態素子であって、垂直に配向されたヒューズ及び互いに直列にされたヒューズとアンチヒューズとの組み合わせのうちの１つを含み、前記行方向導体及び前記列方向導体と電気接触している状態素子とを含む、１つまたは複数のメモリアレイと

前記行方向導体のそれぞれに接続され前記メモリアレイの行を選択するための行アドレス指定回路と、

前記列方向導体のそれぞれに接続され前記メモリアレイの列を選択するための列アドレス指定回路と、

を備えるワнтаムプログラマブルメモリ。

【請求項 13】

前記メモリ内の前記メモリアレイと関連する前記行アドレス指定回路及び前記列アドレス指定回路は、少なくとも部分的に前記メモリアレイの下に配置されている請求項 12 に記載のメモリ。

【請求項 14】

前記メモリアレイが積層されている請求項 12 に記載のメモリ。

【請求項 15】

結合された行方向導体層および列方向導体層の数が、前記メモリアレイの数よりも１大きい請求項 14 に記載のメモリ。

【請求項 16】

結合された行方向導体層および列方向導体層の数が、前記メモリアレイの数の２倍である請求項 14 に記載のメモリ。

【請求項 17】

前記行アドレス指定回路は、前記行方向導体のそれぞれに接続された行トランジスタであって、それぞれが、書込み電圧及び読出し電圧のうちの１つを前記接続された行方向導体を選択的に印加するために用いられる行トランジスタをさらに含む請求項 12 に記載のメモリ。

【請求項 18】

前記列アドレス指定回路は、前記列方向導体のそれぞれに接続された列トランジスタであって、それぞれが、等化電位を関連の接続された列方向導体に印加することが可能である列トランジスタをさらに含む請求項 12 に記載のメモリ。

【請求項 19】

前記列アドレス指定回路は、前記列方向導体のそれぞれに接続され、それぞれ、選択されたユニットメモリセルからの電流量を検知するために用いられる電流センサをさらに含む

請求項 18 に記載のメモリ。

【請求項 20】

前記電流センサは、前記等化電位とほぼ等しい仮想電位を関連する列方向導体に印加することが可能な請求項 19 に記載のメモリ。

【請求項 21】

前記等化電位は、接地電位である請求項 20 に記載のメモリ。

【請求項 22】

前記アンチヒューズの抵抗は、前記アンチヒューズに対する電圧が変化するにつれて変化する請求項 1 に記載のメモリアレイ。

【請求項 23】

前記アンチヒューズの抵抗は、前記アンチヒューズに対する電圧が増加するにつれて減少する請求項 22 に記載のメモリアレイ。

【請求項 24】

前記アンチヒューズの抵抗は、前記アンチヒューズに対する電圧が変化するにつれて変化する請求項 12 に記載のメモリ。

【請求項 25】

前記アンチヒューズの抵抗は、前記アンチヒューズに対する電圧が増加するにつれて減少する請求項 24 に記載のメモリ。