



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0132855  
(43) 공개일자 2015년11월26일

(51) 국제특허분류(Int. Cl.)  
H03K 5/13 (2014.01) H03K 19/00 (2006.01)  
H03K 5/00 (2014.01) H03K 5/134 (2014.01)  
H03K 5/14 (2014.01) H03K 5/1534 (2006.01)  
H04L 7/00 (2006.01)  
(52) CPC특허분류  
H03K 5/13 (2013.01)  
H03K 19/00 (2013.01)  
(21) 출원번호 10-2015-7029706  
(22) 출원일자(국제) 2014년03월20일  
심사청구일자 없음  
(85) 번역문제출일자 2015년10월15일  
(86) 국제출원번호 PCT/US2014/031363  
(87) 국제공개번호 WO 2014/153472  
국제공개일자 2014년09월25일  
(30) 우선권주장  
61/803,684 2013년03월20일 미국(US)  
(뒷면에 계속)

(71) 출원인  
켈컴 인코퍼레이티드  
미국 92121-1714 캘리포니아주 샌 디에고 모어하  
우스 드라이브 5775  
(72) 발명자  
센고쿠 쇼이치로  
미국 92121-1714 캘리포니아주 샌디에고 모어하  
우스 드라이브 5775  
청 조셉  
미국 92121-1714 캘리포니아주 샌디에고 모어하  
우스 드라이브 5775  
와일리 조지 앨런  
미국 92121-1714 캘리포니아주 샌디에고 모어하  
우스 드라이브 5775  
(74) 대리인  
특허법인코리아나

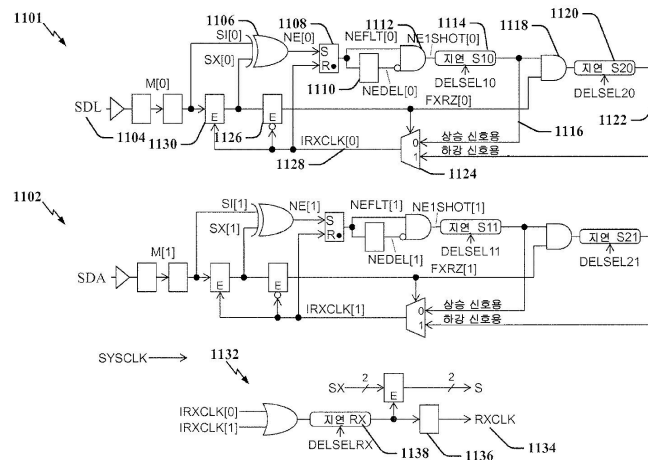
전체 청구항 수 : 총 31 항

(54) 발명의 명칭 데이터 심볼 천이 기반 클럭킹을 가진 멀티-와이어 오픈 드레인 링크

(57) 요약

방법, 장치, 및 컴퓨터 프로그램 제품이 설명된다. 장치는 멀티-와이어 오픈 드레인 링크로부터 수신된 신호에서의 천이를 결정하고, 천이에 응답하여 클럭 펄스를 생성하고, 천이가 제 1 방향으로 있다면 미리 구성된 제 1 간격만큼 클럭 펄스를 지연시키며, 천이가 제 2 방향으로 있다면 미리 구성된 제 2 간격만큼 클럭을 지연시킴으로써 멀티-와이어 오픈 드레인 링크로부터 데이터를 수신하기 위한 수신 클럭 신호를 생성한다. 미리 구성된 제 1 및/또는 제 2 간격들은 통신 인터페이스와 연관된 상승 시간 및/또는 하강 시간에 기초하여 구성되며 제 1 및 제 2 캘리브레이션 천이들에 대해 생성된 클럭 펄스들과 연관된 개별의 지연들을 측정함으로써 캘리브레이팅될 수도 있다.

대표도



(52) CPC특허분류

*H03K 5/133* (2013.01)

*H03K 5/134* (2015.01)

*H03K 5/14* (2013.01)

*H03K 5/1534* (2013.01)

*H04L 7/0037* (2013.01)

*H04L 7/033* (2013.01)

*H03K 2005/00293* (2013.01)

(30) 우선권주장

61/846,977 2013년07월16일 미국(US)

14/220,056 2014년03월19일 미국(US)

## 명세서

### 청구범위

#### 청구항 1

클록 신호를 생성하기 위한 방법으로서,

통신 인터페이스로부터 수신된 신호에서의 천이를 결정하는 단계;

상기 천이에 응답하여 클록 펄스를 생성하는 단계;

상기 천이가 제 1 방향으로 있다면 미리 구성된 제 1 간격만큼 상기 클록 펄스를 지연시키는 단계; 및

상기 천이가 제 2 방향으로 있다면 미리 구성된 제 2 간격만큼 상기 클록 펄스를 지연시키는 단계를 포함하며,

상기 클록 펄스를 지연시키는 단계는 상이한 클록 펄스가 수신되고 상기 클록 펄스의 상기 지연이 완료되지 않았다면 재시작되는, 클록 신호를 생성하기 위한 방법.

#### 청구항 2

제 1 항에 있어서,

상기 미리 구성된 제 1 간격 및/또는 제 2 간격은 심볼이 상기 통신 인터페이스 상에서 송신되어, 상기 심볼이 신뢰가능하게 샘플링되는 것을 허용할 때 상기 클록 펄스가 발생하게 하도록 선택되는, 클록 신호를 생성하기 위한 방법.

#### 청구항 3

제 1 항에 있어서,

상기 미리 구성된 제 1 간격 및/또는 제 2 간격은 상기 통신 인터페이스와 연관된 상승 시간 및 하강 시간에 기초하여 구성되며, 상기 상승 시간은 오픈 드레인 트랜지스터와 연관된 상승 시간에 대응하는, 클록 신호를 생성하기 위한 방법.

#### 청구항 4

제 3 항에 있어서,

상기 미리 구성된 제 2 간격은 상기 상승 시간에 기인한 상기 천이를 검출하는데 있어서의 지연에 매칭하도록 선택되는, 클록 신호를 생성하기 위한 방법.

#### 청구항 5

제 4 항에 있어서,

상기 미리 구성된 제 1 간격은 상기 하강 시간에 기인한 상기 천이를 검출하는데 있어서의 지연에 매칭하도록 선택되는, 클록 신호를 생성하기 위한 방법.

#### 청구항 6

제 1 항에 있어서,

상기 클록 펄스를 상기 천이에 응답하여 생성된 적어도 하나의 추가적인 클록 펄스와 집성하는 단계를 더 포함하는, 클록 신호를 생성하기 위한 방법.

#### 청구항 7

제 1 항에 있어서,

상기 미리 구성된 제 1 간격 및/또는 제 2 간격을 캘리브레이팅하는 단계를 더 포함하는, 클록 신호를 생성하기 위한 방법.

#### 청구항 8

제 7 항에 있어서,

상기 미리 구성된 간격을 캘리브레이팅하는 단계는 :

서로 상이한 방향으로 있는 제 1 캘리브레이션 천이 및 제 2 캘리브레이션 천이를 제공하는 단계;

상기 제 1 캘리브레이션 천이 및 상기 제 2 캘리브레이션 천이에 대해 생성된 클록 펄스들과 연관된 개별의 지연들을 측정하는 단계; 및

상기 개별의 지연들의 차이를 최소화하기 위해 상기 미리 구성된 제 1 간격 및/또는 제 2 간격을 수정하는 단계를 포함하는, 클록 신호를 생성하기 위한 방법.

#### 청구항 9

제 8 항에 있어서,

상기 미리 구성된 제 1 간격을 수정하는 단계는 상기 제 1 캘리브레이션 천이 후에 생성된 클록 펄스와 연관된 측정 지연에 기초하여 제 1 지연 회로의 프로그램된 지연을 조정하는 단계를 포함하며;

상기 미리 구성된 제 2 간격을 수정하는 단계는 상기 제 2 캘리브레이션 천이 후에 생성된 클록 펄스와 연관된 측정 지연에 기초하여 제 2 지연 회로의 프로그램된 지연을 조정하는 단계를 포함하는, 클록 신호를 생성하기 위한 방법.

#### 청구항 10

제 8 항에 있어서,

상기 개별의 지연들은 어느 하나의 캘리브레이션 천이에 대해 생성된 클록 펄스들과 연관된 원하는 지연을 반영하는 타이머를 이용하여 측정되는, 클록 신호를 생성하기 위한 방법.

#### 청구항 11

클록 신호를 생성하기 위한 장치로서,

통신 인터페이스로부터 수신된 신호에서의 천이를 결정하는 수단;

상기 천이에 응답하여 클록 펄스를 생성하는 수단;

상기 천이가 제 1 방향으로 있다면 미리 구성된 제 1 간격만큼 상기 클록 펄스를 지연시키는 수단; 및

상기 천이가 제 2 방향으로 있다면 미리 구성된 제 2 간격만큼 상기 클록 펄스를 지연시키는 수단을 포함하며,

상기 클록 펄스를 지연시키는 것은 상이한 클록 펄스가 수신되고 상기 클록 펄스의 상기 지연이 완료되지 않았다면 재시작되는, 클록 신호를 생성하기 위한 장치.

#### 청구항 12

제 11 항에 있어서,

상기 미리 구성된 제 1 간격 및/또 제 2 간격은 심볼이 상기 통신 인터페이스 상에서 송신되어, 상기 심볼이 신뢰가능하게 샘플링되는 것을 허용할 때 상기 클록 펄스가 발생하게 하도록 선택되는, 클록 신호를 생성하기 위한 장치.

#### 청구항 13

제 11 항에 있어서,

상기 미리 구성된 제 1 간격 및/또는 제 2 간격은 상기 통신 인터페이스와 연관된 상승 시간 및 하강 시간에 기초하여 구성되며, 상기 상승 시간은 오픈 드레인 트랜지스터와 연관된 상승 시간에 대응하는, 클록 신호를 생성하기 위한 장치.

#### 청구항 14

제 13 항에 있어서,

상기 미리 구성된 제 2 간격은 상기 상승 시간에 기인한 상기 천이를 검출하는데 있어서의 지연에 매칭하도록 선택되는, 클록 신호를 생성하기 위한 장치.

#### 청구항 15

제 14 항에 있어서,

상기 미리 구성된 제 1 간격은 상기 하강 시간에 기인한 상기 천이를 검출하는데 있어서의 지연에 매칭하도록 선택되는, 클록 신호를 생성하기 위한 장치.

#### 청구항 16

제 11 항에 있어서,

상기 클록 펄스를 상기 천이에 응답하여 생성된 적어도 하나의 다른 클록 펄스와 집성하는 수단을 더 포함하는, 클록 신호를 생성하기 위한 장치.

#### 청구항 17

제 11 항에 있어서,

상기 미리 구성된 제 1 간격 및/또는 제 2 간격을 캘리브레이팅하는 수단을 더 포함하는, 클록 신호를 생성하기 위한 장치.

#### 청구항 18

제 17 항에 있어서,

상기 미리 구성된 제 1 간격 및/또는 제 2 간격을 캘리브레이팅하는 수단은 서로 상이한 방향으로 있는 제 1 캘리브레이션 천이 및 제 2 캘리브레이션 천이를 제공하고, 상기 제 1 캘리브레이션 천이 및 상기 제 2 캘리브레이션 천이에 대해 생성된 클록 펄스들과 연관된 개별의 지연들을 측정하며, 상기 개별의 지연들의 차이를 최소화하기 위해 상기 미리 구성된 제 1 간격 및/또는 제 2 간격을 수정하는, 클록 신호를 생성하기 위한 장치.

#### 청구항 19

제 18 항에 있어서,

상기 미리 구성된 간격을 수정하는 수단은 상기 제 1 캘리브레이션 천이 후에 생성된 클록 펄스와 연관된 측정 지연에 기초하여 제 1 지연 회로의 프로그램된 지연을 조정하고, 상기 제 2 캘리브레이션 천이 후에 생성된 클록 펄스와 연관된 측정 지연에 기초하여 제 2 지연 회로의 프로그램된 지연을 조정하는, 클록 신호를 생성하기 위한 장치.

#### 청구항 20

제 18 항에 있어서,

상기 개별의 지연들은 어느 하나의 캘리브레이션 천이에 대해 생성된 클록 펄스들과 연관된 원하는 지연을 반영하는 타이머를 이용하여 측정되는, 클록 신호를 생성하기 위한 장치.

#### 청구항 21

클록 신호를 생성하기 위한 장치로서,

프로세싱 시스템을 포함하며,

상기 프로세싱 시스템은 :

통신 인터페이스로부터 수신된 신호에서의 천이를 결정하고;

상기 천이에 응답하여 클록 펄스를 생성하고;

상기 천이가 제 1 방향으로 있다면 미리 구성된 제 1 간격만큼 상기 클록 펄스를 지연시키며;

상기 천이가 제 2 방향으로 있다면 미리 구성된 제 2 간격만큼 상기 클록 펄스를 지연시키도록 구성되며,

상기 클록 펄스를 지연시키는 것은 상이한 클록 펄스가 수신되고 상기 클록 펄스의 상기 지연이 완료되지 않았다면 재시작되는, 클록 신호를 생성하기 위한 장치.

#### 청구항 22

제 21 항에 있어서,

상기 미리 구성된 제 1 간격 및/또는 제 2 간격은 심볼이 상기 통신 인터페이스 상에서 송신되어, 상기 심볼이 신뢰가능하게 샘플링되는 것을 허용할 때 상기 클록 펄스가 발생하게 하도록 선택되는, 클록 신호를 생성하기 위한 장치.

#### 청구항 23

제 21 항에 있어서,

상기 미리 구성된 제 1 간격 및/또는 제 2 간격은 상기 통신 인터페이스와 연관된 상승 시간 및 하강 시간에 기초하여 구성되며, 상기 상승 시간은 오픈 드레인 트랜지스터와 연관된 상승 시간에 대응하는, 클록 신호를 생성하기 위한 장치.

#### 청구항 24

제 23 항에 있어서,

상기 미리 구성된 제 2 간격은 상기 상승 시간에 기인한 상기 천이를 검출하는데 있어서의 지연에 매칭하도록 선택되는, 클록 신호를 생성하기 위한 장치.

#### 청구항 25

제 24 항에 있어서,

상기 미리 구성된 제 1 간격은 상기 하강 시간에 기인한 상기 천이를 검출하는데 있어서의 지연에 매칭하도록 선택되는, 클록 신호를 생성하기 위한 장치.

#### 청구항 26

제 21 항에 있어서,

상기 클록 펄스를 상기 천이에 응답하여 생성된 적어도 하나의 다른 클록 펄스와 집성하는 것을 더 포함하는, 클록 신호를 생성하기 위한 장치.

#### 청구항 27

제 21 항에 있어서,

상기 미리 구성된 제 1 간격 및/또는 제 2 간격을 캘리브레이팅하는 것을 더 포함하는, 클록 신호를 생성하기 위한 장치.

#### 청구항 28

제 27 항에 있어서,

상기 미리 구성된 제 1 간격 및/또는 제 2 간격을 캘리브레이팅하는 것은 :

서로 상이한 방향으로 있는 제 1 캘리브레이션 천이 및 제 2 캘리브레이션 천이를 제공하는 것;

상기 제 1 캘리브레이션 천이 및 상기 제 2 캘리브레이션 천이에 대해 생성된 클록 펄스들과 연관된 개별의 지연들을 측정하는 것; 및

상기 개별의 지연들의 차이를 최소화하기 위해 상기 미리 구성된 제 1 간격 및/또는 제 2 간격을 수정하는 것을 포함하는, 클록 신호를 생성하기 위한 장치.

#### 청구항 29

제 28 항에 있어서,

상기 미리 구성된 간격을 수정하는 것은 :

상기 제 1 캘리브레이션 천이 후에 생성된 클록 펄스와 연관된 측정 지연에 기초하여 제 1 지연 회로의 프로그램된 지연을 조정하는 것; 및

상기 제 2 캘리브레이션 천이 후에 생성된 클록 펄스와 연관된 측정 지연에 기초하여 제 2 지연 회로의 프로그램된 지연을 조정하는 것을 포함하는, 클록 신호를 생성하기 위한 장치.

#### 청구항 30

제 28 항에 있어서,

상기 개별의 지연들은 어느 하나의 캘리브레이션 천이에 대해 생성된 클록 펄스들과 연관된 원하는 지연을 반영하는 타이머를 이용하여 측정되는, 클록 신호를 생성하기 위한 장치.

#### 청구항 31

하나 이상의 명령들을 갖는 프로세서 판독가능 저장 매체로서,

상기 하나 이상의 명령들은, 적어도 하나의 프로세싱 회로에 의해 실행될 때, 상기 적어도 하나의 프로세싱 회로로 하여금 :

통신 인터페이스로부터 수신된 신호에서의 천이를 결정하게 하고;

상기 천이에 응답하여 클록 펄스를 생성하게 하고;

상기 천이가 제 1 방향으로 있다면 미리 구성된 제 1 간격만큼 상기 클록 펄스를 지연시키게 하며;

상기 천이가 제 2 방향으로 있다면 미리 구성된 제 2 간격만큼 상기 클록 펄스를 지연시키게 하며,

상기 클록 펄스를 지연시키는 것은 상이한 클록 펄스가 수신되고 상기 클록 펄스의 상기 지연이 완료되지 않았다면 재시작되는, 프로세서 판독가능 저장 매체.

### 발명의 설명

### 기술 분야

#### 35 U.S.C. § 119 하의 우선권 주장

본 특허 출원은, 모두가 본원의 양수인에게 양도되고 이로써 본 명세서에 참조에 의해 분명히 통합된, 2013년 3월 20일자로 출원된 발명의 명칭이 "Multi-Wire Open-Drain Link With Data Symbol Transition Based Clocking" 인 미국 가출원 제61/803,684호, 및 2013년 7월 16일자로 출원된 발명의 명칭이 "Multi-Wire Open-Drain Link With Data Symbol Transition Based Clocking" 인 미국 가출원 제61/846,977호, 및 2014년 3월 19일자로 출원된 발명의 명칭이 "Multi-Wire Open-Drain Link With Data Symbol Transition Based Clocking" 인 미국 특허 출원 (Utility Application) 제14/220,056호에 대해 우선권을 주장한다.

### 분야

본 개시물은 일반적으로 데이터 통신에 관한 것으로, 보다 특히, 멀티-와이어 오픈 드레인 링크들에 걸쳐 천이하는 심볼로부터의 클록 리커버리 (clock recovery) 에 관한 것이다.

### 배경 기술

대부분의 싱글-엔디드 소스 동기 오픈 드레인 통신 인터페이스들, 이를 테면 I2C 는 전용 클록 또는 스트로브 신호 라인을 이용하여 송신기로부터 수신기로 사이클 타이밍 정보를 전송한다. 소정의 단점들이 클록 정보를 위해 전용된 하나의 엑스트라 신호에 대한 요건을 포함하여, 이들 시그널링 시스템들과 연관된다. 최대

데이터 레이트는 하나의 데이터 심볼이 클록 하이 및 클록 로우 사이클로 이루어진 각각의 풀 클록 주기 동안 전송되도록 싱글-레이트 시그널링이 이용될 때 종종 제한되는데, 이를 통해 최대 데이터 레이트는 데이터 라인의 최대 허용 주파수가 아닌 시스템 클록의 최대 허용 주파수에 의해 종종 제한된다. 최대 데이터 레이트는 최적의 시그널링을 위해 제어하기 어려울 수 있는 클록과 데이터 간의 스큐 (skew) 에 의해 종종 제한된다.

[0006]

일부 인스턴스들에서, 전용 클록 라인의 이용을 회피하기 위해, 클록은 송신된 데이터 심볼들 내의 심볼-투-심볼 천이들을 보증함으로써 임베딩될 수도 있다. 따라서, 수신기 디바이스는 심볼-투-심볼 천이들의 검출로부터 클록 정보를 추출할 수도 있다. 그러나, 수신기의 로직에 의한 천이들의 신뢰가능하거나 일관된 검출은 송신된 신호의 상승 시간들 및 하강 시간들에 의해 영향을 받을 수도 있다.

[0007]

상보형 금속 산화물 반도체 (CMOS) 푸시-풀 드라이버들과 달리, 오픈 드레인 타입 드라이버들은 신호 하강 시간보다 상당히 더 긴 신호 상승 시간을 갖는다. 오픈 드레인 타입 드라이버들에 대한 상승 및 하강 시간들의 이 차이는 일부 천이들이 손실될 수도 있기 때문에 송신된 데이터 심볼들로부터의 클록 리커버리에 대한 문제를 제기한다.

## 발명의 내용

### 해결하려는 과제

[0008]

따라서, 데이터 송신 레이트를 늦추지 않고 송신된 데이터 심볼들로부터 클록을 추출하는 것을 허용하는 솔루션이 필요하다.

### 과제의 해결 수단

[0009]

본 명세서에 개시된 실시형태들은 전자 장치 내에 배치 (collocating) 되고 하나 이상의 데이터 링크들을 통하여 통신적으로 커플링될 수도 있는 2 개의 디바이스들 간에 통신하기 위한 시스템들, 방법들 및 장치를 제공한다.

[0010]

하나의 특징에 따르면, 클록 신호를 생성하기 위한 방법은 통신 인터페이스로부터 수신된 신호에서의 천이를 결정하는 단계, 그 천이에 응답하여 클록 펄스를 생성하는 단계, 천이가 제 1 방향으로 있다면 미리 구성된 제 1 간격만큼 클록 펄스를 지연시키는 단계, 및 천이가 제 2 방향으로 있다면 미리 구성된 제 2 간격만큼 클록 펄스를 지연시키는 단계를 포함한다. 예를 들어, 천이가 상승 천이 (로우-투-하이) 이면, 클록 펄스는 제 1 간격 동안 지연될 수도 있다. 천이가 하강 천이 (하이-투-로우) 이면, 클록 펄스는 제 1 간격 플러스 제 2 간격 동안 지연될 수도 있다 (또는, 대안적으로, 제 2 간격은 단순히 제 1 간격보다 더 길 수도 있다). 클록 펄스를 지연시키는 단계는, 상이한 클록 펄스가 수신되고 클록 펄스의 지연이 완료되지 않았다면 재시작될 수도 있다. 미리 구성된 제 1 및/또는 제 2 간격들은 통신 인터페이스와 연관된 상승 시간 및/또는 하강 시간에 기초하여 구성될 수도 있다. 상승 시간은 오픈 드레인 트랜지스터와 연관된 상승 시간에 대응할 수도 있다.

미리 구성된 제 1 및/또는 제 2 간격들은 심볼이 통신 인터페이스 상에서 송신되어, 그 심볼이 신뢰가능하게 샘플링되는 것을 허용할 때 클록 펄스가 발생하게 하도록 선택될 수도 있다. 하나의 예에서, 제 2 천이의 하강 시간 플러스 제 1 및 제 2 간격들 (제 1 및 제 2 지연들) 은 제 1 천이의 상승 시간 플러스 미리 구성된 제 1 간격 (예를 들어, 제 1 지연) 과 실질적으로 동일한 것으로 선택될 수도 있다. 예를 들어, 제 2 간격은 상승 시간에 기인한 천이를 검출하는데 있어서의 지연 (상승 시간과 하강 신호 간의 차이) 에 매칭하도록 선택될 수도 있다. 미리 구성된 제 1 간격은 하강 시간에 기인한 천이를 검출하는데 있어서의 지연에 매칭하도록 선택될 수도 있다. 클록 펄스는 천이에 응답하여 생성된 적어도 하나의 추가적인 클록 펄스와 집성 (aggregate) 될 수도 있다.

[0011]

미리 구성된 제 1 및/또는 제 2 간격들은 캘리브레이팅될 수도 있다. 예를 들어, 미리 구성된 제 1 및/또는 제 2 간격들은 서로 상이한 방향으로 있는 제 1 및 제 2 캘리브레이션 천이들을 제공하고, 제 1 및 제 2 캘리브레이션 천이들에 대해 생성된 클록 펄스들과 연관된 개별의 지연들을 측정하며, 개별의 지연들의 차이를 최소화하기 위해 미리 구성된 제 1 및/또는 제 2 간격들을 수정함으로써 캘리브레이팅될 수도 있다. 예를 들어, 미리 구성된 제 1 간격은 제 1 캘리브레이션 천이 후에 생성된 클록 펄스와 연관된 측정 지연에 기초하여 제 1 지연 회로의 프로그램된 지연을 조정함으로써 수정 또는 설정될 수도 있다. 미리 구성된 제 2 간격은 제 2 캘리브레이션 천이 후에 생성된 클록 펄스와 연관된 측정 지연에 기초하여 제 2 지연 회로의 프로그램된 지연을 조정함으로써 수정 또는 설정될 수도 있다. 개별의 지연들은 어느 하나의 캘리브레이션 천이 동안 생성된 클록 펄스들과 연관된 원하는 지연을 반영하는 타이머를 이용하여 측정될 수도 있다.



## 도면의 간단한 설명

[0012]

도 1 은 싱글-엔디드 시그널링 시스템을 도시한다.

도 2 는 오픈 드레인 드라이버들을 갖고 클록이 심볼 천이들에 통합되는 송신기 디바이스의 블록 다이어그램이다.

도 3 은 CMOS 수신기들을 갖고 통합된 클록 리커버리를 가진 수신기 디바이스의 블록 다이어그램이다.

도 4 는 송신기에서의 비트들로부터 심볼 천이 넘버들로의, 그리고 그 후 수신기에서의 심볼 천이 넘버들로부터 비트들로의 변환을 예시한다.

도 5 는 순차 심볼들과 심볼 천이 넘버들 간의 변환을 예시한다.

도 6 은 오픈 드레인 트랜지스터들과 연관된 신호들의 타이밍을 예시한다.

도 7 은 CDR 회로에 이용된 클록 리커버리 회로 및 대응하는 타이밍 다이어그램의 예를 예시한다.

도 8 은 도 7 에 도시된 클록 리커버리 회로에 관하여 설명한 바와 같이 오픈 드레인 트랜지스터들과 연관된 타이밍을 예시하는 다이어그램이다.

도 9 는 심볼 천이 기반 클록킹을 가진 멀티-와이어 오픈 드레인 링크의 수신기들과 연관된 타이밍 이슈들을 예시한다.

도 10 은 도 9 의 상승 시간 지연이 도 1 의 데이터 링크의 동작의 주파수를 감소시킴으로써 도모될 수도 있는 타이밍 다이어그램을 예시한다.

도 11 은 소정의 양태들에 따라 신뢰가능한 타이밍을 생성하기 위해 복수의 CDR 회로들의 이용을 예시하는 다이어그램이다.

도 12 는 심볼 천이 기반 클록킹을 가진 멀티-와이어 오픈 드레인 링크의 수신기들과 함께 구성되어 이용된 클록 데이터 및 리커버리 회로의 동작을 예시하는 타이밍 다이어그램이다.

도 13 은 CDR 회로 내에서 하나 이상의 지연 엘리먼트들을 구현하는데 이용될 수도 있는 프로그램가능 지연 회로의 예를 예시하는 단순화된 블록 회로도이다.

도 14 는 도 11 의 수신 클록 집성 및 샘플링 회로를 대응하는 타이밍 다이어그램과 함께 예시한다.

도 15 는 도 11 의 하나 이상의 지연 회로들의 캘리브레이션을 위해 이용된 연관 회로 및 CDR 회로들의 타이밍을 캘리브레이팅하기 위한 방법을 예시한다.

도 16 은 도 15 의 방법을 이용하여 하나 이상의 지연 회로들의 캘리브레이션을 수행하는데 이용된 로직 회로들을 예시한다.

도 17 은 도 11 의 지연 회로들을 캘리브레이팅하기 위한 캘리브레이션 회로의 구현을 예시하는 타이밍 다이어그램을 포함한다.

도 18 은 클록 추출 회로를 채용하는 장치에 대한 하드웨어 구현의 예를 예시하는 다이어그램이다.

도 19 는 심볼 천이들로부터 클록 신호를 신뢰가능하게 생성하기 위한 방법을 예시한다.

## 발명을 실시하기 위한 구체적인 내용

[0013]

다양한 양태들이 이제 도면들을 참조하여 설명된다. 다음의 설명에서는, 설명을 목적으로, 다수의 특정 세부사항들이 하나 이상의 양태들의 완전한 이해를 제공하기 위하여 기재된다. 그러나, 이러한 양태(들)가 이들 특정 세부사항들 없이 실시될 수도 있다는 것이 분명할 수도 있다.

[0014]

## 개관

[0015]

방법 및 디바이스가 수신된 심볼 천이들로부터 클록 신호를 생성하기 위해 제공된다. 신호는 멀티-와이어 오픈 드레인 링크를 통해 수신된다. 수신된 신호 내의 천이들은 신호 내의 심볼들의 네거티브-투-포지티브(즉, 로우-투-하이) 천이들 및 포지티브-투-네거티브(즉, 하이-투-로우) 천이들로부터 결정된다. 클록 펄

스는 천이에 응답하여 생성된다. 클록 펄스는 천이가 제 1 방향으로 있다면 (예를 들어, 상승 천이), 미리 구성된 제 1 간격 (예를 들어, 제 1 지연) 만큼 선택적으로 지연된다. 클록 펄스는 또한, 천이가 제 2 방향으로 있다면 (하강 천이), 미리 구성된 제 2 간격 (제 2 지연) 만큼 선택적으로 지연될 수도 있다. 예를 들어, 제 1 방향은 로우로부터 하이로 일 수도 있고, 제 2 방향은 하이로부터 로우로 일 수도 있다. 미리 구성된 제 2 간격은 통신 인터페이스와 연관된 상승 시간 및/또는 하강 시간에 기초하여 구성될 수도 있고 제 1 및 제 2 캘리브레이션 천이들에 대해 생성된 클록 펄스들과 연관된 개별의 지연들을 측정함으로써 캘리브레이팅 될 수도 있다.

[0016]

#### 예시적인 오퍼레이팅 환경(들)

[0017]

도 1 은 싱글-엔디드 시그널링 시스템을 예시한다. 싱글-엔디드 시그널링에서, 하나의 와이어는 신호를 표현하는 가변 전압을 전달하는 한편, 다른 와이어는 레퍼런스 전압 (예를 들어, 접지) 에 접속될 수도 있다. 송신기 디바이스 (102) 는 복수의 싱글-엔디드 오픈 드레인 (트랜지스터) 드라이버들 (108) 을 포함할 수도 있으며, 각각의 드라이버 (108) 는 단일 와이어/도전체 (106a, 106b, 106c, 및/또는 106d) 에 커플링된다. 수신기 디바이스 (104) 는 하나 이상의 싱글-엔디드 CMOS (트랜지스터) 수신기들 (110) 을 포함할 수도 있으며, 각각의 싱글-엔디드 수신기 (110) 는 단일 와이어/도전체 (106a, 106b, 106c, 및/또는 106d) 에 커플링된다. 송신기 디바이스 (102) 는 입력 비트들 (118) 을 수신하고, 그들을 (인코더 (122) 에서) 싱글-엔디드 신호들로 인코딩하며, 그들을 싱글-엔디드 드라이버들 (108) 을 통하여 싱글-엔디드 신호들로서 각각의 와이어/도전체 (106a, 106b, 106c, 및/또는 106d) 를 경유하여 수신기 (104) 에 송신한다. 수신기 디바이스 (104) 는 각각의 와이어/도전체 (106a, 106b, 106c, 및/또는 106d) 를 경유하여 싱글-엔디드 수신기들 (110) 을 통하여 싱글-엔디드 신호들을 수신하고, 싱글-엔디드 신호들을 (디코더 (124) 에서) 디코딩하며, 출력 비트들 (120) 을 제공한다. 이 싱글-엔디드 시스템에서, 디코더 (124) 는 클록 신호가 하나 이상의 수신된 싱글-엔디드 신호들로부터 추출되도록 클록 및 데이터 리커버리 (clock and data recovery; CDR) 를 포함할 수도 있다.

[0018]

도 2 는 클록이 심볼 천이들에 통합된, 오픈 드레인 드라이버들을 가진 송신기 디바이스 (200) 의 블록 다이어그램이다. 송신기 디바이스 (200) 는 비트들 대 심볼 천이 넘버들 컨버터 (202), 심볼 천이 넘버들 컨버터 대 순차 심볼 넘버 컨버터 (204), 및 클록킹된 레지스터들 (206 및 208) 을 포함하는 인코더 (203) 를 포함할 수도 있다. 입력 데이터가 비트 대 심볼 천이 넘버들 컨버터 (202) 에 의해, 이진수 또는 스트림 (비트들) 으로부터  $m$  개의 심볼 천이 넘버들 ( $m \times T$ ) 로 변환된다. 심볼 천이 넘버 대 순차 심볼 넘버 컨버터 (204) 는 심볼 천이 넘버들 ( $T$ ) 을 순차 심볼 넘버 ( $Cs$ ) 로 변환할 수도 있다. 순차 심볼 넘버 ( $Cs$ ) 는 출력 레지스터 (206) 를 통하여 복수의 라인 드라이버들 (212) 을 제어하는 일 세트의 버퍼들 (210) 에 클록킹될 수도 있다. 하나의 예에서, 라인 드라이버들 (212) 은 저항들 (216) 에 의해 풀 업되는 오픈 드레인 트랜지스터들을 이용하여 구현될 수도 있다. 지연 레지스터 (208) 는 이전의 순차 심볼 넘버 ( $Ps$ ) 를 홀딩하도록 기능한다. 심볼 천이 넘버 대 순차 심볼 넘버 컨버터 (204) 는 현재의 심볼 천이 넘버 ( $T$ ) 및 이전의 순차 심볼 넘버 ( $Ps$ ) 를 이용하여 다음의 현재 순차 넘버 ( $Cs$ ) 를 선택한다.

[0019]

도 3 은 CMOS 수신기들을 갖고 통합된 클록 리커버리를 가진 수신기 디바이스 (350) 의 블록 다이어그램이다. 수신기 디바이스 (350) 는  $n$  개의 와이어들 (364) 로부터 신호들을 수신하는 복수의 상보형 금속 산화물 반도체 (CMOS) 수신 버퍼들 (362) 을 포함할 수도 있다.

[0020]

수신기 디바이스 (350) 는 클록킹된 홀드 레지스터 (354), 순차 심볼 넘버 대 심볼 천이 넘버 컨버터 (356), 및 심볼 천이 넘버 대 비트들 컨버터 (358) 를 포함하는 디코더 (303) 를 포함할 수도 있다. 수신된 신호들은 와이어들 (364) 을 통해 수신된 입력 심볼 (SI) 의 천이들로부터 수신 클록 (RXCLK) 을 복구하는 클록 및 데이터 리커버리 (CDR) 회로 (352) 에 제공될 수도 있다. 순차 심볼 넘버 대 심볼 천이 넘버 컨버터 (356) 는 이전의 심볼 ( $Ps$ ) (이는 홀드 레지스터에 홀딩된다) 에 기초하여 현재의 심볼 ( $Cs$ ) 을 변환하여 심볼 천이 넘버 ( $T$ ) 를 제공한다. 홀드 레지스터 (354) 는 CDR 회로 (352) 에 의해 제공된 수신 클록 (RXCLK) 에 의해 클록킹된다. 수신 클록 (RXCLK) 에 의해 트리거링된 심볼 천이 넘버 대 비트들 컨버터 (358) 는  $m$  개의 심볼 천이 넘버들 ( $m \times T$ ) 을 이진수로 변환한다. 캘리브레이션 회로 (366) 는 CDR 회로 (352) 및 CMOS 수신 버퍼들 (362) 에 대한 지연 캘리브레이션 제어 신호들을 생성하도록 기능할 수도 있다.

[0021]

#### 비트들과 심볼 천이 넘버들 간의 예시적인 변환

[0022] 도 4 는 송신기 (402) 에서의 비트들로부터의 심볼 천이 넘버들로의, 그리고 그 후 수신기 (404) 에서의 심볼 천이 넘버들로부터 비트들로의 변환을 예시한다. 송신기 (402) 는 "비트들 대  $m \times T$ " 컨버터 (406) 에 이진 정보 (비트들) 를 피딩하여  $m$  개의 심볼 천이 넘버들 ( $T_0$  내지  $T_{m-1}$ ) 을 생성한다. 수신기 (404) 는 " $m \times T$  대 비트들" 컨버터 (408) 에 피딩되는  $m$  개의 심볼 천이 넘버들 ( $T_0$  내지  $T_{m-1}$ ) 을 수신하여 이진 정보 (비트들) 를 취출한다. 하나의  $T$  당  $r$  개의 가능한 심볼 천이 상태들이 있다면,  $T_0$  내지  $T_{m-1}$ , 즉  $m$  개의 천이들은  $r^m$  개의 상이한 상태들을 전송할 수 있다.

[0023] 하나의 예에서, 하나의  $T$  당 가능한 심볼 천이 ( $r$ ) 는 10 이라는 것이 가정될 수도 있다. 또한, 심볼 천이 넘버가  $T_2, T_1, T_0$  (여기서,  $T_i: 0, 1, 2, \dots, 9$ ) 이 되도록, 그룹 내의 심볼들의 수 ( $m$ ) 는 3 이라는 것을 가정하자. 따라서, 각각의  $T$  는 10 개의 상이한 상태들을 가질 수 있다. 따라서,  $T_2, T_1, T_0$  에 대한 심볼 천이 넘버는 예를 들어, 3-자리수 (digit number), 이를 태면  $T_2=3, T_1=9, T_0=1$  (또는 10진수 391) 일 수도 있다. 이 방식에서, 비트들의 시퀀스는 복수의 심볼 천이 넘버들 ( $T$ ) 로 변환될 수도 있고 그 역도 또한 마찬가지이다.

#### [0024] 순차 심볼들과 심볼 천이 넘버 간의 예시적인 변환

[0025] 도 5 는 순차 심볼들과 천이 넘버들 간의 변환을 예시한다. 이 변환은 이전의 순차 심볼 넘버 ( $P_s$ ) 로부터의 현재의 순차 심볼 ( $C_s$ ) 로의 각각의 천이를 천이 넘버 ( $T$ ) 에 맵핑시킨다. 송신기 디바이스에서, 그 천이 넘버들은 순차 심볼들로 변환되고 있다. 상대적 변환 스킴이 이용되고 있기 때문에, 천이 넘버들은 어떤 2 개의 연이은 순차 심볼들 (504) 도 동일하지 않을 것이라는 것을 보장한다.

[0026] 2-와이어 시스템에 대한 하나의 예에서, 4 개의 순차 심볼 ( $S_0, S_1, S_2$ , 및  $S_3$ ) 에 할당된 네 (4) 개의 원시 심볼들이 있다. 네 (4) 개의 순차 심볼들의 경우, 표 (502) 는 현재의 순차 심볼 ( $C_s$ ) 이 이전의 순차 심볼 ( $P_s$ ) 에 기초하여 할당될 수도 있고 일시적 천이 넘버 ( $T_{tmp}$ ) 가 현재의 천이 넘버 ( $T$ ) 에 기초하여 할당될 수도 있는 방법을 예시한다.

[0027] 이 예에서, 천이 넘버 ( $C_s$ ) 는 :

$$[0028] \quad C_s = P_s + T_{tmp}$$

[0029] 에 따라 할당될 수도 있으며, 여기서  $T_{tmp} = T \bmod 3$  이다. 대안적으로 명시한 바와 같이,  $T$  가 0 과 동일하다면,  $T_{tmp}$  는 3 이 되고, 그렇지 않으면  $T_{tmp}$  는  $T$  와 동일해진다. 그리고, 일단  $T_{tmp}$  가 계산되면,  $C_s$  는  $P_s$  플러스  $T_{tmp}$  로 설정된다. 더욱이, 수신기단에서, 로직은  $T, T_{tmp} = C_s + 4 - P_s$  및  $T = T_{tmp} \bmod 3$  을 복구하기 위해 반전된다.

#### [0030] 예시적인 오픈 드레인 트랜지스터 타이밍

[0031] 이전에 언급한 바와 같이, 도 2 의 송신기 디바이스 (200) 및 도 3 의 수신기 디바이스 (350) 는 그들의 드라이버들 및 수신기들을 위해 오픈 드레인 트랜지스터들을 이용한다.

[0032] 도 6 은 오픈 드레인 트랜지스터들과 연관된 신호들의 예시적인 타이밍을 예시한다. 하나의 예에서, I2C (Inter-Integrated Circuit) 내의 직렬 클럭 (serial clock; SCL) 드라이버 (608) 는 오픈 드레인 트랜지스터를 포함할 수도 있다. 송신할 때, 마스터 디바이스 (602) 는 오픈 드레인 트랜지스터 (608) 를 하이 임피던스와 접지 (또는 전압 레일 (rail)) 간에 스위칭할 수도 있다. 오픈 드레인 트랜지스터 (608) 가 하이 임피던스 상태에 있을 때 출력을 원하는 전압 레벨로 풀링하기 위해 저항 (606) 이 제공될 수도 있다. 로직 0 과 로직 1 에 대응하는 송신 라인 상의 전압들 간의 신호의 변화의 레이트는 그 트랜지스터 (608) 가 하이 임피던스 상태에 있을 때 저항 (606) 및 라인 커패시턴스 (610) 와 연관된 RC 상수 (constant) 에 의해 좌우된다. 이 예에서, 오픈 드레인 트랜지스터 (608) 에 대한 상승 시간  $t_r$  (632) 은 그것의 하강 시간  $t_f$  (630) 보다 상당히 더 길다는 것이 인정될 수 있다. 특성 타이밍 다이어그램 (620) 은 로우-투-하이 천이 (624) (예를

들어, 상승 에지들)가 로직 1 전압으로부터 로직 0 전압으로의 하이-투-로우 천이 (622) (예를 들어, 하강 에지) 보다 천이들에 대해 상당히 더 완만하다 (예를 들어, 더 길다)는 것을 예시한다. 하이-투-로우 천이들 (622) (하강 시간) 대 로우-투-하이 천이들 (624) (상승 시간)의 차이의 결과는 검출 로직이 하이-투-로우 천이를 확인하기 위한 시간보다 상당히 더 긴 시간 (628)에서 로우-투-하이 천이를 확인할 수도 있다는 것이다.

즉, 로우-투-하이 천이 (626)의 시작으로부터 하이 상태가 확인되는 시간 (628)까지의 시간 지연은 하이-투-로우 천이 (622)에서 로우 상태를 확인하기 위한 시간 지연보다 상당히 더 크거나 더 길다. 이것은 전송 레이트들을 늦추는 경향이 있다.

[0033]

도 7은 CDR 회로에 이용된 클록 리커버리 회로 (700) 및 대응하는 타이밍 다이어그램 (750)의 예를 예시한다. 클록 리커버리 회로 (700)는 하나 이상의 신호들 (703)로부터 수신 클록 (RXCLK) (712)을 추출할 수 있다. 클록 리커버리 회로 (700)는 입력 라인들 (703)의 상태에 의해 표현된 심볼들에서의 천이를 검출하고 현재의 수신된 심볼의 샘플링을 허용하기 위하여 천이에 관하여 정렬되는 펄스를 생성할 수도 있다.

[0034]

클록 리커버리 회로 (700)는 현재의 심볼 (Cs)을 홀드 레지스터 (714)에 의해 유지되는 이전의 심볼 (Ps)과 비교하고 차이가 검출되는지 여부를 나타내는 출력 (NE)을 생성하는 비교기 (702)를 이용하여 심볼 천이들을 검출한다. NE 신호는 심볼이 심볼의 레지스터된 카피와 동일하지 않을 때 생성된다. 비교기 (702)의 출력은 천이를 기록하기 위해 셋-리셋 레지스터 (704)를 설정한다. 셋-리셋 레지스터 (704)의 출력은 1-샷 (one-shot) 펄스 (NE1SHOT)를 생성하기 위해, 게이트 (706)에서 그 자신의 인버팅된 지연된 버전으로 게이트된다. NE1SHOT 펄스의 폭 (P)은 (프로그램가능 또는 구성가능 지연으로서 동작할 수도 있는) 플립 플롭 기반 회로 (708)에 의해 결정된다. NE1SHOT 펄스는 현재의 심볼의 신뢰가능한 샘플링을 가능하게 하는 결과의 클록 IRXCLK (720)를 제공하기 위해 제 1 지연 회로 S (710)에 의해 결정된 시간만큼 추가 지연될 수도 있다. 클록 IRXCLK (720)는 홀드 레지스터 (714)로의 심볼들을 클록킹하고 천이의 발생을 기록하는 셋-리셋 레지스터 (704)를 클리어하는데 이용될 수도 있다. 제 2 플립 플롭 회로 (713)는 클록 IRXCLK (720)를 홀딩 (지연)하고 수신된 심볼들을 샘플링하도록 기능할 수도 있는 제 2 클록 RXCLK (712)를 생성하도록 기능할 수도 있다.

[0035]

클록 리커버리 회로 (700)는 적어도 하나의 천이가 매 심볼 간격에서 발생하는 것을 가정한다. 그러나, 하나의 심볼 간격에서의 천이들은 단지 포지티브 천이들만을 또는 단지 네거티브 천이들만을 포함할 수도 있다. 이것은 오픈 드레인 트랜지스터 드라이버들이 와이어들 (703)상에서 이용될 때 일부 비동기 타이밍을 야기할 수 있다.

[0036]

보다 상세화한 예에서, 클록 리커버리 (700)는 비교기 (702), 셋-리셋 레지스터 (704), 제 1 아날로그 또는 디지털 지연 디바이스 (708) (예를 들어, 플립 플롭 기반 회로), 1-샷 로직 (706), 제 2 아날로그 또는 디지털 지연 디바이스 (710), 및 레지스터 (714)를 포함한다. 비교기 (702)는 제 1 상태 천이 신호의 제 1 인스턴스 (SI)와 제 1 상태 천이 신호의 레벨-래치된 인스턴스 (S)를 비교할 수도 있고 비교 신호 (NE)를 출력한다. 셋-리셋 레지스터 (704)는 비교기 (702)로부터 비교 신호 (NE)를 수신할 수도 있고 비교 신호의 필터링된 버전 (NEFLT)을 출력한다. 제 1 지연 디바이스 (708) (예를 들어, 플립 플롭 기반 회로)는 비교 신호의 필터링된 버전 (NEFLT)을 수신할 수도 있고 비교 신호의 필터링된 버전의 지연된 인스턴스 (NEDEL)를 출력한다. 1-샷 로직 (706)은 필터링된 비교 신호 (NEFLT) 및 비교 신호의 필터링된 버전의 지연된 인스턴스 (NEDEL)를 수신할 수도 있고 비교 신호의 제 2 필터링된 버전 (NE1SHOT)을 출력한다. 제 2 지연 디바이스 (710)는 비교 신호의 제 2 필터링된 버전 (NE1SHOT)을 수신할 수도 있고 제 1 상태 천이 신호의 지연된 인스턴스 (RXCLK) (720)를 출력한다. 셋-리셋 레지스터 (704)는 제 1 상태 천이 신호의 지연된 인스턴스 (IRXCLK) (720)에 기초하여 리셋될 수도 있다. 레지스터 (714)는 제 1 상태 천이 신호 (SI)를 수신할 수도 있고 제 1 상태 천이 신호의 레지스터된 인스턴스 (S)를 출력하며, 여기서 레지스터 (714)는 제 1 상태 천이 신호의 지연된 인스턴스 (IRXCLK)에 기초하여 트리거링된다.

[0037]

타이밍 다이어그램 (750)으로부터 인정될 수 있는 바와 같이, (예를 들어, 플립 플롭 회로에 의해) 도입된 작은 지연 P (708)는 심볼들 간의 셋업 시간에 대해 더 많은 마진들을 제공한다.

[0038]

다음의 정의들이 타이밍 다이어그램 (750) 신호에서 이용된다 :

[0039]

$t_{sym}$  : 하나의 심볼 사이클 주기,

[0040]

$t_{SU}$  : IRXCLK (720)의 상승 (리딩) 에지에 참조된 레지스터들 (714)에 대한 SI의 셋업 시간,

- [0041]  $t_{HD}$  : IRXCLK (720) 의 하강 (트레일링) 에지에 참조된 레지스터들 (714) 에 대한 SI 의 홀드 시간,
- [0042]  $t_{dNE}$  : 비교기 (702) 의 전파 지연,
- [0043]  $t_{dRST}$  : IRXCLK (720) 의 상승 (리딩) 에지로부터의 셋-리셋 레지스터 (704) 의 리셋 시간,
- [0044]  $t_{dIS}$  : 1-샷 로직 (706) 의 전파 지연.
- [0045] 초기에, 신호들 (SI 및 S) 은 이전의 심볼 값 Sym0 (752) 을 홀딩한다. 신호들 (NE, NEFLT, 및 IRXCLK) 은 0 이다. 새로운 심볼 값 Sym1 (756) 이 수신되고 있을 때, 신호 (SI) 가 그것의 값을 변경하기 시작하게 한다. SI 값은 예를 들어, 인터-와이어 스큐, 오버-언더 슈트, 크로스-토크 등에 의해 야기될 수도 있는 (Sym0 으로부터 Sym1 로의) 신호 천이의 중간 또는 부정 (indeterminate) 상태들 (754) 을 수신할 가능성으로 인해 Sym1 (756) (유효 데이터) 과는 상이할 수도 있다.
- [0046] NE 신호는 비교기 (702) 가 SI 와 S 간에 상이한 값을 검출하고 셋-리셋 레지스터 (704) 출력 (NEFLT 신호) 을  $t_{dNE}$  후에 하이로 비동기적으로 설정하자마자 하이가 되는데, 이는 그것이 NEFLT 신호의 상승 후 (지연 S (710) 에 의해 야기된) 지연 주기 S 에 대략 도달할 IRXCLK (720) 의 하이 상태에 의해 리셋될 때까지 그것의 하이 상태를 홀딩한다.
- [0047] SI (무효 데이터) 에서의 중간 상태들은 비교기 (702) 출력 NE 신호가 짧은 주기 (NE 신호의 스파이크들 (762)) 동안 다시 로우로 돌아가게 하는 짧은 주기의 심볼 값 Sym0 (752) 을 포함할 수도 있다. NE 신호의 로우 상태는 셋-리셋 레지스터 (704) 가 NEFLT 신호를 출력하기 전에 NE 신호에 대한 스파이크들을 효과적으로 필터링 아웃하기 때문에, 셋-리셋 레지스터 (704) 출력 (NEFLT 신호) 에 영향을 주지 않을 것이다.
- [0048] 1-샷 회로 (지연 P (708) 를 가진 로직 게이트 (706)) 는 NEFLT 신호의 상승 에지로부터  $t_{dIS}$  후에, 그것의 출력 (NE1SHOT 신호) 에 대해 하이 상태를 생성하고, 그 NE1SHOT 신호를 그것을 로우 상태로 돌아가게 하기 전에 지연 P 주기 (708) 동안 하이 상태에서 홀딩한다.
- [0049] NE1SHOT 신호의 하이 상태는 지연 S (710) 에 의해 야기된 지연 S 주기 (770) 후 IRXCLK 신호 (720) 에 전파된다. IRXCLK 신호 (720) 의 하이 상태는 셋-리셋 레지스터 (702) 출력 (NEFLT 신호) 을  $t_{dRST}$  후에 로우로 리셋한다. IRXCLK 신호 (720) 의 하이 상태는 또한, 레지스터 (714) 로 하여금, SI 신호 값이 S 신호로 출력 되는 것을 가능하게 한다. 비교기 (702) 는 S 신호 (심볼 Sym1 (760)) 가 SI 신호의 심볼 Sym1 (756) 에 매칭하고, 그것의 출력 (NE 신호) 을 로우로 돌아가게 하는 때를 검출한다. NE1SHOT 신호의 로우 상태는 지연 S (710) 에 의해 야기된 지연 주기 S (770) 후 IRXCLK 신호 (720) 에 전파된다.
- [0050] 새로운 심볼 값 Sym2 (752) 가 수신되고 있을 때, SI 신호가 IRXCLK 신호 (720) 의 마지막 하강 (트레일링) 에지 (768) 로부터  $t_{HD}$  후 그것의 값을 다음의 심볼 Sym2 (758) 로 변경하기 시작하게 한다. 심볼 사이클 주기 ( $t_{SYM}$ ) 에 대한 타이밍 제약은 다음과 같을 수도 있다 :
- [0051] i)  $t_{dNE} + t_{dIS} + \text{지연 S} + \text{지연 P} + t_{HD} < t_{SYM}$ .
- [0052] 보다 구체적으로, 심볼 사이클 시간 ( $t_{SYM}$ ) 은 : 지연 주기 S, 지연 주기 P,  $t_{HD}$ ,  $t_{dNE}$ ,  $t_{dIS}$  및  $t_{dRST}$  의 총합보다 더 커야 한다. 이들 6 개의 시간 주기들의 총합이  $t_{SYM}$  주기를 초과한다면, IRXCLK 의 트레일링 에지는 다음의 심볼 사이클을 오버랩핑하여 그 오버랩핑 주기 동안 NEFLT 신호가 설정될 수 없게 만든다. 오버랩핑 주기의 양은 사이클 단위 (cycle by cycle) 로 누적되고 결과적으로 하나의 심볼 사이클에서 엑스트라 IRXCLK 펄스를 초래한다는 것에 주목한다. 셋업 시간 ( $t_{SU}$ ) 에 대한 타이밍 제약은 다음과 같을 수도 있다 :
- [0053] i) 최대 스큐 사양 +  $t_{SU} < \text{지연 S}$ .
- [0054] b) 보다 구체적으로, 지연 주기 S 는 셋업 시간 ( $t_{SU}$ ) 플러스 최대 스큐보다 작아야 한다.
- [0055] 도 8 은 도 7 에 도시된 클록 리커버리 회로 (700) 에 관련하여 설명한 바와 같이 오픈 드레인 트랜지스터들과 연관된 타이밍을 예시하는 다이어그램 (800) 이다. 시간 (802) 에서 시작하는 제 1 천이 (804) (로우-투-하이 천이) 는 오픈 드레인 트랜지스터 드라이버에 대한 풀 업에 기인하는 느린 상승 시간을 예시한다. 제 2 천이 (806) (하이-투-로우 천이) 는 더 빠르고 스위칭 온된 트랜지스터 드라이버에 기인한다. 이 예에서,



유효 클록 타이밍은 적어도 하나의 네거티브 천이가 와이어들 (703) (도 7) 에서 발생하기 때문에 추출될 수 있다. 예를 들어, 클록 타이밍은 느린 천이 (804) (예를 들어, 긴 상승 시간) 으로부터 상승하는 임의의 지연된 효과가 억제될 수 있다는 것을 가정하여, 수신기 클록의 후속 클록들을 생성하기 위해 상이한 와이어들 (703) 로부터 천이들 (808 및 810) 을 이용하여 신뢰가능하게 추출될 수 있다.

[0056]

도 9 는 오픈 드레인 트랜지스터 드라이버들과 연관된 타이밍을 예시하는 다이어그램 (900) 이다. 여기서, 클록 타이밍은 상당한 지연 후 (로우-투-하이 천이 (902) 에서) 검출되는 단일 네거티브-투-포지티브 또는 로우-투-하이 천이 (904) (예를 들어, 상승 에지) 에 의존한다. 지연된 검출 (902) 의 결과로서, CDR 회로 (700) 에 의해 추출된 수신 클록은 방해될 수도 있고 심볼들은 부정확한 샘플링 시간으로 인해 손실될 수도 있다. 일 스트림의 출력 심볼들 TX S0 [1:0] (918) 은 제 1 심볼 (906) 및 제 2 심볼 (908) 을 포함하며, 여기서 각각의 심볼 (906/908) 은 심볼 송신 사이클 내에서 송신된다. 여기서, TX S[0] 은 S[1:0] 의 비트 0 을 나타낸다. 수신기 버퍼는 느린 전압 천이 (904) 때문에 제 1 심볼 (906) 주기에서 늦게 신호 상승 천이 (902) 를 검출한다. 심볼 사이클에서 훨씬 늦은 시간에 NE (not equal) 신호 (910) 및 그 후 NE1SHOT 펄스 (912) 가 생성되고, 그 포인트로부터 지연 S 시간 후 IRXCLK 가 생성된다. IRXCLK 가 엑스트라 지연으로 인해 다음의 심볼 타이밍에서 (즉, 제 2 심볼 (908) 동안) 생성되는 것이 매우 가능성있다. 이것은, 예를 들어, IRXCLK 펄스 (914) 가 과도한 지연으로 인해 의도된 (906) 대신에 다음의 사이클 (908) 의 신호 (SI) 를 샘플링하게 할 수도 있다. 즉, 천이 (926) 의 검출은 그것이 이전의 천이의 "지연 S" 주기 동안 발생하여 NEFLT 가 0 으로 리셋되지 않았기 때문에 손실된다. 이 심볼 천이 (926) 의 손실은 수신기 클록 사이클 (928 및 930) 이 손실되게 한다. 심볼 천이들을 손실할 가능성은 복구된 클록을 예측불가능하게 만들고, 그 결과 불안정하게 만든다.

[0057]

도 10 은 도 9 의 상승 시간 지연 (902) 이 데이터 링크 (118) (도 1) 의 동작의 주파수를 감소시킴으로써 도모될 수도 있는 상승 다이어그램 (1000) 을 예시한다. 심볼 레이트/주파수를 늦춤으로써 (즉, 심볼 주기의 연장), 다음의 심볼 (908) 이 아니라 제 1 심볼 (906) 이 샘플링될 수도 있다. 그러나, 주파수를 감소시키는 접근법은 인터페이스의 성능을 저하시키기 (즉, 데이터 스트루트를 떨어뜨리기) 때문에 만족스럽지 못하게 된다.

[0058]

#### 신뢰가능한 심볼 천이 센싱을 가진 예시적인 클록 데이터 리커버리 회로

[0059]

도 11 은 소정의 양태들에 따라 신뢰가능한 타이밍을 생성하기 위해 복수의 CDR 회로들 (1101 및 1102) 의 이용을 예시하는 다이어그램이다. CDR 회로 (1101/1102) 는 인터페이스에서 모든 와이어에 대해 제공되며, 따라서 단일 와이어에 대해 클록/타이밍 추출을 허용할 수도 있다. 각각의 CDR 회로 (1101/1102) 는 입력 (1104) 에 대한 천이에 관하여 정렬되는 펄스를 생성하도록 구성된다. exclusive-OR 로직 (1106) 은 입력 (1104) 의 상태의 변화를 홀드 레지스터 (1130) 에 의해 유지된 이전의 상태와 비교하고 차이가 검출되는지 여부를 나타내는 출력 (NE) 을 생성한다. NE 신호는 현재의 상태가 이전의 상태의 레지스터된 카피와 동일하지 않을 때 (즉, 단일 신호 라인, SCL 라인 (1104) 또는 SDA 라인의 현재의 심볼 (SI) 과 이전의 심볼 (SX) 의 비교) 생성된다. exclusive-OR 로직 (1106) 의 출력은 천이를 기록하기 위해 셋-리셋 레지스터 (1108) 를 설정한다. 셋-리셋 레지스터 (1108) 의 출력은 1-샷 펄스 (NE1SHOT[0]) 를 생성하기 위해, 게이트 (1112) 에서 그 자신의 인버팅된 지연된 버전으로 게이팅된다. 셋-리셋 레지스터 (1108) 의 출력의 인버팅된 지연된 버전은 플립 플롭 회로 (1110) 의 출력이다.

[0060]

2 개의 "지연 S" 는 각각의 CDR 회로 (1101/1102) 에 대해 이용된다. 제 1 지연 S10 (1114) 은 느린 상승 신호들 (즉, 로우-투-하이 천이들) 에 대해 이용되고, 제 2 지연 S20 (1120) 은 빠른 하강 신호들 (즉, 하이-투-로우 천이들) 에 대해 이용된다. 즉, 느린 상승 신호들 (즉, 로우-투-하이 천이들) 은 전체 더 짧은 지연 (제 1 지연 S10 (1114)) 에 노출되는 한편 더 빠른 하강 신호들 (즉, 하이-투-로우 천이들) 은 더 긴 전체 지연 (즉, 2 개의 지연들 S10 (1114) 및 S20 (1120) 의 총 지연) 에 노출된다. 그 결과, 상승 천이 (로우-투-하이 천이) 에 대해, NE1SHOT[0] 펄스는 상승 천이 후 다음의 심볼의 신뢰가능한 샘플링을 가능하게 하는 결과의 펄스 (1116) 를 제공하기 위해 제 1 지연 S10 (1114) 에 의해 결정된 시간만큼 지연된다. 하강 천이 (하이-투-로우 천이) 에 대해, 펄스 (1116) 는 상승 에지들에 기초한 타이밍에 매칭하도록 선택되는 제 2 지연 S20 (1120) 만큼 추가 지연된다 (예를 들어, 제 2 지연 S20 (1120) 은 상승 천이들에 매칭하기 위해 하강 천이들을 연장하도록 선택된다).

[0061]

각각의 CDR 회로 (1101/1102) 는 상승 (로우-투-하이) 및 하강 (하이-투-로우) 천이들로부터 유도된 타이밍을 정규화하도록 동작하는 추가적인 제 2 지연 회로 (1120) 를 포함한다. 특히, 제 2 지연 회로 (1120) 는 하

강 천이들 (예를 들어, 하이-투-로우 천이들) 에 의해 생성된 펄스들 (1116) 을 지연시킨다. 천이의 방향 (예를 들어, 로우-투-하이 또는 하이-투-로우) 은 이전의 상태의 카피를 유지하는 레지스터 (1126) 에 의해 나타내진, 와이어 (예를 들어, SCL 라인 (1104)) 의 이전의 상태에서부터 알려진다. 와이어가 하이 레벨에 있었다면, 하강 천이 (즉, 하이-투-로우 천이) 는 다음의 검출된 천이일 것이고, 게이트 (1118) 는 그 천이에 기초하여 생성된 펄스 (1116) 가 제 2 지연 회로 (1120) 에 제공되는 것을 가능하게 하도록 제어된다. 추가적으로, 멀티플렉서 (1124) 는 천이가 하강할 때 (즉, 하이-투-로우 천이), 다음의 수신 클록으로서 제 2 지연 회로 (1120) 에 의해 생성된 타이밍 (1122) 을 선택하는데 이용된다. 이전의 신호 상태가 로우 레벨에 있다면, 제 2 지연 회로 (1120) 의 동작은 게이트 (1118) 의 동작에 의해 디스에이블되고 멀티플렉서 (1124) 는 제 1 지연 회로 (1114) 에 의해 출력된 타이밍 (1116) 을 선택한다. 제 2 지연 회로 (1120) 는 더 느린 상승 로우-투-하이 천이에 의해 야기된 지연과 등가인 하이-투-로우 천이들 (예를 들어, 네거티브 또는 하강 천이들) 에 대한 지연을 도입하도록 프로그램 또는 구성될 수도 있다. 예를 들어, 이러한 하이-투-로우 천이들에 대한 지연은 로우-투-하이 천이에 대한 상승 시간과 하이-투-로우 천이에 대한 하강 시간 간의 차이와 대략 동일할 수도 있다.

[0062] 시스템 수신 클록 (1134) 은 모든 CDR들 (1101/1102) 에 의해 생성된 수신 클록들 IRXCLK[0] 및 IRXCLK[1] 을 집성 및/또는 결합하고 시스템 수신 클록 RXCLK (1134) 를 생성하는 클록 회로 (1132) 를 이용하여 획득될 수도 있다.

[0063] 도 12 는 도 11 의 CDR 회로 (1101) 를 이용하여 멀티-와이어 오픈 드레인 링크에서의 단일 와이어로부터 수신된 신호로부터 생성된 수신 클록 타이밍을 예시하는 타이밍 다이어그램 (1200) 이다. 예에서, 수신 클록은 상승 천이들과 하강 천이들 양자에 대해 거의 동일한 타이밍으로 생성될 수도 있다.

[0064] 도 11 을 더욱 참조하면, 수신기 CDR 회로들 (1101/1102) 은 N-와이어 채널 상에서 심볼들로서 인코딩된 데이터를 수신하는 CMOS 싱글-엔디드 수신기들로부터 구성될 수도 있다. 레지스터 (1130) 는 각각의 IRXCLK[0] 상승 에지에서 각각의 와이어의 상태를 저장하고 exclusive-OR 로직 (1106) 에 의한 비교를 위해 이전의 상태 정보를 생성한다. 지연 엘리먼트들 (1114 및 1120) 은 와이어들 (1104) 로부터 수신된 신호 상태들의 적절한 샘플링을 가능하게 하도록 포지셔닝된 신뢰가능한 클록 천이들을 획득하도록 구성될 수도 있다. 지연 회로들 (1114 및 1120) 은 느린 상승 신호에 대한 더 짧은 지연, 및 빠른 하강 신호에 대한 더 긴 지연을 생성하기 위해 직렬로 배치되고 선택적으로 커플링된다. 특히, 제 2 지연 (1120) 은 천이가 빠른 하강 신호와 연관될 때 지연들의 직렬 체인에 부가된다. 복수의 CDR 회로들 (1101/1102) 에 의해 생성된 IRXCLK 클록들 (1128) 은 싱글-레이트 복구된 수신기 클록 RXCLK (1134) 를 생성하기 위해 클록 회로 (1132) 에 의해 집성된다.

[0065] 도 13 은 CDR 회로 내에서 하나 이상의 지연 엘리먼트들 (1114, 1120 및 1138) 을 구현하는데 이용될 수도 있는 프로그램가능 지연 회로의 예를 예시하는 단순화된 블록 회로도 (1300) 이다. 이 회로 (1300) 는 펄스들을 필터링하는 다운 카운터를 구현한다. 지연 선택 신호 또는 값 DELSEL 은 고정되거나 프로그램가능할 수도 있다. 제 1 멀티플렉서 (1302) 는 하이가 되는 입력 I 에 의해 인에이블되며, 그것은 다운 카운터를 시작한다. n-비트 플립 플롭 (1304) 은 카운트 값을 홀딩한다. 제 2 멀티플렉서 (1308) 는 카운터가 0 에 도달할 때까지 카운트를 1 씩 감소시키도록 기능한다. 그 후, 비교기 (1310) 는 출력 카운트를 0 과 비교하고 카운터가 0 과 동일하다면 Q=1 을 출력한다. AND 게이트 (1006) 는 0 에 도달한 후 모든 이진 1들 ("1...111") 을 물 오버할 때 제 2 멀티플렉서가 카운트 다운을 중단하게 한다는 것에 주목한다.

[0066] 다이어그램 (1320) 은 다중 펄스들이 또한 회로 (1300) 에 의해 필터링될 수도 있다는 것을 추가 예시한다. 예를 들어, 제 1 펄스 (1322) 가 다운 카운터를 시작한다면, 제 2 펄스 (1324) 의 발생은 다운 카운터가 DELSEL 값으로 리셋 및 재시작되게 한다. 이것은 원하지 않는 다중 펄스들을 효과적으로 필터링 아웃하고 단일 펄스를 출력한다.

[0067] 도 14 는 도 11 의 수신 클록 집성 및 샘플링 회로 (1132) 를 대응하는 타이밍 다이어그램 (1400) 과 함께 예시한다. 도 14 는 상이한 CDR 회로들 (1101/1102) 에 대한 지연들이 과도한 클록 펄스들 (1402 및 1404) 을 야기할 수 있는 오정렬된 수신 클록들 (1410 및 1420) 을 생성하는 경우의 인스턴스를 예시한다. 이들 펄스들 (1402 및 1404) 은 지연 RX (1138) 의 이용에 의해 필터링 및/또는 결합될 수도 있다. 수신기 클록 RXCLK (1134) 는 2 개의 클록들 IRXCLK들 (즉, IRXCLK[0] (1410) 및 IRXCLK[1] (1412)) 을 집성하고 지연 셀 (1138) 및 플립 플롭 (1136) 에 의해 지연되는, OR-ed IRXCLK들 (1414) 의 트레일링 펄스로부터 1 샷을 취함으로써 생성된다. 수신된 심볼 SX 는 심볼 SX 가 SX 값이 안정될 때 SX 의 각각의 심볼 경계에서 지연 RX 후

에 샘플링되도록 SCL CDR 회로 (1101) 와 SDA CDR 회로 (1102) 간의 연매칭된 지연들로 인해 2 개의 심볼들 간에 일부 중간 값을 가질 수도 있다.

[0068] 도 15 는 도 11 의 하나 이상의 지연 회로들 (1114, 1120, 및 1138) 의 캘리브레이션을 위해 이용된 CDR 회로들 (1101/1102) 의 타이밍을 캘리브레이팅하기 위한 방법 (1500) 을 예시한다. 이 방법 (1500) 은 복수의 CDR 들로부터 클록 신호들을 캘리브레이팅하도록 기능하여, 그들이 신뢰가능하게 오버랩핑하고 이로써 심볼 간격 내의 수신 클록 RXCLK (1128) 상에서 다중 펄스들의 생성을 회피할 수도 있다.

[0069] 도 16 은 도 15 의 방법을 이용하여 하나 이상의 지연 회로들의 캘리브레이션을 수행하는데 이용된 로직 회로들을 예시한다. 이 예는 CDR 회로에 의해 이용된 제 1 지연 또는 간격 (예를 들어, 도 11 의 지연 S1 (1114)) 에 대해 캘리브레이팅하도록 기능하는 제 1 로직 회로 (1600a) 를 예시한다. 제 2 로직 회로 (1600b) (또는 제 1 로직 회로 (1600a)) 는 CDR 회로에 의해 이용된 제 2 지연 또는 간격 (예를 들어, 도 11 의 지연 S2 (1120)) 에 대해 캘리브레이팅하도록 기능할 수도 있다. 유사하게, 다른 CDR 회로들에 대한 (예를 들어, 상이한 와이어들에 대한) 지연들은 로직 회로(들) (1602a/1602b) 를 이용하여 캘리브레이팅될 수도 있다.

[0070] 도 17 은 도 11 의 지연 회로들 (1114, 1120 및/또는 1138) 을 캘리브레이팅하기 위한 캘리브레이션 회로 (1600a 및 1600b) 의 구현을 예시하는 타이밍 다이어그램 (1600) 을 포함한다. 하나의 예에서, 지연들 (1114 및 1120) 은 입력 신호 (1104) 의 상승 및 하강 에지들에 대해 생성된 클록 신호들의 타이밍을 조정하도록 캘리브레이팅된다.

[0071] 예에서, 캘리브레이션은 제 1 하강 천이 (하이-투-로우 천이) 를 제공함으로써 시작된다. 초기 캘리브레이션 지연은 지연 회로들 (1114 및 1120) 의 결합을 위해 구성될 수도 있다. CDR 회로 (1101) 에 의해 생성된 클록 IRXCLK (1128) 는 하강 천이들 (즉, 하이-투-로우 천이들) 과 상승 천이들 (즉, 로우-투-하이 천이들) 양자에 대한 지연을 적용하는 제 1 지연 회로 (1114) 의 지연을 반영하는 제 1 (하강) 천이 후에 펄스를 생성할 것으로 예상될 수 있다. 하나의 예에서, 지연 회로들 (1114 및 1120) 과 연관된 하나 이상의 지연들은 신호 와이어의 하강 천이들 (하이-투-로우 천이들) 의 하강 시간과 상승 천이들 (로우-투-하이 천이들) 의 상승 시간 간의 차이에 대응하는 지연들의 관측된 차이들에 기초하여 캘리브레이션 프로세스 동안 캘리브레이팅된다. 캘리브레이션 지연의 종료와 제 1 천이와 연관된 펄스의 도달 간의 관계 (1702) 는 캘리브레이션 지연이 지연 클록 사이클들의 수에 의해 증가될지 감소될지를 결정하기 위해 조사된다. 캘리브레이션 지연은 그 후 필요에 따라 수정되고 지연 회로 (1114) 를 프로그래밍하는데 이용된다.

[0072] 제 2 하강 천이 (하이-투-로우 천이) 는 또한 캘리브레이션 프로세스의 부분으로서 제공될 수도 있다. 제 2 지연 회로 (1120) 는 오픈 드레인 링크가 SCL CDR 회로 (1101) 와 SDA CDR 회로 (1102) 간에 지연될 때 제 2 하강 천이 (하이-투-로우 천이) 에 대해 인에이블되어, 심볼 SX 가 SX 값이 안정될 때 SX 의 각각의 심볼 경계에서 지연 RX 후에 샘플링된다.

[0073] 캘리브레이션 지연의 종료와 클록 IRXCLK[0] (1128) 상의 펄스의 도달 간의 관계 (1604) 는 캘리브레이션 지연 값을 추가 조정하는데 이용될 수도 있다. 이 추가 조정된 값은 그 후 지연 회로 (1120) 를 프로그래밍하는데 이용될 수도 있고 정상 동작이 확립될 수 있다.

[0074] 캘리브레이션은 파워-온 이벤트들 후 또는 인터페이스 특성들의 변화들이 리캘리브레이션을 요구할 때 수행될 수도 있다. 예를 들어, 주위 온도의 변화들은 풀-업 저항 값들의 변동들을 포함하여, 인터페이스 와이어들 (1104) 과 연관된 RC 상수에 영향을 줄 수도 있다.

[0075] 캘리브레이션 동안, 송신기는 로직 0 의 로직 1 로의 제 1 (상승) 천이 (즉, 로우-투-하이 천이) 및 그에 후속하여 로직 1 로부터 로직 0 으로의 제 2 (하강) 천이 (즉, 하이-투-로우 천이) 를 포함하는 캘리브레이션 신호 패턴을 생성하기 위해 오버라이드될 수도 있다. 송신기는 오프라인 모드에 위치할 수도 있고 캘리브레이션 회로 (366) (도 3 참조) 는 수신 디바이스 (362') (도 3) 내의 게이트 (370) 를 통하여 캘리브레이션 신호를 도입할 수도 있다. 레퍼런스 카운터는 캘리브레이션 신호에서의 각각의 천이에서 초기화될 수도 있다. 예를 들어, 제 1 캘리브레이션 단계에서, 레퍼런스 카운터는 지연 회로 (1114) 를 캘리브레이팅하는데 이용될 수도 있는데, 이를 통해 레퍼런스 카운터는 도 16 에 도시된 관계 (1602) 에 의해 나타낸 바와 같이, 펄스가 포지티브 천이 후에 예상될 때 만료될 것으로 예상된다. 지연 회로 (1114) 는 레퍼런스 카운터에서의 임의의 나머지 값을 지연 회로 (1114) 에 대한 프로그램된 지연에 부가함으로써 제 1 단계의 결론에서 캘리브레이팅될 수도 있으며, 여기서 레퍼런스 카운터는 부호를 지닌 값을 갖는다. 제 2 단계에서, 레퍼런스 카운터는 지연 (1120) 을 캘리브레이팅하는데 이용될 수도 있는데, 이를 통해 도 16 에 도시된 관계 (1604) 에 의해 나타낸 바



와 같이, 펄스가 네거티브 천이가 검출된 후 및 지연 회로 (1120) 에 의해 도입된 지연 후 예상될 때 만료될 것으로 예상된다. 지연 회로 (1120) 는 레퍼런스 카운터에서의 임의의 나머지 값을 지연 회로 (1120) 에서 프로그램된 지연에 부가함으로써 제 2 단계의 결론에서 캘리브레이팅될 수도 있으며, 여기서 레퍼런스 카운터는 부호를 지닌 값 시간을 갖는다.

[0076]

도 18 은 프로세싱 시스템 (1814) 을 채용하는 장치에 대한 하드웨어 구현의 예를 예시하는 다이어그램 (1800) 이다. 프로세싱 시스템 (1814) 은 심볼 천이 기반 클록킹을 가진 멀티-와이어 오픈 드레인 링크 상에서 송신된 데이터의 컨슈머 (consumer) 또는 생성기일 수도 있다. 하나의 예에서, 프로세싱 시스템 (1814) 은 도 11 에 관하여 설명한 바와 같이 지연 회로들 (1114 및 1120) 을 캘리브레이팅하도록 구성될 수도 있다. 프로세싱 시스템은 멀티-와이어 오픈 드레인 링크의 데이터 레이트를 포함한 멀티-와이어 오픈 드레인 링크의 다른 양태들을 구성할 수도 있다.

[0077]

프로세싱 시스템 (1814) 은 버스 (1808) 에 의해 일반적으로 표현된 버스 아키텍처로 구현될 수도 있다. 버스 (1808) 는 프로세싱 시스템 (1814) 의 특정 애플리케이션 및 전체 설계 제약들에 의존하여 임의의 수의 상호 접속 버스들 및 브릿지들을 포함할 수도 있다. 버스 (1808) 는 프로세서 (1804), 모듈들 (1824, 1826, 1828, 1830 및 1832) 및 컴퓨터 관독가능 매체 (1806) 에 의해 표현된 하나 이상의 프로세서들 및/또는 하드웨어 모듈들을 포함한 다양한 회로들을 함께 링크한다. 버스 (1808) 는 또한, 당업계에 잘 알려져 있고 따라서 임의의 추가 설명되지 않을, 타이밍 소스들, 주변장치들, 전압 레귤레이터들, 및 전력 관리 회로들과 같은 다양한 다른 회로들을 링크할 수도 있다.

[0078]

프로세싱 시스템 (1814) 은 트랜시버 (1810) 에 커플링될 수도 있다. 트랜시버 (1810) 는 송신 매체를 통해 다양한 다른 장치와 통신하는 수단을 제공한다. 프로세싱 시스템 (1814) 은 컴퓨터 관독가능 매체 (1806) 에 커플링된 프로세서 (1804) 를 포함한다. 프로세서 (1804) 는 컴퓨터 관독가능 매체 (1806) 상에 저장된 소프트웨어의 실행을 포함한 일반적인 프로세싱을 담당한다. 소프트웨어는, 프로세서 (1804) 에 의해 실행될 때, 프로세싱 시스템 (1814) 으로 하여금, 임의의 특정 장치에 대해 위에 설명된 다양한 기능들을 수행하게 한다. 컴퓨터 관독가능 매체 (1806) 는 또한, 소프트웨어를 실행할 때 프로세서 (1804) 에 의해 조작되는 데이터를 저장하기 위해 이용될 수도 있다. 프로세싱 시스템은 모듈들 (1824, 1826, 1828, 1830 및 1832) 중 적어도 하나를 더 포함한다. 모듈들은 프로세서 (1404) 에서 실행중이고 컴퓨터 관독가능 매체 (1806) 에 상주/저장된 소프트웨어 모듈들, 프로세서 (1804) 에 커플링된 하나 이상의 하드웨어 모듈들, 또는 이들의 일부 조합일 수도 있다.

[0079]

하나의 구성에서, 장치는 신호 와이어에 대한 천이들을 검출하는 수단 (1824), 천이의 검출에 응답하여 펄스를 생성하는 수단 (1826), 검출된 천이의 타입에 기초하여 펄스에 지연을 선택적으로 적용하는 수단 (1828), 다중 와이어들에 대해 생성된 펄스들을 결합하는 수단 (1830), 및 지연을 캘리브레이팅하는 수단 (1832) 을 포함한다. 전술한 수단은 장치 (1802) 의 전술한 모듈들 및/또는 전술한 수단에 의해 기재된 기능들을 수행하도록 구성된 장치 (1802) 의 프로세싱 시스템 (1814) 중 하나 이상일 수도 있다.

[0080]

도 19 는 심볼 천이들로부터 클록 신호를 신뢰가능하게 생성하기 위한 방법을 예시한다. 통신 인터페이스로부터 수신된 신호에서의 천이가 결정, 확인, 및/또는 센싱된다 (1902). 천이에 응답하여 클록 펄스가 생성된다 (1904). 클록 펄스는 천이가 제 1 방향으로 있다면 미리 구성된 제 1 간격 (제 1 지연) 만큼 지연된다 (1906). 천이가 제 2 방향으로 있다면, 방법은 미리 구성된 제 2 간격 (제 2 지연) 만큼 클록 펄스를 지연시킬 수도 있다 (1908). 제 1 방향이 상승 천이이고 제 2 방향이 하강 천이인 하나의 예에서, 제 2 간격은 클록 펄스 하강 시간 플러스 제 1 간격 플러스 제 2 간격이 클록 펄스 상승 시간 플러스 제 1 간격과 대략 동일하도록 선택될 수도 있다.

[0081]

클록 펄스는 상이한 클록 펄스가 수신되고 클록 펄스의 지연이 완료되지 않았다면 재시작될 수도 있다. 하나의 예에서, 미리 구성된 제 1 및/또는 제 2 간격들은 통신 인터페이스와 연관된 상승 시간 및 하강 시간에 기초하여 구성될 수도 있으며, 상승 시간은 오픈 드레인 트랜지스터와 연관된 상승 시간에 대응한다. 예를 들어, 미리 구성된 제 1 및/또는 제 2 간격들은 심볼이 통신 인터페이스 상에서 송신되어, 심볼이 신뢰가능하게 샘플링되는 것을 허용할 때 클록 펄스가 발생하게 하도록 선택될 수도 있다. 다른 인스턴스에서, 미리 구성된 제 2 간격은 클록 펄스 상승 시간에 기인한 천이를 검출하는데 있어서의 지연에 매칭하도록 선택될 수도 있다. 미리 구성된 제 1 간격은 클록 펄스 하강 시간에 기인한 천이를 검출하는데 있어서의 지연에 매칭하도록 선택될 수도 있다.

[0082]

방법은 클록 펄스를 천이에 응답하여 생성된 적어도 하나의 추가적인 클록 펄스와 집성하는 단계 (1910) 를 더

포함할 수도 있다. 집성 회로들 (1132) (도 14 내의 도 11) 에 예시한 바와 같이, 2 개 이상의 상이한 CDR 들로부터의 클록 펄스들은 그들이 대략 동기화되도록 캘리브레이팅될 수도 있다. 추가적으로, 방법은 미리 구성된 제 1 및/또는 제 2 간격들 (1912) 을 캘리브레이팅하는 단계를 포함한다.

[0083]

하나의 예에서, 미리 구성된 제 1 및/또는 제 2 간격들을 캘리브레이팅하는 단계는 : (a) 서로 상이한 방향들에 있는 제 1 및 제 2 캘리브레이션 천이들을 제공하는 단계; (b) 제 1 및 제 2 캘리브레이션 천이들에 대해 생성된 클록 펄스들과 연관된 개별의 지연들을 측정하는 단계; 및/또는 (c) 개별의 지연들의 차이를 최소화하기 위해 미리 구성된 제 1 및/또는 제 2 간격들을 수정하는 단계를 포함할 수도 있다. 미리 구성된 제 1 및/또는 제 2 간격들을 수정하는 단계는 : (a) 제 1 캘리브레이션 천이 후에 생성된 클록 펄스와 연관된 측정 지연에 기초하여 제 1 지연 회로의 프로그램된 지연을 조정하는 단계; 및/또는 (b) 제 2 캘리브레이션 천이 후에 생성된 클록 펄스와 연관된 측정 지연에 기초하여 제 2 지연 회로의 프로그램된 지연을 조정하는 단계를 포함할 수도 있다. 개별의 지연들은 어느 하나의 캘리브레이션 천이에 대해 생성된 클록 펄스들과 연관된 원하는 지연을 반영하는 타이머를 이용하여 측정된다.

[0084]

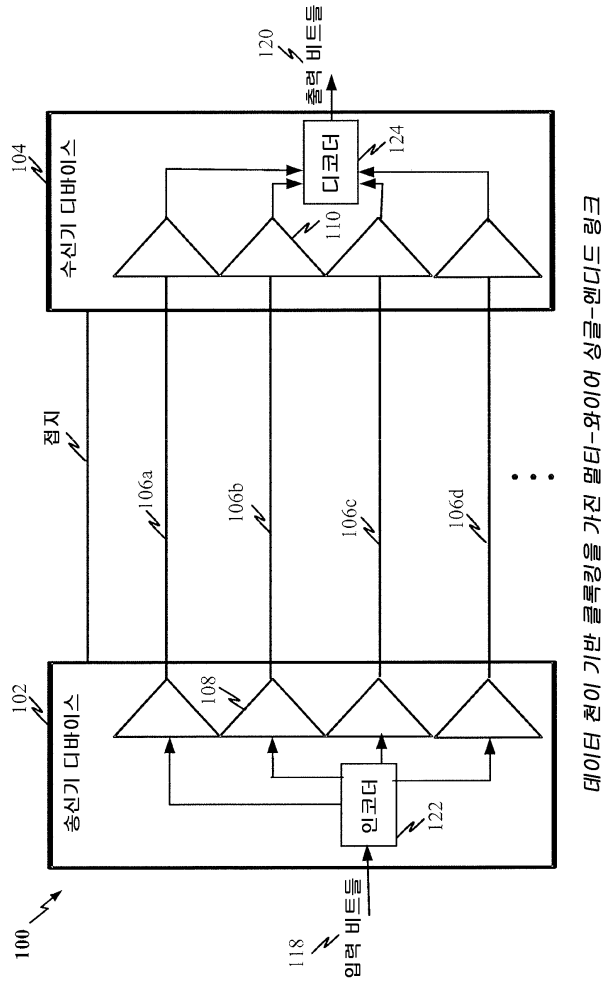
개시된 프로세스들의 특정 순서 또는 계층의 단계들이 예시적인 접근법들의 예시라는 것이 이해된다. 설계 선호도들에 기초하여, 프로세스들에서의 특정 순서 또는 계층의 단계들은 재배열될 수도 있다는 것이 이해된다. 첨부한 방법 청구항들은 다양한 단계들의 엘리먼트들을 샘플 순서로 제시하며, 제시된 특정 순서 또는 계층에 제한되도록 의도되지 않는다.

[0085]

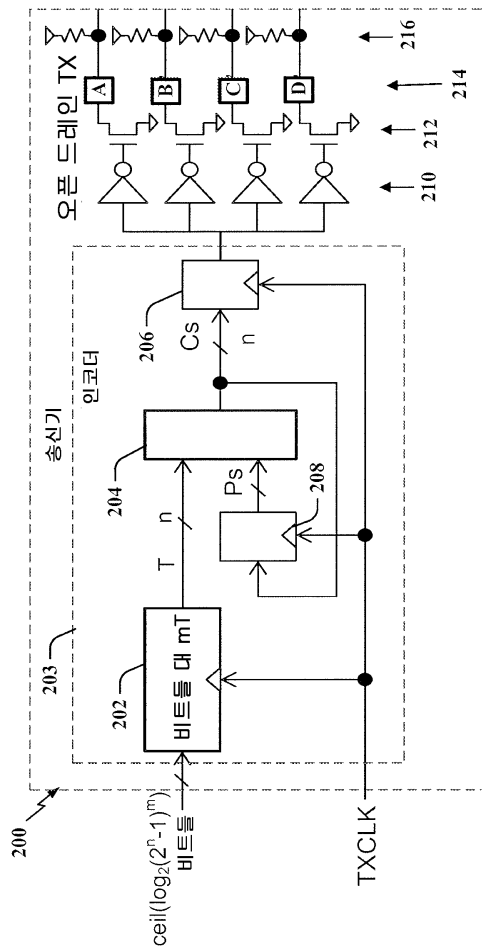
이전의 설명은 임의의 당업자가 본 명세서에 설명된 다양한 양태들을 실시하는 것을 가능하게 하기 위해 제공된다. 이들 양태들에 대한 다양한 변형들은 당업자에게 쉽게 명백할 것이며, 본 명세서에 정의된 일반적인 원리들은 다른 양태들에 적용될 수도 있다. 따라서, 청구항들은 본 명세서에 도시된 양태들에 제한되도록 의도되지 않고, 랭귀지 청구항 (language claim) 들과 일치하는 풀 범위를 따르게 될 것이며, 여기서 엘리먼트의 단수로의 언급은 구체적으로 그렇게 명시하지 않는다면 "하나 및 단 하나" 를 의미하도록 의도되지 않고 오히려 "하나 이상" 을 의미하도록 의도된다. 구체적으로 다르게 명시하지 않는다면, 용어 "일부" 는 하나 이상을 지칭한다. 당업자에게 알려지거나 후에 알려지게 될 본 개시물 전반에 걸쳐 설명된 다양한 양태들의 엘리먼트들에 대한 모든 구조적 및 기능성 등가물들은 본 명세서에 참조에 의해 분명히 통합되고 청구항들에 의해 포함되도록 의도된다. 더욱이, 본 명세서에 개시된 어떤 것도 이러한 개시물이 청구항들에 명시적으로 기재되는지 여부에 상관없이 공공에게 전용되도록 의도되지 않는다. 어떤 청구항 엘리먼트도 그 엘리먼트가 어구 "~ 수단" 을 이용하여 분명히 기재되지 않는다면 기능식 청구항 (means plus function) 으로서 해석될 것이다.

도면

도면1

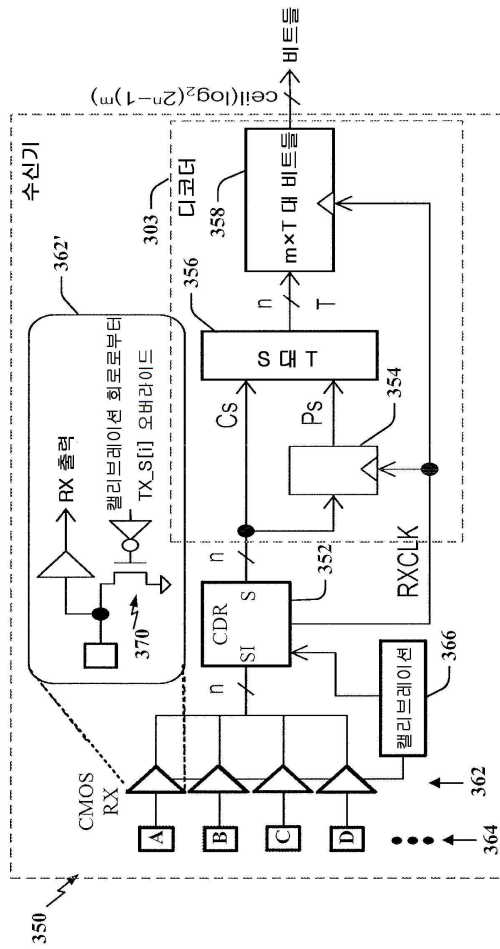


도면2



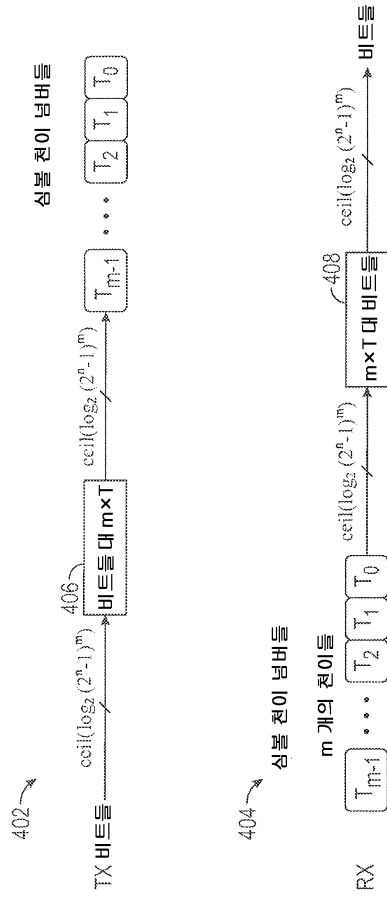
비트들 대 $m \times T$	이진수 (비트들) 를 $m$ 개의 심볼 원이 넘버들 ( $m \times T$ ) 로 변환
$T$ 대 $S$	순차 심볼 원이 넘버 ( $T$ ) 를 넘버링된 심볼 ( $S$ ) 로 변환

도면3

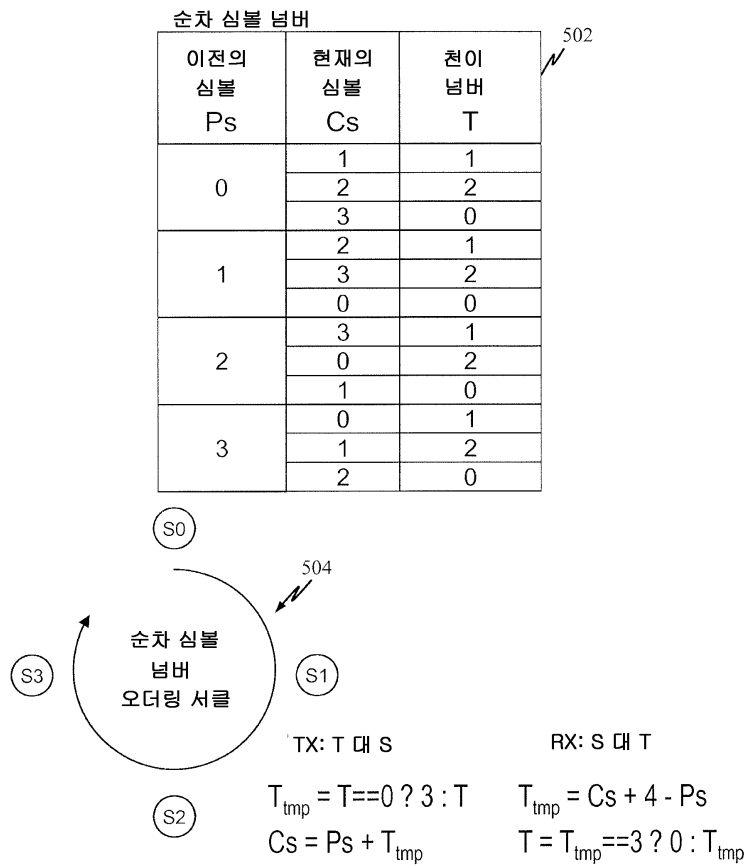


CDR	입력 신호 (SI) 의 전이로부터 클럭 (RXCLK) 을 복구, 및 래지된 SI (S) 를 출력
캘리브레이션	CDR 및 RX 에 대한 지연 캘리브레이션 제어 신호들을 생성
S 대 T	신호 (Cs) 을 순차 신호 전이 넘버 (T) 로 변환
m x T 대 비트들	m 개의 신호 전이 넘버들 (m x T) 을 이진수 (비트들) 로 변환

도면4



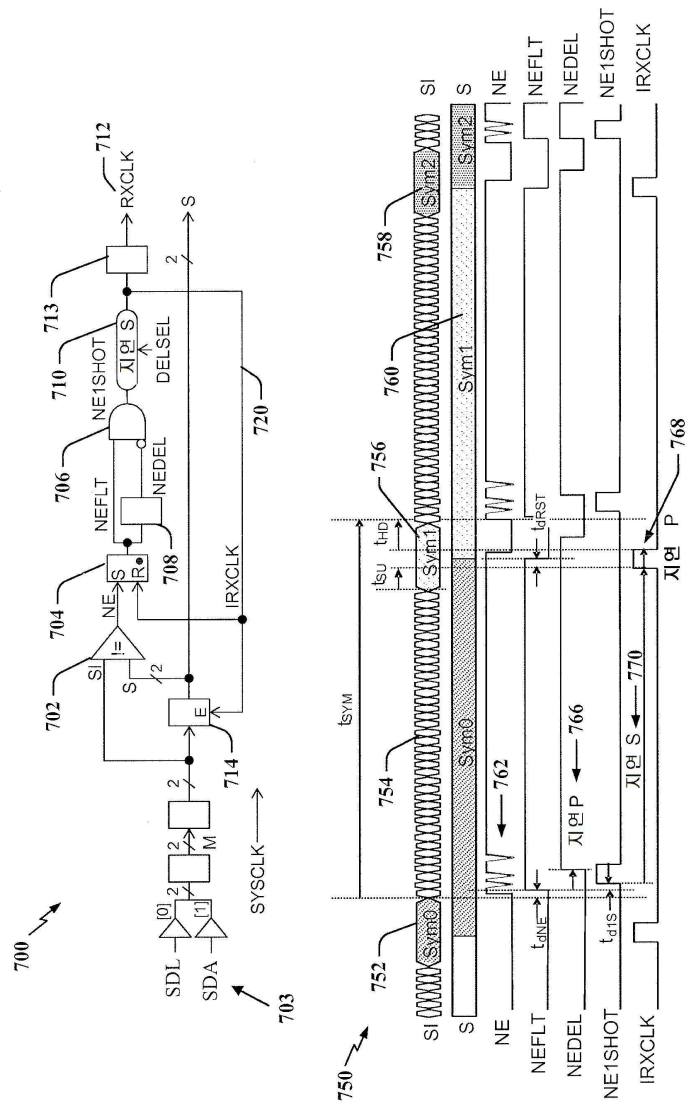
도면5



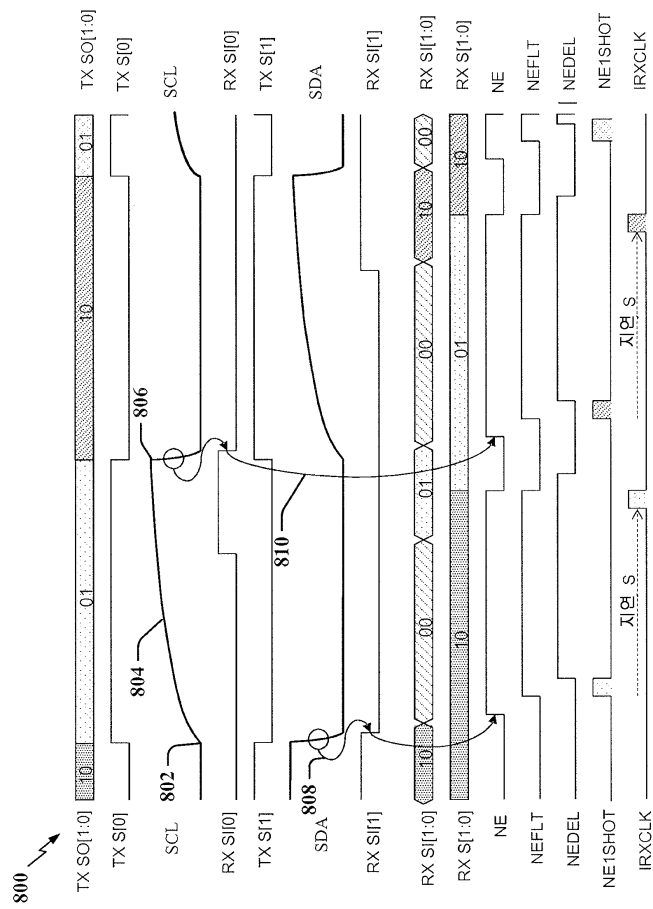




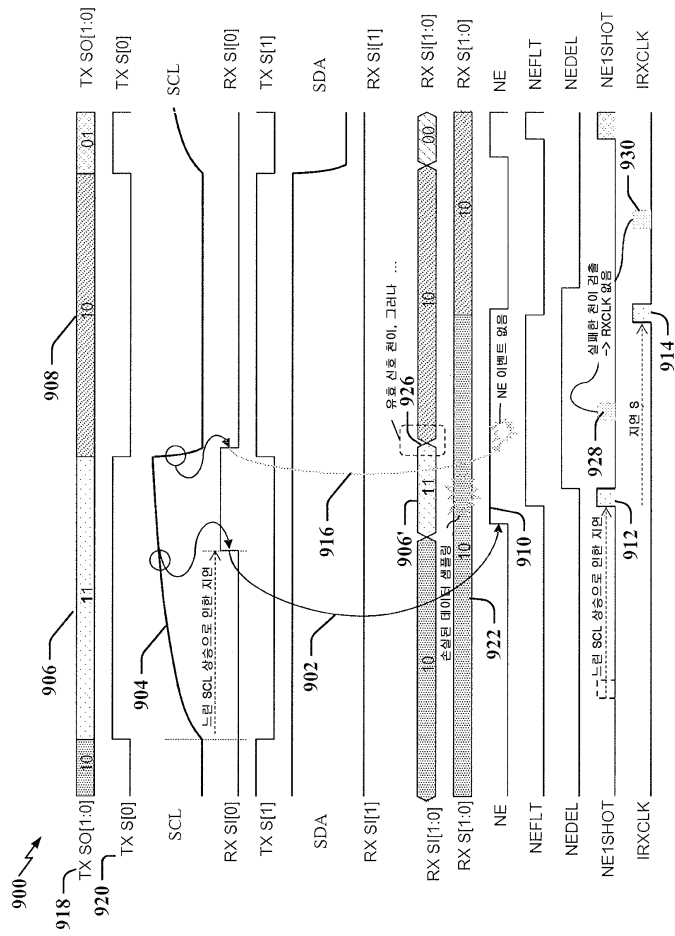
도면7



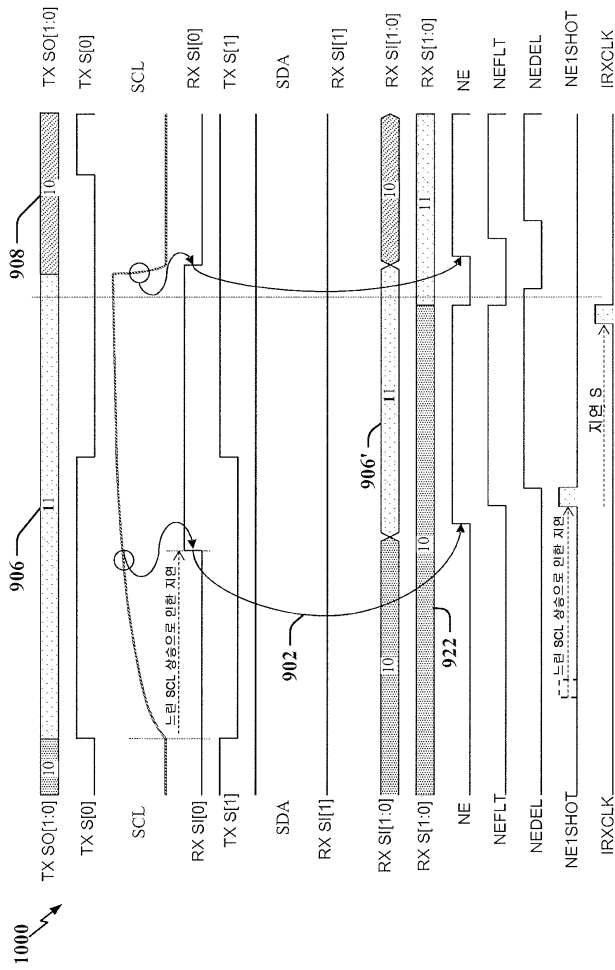
도면8



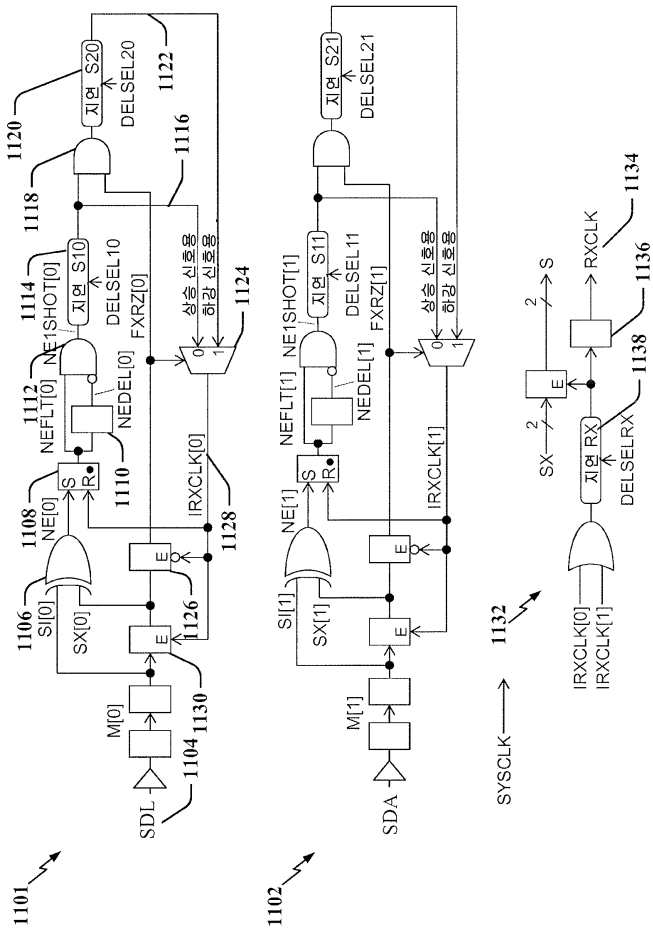
도면9



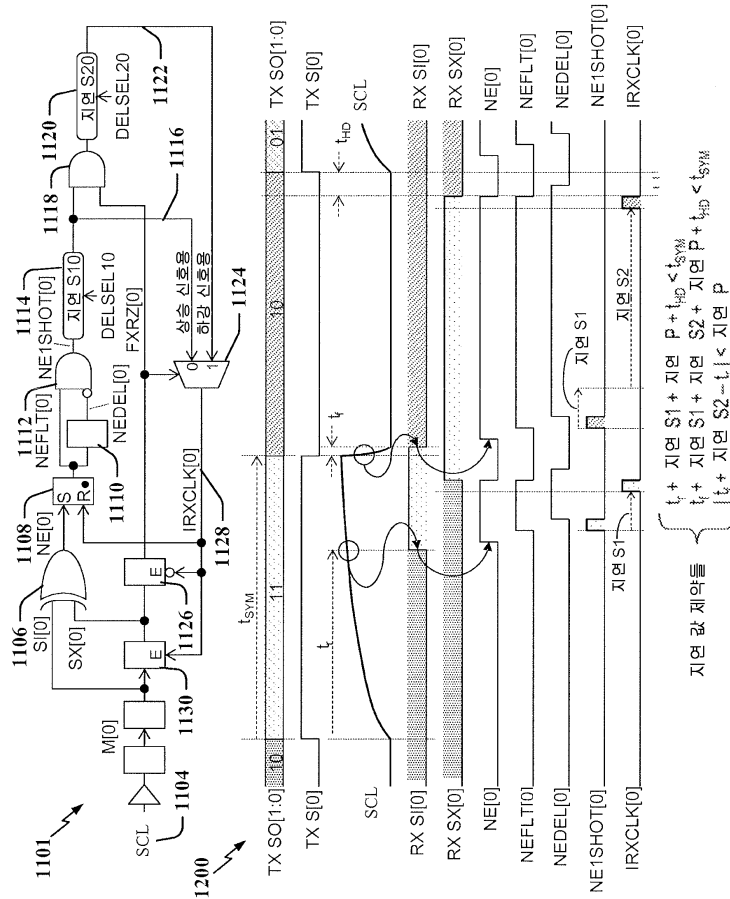
도면10



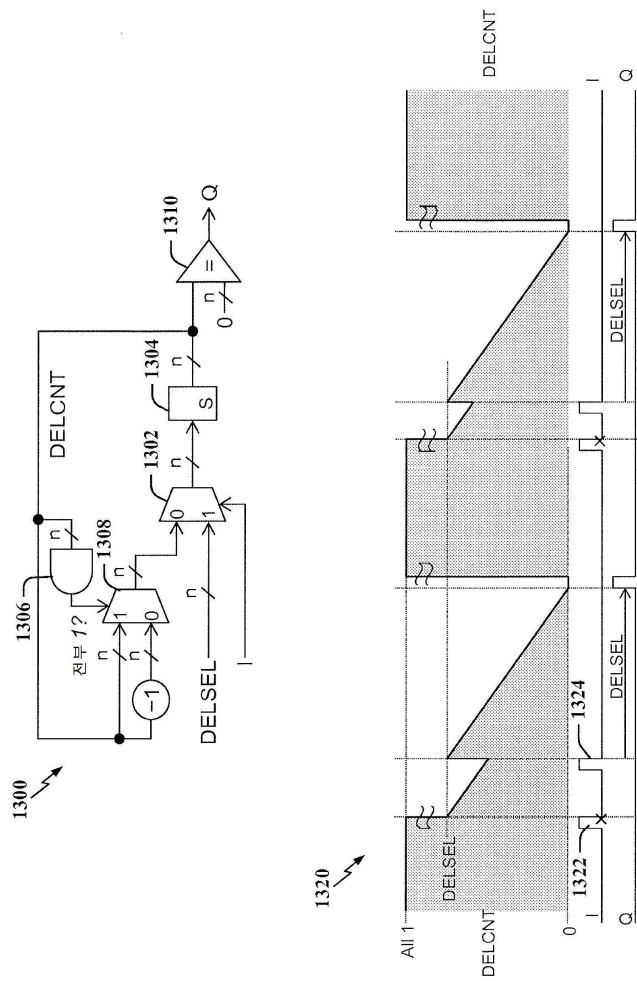
도면11



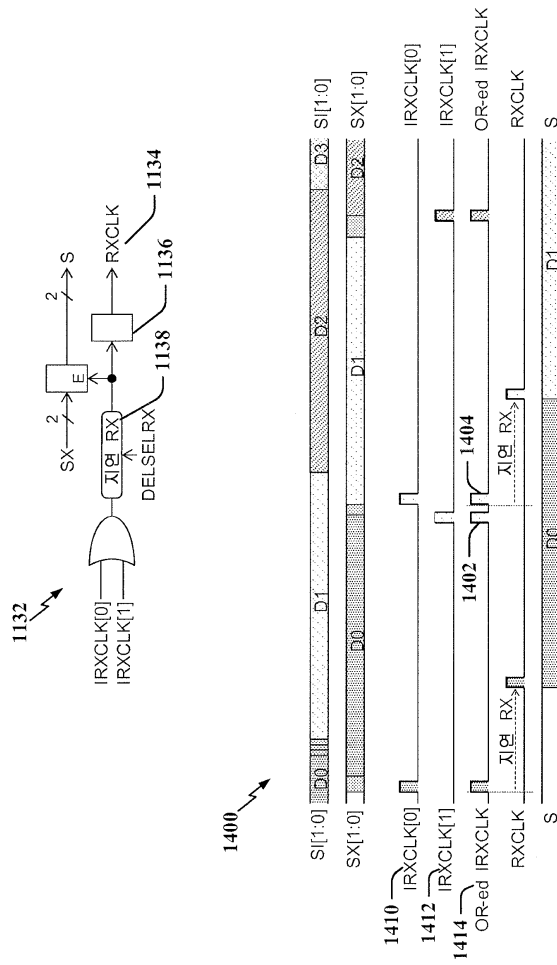
도면12



도면13

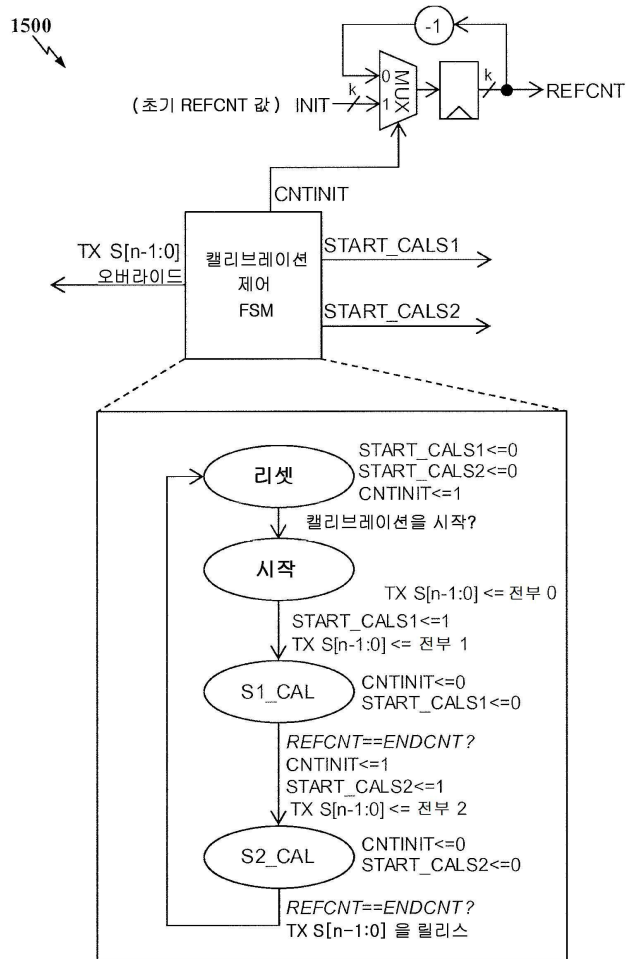


도면14

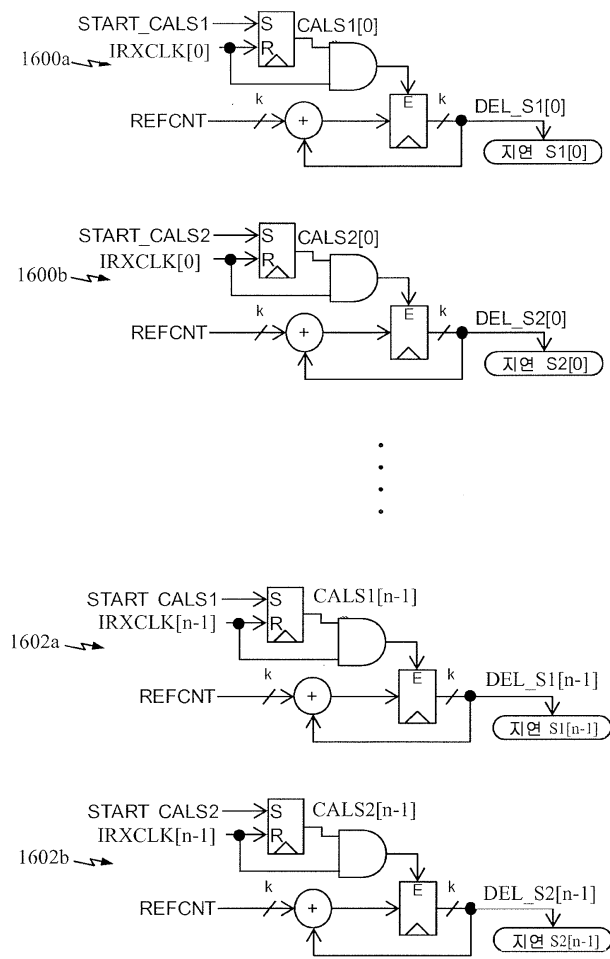




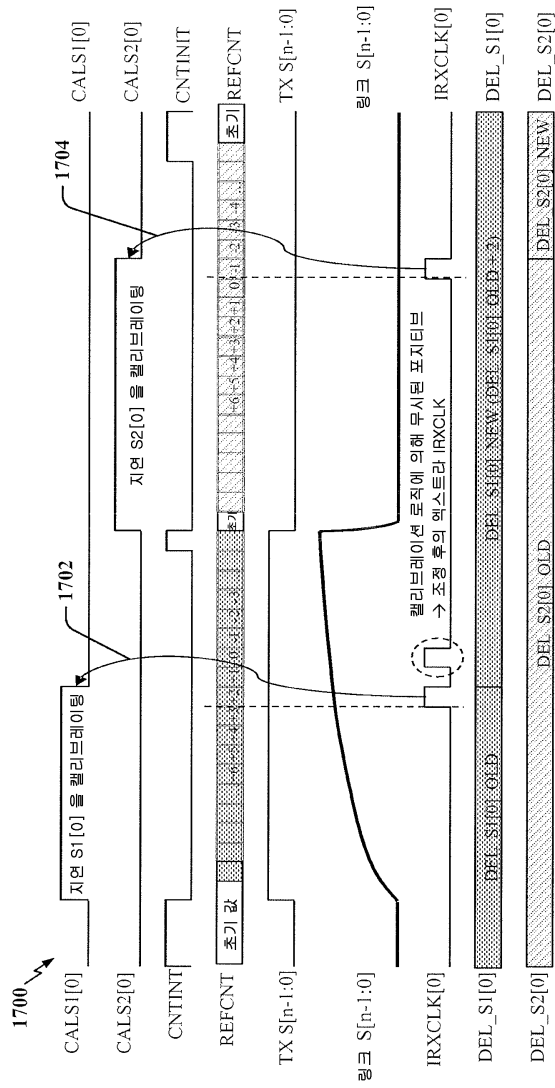
도면15



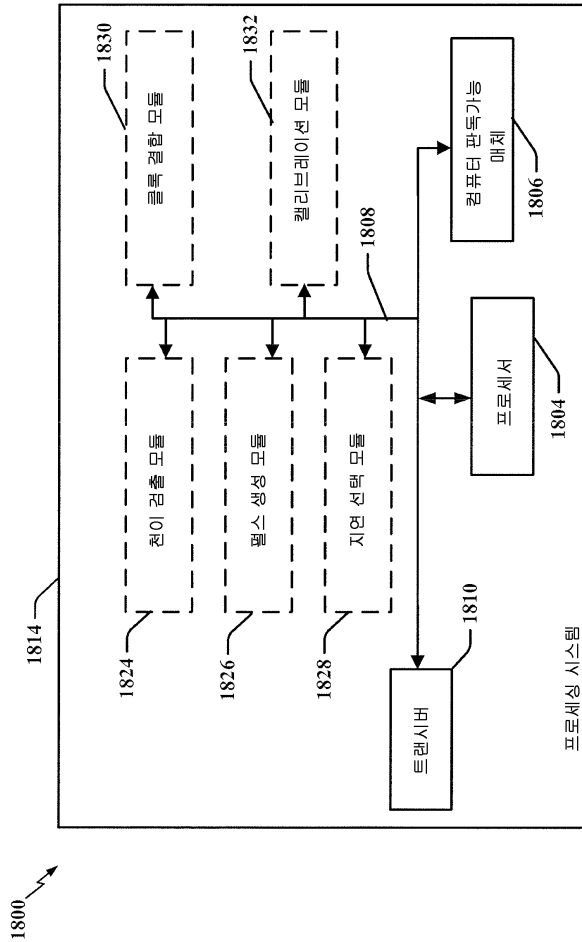
도면16



도면17



도면18



도면19

