

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4201764号
(P4201764)

(45) 発行日 平成20年12月24日(2008.12.24)

(24) 登録日 平成20年10月17日(2008.10.17)

(51) Int. Cl.	F I
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 6 5 2 H
HO 1 L 21/336 (2006.01)	HO 1 L 29/78 6 5 3 A
	HO 1 L 29/78 6 5 8 A

請求項の数 5 (全 12 頁)

(21) 出願番号	特願2004-506063 (P2004-506063)	(73) 特許権者	504392083
(86) (22) 出願日	平成15年5月14日(2003.5.14)		インターナショナル レクティブファイアー コーポレーション
(65) 公表番号	特表2005-526392 (P2005-526392A)		アメリカ合衆国 カリフォルニア州 90 245 エル・セグンド カンザス スト リート 233
(43) 公表日	平成17年9月2日(2005.9.2)	(74) 代理人	100060759
(86) 国際出願番号	PCT/US2003/015117		弁理士 竹沢 莊一
(87) 国際公開番号	W02003/098663	(74) 代理人	100087893
(87) 国際公開日	平成15年11月27日(2003.11.27)		弁理士 中馬 典嗣
審査請求日	平成17年2月8日(2005.2.8)	(72) 発明者	カイル スプリング
(31) 優先権主張番号	60/378,173		アメリカ合衆国 カリフォルニア州 92 592 テメキュラ コルテカルモナ 3 2094
(32) 優先日	平成14年5月14日(2002.5.14)		
(33) 優先権主張国	米国 (US)		
(31) 優先権主張番号	10/437,984		
(32) 優先日	平成15年5月13日(2003.5.13)		
(33) 優先権主張国	米国 (US)		

最終頁に続く

(54) 【発明の名称】 電界救済特性を有するトレンチ型MOSFET

(57) 【特許請求の範囲】

【請求項1】

第1の導電型の半導体基板と、
 基板の上方に配置される、前記第1の導電型の共通導電領域と、
 前記共通導電領域上に形成された第2の導電型のベース領域と、
 前記ベース領域を経て前記共通導電領域まで下方に延びるように形成され、各トレンチは、少なくとも1つの側壁上に位置するゲート絶縁層を含み、かつ導電性のゲート材料により充填されるようになっている複数のトレンチと、
 前記ベース領域の表面に、各々がトレンチに隣接するように形成された前記第1の導電型の複数のソース領域と、
 前記ベース領域内に形成され、各前記トレンチの間の2つの前記ソース領域の間に位置する複数の高導電性接触領域と、
 前記共通導電領域内に形成され、前記ベース領域の下方に延在する、前記第2の導電型の複数の電界救済領域と
 を備え、
 前記電界救済領域の各々は、少量のドーパントを有し、前記ベース領域及び前記トレンチから離間し、各々の前記高導電性接触領域に対してその下方に整列されるMOSゲート装置。

【請求項2】

前記第1の導電型のソース領域とオーミック接合をなす第1の接合部も備えていること

を特徴とする請求項 1 記載の MOS ゲート装置。

【請求項 3】

前記複数の高導電性接触領域が、前記第 2 の導電型であり、かつ前記第 1 の接合部とオーミック接合をなすことを特徴とする請求項 2 記載の MOS ゲート装置。

【請求項 4】

前記基板とオーミック接合をなす第 2 の接合部も備えていることを特徴とする請求項 1 記載の MOS ゲート装置。

【請求項 5】

前記複数の電界救済領域よりも深い位置に形成された、もう 1 つの組をなす複数の電界救済領域を、さらに備えていることを特徴とする請求項 1 記載の MOS ゲート装置。

10

【発明の詳細な説明】

【技術分野】

【0001】

本出願は、米国仮特許出願第 60 / 378 , 173 号に関連するもので、この出願を基礎とする優先権を主張する。

【0002】

本発明は、トレンチ型 MOSFET (金属酸化膜半導体電界効果トランジスタ)、より詳しくは、ドレイン・ソース遮断電流 (I_{dss}) の漏洩を防ぎ、絶縁破壊電圧を上昇させたトレンチ型 MOSFET に関する。

【背景技術】

20

【0003】

トレンチ型 MOSFET は、すでに周知となっている。図 1 に示すように、トレンチ型 MOSFET は、基板 1 上に位置するエピタキシャル層 20 に形成され、それぞれが横方向に離間された複数のトレンチ 6 と、ベース領域 3 と、複数のソース領域 4 とを備えている。ソース領域 4 とドリフト領域 2 (トレンチ 6 の底部と基板 1 との間に位置するエピタキシャル層 20 の一部) との間に位置するベース領域 3 は、ソース領域 4、基板 1、およびドリフト領域 2 のいずれもと反対の導電性を有する。エピタキシャル層 20 は、典型的には、基板 1 に比して、少量のドーパントを有する。

【0004】

典型的なトレンチ型 MOSFET におけるゲート構造は、トレンチ 6 の内側において、ゲート酸化膜 15 によって、ソース領域 4、ベース領域 3、およびドリフト領域 2 のそれぞれから電氣的に絶縁されたポリシリコンゲート電極 5 を備えている。図 1 に示す例においては、基板 1、ドリフト領域 2、およびソース領域 4 は、N 型のドーパントを含んでおり、ベース領域 3 は、P 型のドーパントを含んでいる。ただし、これらの領域の極性は、重要なことではなく、反対の極性にすることもできる。

30

【0005】

また、典型的なトレンチ型 MOSFET は、2 つのソース領域 4 の間に位置するエピタキシャル層 20 において、高濃度のドーパントを含む、ベース領域 3 と同じ導電性の高導電性接触領域 8 を有する。高導電性接触領域 8 と 2 つのソース領域 4 は、Al、AlSi 等の適当な接合用金属から形成されるソース接合部 9 とオーミック接合をなしている。ソース接合部 9 は、酸化物から形成される絶縁層 7 を介して、ゲート電極 5 と絶縁されている。

40

【0006】

また、公知のトレンチ型 MOSFET は、基板 1 とオーミック接合をなすドレイン接合部 10 を有する。トレンチ型 MOSFET は、トレンチ 6 の側壁に隣接するベース領域 3 に逆行可能なチャンネルを形成して、ソース領域 4 とドリフト領域 2 とを電氣的に接続するべく、ゲート電極 5 に適当な電圧を印加し、ソース接合部 9 とドレイン接合部 10 とを電氣的に接続させることによって作動する。

【0007】

図 1 のトレンチ型 MOSFET に逆バイアスの電圧が印加されると、図 2 に模式的に示

50

すように、トレンチ底部の角の近傍において、電気力線の集中が観察される。電気力線の集中は、高電界を生じさせ、ゲート酸化膜界面の近傍において絶縁破壊を引き起こす。すると、ホットキャリアがゲート酸化膜に注入されて、絶縁破壊電圧が機能しなくなり、ゲート酸化膜の信頼性が失われる。

【 0 0 0 8 】

逆バイアスの条件下では、ドリフト領域 2 とベース領域 3 の間の p n 接合は、ベース領域 3 の内部へと後退する。後退した p n 接合が、高導電性領域 8 に到達すると、積層欠陥のような欠損部が、電流 I_{dss} が漏洩するための道筋を提供することとなる。このような事態を避けるためには、ベース領域 3 を十分に厚く形成するか、または装置の定格絶縁破壊電圧を上昇させるために調整されるベース領域の抵抗率を増大させなければならない。しかし、この対応策は、すべての場合において理想的なものではない。なぜならば、ベース領域を厚くしたり、その抵抗率を増大させたりすると、ドレイン ソース間の ON 抵抗値 ($R_{ds(on)}$) が増大し、好ましくない事態が生じるからである。

10

【 0 0 0 9 】

図 3 は、もう一つの公知のトレンチ型 MOSFET の例を示す。この図においては、図 1 のトレンチ型 MOSFET において引用された符号と同一の符号は、同一の構成要素を示す。図 3 のトレンチ型 MOSFET においては、ベース領域 3 と同じ導電型の高導電性領域 11 が、ベース領域 3 よりも下方の深い位置まで延びて、ドリフト領域 2 に至っている。

【 0 0 1 0 】

この厚い高導電性領域 11 は、MOSFET の製造プロセスの初期の工程において、高線量のインプラネーションと拡散を施すことによって実現される。図 4 は、図 3 の 4 - 4 線に沿って、ドーピング濃度をプロットしたグラフである。高導電性領域 11 の機能は、絶縁破壊の位置を、トレンチ底部の角から高導電性領域 11 の底部まで引き離すことにある。

20

【 0 0 1 1 】

高導電性領域 11 は、通常、厚さと同じ程度の幅を有するが、このような幅は、小さいセルピッチの実現する上では支障となる（小さいセルピッチが実現すると、典型的には、ON 抵抗値が低くなる）。また、定格絶縁破壊電圧は、高導電性領域 11 を厚くしても上昇しない。それどころか、絶縁破壊位置が、トレンチ底部の角から、厚い高導電性領域 11 の底部まで引き離されるにも拘らず、定格絶縁破壊電圧は低下する可能性がある。

30

【 発明の開示 】

【 発明が解決しようとする課題 】

【 0 0 1 2 】

本発明は、ドレイン・ソース遮断電流の漏洩を防ぎ、絶縁破壊電圧を上昇させたトレンチ型 MOSFET を提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 1 3 】

本発明に係るトレンチ型 MOSFET は、ベース領域よりも下方の位置において、ドリフト領域に形成された電界救済領域を含む。この電界救済領域は、ベース領域から離間されることもあれば、これと合体されることもある。

40

【 発明の効果 】

【 0 0 1 4 】

電界救済領域は、高エネルギー・低線量のインプラネーションによって形成される。電界救済領域を設けることの利点は、次の通りである。

- a) 絶縁破壊電圧を上昇させ、かつ ON 抵抗値を低下させる。
- b) 高電界領域をトレンチの角部から引き離すことにより、装置の信頼性を高めることができる。
- c) ベースダイオード領域が後退して、積層欠陥等の欠損部が、漏洩電流の通り道となりうる高導電性接触領域に到達するのを防止し、ドレイン・ソース遮断電流 (I_{dss}) の漏洩を減少させることができる。

50

d) 絶縁破壊電圧とドレイン・ソース遮断電流(I_{dss})をエッチングの深さの変動に影響されないようにすることにより、トレンチと接合領域をエッチングする際の制約を小さくすることができる。

【発明を実施するための最良の形態】

【0015】

上記した以外の本発明の特徴と効果は、以下に添付の図面を参照して行う本発明の実施形態の説明から明らかになると思う。

【0016】

図5は、本発明の第1の実施形態に係るトレンチ型MOSFETの断面図である。図5における符号は、図1における同一の符号が示す要素と同一の要素を示すため、図1における同一の符号が示す要素については、説明を繰り返さない。

10

【0017】

本発明に係るトレンチ型MOSFETは、ベース領域3の下方にあって、ドリフト領域2に位置する電界救済領域12を含む点において、図1および図3に示す公知のトレンチ型MOSFETとは異なる。電界救済領域12は、ベース領域3と同じ導電型の少量のドーパントを含む。電界救済領域12は、ベース領域3から離間されることもあれば、またはこれと合体されることもある。図5に示す実施形態においては、電界救済領域は、ホウ素のようなP型のドーパントを含んでいる。

【0018】

図6に示すように、電界救済領域12は、絶縁破壊位置を、トレンチ6の底部の角から引き離し、電界救済領域12よりも下方に移動させる。このため、トレンチの深さが変動しても、装置が影響を受けることが少なくなり、装置の信頼性が高まる。さらに、ドリフト領域2と電界救済領域12とのpn接合から、高導電性接触領域8までの距離が増加するため、欠損部が逆バイアス条件下で高導電性接触領域8に到達するおそれが低下し、過剰な漏洩電流が生じるのを避けることができる。

20

【0019】

厚い高導電性領域11(図3参照)および電界救済領域12における各ドーピング濃度と、これら領域の相対的な大きさを比較した結果を図4と図7に示す。図4は、図3の4-4線に沿った断面図であり、図7は、図5の7-7線に沿った断面図である。

【0020】

図7は、それぞれ、電界救済領域12が存在しない場合、1.5MeVのエネルギー下に、 4.0×10^{12} イオン/cm³のドーパント(ホウ素)のインプラネーションにより形成された電界救済領域12が存在する場合、および2.5MeVのエネルギー下に、 6.0×10^{12} イオン/cm³のドーパント(ホウ素)のインプラネーションにより形成された電界救済領域12が存在する場合の装置の濃度分布を示す。図7によれば、ドーパントの濃度が低いと(約 1.0×10^{12} イオン/cm³)、電界救済領域12は、主にベース領域3の中に形成されることが分かる。

30

【0021】

図4に示すように、図3に示す公知の装置における厚い高導電性領域11のドーパントの濃度は、比較的高い。ドーパントの分布は、エピタキシャル層20の表面から始まり、典型的な装置においては、ベース領域3の下方約4.5μmの位置まで続く。厚い高導電性領域11は、拡散工程を経て形成され、その幅は、厚さとはほぼ同じである。したがって、厚い高導電性領域11は、セルピッチを縮小する上で妨げとなる。

40

【0022】

電界救済領域12は、一段階の高エネルギー下における低い線量のインプラネーション、または多段階の高エネルギー下における低い線量のインプラネーションの後、大きな拡散を行わずに、ドーパントを活性化させるための短時間の熱処理工程を経ることによって形成される。

【0023】

電界救済領域12の幅は、装置の製造中に、インプラネーション用ウィンドーの幅を調

50

整することによって、制御することができる（これについては後述する）。すなわち、電界救済領域12の最終的な幅は、セルピッチの縮小を実現しうるように制御することができる。

【0024】

図8は、本発明に係る電界救済領域12を有するトレンチ型MOSFETにおける絶縁破壊電圧のシミュレーションを示す。この図から、電界救済領域12のドーパント濃度が、適切に選択されたものである場合には、本発明に係る装置においては、絶縁破壊電圧は、上昇することが分かる。電界救済領域12のドーパント濃度が高すぎる場合には、絶縁破壊電圧が低下することに留意すべきである。

【0025】

また、電界救済領域12の厚さが、絶縁破壊電圧に影響を及ぼすことに留意するべきである。例えば、ドーパント濃度が高い場合、電界救済領域12が厚ければ（例えば2.5 MeVでインプラネーションを行った場合）、これが薄い場合（例えば2.0 MeVでインプラネーションを行った場合）に比べて、絶縁破壊電圧は上昇する。

【0026】

下記の表1は、本発明に係るトレンチ型MOSFETにおいては、ON抵抗値が低く、信頼性が高いことを示している。例えば、電界救済領域12を形成するためのインプラネーションのエネルギーが2.5 MeVで、線量が 6.0×10^{12} イオン/cm³である場合には、シミュレーションによれば、ON抵抗値は25%減少する。

【表1】

表1

実施例番号	EPI ($\Omega \cdot \text{cm}$)	高エネルギー インプラネーション (MeV)	絶縁破壊電圧 (規格化後) (V)	ON抵抗値の 減少率 (%)
1	1.9	なし	117	-
2a	2.25	なし	131	-
2b	1.9	1.5	131	16
3a	2.54	なし	143	-
3b	1.9	2.5	143	25

*ON抵抗値の減少率（2b, 3b）は、公知例（2a, 3a）と比較した結果である。

【0027】

次に、図9(a)~図9(d)を参照して、本発明に係るトレンチ型MOSFETの製造プロセスを説明する。

【0028】

図9(a)に示すように、ベース領域3は、ホウ素のようなP型ドーパントをエピタキシャル層20にインプラネーションすることによって形成される。エピタキシャル層20は、所望の厚さのベース領域3を得るための適当な拡散によって活性領域となる。

【0029】

図9(b)に示すように、エピタキシャル層20に、エピタキシャル層20の表面から、ベース領域3を経てドリフト領域2まで延びるように、トレンチ6が形成される。ついで、ソース領域4が、フォトリソグラフィ工程等を経て形成される。ソース領域4は、N型ドーパントのブランケットインプラネーションと、その後の拡散によって、トレンチ6を形成する前に形成することも可能である。

【0030】

トレンチ6を形成した後は、トレンチ6の内壁を覆うように、ゲート酸化膜15を成長させ、ついでポリシリコンのゲート材料を蒸着させる。この後、ポリシリコンのゲート層にエッチングを施し、トレンチにゲート電極5を残留させる。ついで、酸化物層13を蒸着させる。

【0031】

図9(c)に示すように、フォトレジスト17が、図9(b)に示す構造の上に蒸着される。また、酸化物層13に、フォトリソグラフィ技術を用いて、絶縁中間層7を残しつつ、ウィンドー19が開口される。酸化物層13におけるウィンドー19(すなわち、絶縁中間層7の間のスペース)を介して、ベース領域3と同じ導電型のドーパントが、低エネルギー・高濃度と高エネルギー・低濃度の2段階でインプラントされ、高導電性接触領域8が形成される。また、続く適当な熱拡散によって、電界救済領域12が形成される。

10

【0032】

低エネルギー・高線量のホウ素インプラントーションの典型的なパラメータは、エネルギーが2~60KeV、線量が $5 \times 10^{14} \sim 5 \times 10^{15}$ イオン/cm³である。他方、高エネルギー・低線量のホウ素インプラントーションの典型的なパラメータは、エネルギーが200KeV~3MeV、線量が $1 \times 10^{11} \sim 1 \times 10^{13}$ イオン/cm³である。これら2つのインプラントーションの順序は、重要ではない。また、インプラントーションを行う際のウエハー上のフォトレジストマスクは、用いても用いなくてもよい。

【0033】

電界救済領域12は、一段階または多段階の高エネルギー・低濃度インプラントーションによって形成されることに留意するべきである。また、高エネルギーのインプラントーション層は、大きな拡散とその後の膨張を生じることなくドーパントを活性化させるための適当な熱処理工程に晒されることにも留意するべきである。

20

【0034】

ついで、図9(d)に示すように、本発明に係る装置を得るため、公知の方法によって、ソース接合部9とドレイン接合部10が形成される。

【0035】

図10は、本発明の第2の実施形態に係るトレンチ型MOSFETを示す。このトレンチ型MOSFETは、エピタキシャル層20に凹部16が形成されているという点を除いて、第1の実施形態におけるトレンチ型MOSFETの特徴をすべて含んでいる。高導電性接触領域8は、凹部16の底部に形成され、ソース領域4は、各凹部16の側方に位置する。

30

【0036】

このトレンチ型MOSFETは、以下のプロセスに従って製造される。

【0037】

まず、図11(a)と図11(b)に示すように、金型22において、基板1上にエピタキシャル層20を形成し、さらに、この上に電界酸化膜層24を形成する。適当なマスクングとエッチングによって、電界酸化膜層24にウィンドー26を開口させる。ウィンドー26は、エピタキシャル層20の表面の一定領域を露出させているが、この領域は、後に装置の活性領域となる。

【0038】

40

つぎに、図11(c)に示すように、エピタキシャル層20の導電型とは反対の導電型を有するドーパントを、ウィンドー26を介して、エピタキシャル層20にインプラントする。この後、エピタキシャル層20の導電型と同一の導電型を有するドーパントを、ウィンドー26を介して、エピタキシャル層20にインプラントする。ついで、ベース領域3とソース層28を形成するため、金型22を拡散工程に晒す。

【0039】

次に、図11(d)に示すように、フォトレジスト層29が、図11(c)に示す構造の上に蒸着され、さらにウィンドー23を含むマスクが、フォトリソグラフィ技術によって形成される。ついで、エピタキシャル層20に、ウィンドー23を介したエッチングによって、トレンチ6が形成される。トレンチ6は、ベース領域3の下方まで延びるように形成される

50

【0040】

図11(e)に示すように、エピタキシャル層20において露出した、トレンチ6の底面と側壁を含む部分の上に、ゲート酸化膜15を成長させる。この後、図11(f)に示すように、金型22の表面にポリシリコン層25を蒸着する。ついで、図11(g)に示すように、所望量のポリシリコンが各トレンチに残存するまでエッチングすることによって、ゲート電極5を、各トレンチ6の内側に形成する。

【0041】

図11(h)と図11(i)に示すように、図11(g)に示す構造の上に、酸化膜30が蒸着され、高密度化される。ついで、フォトレジスト膜32が、酸化膜30の上に蒸着され、さらにフォトリソグラフィ技術によって、ウィンドー34を含むマスクが形成される。次に、酸化膜30と、この下にある材料は、異方性エッチングによって除去され、凹部16と中間酸化膜7が形成される。凹部16は、ソース領域4となるソース層28よりも下方に延びていることに留意するべきである。

【0042】

凹部16が形成された後、凹部16の底部において、ウィンドー34を介して、ベース領域3の導電型と同じ材料による比較的高濃度のインプラントレーションがなされる。この後、ベース領域3の導電型と同じ材料による低濃度のインプラントレーションが、高エネルギーで、ベース領域3の下方まで進入するようになされ、さらに、電界救済領域12を形成するように、熱処理工程にかけられる。

【0043】

この熱処理工程は、電界救済領域12が初期インプラントレーションの境界を越えて膨張するような大きな拡散を生じないようにしつつ、インプラント材料を活性化させる温度で行われることに留意するべきである。また、電界救済領域は、一段階または多段階のインプラントレーションによって形成されることにも留意するべきである。電界救済領域12が形成された後、ソース接合部9とドレイン接合部10が、公知の方法によって形成されると、図10に示す本発明の第2の実施形態に係るトレンチ型MOSFETが得られる。

【0044】

図12に示すように、本発明の本発明の第3の実施形態に係るトレンチ型MOSFETは、もう1つの電界救済領域12'の組を含んでいる。この実施形態によれば、もう1つの電界救済領域12'の組は、高エネルギーインプラントレーションとその後の拡散工程によって、第1の電界救済領域12の組よりも下方に形成される。

【0045】

上述の実施形態における各極性は、例示にすぎず、反対の極性のものも、本発明の範囲に含まれる。

【0046】

本発明に係るトレンチ型MOSFETは、定格絶縁破壊電圧を上昇させ、ドレイン・ソース遮断電流(I_{dss})の漏洩を防ぐ。

【0047】

本発明のさらなる効果は、電界救済領域をインプラントレーションによって形成する際にドーパントが通過するウィンドーの幅を制御することによって、電界救済領域12の幅が小さくなるよう制御しうることである。電界救済領域の大きさを十分に制御しうると、セルピッチが小さく、かつON抵抗値が小さいトレンチ型MOSFETの製造が可能になる。

【0048】

本発明のさらに他の効果は、ドーパントの濃度の調整し、電界救済領域12を形成する深さ方向の位置を調整することによって、絶縁破壊電圧の値を調整しうることである。

【0049】

以上、本発明を特定の実施形態に関連づけて説明してきたが、当業者にとっては、他の多くの変形例や用途も明らかであると思う。本発明は、本明細書における特定の開示に限定されるものではなく、本発明の範囲は、特許請求の範囲の記載によってのみ画定される

10

20

30

40

50

。

【図面の簡単な説明】

【0050】

【図1】従来のトレンチ型MOSFETにおける能動領域の一部を示す断面図である。

【図2】図1のMOSFETにおける逆バイアス下の電気力線図である。

【図3】従来の他のトレンチ型MOSFETにおける能動領域の一部を示す断面図である。

。

【図4】図3の4-4線に沿った、ドーパントの濃度分布を示すグラフである。

【図5】本発明の第1の実施形態に係るトレンチ型MOSFETにおける能動領域の一部を示す断面図である。 10

【図6】図5のMOSFETにおける逆バイアス下の電気力線図である。

【図7】図5の7-7線に沿った、ドーパントの濃度分布を示すグラフである。

【図8】本発明に係るトレンチ型MOSFETの絶縁破壊電圧特性を示すグラフである。

【図9(a)】図8のトレンチ型MOSFETの一製造工程を示す断面図である。

【図9(b)】図8のトレンチ型MOSFETの一製造工程を示す断面図である。

【図9(c)】図8のトレンチ型MOSFETの一製造工程を示す断面図である。

【図9(d)】図8のトレンチ型MOSFETの一製造工程を示す断面図である。

【図10】本発明の第2の実施形態に係るトレンチ型MOSFETにおける能動領域の一部を示す断面図である。 20

【図11(a)】図10のトレンチ型MOSFETの一製造工程を示す断面図である。

【図11(b)】図10のトレンチ型MOSFETの一製造工程を示す断面図である。

【図11(c)】図10のトレンチ型MOSFETの一製造工程を示す断面図である。

【図11(d)】図10のトレンチ型MOSFETの一製造工程を示す断面図である。

【図11(e)】図10のトレンチ型MOSFETの一製造工程を示す断面図である。

【図11(f)】図10のトレンチ型MOSFETの一製造工程を示す断面図である。

【図11(g)】図10のトレンチ型MOSFETの一製造工程を示す断面図である。

【図11(h)】図10のトレンチ型MOSFETの一製造工程を示す断面図である。

【図11(i)】図10のトレンチ型MOSFETの一製造工程を示す断面図である。

【図12】本発明の第3の実施形態に係るトレンチ型MOSFETにおける能動領域の一部を示す断面図である。 30

【符号の説明】

【0051】

2 ドリフト領域

3 ベース領域

4 ソース領域

5 ゲート電極

6 トレンチ

7 絶縁中間層

8 高導電性接触領域

9 ソース接合部 40

10 ドレイン接合部

11 高導電性領域

12 電界救済領域

13 酸化物層

15 ゲート酸化膜

16 凹部

19 ウィンドー

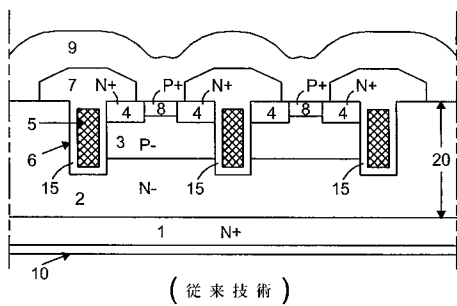
20 エピタキシャル層

22 金型

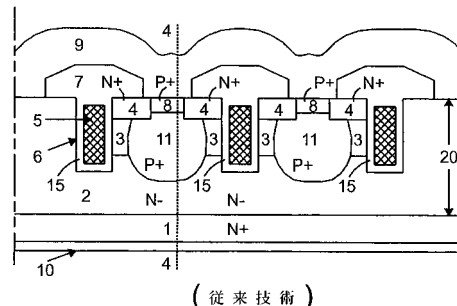
23 ウィンドー 50

- 24 電界酸化膜層
- 25 ポリシリコン層
- 26 ウィンドー
- 28 ソース層
- 29 フォトレジスト層
- 30 酸化膜
- 32 フォトレジスト膜
- 34 ウィンドー

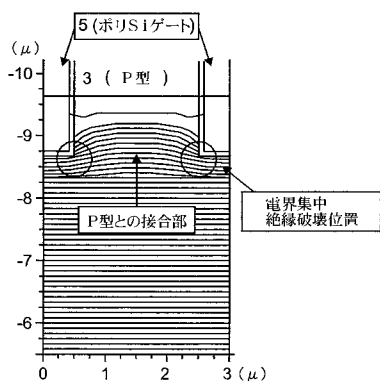
【図1】



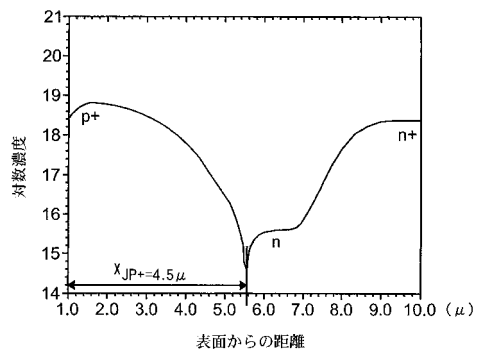
【図3】



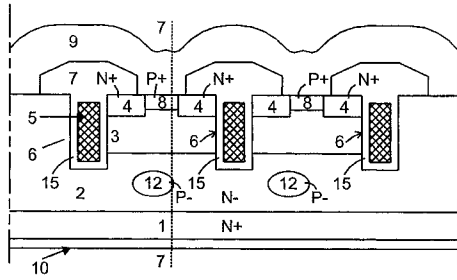
【図2】



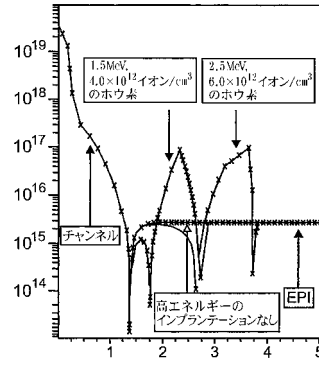
【図4】



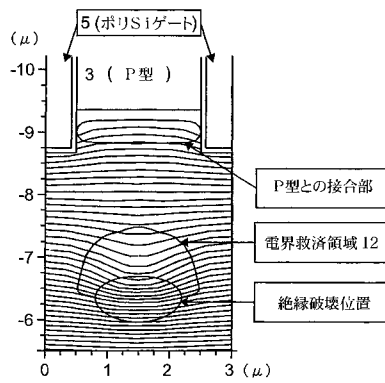
【図5】



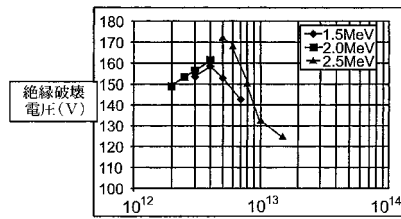
【図7】



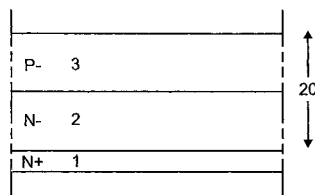
【図6】



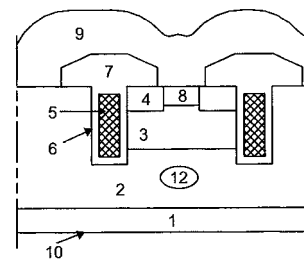
【図8】



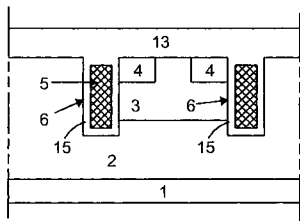
【図9 (a)】



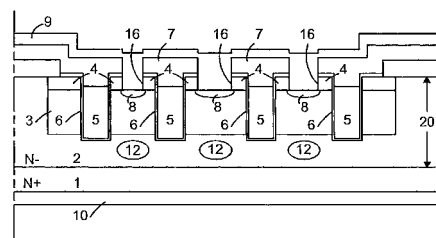
【図9 (d)】



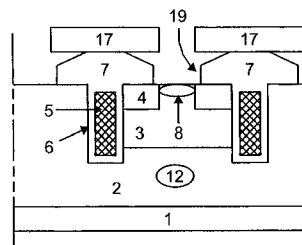
【図9 (b)】



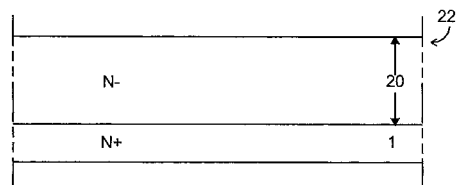
【図10】



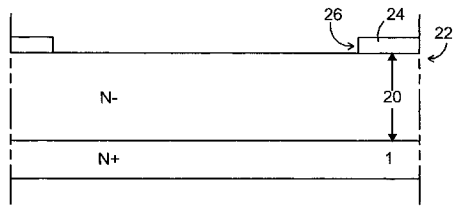
【図9 (c)】



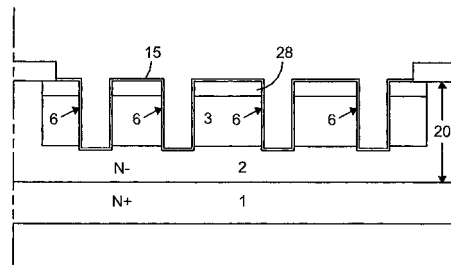
【図11 (a)】



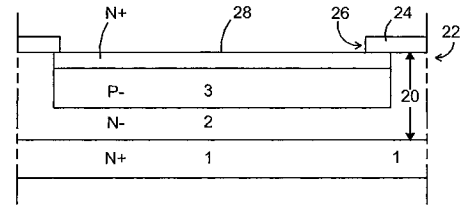
【図 11 (b)】



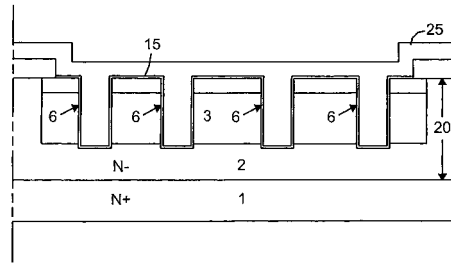
【図 11 (e)】



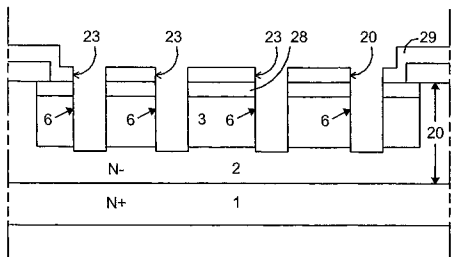
【図 11 (c)】



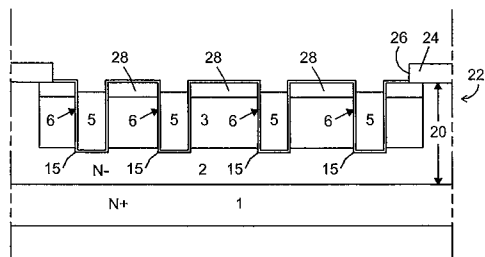
【図 11 (f)】



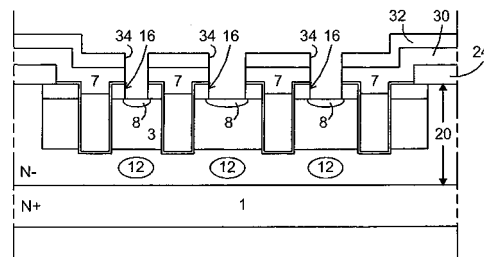
【図 11 (d)】



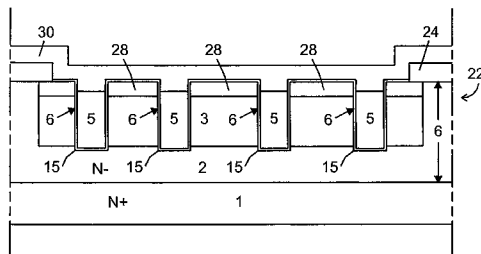
【図 11 (g)】



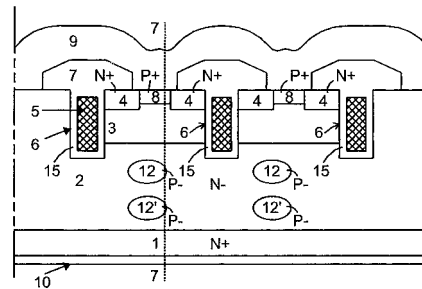
【図 11 (i)】



【図 11 (h)】



【図 12】



フロントページの続き

- (72)発明者 チアンチウン ツァオ
アメリカ合衆国 カリフォルニア州 90505 トランス パシフィック コースト ハイウェイ 4134 ナンバー135
- (72)発明者 ティモシー ディー ヘンソン
アメリカ合衆国 カリフォルニア州 90277 レドンド ビーチ パロス ヴェルデス ブルヴァード 350 ナンバー5

審査官 恩田 春香

- (56)参考文献 特開平08-167711(JP,A)
特開平09-036359(JP,A)
特開平11-068093(JP,A)

- (58)調査した分野(Int.Cl., DB名)
H01L 29/78
H01L 21/336