



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2022년04월08일
(11) 등록번호 10-2383040
(24) 등록일자 2022년03월31일

(51) 국제특허분류(Int. Cl.)
G06F 12/0817 (2016.01) G06F 12/0831 (2016.01)
G06F 12/0891 (2016.01) G06F 12/128 (2016.01)
(52) CPC특허분류
G06F 12/082 (2013.01)
G06F 12/0824 (2013.01)
(21) 출원번호 10-2020-7020385
(22) 출원일자(국제) 2018년09월19일
심사청구일자 2021년09월17일
(85) 번역문제출일자 2020년07월14일
(65) 공개번호 10-2020-0096975
(43) 공개일자 2020년08월14일
(86) 국제출원번호 PCT/US2018/051756
(87) 국제공개번호 WO 2019/118037
국제공개일자 2019년06월20일
(30) 우선권주장
15/844,215 2017년12월15일 미국(US)
(56) 선행기술조사문헌
US20020087811 A1
US20170177484 A1
US20090327616 A1

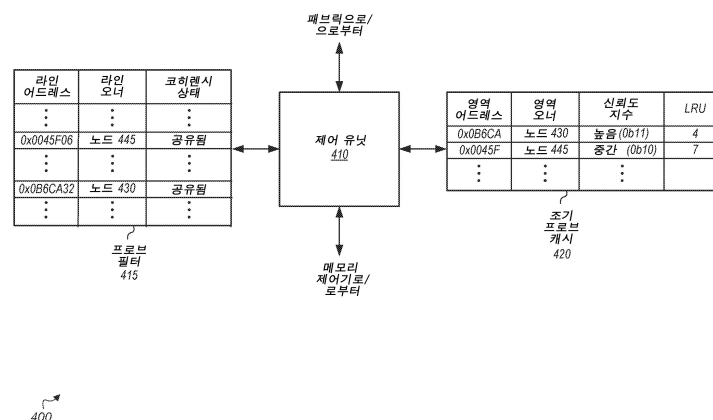
(73) 특허권자
어드밴스드 마이크로 디바이시즈, 인코포레이티드
미국 캘리포니아 95054 산타 클라라 어거스틴 드라이브 2485
(72) 발명자
압테 아밋 피.
미국 텍사스 78737 오스틴 에블리나 트레일 8606
발라크리쉬난 가네쉬
미국 텍사스 78739 오스틴 골렘 글렌 코트 11201
(뒷면에 계속)
(74) 대리인
박장원

전체 청구항 수 : 총 20 항

심사관 : 안지현

(54) 발명의 명칭 **홈 에이전트 기반 캐시 전송 가속 기법****(57) 요약**

추론에 근거한 프로브 메커니즘을 구현하기 위한 시스템들, 장치들 및 방법들이 개시된다. 시스템은 적어도 다수의 처리 노드, 프로브 필터 및 코히런트 슬레이브를 포함한다. 코히런트 슬레이브는 프로브 필터에 대한 최근 색인들을 캐싱하기 위한 조기 프로브 캐시를 포함한다. 조기 프로브 캐시는 메모리의 영역들에 대한 엔트리들을 포함한다 (뒷면에 계속)

대표도

함하며, 영역은 복수의 캐시 라인을 포함한다. 코히런트 슬레이브는 메모리 요청을 수신하는 것에 응답하여 프로브 필터 및 조기 프로브 캐시에 대한 병렬 색인들을 수행한다. 조기 프로브 캐시에 대한 색인이 메모리 요청의 타겟이 되는 제1 영역의 오퍼로서 제1 처리 노드를 식별하는 제1 엔트리 상에 적중한다고 결정하는 것에 응답하고 상기 제1 엔트리의 신뢰도 지표가 임계치보다 크다는 결정에 응답하여 제1 처리 노드로 조기 프로브가 전송된다.

(52) CPC특허분류

G06F 12/0826 (2013.01)

G06F 12/0833 (2013.01)

G06F 12/0891 (2013.01)

G06F 12/128 (2013.01)

G06F 2212/1024 (2013.01)

G06F 2212/507 (2013.01)

G06F 2212/62 (2013.01)

(72) 발명자

칼야나순드하람 비드하나단

미국 캘리포니아 95138 산호세 룡힐 코트 351

리파 케빈 엠.

미국 텍사스 78733 오스틴 서클뷰 드라이브 10092

명세서

청구범위

청구항 1

추론에 근거한 프로브 메커니즘을 구현하기 위한 시스템으로서,

복수의 처리 노드;

상기 복수의 처리 노드에 의해 캐싱되는 캐시 라인들을 트래킹하도록 구성된 프로브 필터;

메모리 제어기; 및

상기 메모리 제어기에 결합되는 코히런트 슬레이브 유닛으로서, 상기 코히런트 슬레이브 유닛은 프로브 필터에 대한 최근 색인들을 캐싱하도록 구성된 초기 프로브 캐시를 포함하고, 상기 초기 프로브 캐시는 영역을 기반으로 엔트리들을 저장하며, 영역은 복수의 캐시 라인을 포함하는, 상기 코히런트 슬레이브 유닛을 포함하며;

상기 코히런트 슬레이브 유닛은:

메모리 요청을 수신하는 것에 응답하여 상기 프로브 필터 및 상기 초기 프로브 캐시에 대한 병렬 색인들을 수행하도록 구성되고;

상기 초기 프로브 캐시의 색인이 상기 초기 프로브 캐시의 제1 엔트리와 일치하는 것에 응답하여 상기 제1 엔트리로부터 제1 처리 노드의 식별자를 회수하도록 구성되되, 상기 제1 엔트리는 상기 메모리 요청의 타겟이 되는 제1 영역의 오퍼로서 상기 제1 처리 노드를 식별하고;

상기 제1 엔트리의 신뢰도 지표가 임계치보다 크다는 결정에 응답하여 상기 제1 처리 노드로 초기 프로브를 보내도록 구성되되, 상기 초기 프로브는 상기 프로브 필터에 대한 색인 완료 이전에 보내지는, 추론에 근거한 프로브 메커니즘을 구현하기 위한 시스템.

청구항 2

청구항 1에 있어서, 상기 코히런트 슬레이브 유닛은 상기 프로브 필터에 대한 상기 색인이 상기 메모리 요청의 타겟이 되는 캐시 라인의 오퍼로서 상기 제1 처리 노드를 식별한다고 결정하는 것에 응답하여 상기 제1 엔트리의 상기 신뢰도 지표를 증가시키도록 더 구성된, 추론에 근거한 프로브 메커니즘을 구현하기 위한 시스템.

청구항 3

청구항 2에 있어서, 상기 코히런트 슬레이브 유닛은 상기 프로브 필터에 대한 상기 색인이 상기 메모리 요청의 타겟이 되는 캐시 라인의 오퍼로서 상기한 처리 노드를 식별한다고 결정하는 것에 응답하여 상기 제1 엔트리의 상기 신뢰도 지표를 감소시키도록 더 구성된, 추론에 근거한 프로브 메커니즘을 구현하기 위한 시스템.

청구항 4

청구항 1에 있어서, 상기 초기 프로브 캐시에 대한 상기 색인이 공유된 영역에 대응하는 엔트리 적중 실패이고 상기 프로브 필터에 대한 상기 색인이 공유된 영역에 대응하는 엔트리 적중인 것에 응답하여, 상기 코히런트 슬레이브 유닛은 상기 초기 프로브 캐시에 상기 메모리 요청에 대한 새로운 엔트리를 할당하도록 구성된, 추론에 근거한 프로브 메커니즘을 구현하기 위한 시스템.

청구항 5

청구항 4에 있어서, 상기 코히런트 슬레이브 유닛은:

상기 메모리 요청의 타겟이 되는 상기 캐시 라인을 포함하는 영역을 결정하도록;

상기 초기 프로브 캐시의 상기 새로운 엔트리의 영역 어드레스 필드에 상기 영역의 어드레스를 저장하도록;

상기 프로브 필터의 일치하는 엔트리로부터 상기 캐시 라인의 오퍼의 식별자(ID)를 추출하도록; 그리고

상기 초기 프로브 캐시에서의 상기 새로운 엔트리의 영역 오퍼 필드에 상기 ID를 저장하도록 더 구성된, 추론에

근거한 프로브 메커니즘을 구현하기 위한 시스템.

청구항 6

청구항 1에 있어서, 상기 제1 처리 노드는:

상기 초기 프로브를 수신하도록;

상기 초기 프로브의 타겟이 되는 데이터가 상기 제1 처리 노드의 캐시 서브시스템에 존재할 경우 상기 데이터를 회수하도록; 그리고

상기 데이터를 요청 처리 노드로 리턴하도록 구성된, 추론에 근거한 프로브 메커니즘을 구현하기 위한 시스템.

청구항 7

청구항 1에 있어서, 상기 제1 처리 노드는:

상기 초기 프로브를 수신하도록;

상기 초기 프로브의 타겟이 되는 데이터가 상기 제1 처리 노드의 캐시 서브시스템에 존재할 경우 상기 데이터를 회수하도록; 그리고

상기 데이터를 버퍼링하고 대응하는 요구 프로브가 수신되기를 대기하도록 구성된, 추론에 근거한 프로브 메커니즘을 구현하기 위한 시스템.

청구항 8

추론에 근거한 프로브 메커니즘을 구현하기 위한 방법으로서,

메모리 요청을 수신하는 것에 응답하여 프로브 필터 및 초기 프로브 캐시에 대한 병렬 색인들을 수행하는 단계;

상기 초기 프로브 캐시의 색인이 상기 초기 프로브 캐시의 제1 엔트리와 일치하는 것에 응답하여 상기 제1 엔트리로부터 제1 처리 노드의 식별자를 회수하는 단계로서, 상기 제1 엔트리는 상기 메모리 요청의 타겟이 되는 제1 영역의 오퍼로서 상기 제1 처리 노드를 식별하는, 상기 제1 처리 노드의 식별자를 회수하는 단계; 및

상기 제1 엔트리의 신뢰도 지표가 임계치보다 크다는 결정에 응답하여 상기 제1 처리 노드로 초기 프로브를 보내는 단계로서, 상기 초기 프로브는 상기 프로브 필터에 대한 색인 완료 이전에 보내지는, 상기 초기 프로브를 보내는 단계를 포함하는, 추론에 근거한 프로브 메커니즘을 구현하기 위한 방법.

청구항 9

청구항 8에 있어서, 상기 프로브 필터에 대한 상기 색인이 상기 메모리 요청의 타겟이 되는 캐시 라인의 오퍼로서 상기 제1 처리 노드를 식별한다고 결정하는 것에 응답하여 상기 제1 엔트리의 상기 신뢰도 지표를 증가시키는 단계를 더 포함하는, 추론에 근거한 프로브 메커니즘을 구현하기 위한 방법.

청구항 10

청구항 9에 있어서, 상기 프로브 필터에 대한 상기 색인이 상기 메모리 요청의 타겟이 되는 캐시 라인의 오퍼로서 상기한 처리 노드를 식별한다고 결정하는 것에 응답하여 상기 제1 엔트리의 상기 신뢰도 지표를 감소시키는 단계를 더 포함하는, 추론에 근거한 프로브 메커니즘을 구현하기 위한 방법.

청구항 11

청구항 8에 있어서, 상기 초기 프로브 캐시에 대한 상기 색인이 공유된 영역에 대응하는 엔트리 적중 실패이고 상기 프로브 필터에 대한 상기 색인이 공유된 영역에 대응하는 엔트리 적중인 것에 응답하여, 상기 초기 프로브 캐시에 상기 메모리 요청에 대한 새로운 엔트리를 할당하는 단계를 더 포함하는, 추론에 근거한 프로브 메커니즘을 구현하기 위한 방법.

청구항 12

청구항 11에 있어서,

상기 메모리 요청의 타겟이 되는 캐시 라인을 포함하는 영역을 결정하는 단계;

상기 초기 프로브 캐시의 상기 새로운 엔트리의 영역 어드레스 필드에 상기 영역의 어드레스를 저장하는 단계;

상기 프로브 필터의 일치하는 엔트리로부터 상기 캐시 라인의 오너의 식별자(ID, identifier)를 추출하는 단계; 및

상기 초기 프로브 캐시에서의 상기 새로운 엔트리의 영역 오너 필드에 상기 ID를 저장하는 단계를 더 포함하는, 추론에 근거한 프로브 메커니즘을 구현하기 위한 방법.

청구항 13

청구항 8에 있어서,

상기 제1 처리 노드에서 상기 초기 프로브를 수신하는 단계;

상기 초기 프로브의 타겟이 되는 데이터가 상기 제1 처리 노드의 캐시 서브시스템에 존재할 경우 상기 데이터를 회수하는 단계; 및

상기 데이터를 요청 처리 노드로 리턴하는 단계를 더 포함하는, 추론에 근거한 프로브 메커니즘을 구현하기 위한 방법.

청구항 14

청구항 8에 있어서,

상기 제1 처리 노드에서 상기 초기 프로브를 수신하는 단계;

상기 초기 프로브의 타겟이 되는 데이터가 상기 제1 처리 노드의 캐시 서브시스템에 존재할 경우 상기 데이터를 회수하는 단계; 및

상기 데이터를 버퍼링하고 대응하는 요구 프로브가 수신되기를 대기하는 단계를 더 포함하는, 추론에 근거한 프로브 메커니즘을 구현하기 위한 방법.

청구항 15

추론에 근거한 프로브 메커니즘을 구현하기 위한 장치로서,

복수의 처리 노드에 의해 캐싱되는 캐시 라인들을 트래킹하도록 구성된 프로브 필터; 및

상기 프로브 필터에 대한 최근 색인들을 캐싱하도록 구성된 초기 프로브 캐시를 포함하는 코히런트 슬레이브 유닛으로서, 상기 초기 프로브 캐시는 영역을 기반으로 엔트리들을 저장하며, 영역은 복수의 캐시 라인을 포함하는, 상기 코히런트 슬레이브 유닛을 포함하고, 상기 코히런트 슬레이브 유닛은:

메모리 요청을 수신하는 것에 응답하여 상기 프로브 필터 및 상기 초기 프로브 캐시에 대한 병렬 색인들을 수행하도록 구성되고;

상기 초기 프로브 캐시의 색인이 상기 초기 프로브 캐시의 제1 엔트리와 일치하는 것에 응답하여 상기 제1 엔트리로부터 제1 처리 노드의 식별자를 회수하도록 구성되되, 상기 제1 엔트리는 상기 메모리 요청의 타겟이 되는 제1 영역의 오너로서 상기 제1 처리 노드를 식별하며;

상기 제1 엔트리의 신뢰도 지표가 임계치보다 크다는 결정에 응답하여 상기 제1 처리 노드로 초기 프로브를 보내도록 구성되되, 상기 초기 프로브는 상기 프로브 필터에 대한 색인 완료 이전에 보내지는, 추론에 근거한 프로브 메커니즘을 구현하기 위한 장치.

청구항 16

청구항 15에 있어서, 상기 코히런트 슬레이브 유닛은 상기 프로브 필터에 대한 상기 색인이 상기 메모리 요청의 타겟이 되는 캐시 라인의 오너로서 상기 제1 처리 노드를 식별한다고 결정하는 것에 응답하여 상기 제1 엔트리의 상기 신뢰도 지표를 증가시키도록 더 구성된, 추론에 근거한 프로브 메커니즘을 구현하기 위한 장치.

청구항 17

청구항 16에 있어서, 상기 코히렌트 슬레이브 유닛은 상기 프로브 필터에 대한 상기 색인이 상기 메모리 요청의 타겟이 되는 캐시 라인의 오너로서 상이한 처리 노드를 식별한다고 결정하는 것에 응답하여 상기 제1 엔트리의 상기 신뢰도 지표를 감소시키도록 더 구성된, 추론에 근거한 프로브 메커니즘을 구현하기 위한 장치.

청구항 18

청구항 15에 있어서, 상기 초기 프로브 캐시에 대한 상기 색인이 공유된 영역에 대응하는 엔트리 적중 실패이고 상기 프로브 필터에 대한 상기 색인이 공유된 영역에 대응하는 엔트리 적중인 것에 응답하여, 상기 코히렌트 슬레이브 유닛은 상기 초기 프로브 캐시에 상기 메모리 요청에 대한 새로운 엔트리를 할당하도록 구성된, 추론에 근거한 프로브 메커니즘을 구현하기 위한 장치.

청구항 19

청구항 18에 있어서, 상기 코히렌트 슬레이브 유닛은:

상기 메모리 요청의 타겟이 되는 상기 캐시 라인을 포함하는 영역을 결정하도록;

상기 초기 프로브 캐시의 상기 새로운 엔트리의 영역 어드레스 필드에 상기 영역의 어드레스를 저장하도록;

상기 프로브 필터의 일치하는 엔트리로부터 상기 캐시 라인의 오너의 식별자(ID)를 추출하도록; 그리고

상기 초기 프로브 캐시에서의 상기 새로운 엔트리의 영역 오너 필드에 상기 ID를 저장하도록 더 구성된, 추론에 근거한 프로브 메커니즘을 구현하기 위한 장치.

청구항 20

청구항 15에 있어서, 상기 코히렌트 슬레이브 유닛은 상기 프로브 필터에 대한 상기 색인이 상기 메모리 요청의 타겟이 되는 캐시 라인의 오너로서 제2 처리 노드를 식별하는 엔트리 상에서 일치한다고 결정하는 것에 응답하여 상기 제2 처리 노드로 요구 프로브를 보내도록 더 구성된, 추론에 근거한 프로브 메커니즘을 구현하기 위한 장치.

발명의 설명

기술 분야

배경 기술

- [0001] 컴퓨터 시스템들은 통상적으로 저렴한 고밀도 동적 랜덤 액세스 메모리(DRAM) 칩들로 형성되는 메인 메모리를 사용한다. 그러나 DRAM 칩은 액세스 시간이 비교적 길다. 성능을 향상시키기 위해, 데이터 처리기들에 통상적으로 캐시로 알려져 있는 적어 하나의 로컬 고속 메모리가 포함된다. 멀티 코어 데이터 처리기에서, 각 데이터 처리기 코어는 그 자체의 전용 레벨 1(L1) 캐시를 가질 수 있는 한편, 다른 캐시들(예를 들어, 레벨 2(L2), 레벨 3(L3))는 데이터 처리기 코어들에 의해 공유된다.
- [0002] 컴퓨팅 시스템에서 캐시 서브 시스템들은 데이터의 블록들을 저장하도록 구성된 고속 캐시 메모리들을 포함한다. "블록"은 여기서 사용될 때, 연결한 메모리 위치들에 저장되는, 코히렌시를 위해 단위로 취급되는 바이트 세트이다. "캐시 블록", "블록", "캐시 라인" 및 "라인"이라는 각각의 용어들은 여기서 사용될 때, 호환 가능하다. 일부 실시 예에서, 블록은 또한 캐시에서의 할당 및 할당 해제 유닛일 수도 있다. 블록의 바이트 수는 설계 선택에 따라 달라지고, 임의의 크기가 될 수 있다. 또한, "캐시 태그", "캐시 라인 태그" 및 "캐시 블록 태그"라는 각각의 용어들이 호환 가능하다.
- [0003] 멀티 노드 컴퓨터 시스템들에서, 상이한 처리 노드들에 의해 사용되고 있는 데이터의 코히렌시를 유지하기 위해서는 특별한 주의가 기울여져야 한다. 예를 들어, 처리기가 특정 메모리 어드레스에서의 데이터에 액세스하려고 하는 경우, 먼저 메모리가 다른 캐시에 저장되어 있고 수정되었는지 여부를 결정해야 한다. 이러한 캐시 코히런스 프로토콜을 구현하기 위해, 캐시들은 통상적으로 시스템 전체에 걸쳐 데이터 코히렌시를 유지하기 위해 캐시 라인의 상태를 나타내는 다수의 상태 비트를 포함한다. 공통 코히런스 프로토콜 중 하나를 "MOESI" 프로토콜이라고 한다. MOESI 프로토콜에 따르면, 각 캐시 라인은 캐시 라인이 수정되었음(M, modified), 캐시 라인이 배타적임(E, exclusive) 또는 공유됨(S, shared), 또는 캐시 라인이 무효임(I, invalid)을 나타내는 비트들을 포함

하여, 라인이 어느 MOESI 상태에 있는지를 나타내는 상태 비트들을 포함한다. 소유(0, owned) 상태는 하나의 캐시에서 라인이 수정되고, 다른 캐시들에 공유된 카피들이 있을 수 있으며, 메모리에서의 데이터가 오래되었음을 나타낸다.

[0004] 제1 노드의 캐시 서브 시스템 사이에서 제2 노드의 캐시 서브 시스템으로 데이터를 전송하는 것은 통상적으로 다수의 동작을 수반하며, 각 동작은 전송 레이턴시에 기여한다. 이러한 동작들은 통상적으로 일련의 방식으로 수행되며, 이전 동작이 종료될 때 하나의 동작이 시작된다.

도면의 간단한 설명

[0005] 여기서 설명되는 방법들 및 메커니즘들의 이점들은 첨부 도면들과 함께 이하의 구체적인 내용을 참조함으로써 더 잘 이해될 수 있으며, 첨부 도면들에서:

도 1은 컴퓨팅 시스템의 일 실시 예의 블록도이다.

도 2는 코어 컴플렉스의 일 실시 예의 블록도이다.

도 3은 멀티 CPU 시스템의 일 실시 예의 블록도이다.

도 4는 코히런트 슬레이브의 일 실시 예의 블록도이다.

도 5는 초기 프로브 메커니즘을 구현하기 위한 방법의 일 실시 예를 도시하는 개괄적인 흐름도이다.

도 6은 초기 프로브들을 생성하는데 사용하기 위한 초기 프로브 캐시에 영역 기반 엔트리들을 할당하기 위한 방법의 일 실시 예를 도시하는 개괄적인 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0006] 이하의 구체적인 내용에서, 여기서 제시되는 방법들 및 메커니즘들에 대한 완전한 이해를 제공하기 위해 많은 구체적인 세부 사항이 제시된다. 그러나, 해당 기술분야의 통상의 기술자는 다양한 실시 예가 이러한 구체적인 세부 사항 없이도 실시될 수 있다는 것을 인식해야 한다. 경우에 따라서는, 주지된 구조들, 구성요소들, 신호들, 컴퓨터 프로그램 명령들 및 기술들이 본 명세서에 설명되는 접근법들을 모호하게 하는 것을 방지하기 위해 구체적으로 제시되지 않았다. 도시의 단순성 및 명료성을 위해, 도면들에 도시된 요소들은 반드시 일정한 비율로 그려진 것은 아니라는 것을 이해할 것이다. 예를 들어, 요소들 중 일부의 치수들은 그 외 다른 요소들에 비해 과장될 수 있다.

[0007] 추론에 근거한 프로브 메커니즘을 구현하기 위한 다양한 시스템, 장치, 방법 및 컴퓨터 판독 가능한 매체가 여기에 개시된다. 일 실시 예에서, 시스템은 적어도 복수의 처리 노드(예를 들어, 중앙 처리 유닛(CPU)), 인터커넥트 패브릭, 코히런트 슬레이브, 프로브 필터, 메모리 제어기 및 메모리를 포함한다. 각 처리 노드는 하나 이상의 프로세싱 유닛을 포함한다. 각 처리 노드에 포함되는 처리 유닛(들)(예를 들어, 범용 처리기, 그래픽 처리 유닛(GPU), 주문형 집적 회로(ASIC), 펌드 프로그램 가능 게이트 어레이(FPGA), 디지털 신호 처리기(DSP))의 유형은 실시 예에 따라 그리고 노드에 따라 달라질 수 있다. 코히런트 슬레이브는 인터커넥트 패브릭을 통해 복수의 처리 노드에 결합되고, 코히런트 슬레이브는 또한 프로브 필터 및 메모리 제어기에 결합된다.

[0008] 코히런트 슬레이브는 프로브 필터에 대한 최근 색인들을 캐싱하기 위한 초기 프로브 캐시를 포함한다. 일 실시 예에서, 공유된 페이지들에 대한 프로브 필터에 대한 최근 색인들이 초기 프로브 캐시에 캐싱된다. 페이지가 공유되는지 또는 개인용인지에 관한 정보는 프로브 필터 색인의 일부로 이용 가능하다. 일 실시 예에서, 초기 프로브 캐시는 복수의 캐시 라인을 포함하는 영역을 기반으로 엔트리들을 저장한다. 코히런트 슬레이브는 인터커넥트 패브릭을 통해 처리 노드들로부터 메모리 요청들을 수신한다. 코히런트 슬레이브는 소정의 처리 노드로부터 메모리 요청을 수신하는 것에 응답하여, 프로브 필터 및 초기 프로브 캐시에 대한 병렬 색인들을 수행한다. 초기 프로브 캐시에 대한 색인이 소정의 엔트리 상에서 일치하는 경우, 코히런트 슬레이브는 소정의 엔트리로부터 영역 오너의 식별자(ID) 및 신뢰도 지표를 회수한다. 신뢰도 지표가 프로그램 가능한 임계치보다 크다면, 코히런트 슬레이브는 영역 오너로서 식별된 처리 노드에 초기 프로브를 보낸다. 초기 프로브는 프로브 필터에 대한 색인 완료 이전에 보내짐이 주의된다. 이는 초기 프로브가 정확한 타겟으로 보내질 때 타겟 처리 노드로부터 데이터를 회수하는 레이턴시를 감소시키는 것에 도움이 된다.

[0009] 프로브 필터에 대한 색인이 완료될 때, 그리고 색인 결과가 적중이라면, 코히런트 슬레이브는 일치하는 엔트리로부터 캐시 라인 오너의 ID를 회수한다. 메모리 요청의 타겟이 되는 캐시 라인의 오너가 초기 프로브 캐시로부터

터 획득된 영역의 오너와 일치하면, 코히런트 슬레이브는 초기 프로브 캐시에서 대응하는 엔트리의 신뢰도 지표를 증분한다. 실시 예에 따라, 코히런트 슬레이브는 요구 프로브를 오너에게 보내거나 보내지 않을 수 있다. 타겟 처리 노드에 보내진 초기 프로브로 인해 타겟이 된 데이터가 요청 노드로 리턴된다면, 코히런트 슬레이브는 요구 프로브를 전송할 필요가 없다. 그렇지 않고, 초기 프로브로 인해 타겟이 된 데이터가 요청 노드의 캐시 서버 시스템에서 꺼내진다면, 데이터를 요청 노드로 리턴하기 위해 요구 프로브가 타겟 노드로 보내질 수 있다. 메모리 요청의 타겟이 되고 프로브 필터로부터 회수된 캐시 라인의 오너가 초기 프로브 캐시로부터 획득된 영역의 오너와 일치하지 않으면, 코히런트 슬레이브는 초기 프로브 캐시에서 대응하는 엔트리의 신뢰도 지표를 감소시킨다. 또한, 코히런트 슬레이브는 정확한 처리 노드로 요구 프로브를 보낸다.

[0010] 초기 프로브 캐시에 대한 색인이 공유된 페이지에 적중실패이고 프로브 필터에 대한 색인이 적중이라면, 새로운 엔트리는 초기 프로브 캐시에 할당된다. 코히런트 슬레이브는 메모리 요청의 타겟이 되는 캐시 라인을 포함하는 영역을 결정하고, 그 다음 코히런트 슬레이브는 초기 프로브 캐시에서의 새로운 엔트리의 영역 오너 필드에 영역의 ID를 저장한다. 코히런트 슬레이브는 또한 신뢰도 지표 필드 및 LRU 필드를 디폴트 값들로 초기화한다. 따라서, 동일한 영역을 타겟으로 하는 후속 메모리 요청들이 코히런트 슬레이브에 의해 수신될 때, 초기 프로브 캐시에 대한 색인들은 새로운 엔트리에 적중할 것이며, 신뢰도 지표 필드가 프로그램 가능한 임계치보다 크다면 초기 프로브들이 영역 오너로서 식별되는 노드로 보내지게 될 것이다.

[0011] 이제 도 1을 참조하면, 컴퓨팅 시스템(100)의 일 실시 예의 블록도가 도시되어 있다. 일 실시 예에서, 컴퓨팅 시스템(100)은 적어도 코어 컴플렉스들(105A-N), 입력/출력(I/O) 인터페이스들(120), 버스(125), 메모리 제어기(들)(130) 및 네트워크 인터페이스(135)를 포함한다. 다른 실시 예들에서, 컴퓨팅 시스템(100)은 다른 구성요소들을 포함하고/하거나 컴퓨팅 시스템(100)은 상이하게 배열될 수 있다. 일 실시 예에서, 각 코어 컴플렉스(105A-N)는 중앙 처리 유닛들(CPU)과 같은 하나 이상의 범용 처리기를 포함한다. "코어 컴플렉스"는 여기서 "처리 노드" 또는 "CPU"로 지칭될 수도 있음이 주의된다. 일부 실시 예에서, 하나 이상의 코어 컴플렉스(105A-N)는 고도의 병렬 아키텍처를 갖는 데이터 병렬 처리기를 포함할 수 있다. 데이터 병렬 처리기들의 예들은 그래픽 처리 유닛들(GPU, graphics processing units), 디지털 신호 처리기들(DSPs, digital signal processors) 등을 포함한다. 코어 컴플렉스(105A-N) 내 각 처리기 코어는 하나 이상의 레벨의 캐시들을 갖는 캐시 서버 시스템을 포함한다. 일 실시 예에서, 각 코어 컴플렉스(105A-N)는 다수의 처리기 코어 사이에서 공유되는 캐시(예를 들어, 레벨 3(L3) 캐시)를 포함한다.

[0012] 메모리 제어기(들)(130)는 코어 컴플렉스들(105A-N)에 의해 액세스 가능한 임의의 수 및 유형의 메모리 제어기를 나타낸다. 메모리 제어기(들)(130)는 임의의 수 및 유형의 메모리 디바이스(도시되지 않음)에 결합된다. 예를 들어, 메모리 제어기(들)(130)에 결합되는 메모리 디바이스(들)에서의 메모리의 유형은 동적 랜덤 액세스 메모리(DRAM, Dynamic Random Access Memory), 정적 랜덤 액세스 메모리(SRAM, Static Random Access Memory), NAND 플래시 메모리, NOR 플래시 메모리, 강유전성 랜덤 액세스 메모리(FRAM) 또는 기타를 포함할 수 있다. I/O 인터페이스들(120)은 임의의 수 및 유형의 I/O 인터페이스들(예를 들어, PCI(peripheral component interconnect) 버스, PCI-X(PCI-Extended), PCIE(PCI Express) 버스, GBE(gigabit Ethernet) 버스, USB(universal serial bus) 버스)를 나타낸다. 다양한 유형의 주변 디바이스들이 I/O 인터페이스들(120)에 결합될 수 있다. 그러한 주변 디바이스들은 디스플레이들, 키보드들, 마우스들, 프린터들, 스캐너들, 조이스틱들 또는 그 외 다른 유형들의 게임 제어기들, 미디어 레코딩 디바이스들, 외부 저장 디바이스들, 네트워크 인터페이스 카드들 등을 포함한다(그러나, 이에 제한되지는 않는다).

[0013] 다양한 실시 예에서, 컴퓨팅 시스템(100)은 컴퓨터, 랩탑, 모바일 디바이스, 게임 콘솔, 스트리밍 디바이스, 웨어러블 디바이스 또는 임의의 다양한 다른 유형의 컴퓨팅 시스템들 또는 디바이스들일 수 있다. 컴퓨팅 시스템(100)의 구성요소들의 수는 실시 예마다 달라질 수 있음이 주의된다. 각 구성요소의 수가 도 1에 도시된 수보다 더 많거나 더 적을 수 있다. 또한 컴퓨팅 시스템(100)은 도 1에 도시되지 않은 다른 구성요소들을 포함할 수 있음이 주의된다. 추가로, 다른 실시 예들에서, 컴퓨팅 시스템(100)은 도 1에 도시된 방식과 다른 방식으로 구조화될 수 있다.

[0014] 이제 도 2를 참조하면, 코어 컴플렉스(200)의 일 실시 예의 블록도가 도시되어 있다. 일 실시 예에서, 코어 컴플렉스(200)는 네 개의 처리기 코어(210A-D)를 포함한다. 다른 실시 예들에서, 코어 컴플렉스(200)는 다른 수의 처리기 코어를 포함할 수 있다. "코어 컴플렉스"는 여기서 "처리 노드" 또는 "CPU"로 지칭될 수도 있음이 주의된다. 일 실시 예에서, 코어 컴플렉스(200)의 구성요소들은 (도 1의) 코어 컴플렉스들(105A-N) 내에 포함된다.

[0015] 각 처리기 코어(210A-D)는 메모리 서버 시스템(도시되지 않음)으로부터 회수되는 데이터 및 명령들을 저장하기

위한 캐시 서브 시스템을 포함한다. 예를 들어, 일 실시 예에서, 각 코어(210A-D)는 대응하는 레벨 1(L1) 캐시(215A-D)를 포함한다. 각 처리기 코어(210A-D)는 대응하는 레벨 2(L2) 캐시(220A-D)를 포함하거나 그에 결합될 수 있다. 또한, 일 실시 예에서, 코어 컴플렉스(200)는 처리기 코어들(210A-D)에 의해 공유되는 레벨 3(L3) 캐시(230)를 포함한다. L3 캐시(230)는 패브릭 및 메모리 서브 시스템에 액세스하기 위해 코히런트 마스터에 결합된다. 다른 실시 예들에서, 코어 컴플렉스(200)는 다른 수의 캐시 및/또는 다른 구성들의 상이한 캐시 레벨들을 갖는 다른 유형의 캐시 서브 시스템을 포함할 수 있음이 주의된다.

[0016] 이제 도 3을 참조하면, 멀티 CPU 시스템(300)의 일 실시 예의 블록도가 도시되어 있다. 일 실시 예에서, 시스템은 다수의 CPU(305A-N)를 포함한다. 시스템당 CPU 수는 실시 예마다 달라질 수 있다. 각 CPU(305A-N)는 각각 임의의 수의 코어(308A-N)를 포함할 수 있으며, 코어 수는 실시 예에 따라 달라진다. 각 CPU(305A-N)는 또한 대응하는 캐시 서브 시스템(310A-N)을 포함한다. 각 캐시 서브 시스템(310A-N)은 임의의 수의 레벨의 캐시들 및 임의의 유형의 캐시 계층 구조를 포함할 수 있다.

[0017] 일 실시 예에서, 각 CPU(305A-N)는 대응하는 코히런트 마스터(315A-N)에 연결된다. "코히런트 마스터"는 여기서 사용될 때, 인터커넥트(예를 들어, 버스/패브릭(318))를 통해 흐르는 트래픽을 처리하고 연결된 CPU에 대한 코히어런시를 관리하는 에이전트로서 정의된다. 코히런트 마스터는 코히런시를 관리하기 위해, 코히런시 관련 메시지들 및 프로브들을 수신 및 처리하고 코히런시 관련 요청들 및 프로브들을 생성한다. "코히런트 마스터"는 여기서 "코히런트 마스터 유닛"으로 지칭될 수도 있음이 주의된다.

[0018] 일 실시 예에서, 각 CPU(305A-N)는 대응하는 코히런트 마스터(315A-N) 및 버스/패브릭(318)을 통해 코히런트 슬레이브 쌍에 결합된다. 예를 들어, CPU(305A)는 코히런트 마스터(315A) 및 버스/패브릭(318)을 통해 코히런트 슬레이브(320A-B)에 결합된다. 코히런트 슬레이브(CS, coherent slave)(320A)는 메모리 제어기(MC, memory controller)(330A)에 결합되고 코히런트 슬레이브(320B)는 메모리 제어기(330B)에 결합된다. 코히런트 슬레이브(320A)는 프로브 필터(PF, probe filter)(325A)에 결합되며, 프로브 필터(325A)는 메모리 제어기(330A)를 통해 액세스 가능한 메모리에 대한 시스템(300)에 캐싱되는 캐시 라인들을 갖는 메모리 영역들에 대한 엔트리들을 포함한다. 프로브 필터(325A) 및 각각의 다른 프로브 필터들은 "캐시 디렉토리"로 지칭될 수도 있음이 주의된다. 유사하게, 코히런트 슬레이브(320B)는 프로브 필터(325B)에 결합되며, 프로브 필터(325B)는 메모리 제어기(330B)를 통해 액세스 가능한 메모리에 대한 시스템(300)에 캐싱되는 캐시 라인들을 갖는 메모리 영역들에 대한 엔트리들을 포함한다. CPU당 두 개의 메모리 제어기를 갖는 예는 단지 일 실시 예를 나타냄이 주의된다. 다른 실시 예들에서, 각 CPU(305A-N)는 두 개 이외에 다른 수의 메모리 제어기에 연결될 수 있음이 이해되어야 한다.

[0019] CPU(305A)와 유사한 구성에서, CPU(305B)는 코히런트 마스터(315B) 및 버스/패브릭(318)을 통해 코히런트 슬레이브들(335A-B)에 결합된다. 코히런트 슬레이브(335A)는 메모리 제어기(350A)를 통해 메모리에 결합되고, 코히런트 슬레이브(335A)는 또한 메모리 제어기(350A)를 통해 액세스 가능한 메모리에 대응하는 캐시 라인들의 코히런시를 관리하기 위해 프로브 필터(345A)에 결합된다. 코히런트 슬레이브(335B)는 프로브 필터(345B)에 결합되고 코히런트 슬레이브(335B)는 메모리 제어기(365B)를 통해 메모리에 결합된다. 또한, CPU(305N)는 코히런트 마스터(315N) 및 버스/패브릭(318)을 통해 코히런트 슬레이브들(355A-B)에 결합된다. 코히런트 슬레이브들(355A-B)은 각각 프로브 필터(360A-B)에 결합되고, 코히런트 슬레이브들(355A-B)은 각각 메모리 제어기들(365A-B)을 통해 메모리에 결합된다. "코히런트 슬레이브(coherent slave)"는 여기서 사용될 때, 대응하는 메모리 제어기를 타겟으로 하는 수신된 요청들 및 프로브들을 처리함으로써 코히런시를 관리하는 에이전트로서 정의된다. "코히런트 슬레이브"는 여기서 "코히런트 슬레이브 유닛"으로 지칭될 수도 있음이 주의된다. 또한, "프로브(probe)"는 여기서 사용될 때, 캐시들이 데이터의 블록의 카피를 갖는지 결정하고 선택적으로 캐시가 데이터의 블록을 어느 상태로 두어야 하는지 나타내기 위해 코히런시 포인트로부터 컴퓨터 시스템에서의 하나 이상의 캐시로 전달되는 메시지로써 정의된다.

[0020] 코히런트 슬레이브는 그것의 대응하는 메모리 컨트롤러를 타겟으로 하는 메모리 요청을 수신할 때, 코히런트 슬레이브는 대응하는 초기 프로브 캐시 및 대응하는 프로브 필터에 대한 병렬 색인들을 수행한다. 일 실시 예에서, 시스템(300)에서의 각 초기 프로브 캐시는 메모리의 영역들을 트래킹하며, 여기서 영역은 복수의 캐시 라인을 포함한다. 트래킹되는 영역의 크기는 실시 예마다 달라질 수 있다. "영역"은 여기서 "페이지"로 지칭될 수도 있음이 주의된다. 코히런트 슬레이브에 의해 요청이 수신될 때, 코히런트 슬레이브는 요청의 타겟이 되는 영역을 결정한다. 그 다음 프로브 필터에 대한 색인을 수행하는 것과 병렬로 이러한 영역에 대한 초기 프로브 캐시의 색인이 수행된다. 초기 프로브 캐시에 대한 색인 결과는 통상적으로 프로브 필터에 대한 색인 이전에 몇 사이클을 완료할 것이다. 초기 프로브 캐시에 대한 색인 결과가 적중이이라면, 코히런트 슬레이브는 초기 프로브를 적중 엔트리에서 식별된 CPU(들)로 보낸다. 이는 초기 프로브 캐시가 정확한 타겟을 식별하는 경우들에서 데이

터의 조기 회수를 가능하게 하고, 메모리 요청들의 처리와 연관된 레이턴시를 감소시킨다. 다른 실시 예들에서 버스/패브릭(318)으로부터 도면을 모호하게 하는 것을 피하기 위해 도시되지 않은 다른 구성요소들로의 다른 연결들이 있을 수 있음이 주의된다. 예를 들어, 다른 실시 예에서, 버스/패브릭(318)은 하나 이상의 I/O 인터페이스 및 하나 이상의 I/O 디바이스에 대한 연결들을 포함한다.

[0021] 이제 도 4를 참조하면, 코히런트 슬레이브(400)의 일 실시 예의 블록도가 도시되어 있다. 일 실시 예에서, 코히런트 슬레이브(400)의 로직은 (도 3의) 시스템(300)의 코히런트 슬레이브들(320A-B, 335A-B 및 355A-B)에 포함된다. 코히런트 슬레이브(400)는 프로브 필터(415) 및 조기 프로브 캐시(420)에 결합된 제어 유닛(410)을 포함한다. 제어 유닛(410)은 또한 인터커넥트 패브릭 및 메모리 제어기에 결합된다. 제어 유닛(410)은 하드웨어 및/또는 소프트웨어의 임의의 적절한 조합을 사용하여 구현될 수 있다. 제어 유닛(410)은 인터커넥트 패브릭을 통해 다양한 CPU로부터 메모리 요청들을 수신하도록 구성된다. 제어 유닛(410)에 의해 수신된 메모리 요청들은 코히런트 슬레이브(400)에 결합된 메모리 제어기를 통해 메모리로 전달된다. 일 실시 예에서, 제어 유닛(410)이 소정의 메모리 요청을 수신할 때, 제어 유닛(410)은 조기 프로브 캐시(420) 및 프로브 필터(415)의 병렬 색인들을 수행한다.

[0022] 일 실시 예에서, 조기 프로브 캐시(420)는 공유된 영역들에 대한 프로브 필터들(415)에 대한 최근의 색인들의 결과들을 캐싱하도록 구성된다. 예를 들어, 수신된 메모리 요청에 대해 프로브 필터(415)의 색인이 수행될 때, 색인으로부터 회수된 정보의 일부가 조기 프로브 캐시(420)에 유지 및 저장된다. 예를 들어, 캐시 라인 오너의 ID가 프로브 필터(415)의 색인으로부터 회수되고, 이러한 캐시 라인이 속하는 영역의 어드레스에 대한 조기 프로브 캐시(420)에 엔트리가 생성된다. 이러한 캐시 라인을 캐싱하는 노드는 조기 프로브 캐시(420)에서의 새로운 엔트리에 영역 오너로서 저장된다.

[0023] 일반적으로 말하면, 조기 프로브 캐시(420)는 메모리의 영역 내에서, 모든 캐시 라인에 대한 공유 거동이 동일할 것이라는 원리에 따라 작동한다. 다시 말해, 코히런트 슬레이브(400)가 제1 영역 내부의 제1 캐시 라인에 대해 지정 프로브를 생성하여 노드(445)로 보내는 경우, 제1 영역 내부의 제2 캐시 라인에 대해 지정 프로브를 노드(445)로 보낼 확률 또한 높다. 조기 프로브 캐시(420)는 프로브 필터(415)보다 작고 빠르기 때문에, 조기 프로브 캐시(420)는 프로브 필터(415)에 대한 색인이 완료될 수 있는 것보다 빠르게 타겟 노드에 대해 추론적으로 조기 프로브를 런칭하게 된다. 조기 프로브의 런칭으로 이익을 얻을 워크로드의 예는 생산자 소비자 시나리오이며, 여기서 생산자는 영역 내 라인들에 저장한 다음 소비자들이 이러한 라인들로부터 판독한다. 홈 노드는 영역 내 모든 라인에 대해, 생산자로부터 최신 데이터를 얻기 위해 프로브를 런칭하게 된다.

[0024] "지정 프로브(directed probe)"는 여기서 사용될 때, 프로브 필터(415)에 대한 색인에 기초하여 생성된 프로브를 지칭하며, 프로브는 메모리 요청의 타겟이 되는 캐시 라인의 오너로 보내진다. "조기 프로브(early probe)"는 조기 프로브 캐시(420)에 대한 색인에 기초하여 생성된 프로브를 지칭하며, 프로브는 메모리 요청의 타겟이 되는 캐시 라인의 영역의 오너로 식별된 노드로 보내진다. 조기 프로브가 지정 프로브와 상이한 방식 중 하나는 조기 프로브가 잘못된 타겟으로 보내질 수 있다는 것이다. 또한, 조기 프로브는 지정 프로브보다 몇 클럭 사이클 이전에 보내지므로, 조기 프로브는 정확한 타겟으로 보내질 경우, 메모리 요청들의 처리의 레이턴시를 감소시키는 것에 도움이 된다.

[0025] 일 실시 예에서, 조기 프로브 캐시(420)의 각 엔트리는 영역 어드레스 필드, 영역 오너 필드, 신뢰도 지표 필드 및 최신 최근 사용(LRU, least recently used) 필드를 포함한다. 코히런트 슬레이브(400)에 의해 요청이 수신될 때, 요청의 영역 어드레스에 대한 조기 프로브 캐시(420)의 색인이 수행되고, 요청의 타겟이 되는 캐시 라인에 대한 프로브 필터(415)의 병렬 색인이 수행된다. 조기 프로브 캐시(420)의 색인 결과가 적중이라면, 코히런트 슬레이브(400)는 일치하는 엔트리로부터 신뢰도 지표를 회수한다. 신뢰도 카운터가 프로그램 가능한 임계치를 초과한다면, 영역 오너를 타겟으로 하는 조기 프로브가 런칭된다. 그렇지 않고, 신뢰도 카운터가 프로그램 가능한 임계치 이하라면, 코히런트 슬레이브(400)는 조기 프로브가 런칭되는 것을 방지하고 대신 프로브 필터(415)에 대한 색인 결과를 대기한다.

[0026] 이후에, 프로브 필터(415)에 대한 색인이 완료될 때, 조기 프로브 캐시(420)는 프로브 필터(415)에 대한 색인 결과들로 업데이트된다. 공유된 영역의 어드레스에 대한 조기 프로브 캐시(420)에 엔트리가 존재하지 않는다면, LRU 필드에 기초하여 기존 엔트리를 제거함으로써 조기 프로브 캐시(420)에 새로운 엔트리가 생성된다. 영역 어드레스에 대한 조기 프로브 캐시(420)에 이미 엔트리가 존재한다면, 이러한 엔트리에 대해 LRU 필드가 업데이트된다. 프로브 필터(415)로부터 회수된 캐시 라인 타겟이 조기 프로브 캐시(420) 엔트리에서 식별된 영역 오너와 동일하다면, 신뢰도 지표는 증분된다(즉, 1씩 증가됨). 프로브 필터(415)로부터 회수된 캐시 라인 타겟이 조기

프로브 캐시(420) 엔트리에서 식별된 영역 오너와 동일하지 않다면, 신뢰도 지표는 감소(즉, 1씩 감소)되거나 리셋된다.

[0027] 코히런트 슬레이브(400)에 의해 조기 프로브가 런칭되면, 프로브 필터(415)의 색인 이후에 생성된 대응하는 요구 프로브는 실시 예에 따라 다른 방식으로 핸들링될 수 있다. 일 실시 예에서, 조기 프로브가 정확한 타겟에 있다면 요구 프로브는 런칭되지 않는다. 이러한 실시 예에서, 조기 프로브는 데이터가 타겟으로부터 회수되어 요청 노드로 리턴되게 할 것이다. 반면, 조기 프로브가 잘못된 타겟으로 보내진다면, 요구 프로브는 정확한 타겟으로 보내진다. 다른 실시 예에서, 조기 프로브는 타겟의 캐시 서브 시스템에서 데이터를 가져온 다음 데이터가 임시 버퍼에 저장된다. 요구 프로브가 도착하기 전에 타이머가 만료되는 경우 이러한 데이터는 드롭될 수 있다. 이러한 실시 예에서, 조기 프로브 이후에 요구 프로브가 런칭되고, 요구 프로브는 캐시 서브 시스템에서 가져와진 데이터를 요청 노드로 포워딩한다.

[0028] 이제 도 5를 참조하면, 조기 프로브 메커니즘을 구현하기 위한 방법(500)의 일 실시 예가 도시되어 있다. 이 실시 예에서의 단계들 및 도 6에서의 단계들은 논의를 위해, 순차적인 순서로 도시되어 있다. 그러나, 설명되는 방법들의 다양한 실시 예에서, 설명되는 요소들 중 하나 이상의 요소가 동시에, 도시된 것과 상이한 순서로 또는 완전히 생략됨이 주의된다. 그 외 다른 추가 요소들이 또한 목적하는 대로 수행된다. 여기에 설명된 임의의 다양한 시스템 또는 장치가 방법(500)을 구현하도록 구성된다.

[0029] 코히런트 슬레이브 유닛은 메모리 요청을 수신하는 것에 응답하여 프로브 필터 및 조기 프로브 캐시에 대한 병렬 색인들을 수행한다(블록 505). 프로브 필터에 대한 색인 완료 이전에, 코히런트 슬레이브 유닛은 조기 프로브 캐시에 대한 색인이 메모리 요청의 타겟이 되는 제1 영역의 오너로서 제1 처리 노드를 식별하는 엔트리와 일치한다고 결정하는 것에 응답하여 제1 처리 노드로 조기 프로브를 전송한다(블록 510). 이 논의의 목적을 위해 조기 프로브 캐시에서 일치하는 엔트리의 신뢰도 지표가 프로그램 가능한 임계치보다 크다고 가정된다. 프로브 필터에 대한 색인이 메모리 요청의 타겟이 되는 캐시 라인의 오너로서 제1 처리 노드를 식별한다면(조건 블록 515, "예" 분기), 조기 프로브 캐시에서 일치하는 엔트리에서의 신뢰도 지표가 증분되고 LRU 필드가 업데이트된다(블록 520). 실시 예에 따라, 선택적으로 제1 처리 노드로 요구 프로브가 전송될 수 있다(블록 525).

[0030] 프로브 필터에 대한 색인이 메모리 요청의 타겟이 되는 캐시 라인의 오너로서 상이한 처리 노드를 식별한다면(조건 블록 515, "아니오" 분기), 조기 프로브 캐시에서 일치하는 엔트리에서의 신뢰도 지표가 감소되고 LRU 필드가 업데이트된다(블록 530). 또한, 선택적으로 조기 프로브 캐시에서 일치하는 엔트리에서의 영역 오너 필드가 정확한 처리 노드로 업데이트된다(블록 535). 추가적으로, 정확한 처리 노드로 요구 프로브가 보내진다(블록 540). 블록 525 및 540 이후, 방법(500)은 종료된다.

[0031] 이제 도 6을 참조하면, 조기 프로브들을 생성하는데 사용하기 위한 조기 프로브 캐시에 영역 기반 엔트리들을 할당하기 위한 방법(600)의 일 실시 예가 도시되어 있다. 수신된 메모리 요청에 대한 조기 프로브 캐시에 대한 색인이 어떠한 기존 엔트리와도 일치하지 않는 반면 프로브 필터에 대한 색인이 공유된 영역에 대한 기존 엔트리와 일치한다(블록 605). 조기 프로브 캐시 색인 및 프로브 필터 색인은 코히런트 슬레이브 유닛에 의해 병렬로 수행됨이 주의된다. 조기 프로브 캐시에 대한 색인이 적중 실패이고 프로브 필터에 대한 색인이 적중인 것에 응답하여, 프로브 필터에서의 일치하는 엔트리에 의해 식별되는 타겟으로 요구 프로브가 보내진다(블록 610). 또한, 메모리 요청의 타겟이 되는 영역이 결정된다(블록 615). 그 다음, 메모리 요청의 영역에 대한 조기 프로브 캐시에 새로운 엔트리가 할당된다(블록 620). 새로운 엔트리를 위한 공간을 만들기 위해 어느 엔트리를 제거할지 결정하기 위해 임의의 적절한 제거 알고리즘이 이용될 수 있다. 새로운 엔트리의 신뢰도 지표 필드가 디폴트 값으로 설정되고 새로운 엔트리의 LRU 필드가 초기화된다(블록 625). 조기 프로브 캐시에서의 새로운 엔트리의 영역 오너 필드에 요구 프로브의 타겟이 되는 노드의 ID가 저장된다(블록 630). 따라서, 이러한 영역을 타겟으로 하는 향후 메모리 요청들의 경우, 조기 프로브 캐시에서의 이러한 새로운 엔트리를 기반으로 동일한 노드로 조기 프로브가 보내질 것이다. 블록 630 이후, 방법(600)은 종료된다.

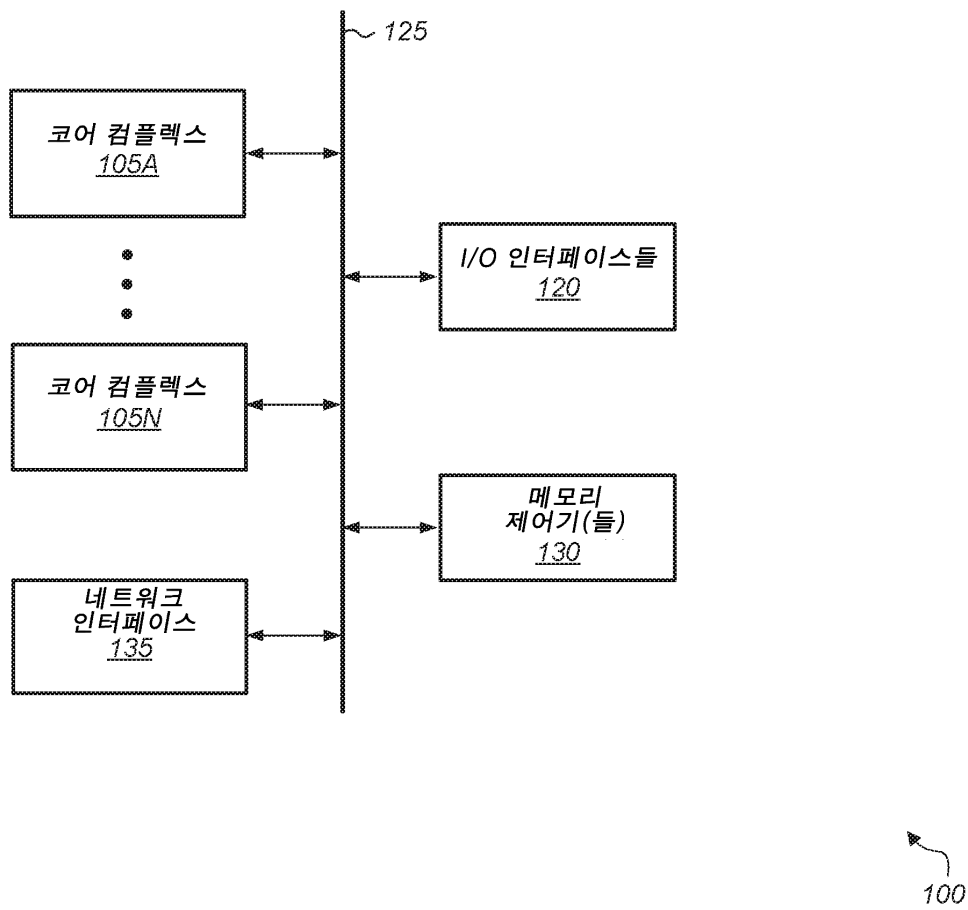
[0032] 다양한 실시 예에서, 여기에 설명된 방법들 및/또는 메커니즘들을 구현하기 위해 소프트웨어 어플리케이션의 프로그램 명령들이 사용된다. 예를 들어, 범용 또는 전용 처리기에 의해 실행 가능한 프로그램 명령들이 고려된다. 다양한 실시 예에서, 그러한 프로그램 명령들은 고급 프로그래밍 언어로 표현될 수 있다. 다른 실시 예들에서, 프로그램 명령들은 고급 프로그래밍 언어로부터 이진, 중간 또는 다른 형태로 컴파일링될 수 있다. 대안적으로, 하드웨어의 거동 또는 설계를 설명하는 프로그램 명령들이 작성될 수 있다. 그러한 프로그램 명령들은 C와 같은 고급 프로그래밍 언어로 표현될 수 있다. 대안적으로는, Verilog와 같은 하드웨어 설계 언어(HDL)가 사용될 수 있다. 다양한 실시 예에서, 프로그램 명령들은 임의의 다양한 비일시적 컴퓨터 판독 가능한

저장 매체 상에 저장된다. 저장 매체는 프로그램 실행을 위해 컴퓨팅 시스템에 프로그램 명령들을 제공하기 위해 사용 동안 컴퓨팅 시스템에 의해 액세스 가능하다. 일반적으로 말하면, 그러한 컴퓨팅 시스템은 적어도 하나 이상의 메모리 및 프로그램 명령들을 실행하도록 구성된 하나 이상의 처리기를 포함한다.

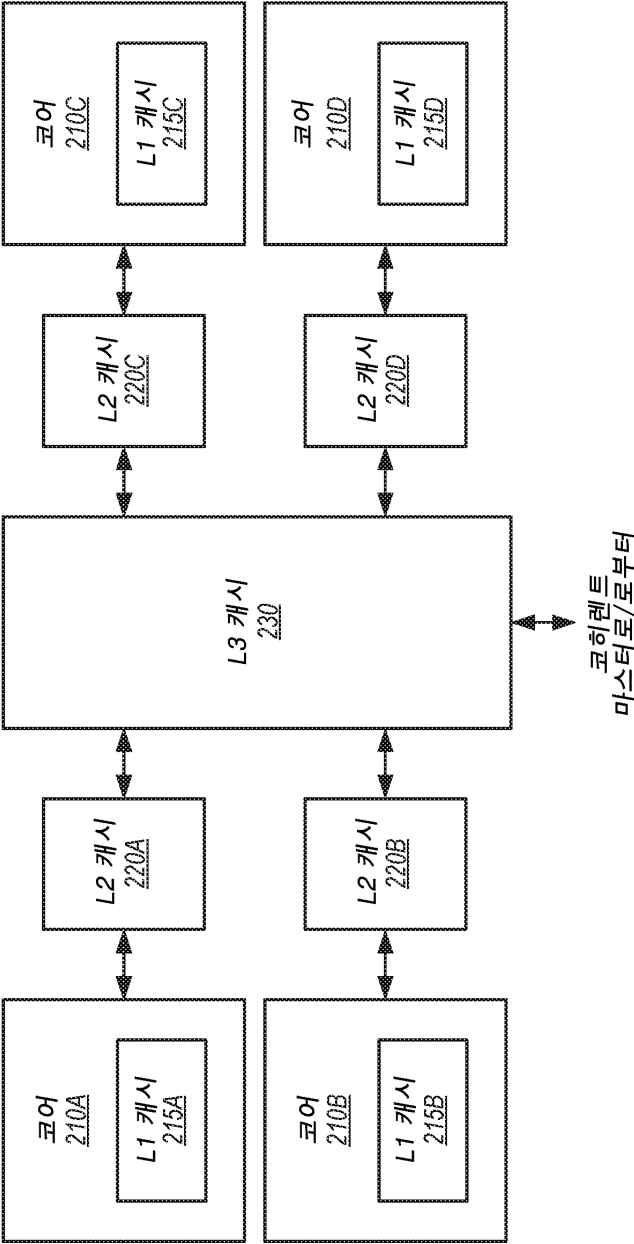
전술한 실시 예들은 단지 구현의 비제한적인 예들일 뿐이라는 것이 강조되어야 한다. 상기한 개시 내용이 완전히 이해되면, 해당 기술분야의 통상의 기술자들에게는 다양한 변형 및 수정이 명백해질 것이다. 다음의 청구범위는 그러한 모든 변경 및 변형을 포함하는 것으로 해석되어야 한다.

도면

도면1

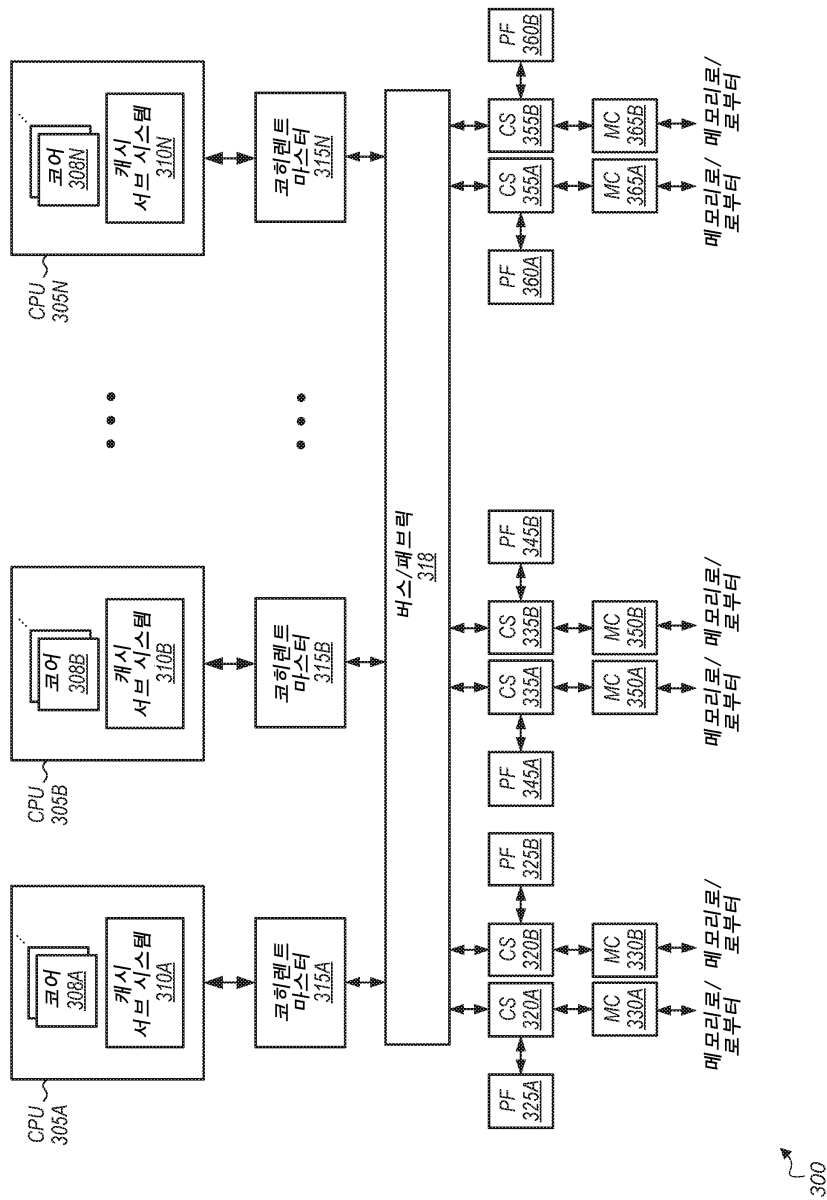


도면2

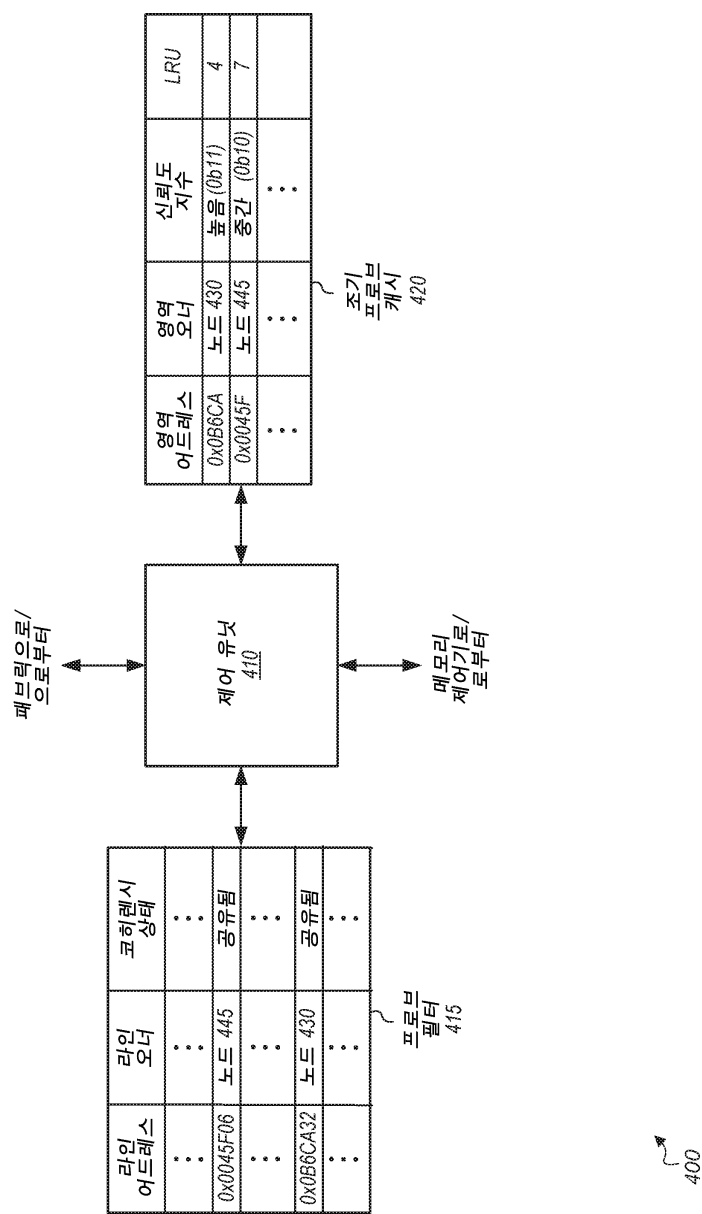


200

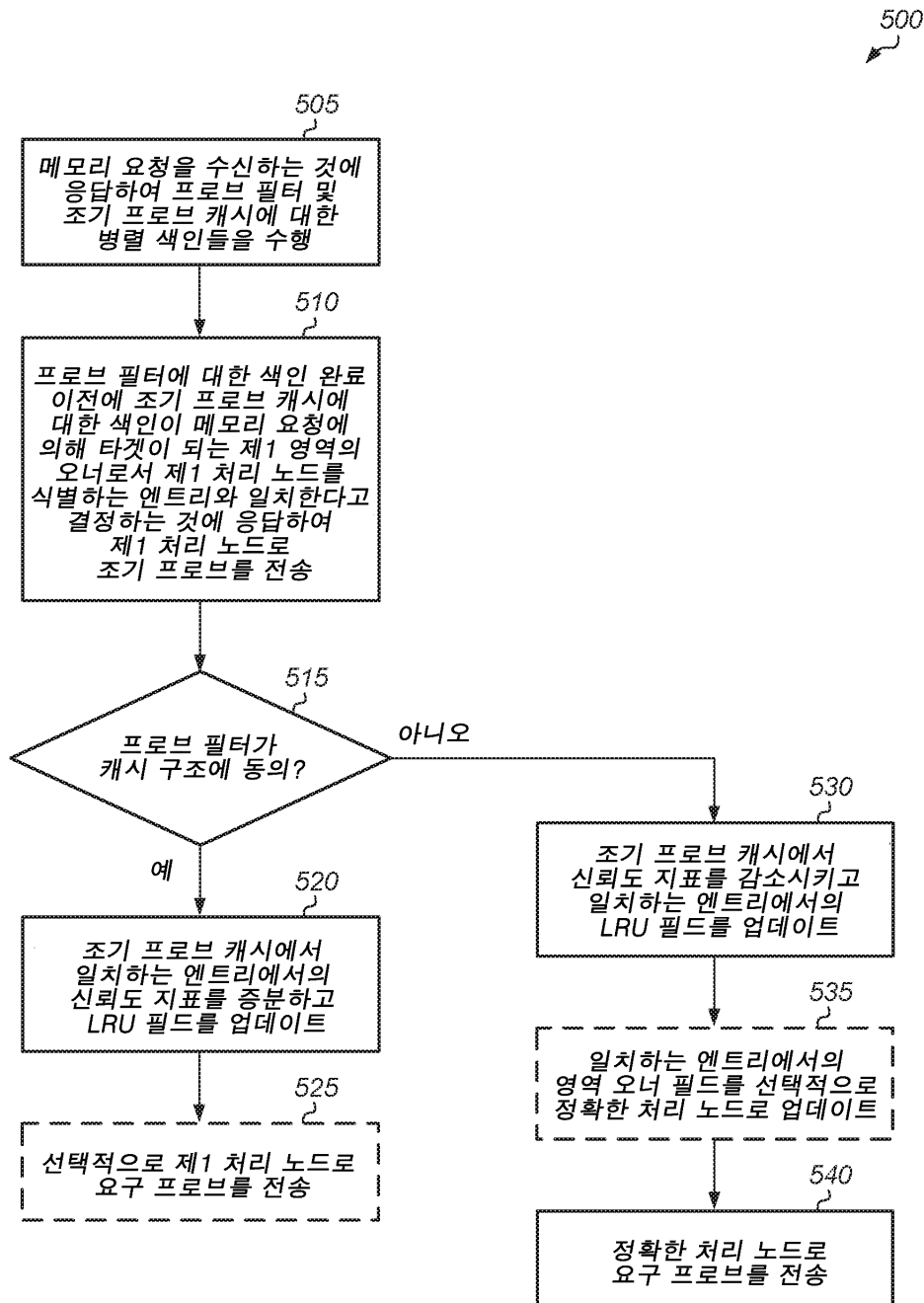
도면3



도면4



도면5



도면6

