



(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201737616 A

(43)公開日：中華民國 106 (2017) 年 10 月 16 日

(21)申請案號：106109661

(22)申請日：中華民國 106 (2017) 年 03 月 23 日

(51)Int. Cl. : *H03B5/32 (2006.01)* *H03B5/04 (2006.01)*

(30)優先權：2016/11/18 美國 15/355,073

2016/04/11 美國 62/321,185

(71)申請人：聯發科技股份有限公司 (中華民國) MEDIATEK INC. (TW)

新竹市篤行一路一號

(72)發明人：黃皓瑋 HUANG, HAO-WEI (TW)；陳彥佐 CHEN, YEN-TSO (TW)；楊松諭 YANG, SONG-YU (TW)

(74)代理人：吳豐任；戴俊彥

申請實體審查：有 申請專利範圍項數：20 項 圖式數：11 共 43 頁

(54)名稱

振盪器電路及其相關方法

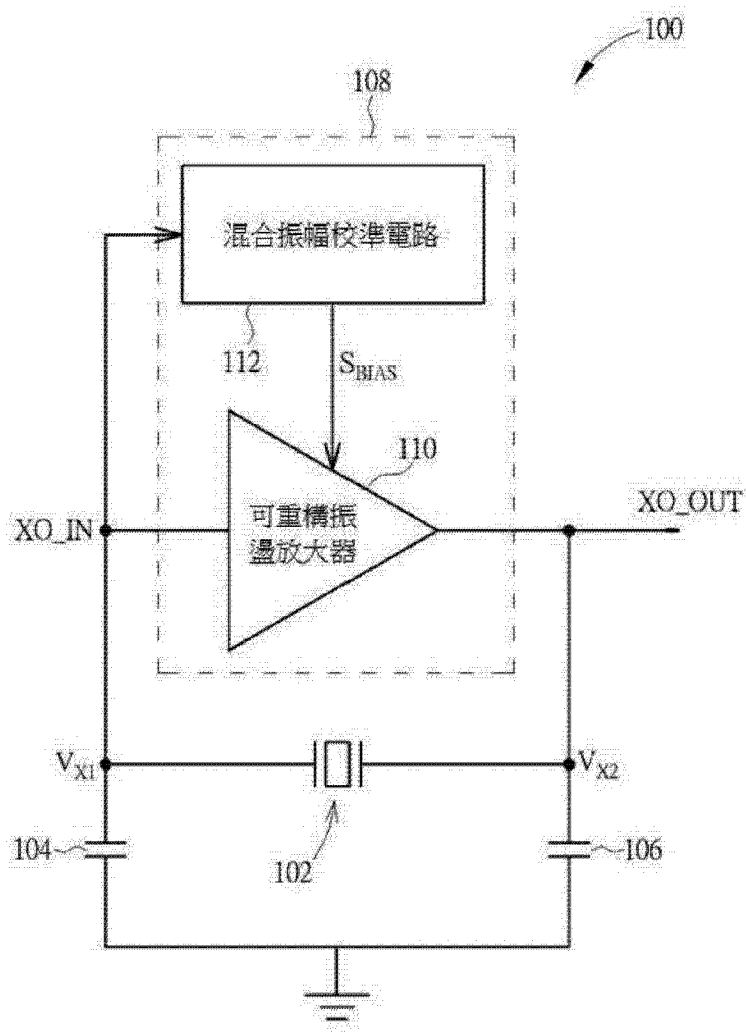
OSCILLATOR CIRCUIT WITH RECONFIGURABLE OSCILLATOR AMPLIFIER AND/OR HYBRID AMPLITUDE CALIBRATION CIRCUIT AND ASSOCIATED METHOD

(57)摘要

一種具有可重構振盪放大器的振盪器電路，其並聯耦接於諧振電路，該可重構振盪放大器支持不同的操作模式中的不同的電路配置，該可重構振盪器放大器包括由不同電路配置共享的至少一個電路元件，以及該可重構振盪放大器用以在不同的電路配置其中之一使用不同的操作模式的其中之一。本發明還提供用於配置振盪放大器的方法，該振盪放大器並聯耦接於諧振電路。由於具有硬件共享的振盪放大器可減少用於實現不同電路配置所需的電路元件的數量，可使用較小的芯片面積來實現可重構振盪放大器，從而降低了生產成本。

An oscillator circuit has a reconfigurable oscillator amplifier. The reconfigurable oscillator amplifier is used to be coupled to a resonant circuit in parallel. The reconfigurable oscillator amplifier supports different circuit configurations for different operation modes, respectively. The reconfigurable oscillator amplifier has at least one circuit component shared by the different circuit configurations. The reconfigurable oscillator amplifier employs one of the different circuit configurations under one of the different operation modes.

指定代表圖：



第1圖

- 符號簡單說明：
- 100 . . . 時鐘源
 - 102 . . . 諧振電路
 - 104、106 . . . 電容
 - 108 . . . 振盪器電路
 - 110 . . . 可重構振盪放大器
 - 112 . . . 混合振幅校準電路
 - V_{X1}, V_{X2} . . . 節點
 - XO_IN, XO_OUT . . . 振盪信號
 - S_{BIAS} . . . 偏置設定

【發明說明書】

【中文發明名稱】振盪器電路及其相關方法

【英文發明名稱】OSCILLATOR CIRCUIT WITH RECONFIGURABLE
OSCILLATOR AMPLIFIER AND/OR HYBRID AMPLITUDE
CALIBRATION CIRCUIT AND ASSOCIATED METHOD

【技術領域】

【0001】本發明涉及一種時鐘源設計，更具體地說，涉及一種具有可重構振盪放大器和/或混合振幅校準電路的振盪器電路及其相關方法。

【先前技術】

【0002】在各種電路中通常需要參考時鐘。例如，時鐘源可以被晶體振盪器用於提供所需的參考時鐘，其中，在晶體振盪器中使用的石英晶體諧振器的操作類似於被調諧到所選擇的諧振頻率的諧振電路。為了初始化和對石英晶體諧振器保持應變（strain），晶體振盪器包括跨接在晶體節點的振盪放大器。晶體振盪器可能需要在不同模式下操作以產生用於不同系統方案的參考時鐘。此外，當存在從當前操作模式轉換到下一操作模式的模式轉換時，可能需要振幅校準（amplitude calibration）來控制振盪幅度以用於實現良好的晶體振盪器輸出雜訊性能。因此，需要一種能夠支持不同操作模式的創新的振盪放大器設計和/或具有快速穩定（settling）、低功耗和高性能的創新的振幅校準設計。

【發明內容】

【0003】 因此，本發明的目的之一在於提供一種具有可重構振盪放大器和/或混合振幅校準電路的振盪器電路及其相關方法。

【0004】 依據本發明第一方面，提供一種示範性振盪器電路。該示範性振盪器電路包括：可重構振盪放大器，被配置為並聯耦接於諧振電路。其中，該可重構振盪放大器支持不同的電路配置分別用於不同的操作模式；該可重構振盪器放大器包括由不同電路配置共享的至少一個電路元件；以及該可重構振盪放大器被配置為在不同電路配置的其中之一使用不同操作模式的其中之一。

【0005】 依據本發明第二方面，提供一種用於配置振盪放大器的示範性方法，該振盪放大器並聯耦接於諧振電路。該示範性方法包括：當需要該振盪放大器進入第一操作模式時，配置該振盪放大器採用第一電路配置；以及當需要該振盪放大器進入不同於該第一操作模式的第二操作模式時，配置該振盪放大器採用不同於該第一電路配置的第二電路配置，其中該第一操作模式中使用的至少一個電路元件在該第二操作模式中被再利用。

【0006】 依據本發明第三方面，提供一種示範性振盪器電路。該示範性振盪器電路包括振盪放大器和混合振幅校準電路。振盪放大器被配置為並聯耦接於諧振電路。混合振幅校準電路被配置為在從該第一操作模式到該第二操作模式的模式轉換期間對該諧振電路產生的振盪信號執行振幅校準，以

確定該振盪放大器的最終的偏置設定，其中該混合振幅校準電路通過使用不同的振幅校準方案來決定該最終的偏置設定。

【0007】上述振盪器電路及其相關方法可降低生產成本。

【圖式簡單說明】

【0008】

第1圖是根據本發明實施例的時鐘源的示意圖；

第2圖是由第1圖所示的可重構振盪放大器所支持的不同電路配置的示意圖；

第3圖是根據本發明實施例啟動配置、低功率配置和高性能配置的特徵的示意圖；

第4圖是根據本發明實施例的可重構振盪放大器的示意圖；

第5圖是根據本發明實施例的啟動模式下可重構振盪放大器的等效電路圖；

第6圖是根據本發明實施例的低功率模式下可重構振盪放大器的等效電路圖；

第7圖是根據本發明實施例的高性能模式下可重構振盪放大器的等效電路圖；

第8圖是根據本發明實施例的混合振幅校準電路的示意圖；

第9圖是根據本發明實施例的混合振幅校準電路在第一階段的示意圖；

第10圖是根據本發明實施例的混合振幅校準電路在第二階段的示意圖；

第11圖是根據本發明實施例的混合振幅校準電路在第三階

段的示意圖。

【實施方式】

【0009】在說明書及後續的申請專利範圍當中使用了某些詞彙來指稱特定的元件。所屬領域中具有習知技術者應可理解，電子裝置製造商可能會用不同的名詞來稱呼同一個元件。本說明書及後續的申請專利範圍並不以名稱的差異來作為區分元件的方式，而是以元件在功能上的差異來作為區分的準則。在通篇說明書及後續的請求項當中所提及的「包含」係為一開放式的用語，故應解釋成「包含但不限定於」。以外，「耦接」一詞在此係包含任何直接及間接的電氣連接手段。因此，若文中描述一第一裝置耦接到一第二裝置，則代表該第一裝置可直接電氣連接於該第二裝置，或透過其他裝置或連接手段間接地電氣連接至該第二裝置。

【0010】第1圖是根據本發明實施例的時鐘源的示意圖。例如，時鐘源100可以是晶體振盪器，包括諧振電路（例如，石英晶體諧振器）102、多個電容器104和106、以及振盪器電路108。在本實施例中，振盪器電路108包括可重構振盪放大器（reconfigurable oscillator amplifier）110和混合振幅校準電路（hybrid amplitude calibration circuit）112。電容器104和106分別耦接於振盪器電路108的節點VX1和VX2。可重構振盪放大器110並聯耦接於諧振電路102。即，可重構振盪放大器110跨接於諧振電路102的節點VX1和VX2。可重構振盪放大器110是有效的（operative）以初始化和維持諧振電路102上的應變，

以使得具有所需頻率和受控振幅的振盪信號 **XO_IN** 和 **XO_OUT** 分別從諧振電路 **102** 的節點 **VX1** 和 **VX2** 產生。在本實施例中，可重構振盪放大器 **110** 支持不同的電路配置以分別用於不同的操作模式。此外，可重構振盪放大器 **110** 具有由不同的電路配置共享的至少一個電路元件（例如，有源器件（一個或多個）和/或無源器件（一個或多個））。由於具有硬件共享的振盪放大器可減少用於實現不同電路配置所需的電路元件的數量，可重構振盪放大器 **110** 可使用較小的芯片面積來實現，從而降低了生產成本。

【0011】第2圖是由第1圖所示的可重構振盪放大器 **110** 所支持的不同電路配置的示意圖。舉例來說，而非限制，由可重構振盪放大器 **110** 所支持的不同電路配置可以包括至少一個啟動（**start-up**）配置（其被設計為啟動模式）、高性能（**high performance**）配置（其被設計為高性能模式）、低功率（**low power**）配置（其被設計為低功率模式）。可重構振盪放大器 **110** 被配置為在不同操作模式的其中之一下使用不同電路配置的其中之一。例如，當需要可重構振盪放大器 **110** 進入啟動模式時，可重構振盪放大器 **110** 被配置為使用啟動配置；當需要可重構振盪放大器 **110** 進入低功率模式時，可重構振盪放大器 **110** 被配置為使用低功率配置；以及當需要可重構振盪放大器 **110** 進入高性能模式時，可重構振盪放大器 **110** 被配置為使用高性能配置。當從當前的操作模式到下一操作模式的模式轉換發生時，可重構振盪放大器 **110** 被配置為從當前電路配置切換到不同的電路配置。如第2圖所示，可重構振盪放大器 **110**

可在啟動配置和高性能配置之間進行切換，也可以在啟動配置和低功率配置之間切換，還可以在高性能配置和低功率配置之間切換。應當指出的是，當需要有從高性能模式到低功率模式的模式轉換時，可重構振盪放大器 110 可以首先被配置為具有啟動配置，然後被配置為具有低功率配置；以及當需要有從低功率模式到高性能模式的模式轉換時，可重構振盪放大器 110 可以首先被配置為具有啟動配置，然後被配置為具有高性能配置。

【0012】時鐘源 100 可以由電子設備使用。當電子設備上電時，需要可重構振盪放大器 110 最初進入啟動模式用於強制諧振電路 102 開始振盪。在一個實施例中，具有啟動配置的可重構振盪放大器 110 具有大跨導（ G_m ），以提供較大的驅動電流給諧振電路 102，從而加快了啟動過程。當電子設備進入正常/活動模式（normal/active mode）時，可重構振盪放大器 110 可能需要進入高性能模式。在一個實施例中，具有高性能配置的可重構振盪放大器 110 具有含很少諧波含量的較大基本電壓，以改善雜訊性能（例如，低閉合（close-in）相位雜訊（也可稱臨近載波的相位雜訊）和低遠端（far-out）相位雜訊（也可稱擴展相位雜訊或遠離載波的相位雜訊））。當電子設備進入暫停/待機模式時，可重構振盪放大器 110 可能需要進入低功率模式以節省功率。在一個實施例中，具有低功率配置的可重構振盪放大器 110 提供能夠維持諧振電路 102 振盪的小驅動電流。

【0013】第 3 圖是根據本發明實施例啟動配置、低功率配置和

高性能配置的特徵的示意圖。關於在目標振盪頻率 F_0 處的跨導 G_m ，啟動配置的跨導 G_{mstrup} 比高性能配置的跨導 G_{mHPM} 大，並且高性能配置的跨導 G_{mHPM} 比低功率配置的跨導 G_{mLPM} 大。關於晶體振盪器的平均功耗 $P_{AVG,OSC}$ ，高性能模式（其中運行高性能配置）下的平均功耗 P_{HPM} 比低功率模式（其中運行低功率配置）下的平均功耗 P_{LPM} 大。此外，啟動模式（其中運行啟動配置）下的平均功耗在諧振電路 102 開始振盪的時候具有最大值。關於由諧振電路 102 產生的振盪信號 XO_IN 和 XO_OUT 的振幅 A_{OSC} ，在可重構振盪放大器 110 具有高性能配置的條件下，所產生的振盪信號 XO_IN 和 XO_OUT 的振幅 A_{HPM} 大於在可重構振盪放大器 110 具有低功率配置的條件下所產生的振盪信號 XO_IN 和 XO_OUT 的振幅 A_{LPM} 。

【0014】如第 3 圖所示，可以在模式轉換期間（例如，從當前操作模式切換到下一操作模式（如高性能模式或者低功率模式）的模式轉換）執行振幅校準，以優化振盪器的功率和性能，例如相位雜訊和頻率誤差。更具體地，隨著模式轉換期間執行的振幅校準，在接下來的操作模式中使用的振盪器放大電路的配置可以更具魯棒性（robust）。在本實施例中，在從第一操作模式到第二操作模式（例如，高性能模式或低功率模式）的模式轉換過程中，混合振幅校準電路 112 被配置為對從諧振電路 102 產生的振盪信號 XO_IN 執行振幅校準，以確定可重構振盪放大器 110 的最終的偏置設定 S_{BIAS} （例如，偏置電流或偏置電壓）。在本實施例中，混合振幅校準電路 112 通過聯合使用不同的振幅校準方案，例如連續時間振幅校準和離

散時間振幅校準，以確定最終的偏置設定 **SBIAS**。以這種方式，混合振幅校準電路 **112** 能獲得來自於連續時間振幅校準和離散時間振幅校準兩者的好處。例如，相比於需要多次冗長的振盪器穩定的典型離散時間振幅校準，需要單次振盪穩定的連續時間振幅校準具有更短的校準時間。對於另一範例，相比遭受雜訊和/或功耗以保持閉環（**closed loop**）的連續時間振幅校準，所提出的離散時間振幅校準可以被適當設計為具有更低的功耗和更好的雜訊性能。

【0015】振盪器電路 **108**，包括所提出的可重構振盪放大器 **110** 和所提出的混合振幅校準電路 **112** 的更多實施細節，說明如下。

【0016】第4圖是根據本發明實施例的可重構振盪放大器的示意圖。例如，第1圖所示的可重構振盪放大器 **100** 可以利用第4圖所示的可重構振盪放大器 **400** 來實現。在本實施例中，可重構振盪放大器 **400** 包括多個電晶體 **MP1, MP2, MN**、多個開關 **SW1, SW2, SW3, SW4, SW5**、源極退化電路（**source degeneration circuit**）**402**、開關控制器 **404**、多個電阻器 **R1, R2**、以及電容器 **C1**，其中開關 **SW3**、電阻器 **R1** 和電容器 **C1** 形成一個可重構電阻-電容（**RC**）電路 **406**。如第4圖所示，各電晶體 **MP1** 和 **MP2** 是 **P** 溝道金屬氧化物半導體（**PMOS**）電晶體，其具有第一連接節點（例如，源極 **S**）、第二連接節點（例如，漏極 **D**）、和控制節點（例如，柵極 **G**），電晶體 **MN** 是 **N** 溝道金屬氧化物半導體（**NMOS**）電晶體，其具有第一連接節點（例如，漏極 **D**）、第二連接節點（例如，源極 **S**）、和控制節點（例如，柵極 **G**）。

【0017】關於電晶體 MP1，其第一連接節點耦接到第一參考電壓（例如，電源電壓 VDD），其第二連接節點耦接到電晶體 MP2 的第一連接節點。此外，電晶體 MP1 的第二連接節點通過開關 SW1 選擇性地耦接到第一參考電壓 VDD，並通過開關 SW2 選擇性地耦接到可重構 RC 電路 406。關於電晶體 MP2，其第一連接節點耦接到電晶體 MP1 的第二連接節點，其第二連接節點連接至諧振電路 102 的一個節點 VX2，以及其控制節點通過開關 SW4 選擇性地耦接到諧振電路 102 的另一個節點 VX1。關於電晶體 MN，其第一連接節點耦接至諧振電路 102 的一個節點 VX2，其控制節點耦接至諧振電路 102 的另一節點 VX1，以及其第二連接節點耦接到源極退化電路 402 並通過開關 SW5 選擇性地耦接到第二參考電壓（例如，接地電壓 GND）。如第 4 圖所示，電阻器 R2 耦接於諧振電路 102 的節點 VX1 和 VX2 之間。如果開關 SW4 被接通，則電阻器 R2 可以作為電晶體 MN 和 MP2 兩者的自偏置電路（self-bias circuit），以及如果開關 SW4 被關斷，則電阻器 R2 可以作為用於電晶體 MN 的自偏置電路。關於可重構 RC 電路 406，電容器 C1 被串聯耦接於電阻器 R1，開關 SW3 被並聯耦接於電阻器 R1。

【0018】開關 SW1 的通/斷狀態決定電晶體 MP1 是否被旁路。開關 SW2 的通/斷狀態決定可重構 RC 電路 406 是否被連接到電晶體 MP1 和 MP2。開關 SW3 的通/斷狀態決定電阻器 R1 是否被旁路。開關 SW4 的通/斷狀態決定電晶體 MP2 的控制節點是否通過電阻器 R2 而被自偏置。開關 SW5 的通/斷狀態決定源極退化電路 402 是否被旁路。通過開關 SW1-SW5 的適當設置，可重構

振盪放大器 400 可被配置為採用啟動配置、高性能配置和低功率配置中的其中之一。在本實施例中，開關控制器 404 用來根據操作模式 **MODE** 產生開關控制信號 **S1, S2, S3, S4, S5**，其中開關 **SW1-SW5** 的通/斷狀態分別由開關控制信號 **S1-S5** 控制。例如，當開關控制信號由第一邏輯電平（例如，“1”）設置時，相關的開關被接通；當開關控制信號由第二邏輯電平（例如，“0”）設置時，相關的開關被關斷。

【0019】當操作模式 **MODE** 是啟動模式時，開關控制器 404 可將開關控制信號 **S1-S5** 分別設置為“1”，“1”，“0”，“1”和“1”。第 5 圖是根據本發明實施例的啟動模式下可重構振盪放大器 400 的等效電路圖。負 **Gm**、自偏置電晶體 **MP2** 和 **MN** 直接由第一參考電壓 **VDD** 提供。因此，啟動配置的大環路增益可以加快啟動過程。例如，實際的啟動時間可以是 **300us**。在正常情況下，當振盪信號 **XO_IN** 的振幅達到預定水平時，啟動過程結束。然而，可能的是，振盪信號 **XO_IN** 的振幅在可接受的時間段內未達到預定水平。因此，可以實施超時保護機制以自動終止啟動過程。在本實施例中，串聯連接的電容器 **C1** 和電阻器 **R1** 可被配置為具有大的 **RC** 延遲，以提供超時保護。因此，當大的 **RC** 延遲結束時，啟動過程將自動終止。

【0020】當操作模式 **MODE** 是低功率模式時，開關控制器 404 可將開關控制信號 **S1-S5** 分別設置為“0”，“1”，“1”，“1”和“1”。第 6 圖是根據本發明實施例的低功率模式下可重構振盪放大器 400 的等效電路圖。偏置設定 **VB** 被應用至電晶體 **MP1** 的控制節點，使得電晶體 **MP1** 被偏置以充當電流源。電晶體 **MP2** 和 **MN**

被用來提供負 G_m ，並由受控電流源（即，偏置電晶體 $MP1$ ）提供電流供給。偏置設定 V_B 使電晶體 $MP1$ 具有仍然能夠允許諧振電路 102 維持其振盪的最小電流輸出。以這種方式，可以有效地降低功耗，以滿足低功率要求。在本實施例中，可重構 RC 電路 406 的電容器 $C1$ 被再利用以作為交流電（AC）低阻抗路徑。交流電低阻抗路徑防止受控電流源（即，偏置電晶體 $MP1$ ）造成電晶體 $MP2$ 退化，從而避免了 G_m 退化。按照低功率配置，實際平均電流可以為 $15\mu A$ ，小於高性能模式的 $1/40$ ，振盪信號 XO_IN 的實際振幅可以是 $600mV$ 或更小，折衷（trade-off）於功率和在變化的環境下的魯棒性之間。

【0021】當操作模式 $MODE$ 是高性能模式時，開關控制器 404 可將開關控制信號 $S1-S2$ 和 $S4-S5$ 分別設置為“0”，“0”，“0”和“0”。第 7 圖是根據本發明實施例的高性能模式下可重構振盪放大器 400 的等效電路圖。只有電晶體 MN 用來提供負 G_m ，其允許振盪信號 XO_IN 的最大振幅。電晶體 $MP1$ 和 $MP2$ 被共源共柵（cascode）以充當電流源。偏置設定由 V_{B1} 和 V_{B2} 組成，其中 V_{B1} 被應用至電晶體 $MP1$ 的控制節點，以及 V_{B2} 被應用至電晶體 $MP2$ 的控制節點。相比僅使用電晶體 $MP1$ 實現電流源，使用共源共柵的電晶體 $MP1$ 和 $MP2$ 實現的電流源可增強諧振槽路阻抗（tank impedance）以及改進電源抑制比（power supply rejection ratio, PSRR）以具有更高的性能。另外，在更大的振盪幅度期間增加源極退化電路 402 以實現更好的閉合（close-in）相位雜訊性能、降低的負阻（negative resistance, NR）變化和增強的諧振槽路阻抗。例如，實際的相位雜訊在偏

移載波頻率 1Hz 和 100KHz 處可以分別低於 -50dBc/Hz 和 -155dBc/Hz。

【0022】應當指出，第4圖所示的電路設計只是可重構振盪放大器的一個範例，並不意味著是本發明的限制。例如，源極退化電路402、RC電路406和電阻器R2（其充當自偏置電路）的至少一個可以根據實際的設計考慮而省略。

【0023】如上所述，可以在從當前操作模式切換到下一操作模式的模式轉換過程中執行振盪幅度校準，以在下一操作模式中保持良好的雜訊性能。第8圖是根據本發明實施例的混合振幅校準電路的示意圖。例如，第1圖所示的混合振幅校準電路112可以使用第8圖所示的混合振幅校準電路800來實現。在本實施例中，混合振幅校準電路800通過聯合使用連續時間振幅校準和離散時間振幅校準來確定用於一種操作模式（例如，高性能模式或低功率模式）的最終的偏置設定SBIAS。第6圖所示低功率配置所需要的偏置設定VB或第7圖所示的高性能配置所需要的偏置設定（VB1, VB2）可以由最終偏置設定SBIAS直接或間接地進行設置。例如，當最終偏置設定SBIAS是偏置電流設定時，偏置設定VB或（VB1, VB2）可通過電流-電壓轉換由最終偏置設定SBIAS來間接設置。對於另一範例，當最終偏置設定SBIAS是偏置電壓設定時，偏置設定VB或（VB1, VB2）可以由最終偏置設定SBIAS直接設置。然而，這些僅用於說明目的，並不意味著是本發明的限制。

【0024】如第8圖所示，混合振幅校準電路800包括連續時間振幅校準電路802和離散時間振幅校準電路804。連續時間振

幅校準電路802包括振幅整流器 (amplitude rectifier) 812和偏置反饋電路814。離散時間振幅校準電路804包括比較器822、數位有限狀態機 (finite state machine , FSM) 824、偏置調整電路826、以及存儲裝置828。混合振幅校準電路800在不同階段 (difference phase) 順序操作，以確定並輸出最終偏置設定SBIAS給可重構振盪放大器110。為了更好地理解混合振幅校準電路800的技術特徵，若干開關SW1', SW2', SW3', SW4'可以用來說明混合振幅校準電路800在不同階段的切換。然而，使用開關SW1'-SW4'來控制混合振幅校準電路800的不同階段的切換僅是為了說明的目的，並不意味著是本發明的限制。可替代地，混合振幅校準電路800中的各電路塊可以在混合振幅校準電路800的不同階段被選擇性地使能或禁能。

【0025】當混合振幅校準由於模式轉換而被使能時，混合振幅校準的第一階段開始。在混合振幅校準的第一階段，開關SW1'被接通以及開關SW2', SW3'和SW4'被關斷，如第9圖所示。連續時間振幅校準電路802被使能以對振盪信號XO_IN執行連續時間振幅校準，以確定可重構振盪放大器110的第一偏置設定IFB,AAC (或VFB,AAC)。振幅整流器812將振盪信號XO_IN的振幅VAMP,XO轉換成直流 (DC) 電壓電平VDC。接著，偏置反饋電路814將直流電壓電平VDC與參考振幅電平進行比較以自適應地及連續地調節第一偏置設定IFB,AAC (或VFB,AAC)。如上所述，混合振幅校準是在從第一操作模式到第二操作模式 (例如，低功率模式或高性能模式) 的模式轉換期間執行的。在第二操作模式是低功率模式的情況中，用於

低功率模式的參考振幅電平 REFLPM 由偏置反饋電路 814 所使用。在第二操作模式是高性能模式的另一情況中，用於高性能模式的參考振幅電平 REFHPM 由偏置反饋電路 814 所使用。振盪信號 XO_IN 的振幅受應用至可重構振盪放大器 110 的第一偏置設定 IFB,AAC (或 VFB,AAC) 所影響。由於閉環校準是通過連續時間振幅校準電路 802 執行的，第一偏置設定 IFB,AAC (或 VFB,AAC) 在直流電壓電平 VDC 大致等於參考振幅電平 (例如，REFLPM 或 REFHPM) 時將會收斂/穩定 (converged/settled)。

【0026】當第一偏置設定 IFB,AAC (或 VFB,AAC) 收斂/穩定時，混合振幅校準的第一階段結束，混合振幅校準的第二階段開始。在混合振幅校準的第二階段中，開關 SW1',SW2' 和 SW3' 被接通，以及 SW4' 被關斷，如第 10 圖所示。離散時間振幅校準電路 804 被使能，通過比較第二偏置設定 ICAL (或 VCAL) 與第一偏置設定 IFB,AAC (或 VFB,AAC)，對第二偏置設定 ICAL (或 VCAL) 執行離散時間振幅校準。比較器 822 接收由連續時間振幅校準電路 802 穩定的第一偏置設定 IFB,AAC (或 VFB,AAC)，並比較第一偏置設定 IFB,AAC (或 VFB,AAC) 與第二偏置設定 ICAL (或 VCAL) 以產生一個比較結果給數位 FSM 824。數位 FSM 824 可以採用逐次逼近算法 (即，數位二進位搜索算法) 來確定數位控制字 (digital control word) ISEL 的每個比特 (bit) [X]。例如，數位 FSM 824 最初設置數位控制字 ISEL 的最高有效位元 (most significant bit, MSB) 為 1 以及設置數位控制字 ISEL 的剩餘位為 0，並且產生第二偏置設定 ICAL (或 VCAL) 至比較器 822。因此，第一比較結果被數位 FSM 824 用來確認數位控制

字 ISEL 的 MSB。接著，數位 FSM 824 更新數位控制字 ISEL 的第二 MSB 為 1，並產生更新後的第二偏置設定 ICAL（或 VCAL）至比較器 822。因此，第二比較結果被數位 FSM 824 用來確認數位控制字 ISEL 的第二 MSB。假設數位控制字 ISEL 具有 N 比特，在 N 個比較結果由比較 822 依次產生之後，便連續地確定了數位控制字 ISEL 的各個比特。由於逐次逼近算法的固有特性，最後由離散時間振幅校準找到的第二偏置設定 ICAL（或 VCAL）接近或等同於第一偏置設定 IFB,AAC（或 VFB,AAC）。應當指出，在混合振幅校準的第二階段確定的第二偏置設定 ICAL（或 VCAL）沒有輸出到可重構振盪放大器 110。

【0027】當第二偏置設定 ICAL（或 VCAL）被最終確定（即，數位控制字 ISEL 的所有比特被確定）時，混合振幅校準的第二階段結束，以及混合振幅校準的第三階段開始。在混合振幅校準的第三階段，開關 SW1'，SW2' 和 SW3' 被關斷，並且開關 SW4' 被接通，如第 11 圖所示。在此時刻第二偏置設定 ICAL（或 VCAL）被輸出作為最終偏置設定 SBIAS 用於第二操作模式（例如，低功率模式或高性能模式），同時沒有第一偏置設定 IFB,AAC（或 VFB,AAC）被提供給可重構振盪放大器 110。換句話說，當可重構振盪放大器 110 在第二操作模式操作時，最終的偏置設定 SBIAS 從偏置調整電路 826 而不是偏置反饋電路 814 提供。在本實施例中，可重構振盪放大器 110 的偏置設定從第一偏置設定 IFB,AAC（或 VFB,AAC）無縫地改變為第二偏置設定 ICAL（或 VCAL）。

【0028】相比於基於振盪器輸出來執行校準並需要多次振盪

器穩定的離散時間振幅校準，連續時間振幅校準具有更短的穩定時間用於第一偏置設定 IFB,AAC （或 VFB,AAC ）。由於第二偏置設定 $ICAL$ （或 $VCAL$ ）基於第一偏置設定 IFB,AAC （或 VFB,AAC ）來被校準，最終偏置設定 $SBIAS$ 可以受益於連續時間振幅校準（例如，短的穩定時間）。

【0029】此外，相較於遭受雜訊和功耗以保持閉環的連續時間振幅校準電路 802，離散時間振幅校準電路 804 可以被適當地設計以提供具有更低功耗和更好雜訊性能的第二偏置設定 $ICAL$ （或 $VCAL$ ）。因此，最終的偏置設定 $SBIAS$ 的校準也可以受益於所提出的離散時間振幅校準（例如，低功耗和低雜訊）。應該注意，相比於使用離散時間振幅校準基於振盪信號 XO_IN 來校準第二偏置設定 $ICAL$ （或 $VCAL$ ），使用離散時間振幅校準基於第一偏置設定 IFB,AAC （或 VFB,AAC ）來校準第二偏置設定 $ICAL$ （或 $VCAL$ ）可以在很短的時間完成。因此，相較於只使用連續時間振幅校準電路 802，使用混合振幅校準電路 800 受益於連續時間振幅校準電路 802 和離散時間振幅校準電路 804，而不顯著增加總校準時間。總之，混合振幅校準電路 800 可以通過使用連續時間振幅校準電路 802 實現短校準時間，並且可以通過使用離散時間振幅校準電路 804 實現低功耗和低雜訊。

【0030】由於離散時間振幅校準電路 804 採用數位校準裝置，最終針對每個特定操作模式（例如，低功率模式或高性能模式）找到的數位控制字 $ISEL$ 可被存儲在存儲裝置 828 中，例如非揮發性記憶體。當需要重構振盪放大器 110 再次進入第二操作模式（例如，低功率模式或高性能模式）時，混合振幅校準電

路800可從存儲裝置828直接加載所需的數位控制碼ISEL並根據加載的數位控制碼ISEL直接設置最終偏置設定SBIAS，而不執行連續時間振幅校準和離散時間振幅校準。

【0031】當可重構振盪放大器110在啟動模式下工作時，振幅整流器812可以用於提供直流電壓電平VDC來判斷啟動過程的結束。例如，監控直流電壓電平VDC以確定振盪信號XO_IN的振幅是否達到啟動結束的目標水平（end-of-startup target level）。當判斷為振盪信號XO_IN的振幅達到啟動結束的目標水平時，則啟動過程結束並初始化從當前操作模式（即，啟動模式）到下一操作模式（例如，高性能模式或低功率模式）的模式轉換。

【0032】在第1圖所示的上述實施例中，振盪器電路108被配置為包括可重構振盪放大器110（例如，第4圖所示的所提出的可重構振盪放大器400）和混合振幅校準電路112（例如，第8圖所示的所提出的混合振幅校準電路800）。但是，這僅是為了說明的目的，並不意味著是本發明的限制。使用可重新配置振盪放大器110（例如，第4圖所示的所提出的可重構振盪放大器400）和混合振幅校準電路112（例如，第8圖所示的所提出的混合振幅校準電路800）其中之一的任何振盪電路都落入本發明的範圍。例如，振盪器電路108可被修改為包括可重構振盪放大器110（例如，第4圖所示的所提出的可重構振盪放大器400）和使用不同的振幅校準設計的振幅校準電路。對於另一範例，振盪器電路108可被修改為包括混合振幅校準電路112（例如，第8圖所示的所提出的混合振幅校準電路800）和

具有不同的放大器設計的振盪放大器。

【0033】 雖然本發明的實施例及其優點已揭露如上，但應理解的是，本發明並未侷限於揭露之實施例。任何所屬技術領域中具有通常知識者，在不脫離本發明的精神和範圍內，當可做些許更動與潤飾，因此本發明的保護範圍當以申請專利範圍第所界定為準。凡依本發明申請專利範圍第所做的均等變化與修飾，皆應屬本發明的涵蓋範圍。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

【符號說明】

【0034】

100	時 鐘 源
102	諧 振 電 路
104、106	電 容 器
108	振盪器電路
110	可重構振盪放大器
112、800	混合振幅校準電路
V_{X1}, V_{X2}	節 點
XO_IN, XO_OUT	振盪信號
$V_B, V_{B1}, V_{B2}, S_{BIAS}$	偏置設定
$G_m, G_{m_{strup}}, G_{m_{HPM}}, G_{m_{LPM}}$	跨 導
$P_{AVG,OSC}, P_{HPM}, P_{LPM}$	平均功耗
$A_{OSC}, A_{HPM}, A_{LPM}, V_{AMP,XO}$	振 幅
REF_{LPM}, REF_{HPM}	

MP1, MP2, MN	電 晶 體
SW1, SW2, SW3, SW4, SW5	開 關
402	源極退化電路
404	開關控制器
R1, R2	電 阻 器
C1	電 容 器
406	可重構電阻-電容 (RC) 電路
S1, S2, S3, S4, S5	開關控制信號
MODE	操作模式
802	連續時間振幅校準電路
804	離散時間振幅校準電路
812	振幅整流器
814	偏置反饋電路
822	比較器
824	數位有限狀態機
826	偏置調整電路
828	存儲裝置
SW1', SW2', SW3', SW4'	開關
$I_{FB,AAC}$ (或 $V_{FB,AAC}$)	第一偏置設定
I_{CAL} (或 V_{CAL})	第二偏置設定
I_{SEL}	數位控制字



201737616

申請日: 106/03/23

IPC分類: H03B 5/32 (2006.01)
H03B 5/04 (2006.01)

【發明摘要】

【中文發明名稱】 振盪器電路及其相關方法

【英文發明名稱】 OSCILLATOR CIRCUIT WITH RECONFIGURABLE

OSCILLATOR AMPLIFIER AND/OR HYBRID AMPLITUDE CALIBRATION

CIRCUIT AND ASSOCIATED METHOD

【中文】

一種具有可重構振盪放大器的振盪器電路，其並聯耦接於諧振電路，該可重構振盪放大器支持不同的操作模式中的不同的電路配置，該可重構振盪器放大器包括由不同電路配置共享的至少一個電路元件，以及該可重構振盪放大器用以在不同的電路配置其中之一使用不同的操作模式的其中之一。本發明還提供用於配置振盪放大器的方法，該振盪放大器並聯耦接於諧振電路。由於具有硬件共享的振盪放大器可減少用於實現不同電路配置所需的電路元件的數量，可使用較小的芯片面積來實現可重構振盪放大器，從而降低了生產成本。

【英文】

An oscillator circuit has a reconfigurable oscillator amplifier. The reconfigurable oscillator amplifier is used to be coupled to a resonant circuit in parallel. The reconfigurable oscillator amplifier supports different circuit configurations for different operation modes, respectively. The reconfigurable oscillator amplifier has at least one circuit component shared

by the different circuit configurations. The reconfigurable oscillator amplifier employs one of the different circuit configurations under one of the different operation modes.

【指定代表圖】第（1）圖。

【代表圖之符號簡單說明】

100	時 鐘 源
102	諧 振 電 路
104、106	電 容 器
108	振 盪 器 電 路
110	可 重 構 振 盪 放 大 器
112	混 合 振 幅 校 準 電 路
V_{X1}, V_{X2}	節 點
XO_IN, XO_OUT	振 盪 信 號
S_{BIAS}	偏 置 設 定

【特徵化學式】

無

【發明申請專利範圍】

【第1項】 一種振盪器電路，其中，包括：

一可重構振盪放大器，並聯耦接於一諧振電路；

其中，該可重構振盪放大器支持分別用於不同的操作模式中的不同的電路配置；該可重構振盪器放大器包括由該不同電路配置共享的至少一個電路元件；以及該可重構振盪放大器在該不同操作模式的其中之一操作模式中使用該不同電路配置的其中之一。

【第2項】 根據申請專利範圍第1項所述之振盪器電路，其

中，該不同的操作模式包括一第一操作模式和一第二操作模式，以及該可重構振盪放大器包括：

一第一電晶體，具有一第一連接節點、一控制節點和一第二連接節點，其中該第一電晶體的該第一連接節點耦接於一第一參考電壓；

一第二電晶體，具有一第一連接節點、一控制節點和一第二連接節點，其中該第二電晶體的該第一連接節點耦接於該第一電晶體的該第二連接節點；

一第三電晶體，具有一第一連接節點、一控制節點和一第二連接節點，其中該第三電晶體的該第一連接節點耦接於該第二電晶體的該第二連接節點，該第三電晶體的該控制節點和該第一連接節點連接於該諧振電路；以及

一第一開關，耦接該第一參考電壓和該第一電晶體的第二連接節點之間；

其中，當該可重構振盪放大器在該第一操作模式操作時，該第一開關接通；以及當該可重構振盪放大器在該第二操作模式操作時，該第一開關關斷。

【第3項】 根據申請專利範圍第2項所述之振盪器電路，其中，該可重構振盪器放大器另包括：

一可重構電阻電容電路，包括：

一電容器；

一電阻器，串聯耦接於該電容器；

一第二開關，並聯耦接於該電阻器；

其中，當該可重構振盪放大器在該第一操作模式下操作時，該第二開關關斷，該可重構電阻電容電路耦接於該第一電晶體的該第二連接節點和一第二參考電壓之間；當該可重構振盪放大器在該第二操作模式操作時，該第二開關接通，該可重構電阻電容電路耦接於該第一電晶體的該第二連接節點和該第二參考電壓之間。

【第4項】 根據申請專利範圍第2項所述之振盪器電路，其中，該可重構振盪放大器另包括：

一第二開關，具有一第一端和一第二端，其中該第一端耦接於該第一電晶體的該第二連接節點；以及

一電阻電容電路，耦接於該第二開關的該第二端和一第二參考電壓之間，其中該電阻電容電路包括：

一電容器；以及

一電阻器，串聯耦接於該電容器；

其中，當該可重構振盪放大器在該第一操作模式下操作時，該第二開關接通；以及當該可重構振盪放大器在該第二操作模式操作時，該第二開關關斷。

【第5項】 根據申請專利範圍第2項所述之振盪器電路，其中，該可重構振盪器放大器另包括：

一源極退化電路，耦接於該第三電晶體的該第二連接節點和一第二參考電壓之間；以及

一第二開關，並聯耦接於該源極退化電路；

其中，當該可重構振盪放大器在該第一操作模式下操作時，該第二開關接通；以及當該可重構振盪放大器在該第二操作模式操作時，該第二開關關斷。

【第6項】 根據申請專利範圍第1項所述之振盪器電路，其中，該不同的操作模式包括一第一操作模式和一第二操作模式，以及該可重構振盪放大器包括：

一第一電晶體，具有一第一連接節點、一控制節點和一第二連接節點，其中該第一電晶體的該第一連接節點耦接於一第一參考電壓；以及

一第二電晶體，具有一第一連接節點、一控制節點和一第二連接節點，其中該第二電晶體的該第一連接節點耦接於該第一電晶體的該第二連接節點；以及

一可重構電阻電容電路，包括：

一電容器；

一電阻器，串聯耦接於該電容器；以及

一開關，並聯耦接於該電阻器；

其中，當該可重構振盪放大器在該第一操作模式下操作時，該第二電晶體的該控制節點和該第二連接節點連接於該諧振電路，以及該開關關斷，該可重構電阻電容電路耦接於該第一電晶體的該第二連接節點與一第二參考電壓之間；以及當該可重構振盪放大器在該第二操作模式操作時，該第二電晶體的該控制節點和該第二連接節點連接於該諧振電路，以及該開關接通，該可重構電阻電容電路耦接於該第一電晶體的該第二連接節點和該第二參考電壓之間。

【第7項】 根據申請專利範圍第1項所述之振盪器電路，其中，該不同的操作模式包括一第一操作模式和一第二操作模式，以及該可重構振盪放大器包括：

一第一電晶體，具有一第一連接節點、一控制節點和一第二連接節點，其中該第一電晶體的該第一連接節點耦接於一第一參考電壓；

一第二電晶體，具有一第一連接節點、一控制節點和一第二連接節點，其中該第二電晶體的該第一連接節點耦接於該第一電晶體的該第二連接節點；

一開關，具有一第一端和一第二端，其中該第一端耦接於該第一電晶體的該第二連接節點；

一電阻電容電路，耦接於該開關的該第二端和一第二參考電壓之間，其中該電阻電容電路包括：

一電容器；以及

一電阻器，串聯耦接於該電容器；

其中，當該可重構振盪放大器在該第一操作模式下操作時，該第二電晶體的該控制節點和該第二連接節點連接於該諧振電路，並且該開關接通；以及當該可構振盪放大器在該第二操作模式操作時，該第二電晶體的該控制節點接收一偏置電壓，該第二電晶體的該第二連接節點連接於該諧振電路，並且該開關關斷。

【第8項】 根據申請專利範圍第1項所述之振盪器電路，其中，該不同的操作模式包括一第一操作模式和一第二操作模式，並且該可重構振盪放大器包括：

一第一電晶體，具有一第一連接節點、一控制節點和一第二連接節點，其中該第一電晶體的該第一連接節點耦接於一第一參考電壓；

一第二電晶體，具有一第一連接節點、一控制節點和一第二連接節點，其中該第二電晶體的該第一連接節點耦接於該第一電晶體的該第二連接節點；

一開關，具有一第一端和一第二端，其中該第一端耦接於該第一電晶體的該第二連接節點；以及

一電容器，耦接於該開關的該第二端；

其中，當該可重構振盪放大器在該第一操作模式下操作時，

該第二電晶體的該控制節點和該第二連接節點連接於該諧振電路，並且該開關接通，以及該電容器耦接於該第一電晶體的該第二連接節點與一第二參考電壓之間；以及當該可構振盪放大器在該第二操作模式操作時，該第二電晶體的該控制節點接收一偏置電壓，該第二電晶體的該第二連接節點連接於該諧振電路，並且該開關關斷。

【第9項】 根據申請專利範圍第1項所述之振盪器電路，其中，該不同的操作模式包括一第一操作模式和一第二操作模式，以及該可重構振盪放大器包括：

一第一電晶體，具有一第一連接節點、一控制節點和一第二連接節點；

一第二電晶體，具有一第一連接節點、一控制節點和一第二連接節點，其該第二電晶體的該第一連接節點耦接於該第一電晶體的該第二連接節點；其中該第二電晶體的該控制節點和該第一連接節點耦接於該諧振電路；以及一開關，耦接於該第一電晶體的該控制節點與該第二電晶體的該控制節點之間；

其中，當該可重構振盪放大器在該第一操作模式下操作時，該開關接通；以及當該可構振盪放大器在該第二操作模式操作時，該第一電晶體的該控制節點接收一偏置電壓，並且該開關關斷。

【第10項】 根據申請專利範圍第1項所述之振盪器電路，其

中，該不同的操作模式包括一第一操作模式和一第二操作模式，並且該可重構振盪放大器包括：

一電晶體，具有一第一連接節點、一控制節點和一第二連接節點，其中該控制節點和該第一連接節點耦接於該諧振電路；

一源極退化電路，耦接於該電晶體的該第二連接節點和一第二參考電壓之間；以及

一開關，並聯耦接於該源極退化電路；

其中，當該可重構振盪放大器在該第一操作模式下操作時，該開關接通；以及當該可重構振盪放大器在該第二操作模式操作時，該開關關斷。

【第11項】 根據申請專利範圍第1項所述之振盪器電路，其中，該不同的操作模式包括一第一操作模式和一第二操作模式，並且該可重構振盪放大器包括：

一混合振幅校準電路，用已在從該第一操作模式到該第二操作模式的一模式轉換期間對該諧振電路產生的一振盪信號執行一振幅校準，以確定該可重構振盪放大器的一最終偏置設定，其中該混合振幅校準電路通過聯合使用不同的振幅校準方案來決定該最終偏置設定。

【第12項】 根據申請專利範圍第11項所述之振盪器電路，其中，該不同的振幅校準方案包括一連續時間振幅校準和一離散時間振幅校準，以及該混合振幅校準電路包括：

一第一振幅校準電路，用以對該振盪信號執行該連續時間振幅校準，以確定該可重構振盪放大器的一第一偏置設定；以及

一第二振幅校準電路，用以通過比較一第二偏置設定與該第一偏置設定來對該第二偏置設定執行該離散時間振幅校準，並輸出該第二偏置設定作為該最終的偏置設定。

【第13項】 根據申請專利範圍第12項所述之振盪器電路，其中，該第二振幅校準電路通過該離散時間振幅校準確定數位控制碼，並根據該數位控制碼設置該最終的偏置設定；該第二振幅校準電路被進一步配置為將該數位控制碼存儲在存儲裝置中；以及當需要該重構振盪放大器再次進入該第二操作模式時，該混合振幅校準電路進一步被配置為從該存儲裝置加載該數位控制碼並根據該加載的數位控制碼設置該最終的偏置設定，而不執行該連續時間振幅校準和該離散時間振幅校準。

【第14項】 根據申請專利範圍第12項所述之振盪器電路，當該第二振幅校準電路輸出該第二偏置設定作為該最終偏置設定時，該第一振幅校準電路不輸出該第一偏置設定給該可重構振盪放大器。

【第15項】 根據申請專利範圍第12項所述之振盪器電路，其中，該第二振幅校準電路在該離散時間振幅校準期間不輸出

該第二偏置設定作為該最終偏置設定。

【第16項】 一種用於配置振盪放大器的方法，該振盪放大器並聯耦接於諧振電路，包括：

當需要該振盪放大器進入一第一操作模式時，該振盪放大器採用一第一電路配置；以及

當需要該振盪放大器進入不同於該第一操作模式的一第二操作模式時，該振盪放大器採用不同於該第一電路配置的一第二電路配置，其中該第一操作模式中使用的至少一個電路元件在該第二操作模式中被再利用。

【第17項】 一種振盪器電路，其中，包括：

一振盪放大器，並聯耦接於一諧振電路；以及

一混合振幅校準電路，用以在從一第一操作模式到一第二操作模式的一模式轉換期間對該諧振電路產生的一振盪信號執行一振幅校準，以確定該振盪放大器的一最終偏置設定，其中該混合振幅校準電路通過使用不同的振幅校準方案來決定該最終偏置設定。

【第18項】 根據申請專利範圍第17項所述之振盪器電路，其中，該不同的振幅校準方案包括一連續時間振幅校準和一離散時間振幅校準，以及該混合振幅校準電路包括：

一第一振幅校準電路，用以對該振盪信號執行該連續時間振幅校準，以確定該振盪放大器的一第一偏置設定；以及

一第二振幅校準電路，用以通過比較一第二偏置設定與該第一偏置設定來對該第二偏置設定執行該離散時間振幅校準，並輸出該第二偏置設定作為該最終偏置設定。

【第19項】 根據申請專利範圍第18項所述之振盪器電路，其中，當該第二振幅校準電路輸出該第二偏置設定作為該最終偏置設定時，該第一振幅校準電路不輸出該第一偏置設定給該振盪放大器。

【第20項】 根據申請專利範圍第14項所述之振盪器電路，其中該第二振幅校準電路在該離散時間振幅校準期間不輸出該第二偏置設定作為該最終偏置設定。

