

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第3区分

【発行日】令和2年2月20日(2020.2.20)

【公開番号】特開2019-164491(P2019-164491A)

【公開日】令和1年9月26日(2019.9.26)

【年通号数】公開・登録公報2019-039

【出願番号】特願2018-51258(P2018-51258)

【国際特許分類】

G 06 F 12/0815 (2016.01)

G 06 F 12/0808 (2016.01)

G 06 F 12/0804 (2016.01)

【F I】

G 06 F 12/0815

G 06 F 12/0808

G 06 F 12/0804 100

【手続補正書】

【提出日】令和2年1月9日(2020.1.9)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

キャッシュメモリと、

キャッシュ制御装置と、

を具備し、

前記キャッシュ制御装置は、

指定したアドレス範囲に含まれる前記キャッシュメモリのアクセス対象アドレスであって、当該アクセス対象アドレスのキャッシュラインに対するキャッシュ・メンテナンス処理の実行を予約する第1の制御回路と、

前記第1の制御回路により予約されたキャッシュラインに対するキャッシュ・メンテナンス処理を実行する第2の制御回路と、

を含む、情報処理装置。

【請求項2】

前記第1の制御回路は、

前記キャッシュメモリのアクセス対象アドレスが入力された場合に、当該アクセス対象アドレスが、指定したアドレス範囲に含まれるか否かを判定する判定回路を含む、

請求項1に記載の情報処理装置。

【請求項3】

前記第1の制御回路は、

キャッシュ・メンテナンス処理対象の指定アドレス範囲を設定するレジスタ回路と、

前記キャッシュメモリのアクセス対象アドレスが入力された場合に、当該アクセス対象アドレスが、前記レジスタ回路に設定された指定アドレス範囲に含まれるか否かを判定する判定回路と、を含む、

請求項1から2のいずれか1項に記載の情報処理装置。

【請求項4】

前記第2の制御回路は、

前記キャッシュ・メンテナンス処理の実行指示に応じて、予約されたキャッシュラインに対するキャッシュ・メンテナンス処理を実行する、

請求項 1 から 3 のいずれか 1 項に記載の情報処理装置。

【請求項 5】

前記第 2 の制御回路は、

前記キャッシュ・メンテナンス処理の実行指示に応じて、記憶回路に設定された予約情報に対応するキャッシュラインに対するキャッシュ・メンテナンス処理を実行する、

請求項 1 に記載の情報処理装置。

【請求項 6】

前記キャッシュ制御装置は、前記キャッシュメモリのキャッシュライン毎に、当該キャッシュラインの有効性を示す有効情報を設定する第 3 の制御回路を含み、

前記第 2 の制御回路は、

前記第 1 の制御回路により予約されたキャッシュラインに対応する前記有効情報をクリアする、

請求項 1 から 5 のいずれか 1 項に記載の情報処理装置。

【請求項 7】

前記キャッシュ・メンテナンス処理は、

前記キャッシュメモリのアクセス対象アドレスのキャッシュラインを無効化する処理と、

前記キャッシュメモリのアクセス対象アドレスのキャッシュラインをフラッシュする処理と、を含む、

請求項 1 から 6 のいずれか 1 項に記載の情報処理装置。

【請求項 8】

前記キャッシュ制御装置は、

前記第 1 の制御回路により予約されたアクセス対象アドレスのキャッシュラインが前記キャッシュメモリから追い出される場合、前記第 1 の制御回路により設定される予約をクリアする、

請求項 1 から 7 のいずれか 1 項に記載の情報処理装置。

【請求項 9】

キャッシュメモリを有する情報処理装置に適用するキャッシュ制御装置であって、

指定したアドレス範囲に含まれる、前記キャッシュメモリのアクセス対象アドレスのキャッシュラインに対するキャッシュ・メンテナンス処理の実行を予約する第 1 の制御回路と、

前記第 1 の制御回路により予約されたキャッシュラインに対するキャッシュ・メンテナンス処理を実行する第 2 の制御回路と、

を具備する、キャッシュ制御装置。