



- (51) 국제특허분류:
H03K 5/12 (2006.01) H03L 7/081 (2006.01)
H03K 5/156 (2006.01)
- (21) 국제출원번호: PCT/KR2011/002001
- (22) 국제출원일: 2011년 3월 23일 (23.03.2011)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2011-0011142 2011년 2월 8일 (08.02.2011) KR
- (71) 출원인 (US 을(를) 제외한 모든 지정국에 대하여): 연세대학교 산학협력단 (INDUSTRY-ACADEMIC CO-OPERATION FOUNDATION, YONSEI UNIVERSITY) [KR/KR]; 서울 서대문구 신촌동 134 연세대학교, 120-749 Seoul (KR).
- (72) 발명자: 겸
- (75) 발명자/출원인 (US 에 한하여): 정성욱 (JUNG, Seong-Ook) [KR/KR]; 서울 서대문구 신촌동 134, 120-749 Seoul (KR). 류경호 (RYU, Kyung Ho) [KR/KR]; 서울 강남구 개포1동 주공 1단지 95동 507호, 135-807 Seoul (KR). 정동훈 (JUNG, Dong Hun) [KR/KR]; 서울

성동구 성수 2가 1동 232-3 성광빌라 101호, 133-121 Seoul (KR).

- (74) 대리인: 권혁수 (KWON, Hyuk-Soo) 등; 서울 강남구 역삼동 827-25 3층, 135-080 Seoul (KR).

- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

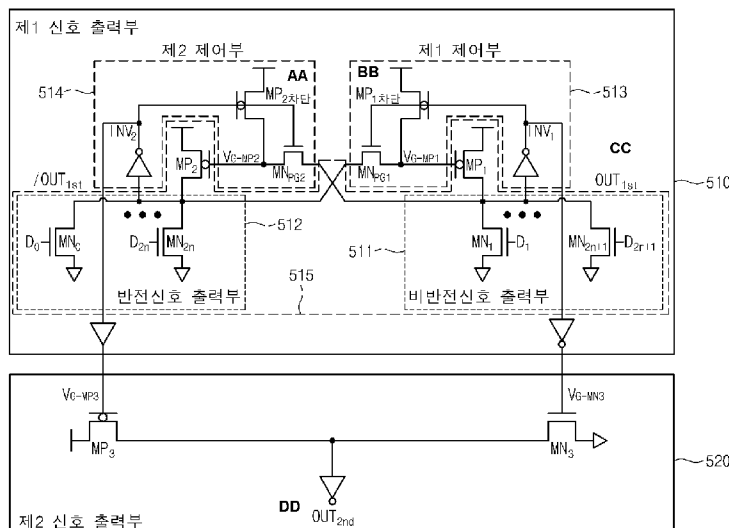
- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR),

[다음 쪽 계속]

(54) Title: EDGE COMBINER, AND FREQUENCY MULTIPLIER AND FREQUENCY MULTIPLICATION METHOD USING SAME

(54) 발명의 명칭 : 에지컴바이너, 이를 이용한 주파수 체배기 및 주파수 체배방법

[Fig. 5]



510 ... 1st signal output unit
AA ... MP₂ 2nd Blocking
BB ... MP₁ 1st Blocking
511 ... Non-inverse signal output unit
512 ... Inverse signal output unit

513 ... 1st control unit
514 ... 2nd control unit
520 ... 2nd signal output unit
CC ... OUT_{1st}
DD ... OUT_{2nd}

(57) Abstract: The present invention relates to a structure of an edge combiner, and to a frequency multiplier and frequency multiplication method using same. The edge combiner according to one embodiment of the present invention uses an additional control unit including an NMOS pass gate, an inverter, and a blocking PMOS transistor in order to control the turnoff operation of a PMOS transistor of a differential cascade voltage switch logic. Consequently, fast operation becomes possible, thereby improving the performance of a frequency multiplier.

(57) 요약서: 본 발명은 에지컴바이너의 구조 및 이를 이용한 주파수 체배기, 주파수 체배방법에 관한 것이다. 본 발명의 일실시예에 따른 에지컴바이너는 NMOS 패스게이트, 인버터 및 차단 PMOS 트랜지스터로 구성되는 별도의 제어부를 이용하여 차동 캐스코드 전압 스위치 로직의 PMOS 트랜지스터의 턴오프(turn-off) 동작을 제어함으로써, 고속 동작이 가능하게 하여, 주파수 체배기의 성능을 향상시킬 수 있다.



OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

공개:
— 국제조사보고서와 함께 (조약 제 21 조(3))

규칙 4.17 에 의한 선언서:

- 신규성을 해치지 아니하는 개시 또는 신규성 상실의 예외에 관한 선언 (규칙 4.17(v))

명세서

발명의 명칭: 에지컴바이너, 이를 이용한 주파수 체배기 및 주파수 체배방법

기술분야

- [1] 본 발명은 기본전자회로에 관한 것으로서, 보다 상세하게는 향상된 성능을 가지는 주파수 체배기 및 체배방법에 관한 것이다.

배경기술

- [2] 지연고정루프(Delay Locked Loop; DLL)는 전자 장치에서 내부 클럭을 발생시키기 위하여 이용된다. 일반적인 지연고정루프는 수신된 외부 클럭을 지연 라인을 이용하여 소정의 시간만큼 지연시켜서 외부 클럭에 동기된 내부 클럭을 발생한다. 이러한 지연고정루프 기반의 클럭 발생기는 대부분의 위상고정루프 기반의 클럭 발생기 및 국부 발진기와 비교할 때 지터의 축적이 없어 위상 잡음이 적으며, 루프 필터의 구조가 간단하므로 소형화가 가능하다. 특히, 반도체 메모리 장치의 경우 외부 클럭의 주파수를 체배한 주파수를 갖는 내부 클럭을 이용함으로써 반도체 메모리 장치의 데이터 전송 속도를 증가시킬 수 있으며, 정확한 위상 지연 및 듀티 비를 갖는 클럭들을 데이터 전송에 이용함으로써 고속 데이터 전송시 에러를 줄일 수 있다.
- [3] 한편, 지연고정루프의 이러한 장점을 이용한 주파수 체배기는 전압 제어 지연선이 지터를 축적하지 않고 각 동작 모드에서 다른 동작 모드로 전환할 때 빠르게 재 락킹되는 장점이 있다. 또한 지연고정루프 기반의 주파수 체배기는 1차 시스템으로 안정도를 유지할 수 있다.
- [4] 이러한 주파수 체배기는 펄스 발생기, 에지컴바이너, 체배율 제어부로 구성되며, 특히 에지컴바이너는 실제로 체배된 신호를 만들어내는 부분이다. 따라서 에지컴바이너는 주파수 체배기의 성능 척도인 동작속도 및 듀티 비 등을 결정하는 가장 중요한 부분이라 할 수 있다.

발명의 상세한 설명

기술적 과제

- [5] 이러한 에지컴바이너의 일반적인 구조들은 출력신호의 듀티 비가 50%가 되지 않는다는 점, PMOS 트랜지스터의 사이즈를 크게 할 수 없어 동작속도가 느리다는 점, 구현에 필요한 면적이 넓다는점 등의 문제가 있었다.
- [6] 이에 본 발명이 이루고자 하는 기술적인 과제는 개선된 구조를 이용하여 향상된 성능을 갖는 에지컴바이너와 이를 이용한 주파수 체배기 및 체배방법을 제공하는 것이다.

과제 해결 수단

- [7] 본 발명에 따른 에지 컴바이너는 차동 캐스코드 전압 스위치 로직(Differential Cascode Voltage Switch Logic, DCVSL)을 포함하되, 상기 차동 캐스코드 전압

스위치 로직의 제1PMOS 트랜지스터 및 제2PMOS 트랜지스터의 턴오프(turn-off)동작을 각각 제어하여 고속 동작이 가능하도록 하는 제1제어부 및 제2제어부를 포함하는 제1신호출력부; 및 상기 제1신호출력부의 출력신호마다 토글링하여 신호의 듀티 비를 조절하는 것을 특징으로 하는 제2신호출력부; 를 포함한다.

- [8] 상기 제1제어부는 상기 차동 캐스코드 전압 스위치 로직의 비반전신호 출력부의 출력단에 입력단이 연결되는 제1인버터; 상기 제1인버터의 출력단과 각각 연결되는 제1NMOS 패스게이트(passgate) 및 제1 차단 PMOS 트랜지스터를 포함하되, 상기 제1NMOS 패스게이트 및 제1차단 PMOS 트랜지스터의 드레인 단자는 상기 제1PMOS 트랜지스터에 연결되며, 상기 제2제어부는 상기 차동 캐스코드 전압 스위치 로직의 반전신호 출력부의 출력단에 입력단이 연결되는 제2인버터; 상기 제2인버터의 출력단과 각각 연결되는 제2NMOS 패스게이트(passgate) 및 제2 차단 PMOS 트랜지스터를 포함하되, 상기 제2NMOS 패스게이트 및 제2차단 PMOS 트랜지스터의 드레인 단자는 상기 제2PMOS 트랜지스터에 연결되는 것을 특징으로 한다. 상기 반전신호 출력부는 $2n$ (n 은 0이상의 정수) 번째 펄스신호를 게이트 단자로 각각 입력받는 복수의 NMOS 트랜지스터를 포함하고, 상기 비반전신호 출력부는 $2n+1$ (n 은 0이상의 정수) 번째 펄스신호를 게이트 단자로 각각 입력받는 복수의 NMOS 트랜지스터를 포함한다.
- [9] 또한, 상기 제1제어부는 상기 비반전신호 출력부의 복수의 NMOS 트랜지스터의 드레인 단자를 연결한 노드가 충전되고, 상기 비반전신호 출력부의 복수의 NMOS 트랜지스터가 각각 $2n+1$ (n 은 0이상의 정수) 번째 펄스 신호를 게이트 단자로 입력받기 전에 상기 제1PMOS 트랜지스터의 동작을 턴오프(turn-off) 시키며,
- [10] 상기 제2제어부는 상기 반전신호 출력부의 복수의 NMOS 트랜지스터의 드레인 단자를 연결한 노드가 충전되고, 상기 반전신호 출력부의 복수의 NMOS 트랜지스터가 각각 $2n$ (n 은 1이상의 정수) 번째 펄스 신호를 게이트 단자로 입력받기 전에 상기 제1PMOS 트랜지스터의 동작을 턴오프(turn-off) 시키는 것을 특징으로 한다.
- [11] 한편, 상기 제2신호출력부는 상기 제2제어부의 제2인버터의 출력 신호를 게이트 단자로 입력받는 제3PMOS 트랜지스터; 및 상기 제1제어부의 제1인버터의 출력 신호를 게이트 단자로 입력받는 제3NMOS 트랜지스터; 를 포함하며, 상기 제1신호출력부의 출력신호마다 토글링하여 신호의 듀티 비를 50%로 하는 것을 특징으로 한다.
- [12] 또한, 본 발명에 따른 에지컴바이너를 이용한 주파수 체배기는 복수 개의 지연셀을 가지는 전압제어지연선을 포함하며, 소정의 입력클럭신호를 소정시간 순차적으로 지연시켜 복수 개의 전압제어지연신호를 출력하는 지연 고정 루프; 상기 지연고정루프의 전압제어지연선의 각 출력신호를 입력받아 펄스를

생성하는 펄스 발생기; 및 차동 캐스코드 전압 스위치 로직(differential cascode voltage switch logic, DCVSL)을 포함하되, 상기 차동 캐스코드 전압 스위치 로직의 제1PMOS 트랜지스터 및 제2PMOS 트랜지스터의 턴오프(turn-off)동작을 제어하여 고속 동작이 가능하도록 하는 제1제어부 및 제2제어부를 포함하는 제1신호출력부와 상기 제1신호출력부의 출력신호마다 토글링하여 출력신호의 듀티 비를 50%로 하는 것을 특징으로 하는 제2신호출력부를 포함하는 에지컴바이너; 를 포함한다. 이때 상기 제1제어부는 상기 차동 캐스코드 전압 스위치 로직의 비반전신호 출력부의 출력단에 입력단이 연결되는 제1인버터; 상기 제1인버터의 출력단과 각각 연결되는 제1NMOS 패스게이트(passgate) 및 제1차단 PMOS 트랜지스터를 포함하되, 상기 제1NMOS 패스게이트 및 제1차단 PMOS 트랜지스터의 드레인 단자는 상기 제1PMOS 트랜지스터에 연결되며, 상기 제2제어부는 상기 차동 캐스코드 전압 스위치 로직의 반전신호 출력부의 출력단에 입력단이 연결되는 제2인버터; 상기 제2인버터의 출력단과 각각 연결되는 제2NMOS 패스게이트(passgate) 및 제2차단 PMOS 트랜지스터를 포함하되, 상기 제2NMOS 패스게이트 및 제2 차단 PMOS 트랜지스터의 드레인 단자는 상기 제2PMOS 트랜지스터에 연결되는 것을 특징으로 한다.

- [13] 본 발명에 따른 에지컴바이너를 이용한 주파수 체배방법은 복수 개의 지연셀을 가지는 전압제어지연선을 포함하고, 소정의 입력클럭신호를 소정시간 지연시켜 복수 개의 전압제어지연신호를 출력하는 단계; 지연고정루프의 각 지연셀의 출력신호를 입력받아 펄스를 생성하는 단계; 및 상기 펄스를 이용하여 체배된 출력신호를 발생시키는 단계; 를 포함하되, 상기 체배된 출력신호를 발생시키는 단계는 제1제어부 및 제2제어부의 동작을 통해 차동 캐스코드 전압 스위치 로직의 제1PMOS 트랜지스터 및 제2PMOS 트랜지스터의 턴오프(turn-off)동작을 각각 제어하는 것을 특징으로 하는 제1출력신호 생성단계; 및 상기 제1출력신호 생성단계의 출력신호마다 토글링(toggling)하여 출력신호의 듀티 비를 50%로 하는 제2출력신호 생성단계; 를 더 포함하는 것을 특징으로 한다.

발명의 효과

- [14] 본 발명의 일실시예에 따른 에지컴바이너는 별도의 제어부를 통해 차동 캐스코드 전압 스위치 로직의 PMOS 트랜지스터의 턴오프(turn-off) 동작을 제어함으로써 고속 동작이 가능하다. 또한 출력신호의 듀티 비를 50%로 할 수 있으며, 적은 면적으로도 구현가능하다.

도면의 간단한 설명

- [15] 도 1은 일반적인 에지컴바이너의 구조1 을 나타낸 회로도이다.
 [16] 도 2는 일반적인 에지컴바이너의 구조2 를 나타낸 회로도이다.
 [17] 도 3은 본 발명의 일실시예에 따른 에지컴바이너를 포함하는 주파수 체배기의 구조를 나타낸 것이다.
 [18] 도 4는 본 발명의 일실시예에 따른 에지컴바이너를 이용한 주파수 체배방법을

나타낸 흐름도이다.

[19] 도 5는 본 발명의 일실시예에 따른 에지컴바이너의 구조를 나타낸 회로도이다.

[20] 도 6은 본 발명의 일실시예에 따른 에지컴바이너 동작시의 타이밍 다이어그램을 나타낸 것이다.

[21] 도 7은 본 발명의 일실시예에 따른 에지컴바이너의 제1제어부의 구조를 나타낸 회로도이다.

[22] 도 8은 본 발명의 일실시예에 따른 에지컴바이너의 동작속도를 체배율에 대하여 나타낸 그래프이다.

[23] 도 9는 본 발명의 일실시예에 따른 에지컴바이너의 면적을 체배율에 대하여 나타낸 그래프이다.

발명의 실시를 위한 형태

[24] 실시예들은 여러 가지 다른 형태들로 구체화되어질 수 있고, 여기에서 설명되는 양태들로 한정되는 것으로 해석되지 않는다. 오히려, 상기 양태들은 실시예들을 더욱 철저하고 완전하게 되도록 해주며, 당업자에게 실시예들의 영역을 충분히 전달할 수 있도록 해준다.

[25] 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다.

[26] 도 1은 일반적인 에지컴바이너의 구조1을 나타낸 것이다.

[27] 도 1에 도시된 에지컴바이너 구조1의 동작은 다음과 같다. 차동 캐스코드 전압 스위치 로직(Differential Cascode Voltage Switch Logic;DCVSL) 구조의 에지컴바이너로서, 반전출력신호 ($/OUT_{EC}$)는 High, 비반전출력신호 (OUT_{EC})는 Low 상태에서 반전신호 출력부 측 NMOS 트랜지스터(MN_0)의 게이트 단자에 펄스신호가 입력되면 반전신호 출력부 측 복수의 NMOS 트랜지스터의 드레인 단자를 연결한 노드가 방전되어 반전출력신호($/OUT_{EC}$)가 Low 상태가 된다. 반전신호 출력부의 출력단과 연결된 PMOS 트랜지스터(MP_1)가 동작(turn-on)하면서 비반전신호 출력부 측 복수의 NMOS 트랜지스터의 드레인 단자를 연결한 노드가 충전되어 비비반전 출력신호(OUT_{EC})가 High 상태가 된다.

[28] 반전신호 출력부 측 NMOS 트랜지스터(MN_0)가 턴오프(turn-off) 되면,

비반전신호 출력부 측 NMOS 트랜지스터(MN_1)의 게이트 단자에

펄스신호가 입력된다. 비반전신호 출력부 측 복수의 NMOS 트랜지스터의 드레인 단자를 연결한 노드가 방전되어 비반전 출력신호(OUT_{EC})가 Low

상태가 되면, 비반전신호 출력부의 출력단과 연결된 PMOS 트랜지스터(MP_0)가 동작하면서 반전출력신호($/OUT_{EC}$)가 High 상태가 된다. 상기의 동작이

반복적으로 수행되며, 이로써 체배된 1 싸이클의 파형이 발생된다.

[29] 그러나 이러한 일반적인 에지컴바이너 구조1의 경우, NMOS 트랜지스터(MN_1)가 동작(turn-on)되는 순간, 같은 노드에 연결되어 있는 PMOS

트랜지스터(MP_1)가 동작(turn-on)되어있는 상태이기 때문에, NMOS

트랜지스터(MN_1)가 노드를 방전시키기 위해서는 PMOS 트랜지스터(MP_1)의 구동능력(driving strength)이 NMOS 트랜지스터(MN_1)에 비해

절반 이상 작아야 한다. 따라서, 상승 에지를 발생시키는 속도가 느려지게 되고,

전체 에지컴바이너의 동작 속도 역시 느려지게 된다. 또한 상승 에지와 하강 에지의 발생 속도 차이가 크기 때문에 듀티 비가 깨어지며, 스위칭 순간에 발생하는 DC 전류에 의한 전력 손실이 발생하는 문제점이 있었다.

[30] 도 2는 일반적인 에지컴바이너의 구조2를 나타낸 것이다.

[31] 도 2에 도시된 일반적인 에지컴바이너의 구조2의 동작은 다음과 같다. CMOS 구조의 에지컴바이너로서, 반전출력신호($/OUT_{EC}$)가 High 인 상태에서

NMOS 트랜지스터(MN_0)에 펄스신호가 입력되어 동작(turn-on)하면,

반전출력신호($/OUT_{EC}$)가 Low 상태가 된다. 이어서 PMOS 트랜지스터(MP_0)가 동작하면 반전출력신호($/OUT_{EC}$)가 다시 High 상태가 된다.

이와 같은 동작이 반복되면서 체배된 신호를 발생시킨다.

[32] 하지만 이 경우, PMOS 트랜지스터의 사용량이 많아져, 체배율이 증가할수록 PMOS 트랜지스터와 NMOS 트랜지스터의 드레인 단자를 연결한 노드에 형성되는 접합 커패시터가 빠르게 증가하여 생성할 수 있는 최대 주파수 크기가 급격히 감소한다는 문제가 있었다. 또한, PMOS 트랜지스터가 NMOS 트랜지스터와 구동능력이 같아지려면, 2.5 내지 3배의 크기가 필요하므로 면적이 크게 증가하는 문제점이 있었다.

[33] 이하에서 상술한 문제점을 해결하기 위한, 본 발명의 일실시예에 따른

에지컴바이너 및 이를 이용한 주파수 체배기, 주파수 체배방법에 대하여 도면을 참조하여 상세히 설명한다.

[34] 도 3은 본 발명의 일실시예에 따른 에지컴바이너를 포함하는 주파수 체배기의 구조를 나타낸 것이다.

[35] 도 3에 도시된 바와 같이, 본 발명의 일실시예에 따른 주파수 체배기는 지연고정루프(310), 펄스발생기(320), 제1신호출력부 및 제2신호출력부로 구성되는 에지컴바이너(330)를 포함할 수 있다.

[36] 지연고정루프(310)는 복수 개의 지연셀을 가지는 전압제어지연선을 포함하며, 소정의 입력 클럭신호를 소정시간 순차적으로 지연시켜 복수 개의 전압제어지연신호를 출력한다. 펄스발생기(320)는 전압제어지연선의 각 출력신호를 입력받아 펄스신호를 생성한다. 에지컴바이너(330)는 이하에서 상세히 설명할 제1신호출력부 및 제2신호출력부의 동작을 통해 체배된 출력신호를 생성한다.

[37] 도 4는 본 발명의 일실시예에 따른 에지컴바이너를 이용한 주파수 체배방법을 나타낸 흐름도이다.

[38] 도 4에 도시된 바와 같이, 본 발명의 일실시예에 따른 에지컴바이너를 이용한 주파수 체배방법은 전압제어지연신호 출력단계(410); 펄스 생성단계(420); 및 제1출력신호 생성단계(431) 및 제2출력신호 생성단계(432)를 포함하는 체배된 출력신호를 발생시키는 단계(430); 를 포함하여 이루어진다.

[39] 이하에서 전압제어지연신호 출력단계(410) 및 펄스 생성단계(420)에 대하여 상세히 설명한다.

[40] 지연고정루프는 전압제어지연선(Voltage Controlled Delay Line; VCDL), 위상검출기, 루프 필터, 전하펌프로 구성된다.(미도시)

[41] 전압제어지연선은 지연고정루프의 입력 클럭을 지연셀을 통과시키면서 소정시간만큼 지연시켜 출력한다. 위상검출기는 지연고정루프의 입력 클럭과 VCDL의 출력 클럭의 위상을 비교하여 위상차에 비례하는 신호를 발생시킨다. 전하펌프는 위상검출기에서 받은 신호를 특정한 전압 값으로 바꾼 뒤 루프 필터로 보낸다. 루프 필터는 전하펌프에서 보내진 전압을 일정한 제어전압으로 만들어 전압제어지연선에 공급한다.

[42] 즉, 전압제어지연선의 각 지연셀은 입력 클럭신호를 소정 시간단위로 지연시켜 각각 전압제어지연신호를 출력한다. 예를 들어, 지연셀을 4개로 가정하면 4개의 전압제어지연신호를 출력하며, 각 신호간 간격은 $\frac{2\pi}{4}$ 가 된다.

[43] 펄스발생기는 전압제어지연선의 출력신호의 상승 에지에 맞추어 펄스를 생성한다.

[44] 이하에서 제1출력신호 생성단계(431)에 대하여 상세히 설명한다.

[45] 도 5는 본 발명의 일실시예에 따른 에지컴바이너의 구조를 나타낸 회로도이다.

- [46] 도 5에 도시된 바와 같이, 본 발명의 일실시예에 따른 에지컴바이너는 제1신호출력부(510)와 제2신호출력부(520)를 포함할 수 있다.
- [47] 상기 제1신호출력부(510)는 $2n$ (n 은 0이상의 정수) 번째 펄스신호를 게이트 단자로 각각 입력받는 복수의 NMOS 트랜지스터를 포함하는 반전신호 출력부(512), $2n+1$ (n 은 0이상의 정수) 번째 펄스신호를 게이트 단자로 각각 입력받는 복수의 NMOS 트랜지스터를 포함하는 비반전신호 출력부(511)를 포함할 수 있다.
- [48] 또한, 상기 제1신호출력부(510)는 차동 캐스코드 전압 스위치 로직(515)을 포함하되, 상기 차동 캐스코드 전압 스위치 로직(515)의 제1PMOS 트랜지스터 및 제2PMOS 트랜지스터의 턴오프(turn-off)동작을 제어하여 고속 동작이 가능하도록 하는 제1제어부(513) 및 제2제어부(514)를 포함할 수 있다.
- [49] 상기 제1제어부(513)는 비반전신호 출력부의 출력단에 입력단이 연결되는 제1인버터와, 상기 제1인버터의 출력단과 각각 연결되는 제1NMOS 패스게이트 및 제1 차단 PMOS 트랜지스터를 포함할 수 있다. 상기 제1NMOS 패스게이트 및 제1 차단 PMOS 트랜지스터의 게이트 단자는 상기 제1인버터의 출력단과 연결될 수 있다. 상기 제1NMOS 패스게이트 및 제1 차단 PMOS 트랜지스터의 드레인 단자는 제1PMOS 트랜지스터의 게이트 단자와 연결될 수 있다.
- [50] 상기 제2제어부(514)는 반전신호 출력부의 출력단에 입력단이 연결되는 제2인버터와, 상기 제2인버터의 출력단과 연결되는 제2NMOS 패스게이트 및 제2 차단 PMOS 트랜지스터를 포함할 수 있다. 상기 제2NMOS 패스게이트 및 제2 차단 PMOS 트랜지스터의 게이트 단자는 상기 제2인버터의 출력단과 연결될 수 있다. 상기 제2NMOS 패스게이트 및 제2 차단 PMOS 트랜지스터의 드레인 단자는 제2PMOS 트랜지스터의 게이트 단자와 연결될 수 있다.
- [51] 상기 제2신호출력부(520)는 상기 제2제어부의 제2인버터의 출력 신호를 게이트 단자로 입력받는 제3PMOS 트랜지스터와 상기 제1제어부의 제1인버터의 출력 신호를 게이트 단자로 입력받는 제3NMOS 트랜지스터를 포함할 수 있다.
- [52] 이하에서 제1신호출력부(510)의 동작에 대하여 제1제어부(513) 및 제2제어부(514)의 동작을 포함하여 상세히 설명한다.
- [53] 도 6은 본 발명의 일실시예에 따른 에지컴바이너 동작시의 타이밍 다이어그램을 나타낸 것이다.
- [54] 도 6에 도시된 바와 같이, 상기 제1신호출력부(510)의 반전신호 출력부(512)에 포함된 복수의 NMOS 트랜지스터들의 드레인 단자를 연결한 노드의 초기신호조건은 High, 비반전신호 출력부에 포함된 복수의 NMOS 트랜지스터들의 드레인 단자를 연결한 노드의 초기신호조건은 Low 상태일 수 있다. 즉, 반전출력신호 ($/OUT_{1st}$)의 초기조건은 High, 비반전출력신호 (OUT_{1st})의 초기조건은 Low 상태일 수 있다.

- [55] 반전신호 출력부(512) 측 NMOS 트랜지스터(MN_0)의 게이트 단자에 펄스신호(D_0)가 입력되면 반전출력신호($IOUT_{1st}$)가 방전되어 Low 상태가 된다. 반전신호 출력부(512)의 출력단에 입력단이 연결된 제2인버터(INV_2)의 출력신호는 High 상태가 된다. 제1NMOS 패스게이트의 게이트 단자로 입력되는 신호(V_{G-MP1})의 초기조건은 High 상태일 수 있다.
- [56] 반전신호 출력부(512)의 출력단자에 소오스 단자가 연결된 제1 NMOS 패스게이트(MN_{PG1})가 동작하여 Low 신호가 제1PMOS 트랜지스터(MP_1)의 게이트 단자로 입력된다. 이때, 제1PMOS 트랜지스터(MP_1)의 게이트 단자의 입력신호(V_{G-MP1})는 Low 상태가 된다. 제1PMOS 트랜지스터(MP_1)가 동작하고, 비반전신호 출력부의 복수의 NMOS 트랜지스터의 드레인 단자를 연결한 노드가 충전되어 출력신호(OUT_{1st})가 High 상태가 된다. 다음으로 기존의 에지컴바이너 구조1과 달리, 제1PMOS 트랜지스터의 턴오프(turn-off) 동작을 제어하기 위한 제1제어부(513)가 동작한다.
- [57] 이하에서는 제1제어부(513)가 제1PMOS 트랜지스터(MP_1)의 턴오프(turn-off) 동작을 제어하는 과정에 대하여 도 7을 참조하여 상세히 설명한다.
- [58] 도 7은 본 발명의 일실시예에 따른 에지컴바이너의 제1제어부의 구조를 나타낸 회로도이다.
- [59] 도 7에 도시된 바와 같이, 제1제어부는 비반전신호 출력부의 출력단에 입력단이 연결되는 제1인버터와, 상기 제1인버터의 출력단과 각각 연결되는 제1NMOS 패스게이트 및 제1 차단 PMOS 트랜지스터를 포함할 수 있다.
- [60] 상기 제1제어부의 동작을 상세히 설명하면 다음과 같다. 비반전신호 출력부의 출력단에 입력단이 연결된 제1인버터(INV_1)의 출력신호는 Low 상태가 된다. 제1인버터(INV_1)의 출력단에 연결된 제1NMOS 패스게이트(MN_{PG1})의 게이트 단자로 Low 신호가 입력되어 턴오프(turn-off) 된다. 반면,

제1 차단 PMOS 트랜지스터($MP_{1차단}$)는 게이트 단자로 Low 신호를 입력받아 동작(turn-on)한다. 제1 차단 PMOS 트랜지스터($MP_{1차단}$)가 동작하여 제1PMOS 트랜지스터(MP_1)의 게이트 단자로 입력되는 신호(V_{G-MP1})를 High 상태로 한다. 이로써, 제1PMOS 트랜지스터(MP_1)의 동작이 턴오프(turn-off)된다. 이때, 제1신호출력부의 출력신호(OUT_{1st})는 High 상태이다.

- [61] 일반적인 에지컴바이너 구조1과 달리 비반전신호 출력부의 복수의 NMOS 트랜지스터의 드레인 단자를 연결한 노드가 충전되고, 상기 비반전신호 출력부 측 복수의 NMOS 트랜지스터(MN_1)의 게이트 단자로 펄스신호가 입력되기 전에 제1PMOS 트랜지스터가 턴오프(turn-off)된다. 따라서, 제1PMOS 트랜지스터의 크기를 크게 할 수 있어, 동작속도가 빨라지고, 스위칭 순간에 발생하는 DC 전류에 의한 전력 손실이 없다.
- [62] 또한, 일반적인 에지컴바이너 구조2에 비해 출력단의 집합 커패시터의 증가가 더 작기 때문에 보다 빠른 속도로 동작할 수 있다.
- [63] 계속해서 제1신호출력단계(431)에 대하여 상세히 설명한다.
- [64] 반전신호 출력부 측 NMOS 트랜지스터(MN_0)가 턴오프(turn-off)되면, 비반전신호 출력부 측 NMOS 트랜지스터(MN_1)의 게이트 단자로 펄스신호(D_1)가 입력된다. 비반전신호 출력부의 복수의 NMOS 트랜지스터의 드레인 단자를 연결한 노드가 방전되어 비반전출력신호(OUT_{1st})가 Low 상태가 된다. 비반전신호 출력부의 출력단에 입력단이 연결된 제1인버터(INV_1)의 출력신호는 High 상태가 된다. 제2NMOS 패스게이트의 게이트 단자로 입력되는 신호(V_{G-MP2})의 초기조건은 High 상태일 수 있다.
- [65] 비반전신호 출력부의 출력단과 소오스 단자가 연결된 제2 NMOS 패스게이트(MN_{PG2})가 동작하여 Low 신호가 제2PMOS 트랜지스터(MP_2)의 게이트 단자로 입력된다. 이때, 제2PMOS 트랜지스터(MP_2)의 게이트 단자의

입력신호(V_{G-MP2})는 Low 상태가 된다. 제2PMOS 트랜지스터(MP_2)가 동작하고, 반전신호 출력부의 복수의 NMOS 트랜지스터의 드레인 단자를 연결한 노드가 충전되어 반전출력신호($IOUT_{1st}$)가 High 상태가 된다.

[66] 이하에서는 제2제어부가 제2PMOS 트랜지스터의 턴오프(turn-off) 동작을 제어하는 과정에 대해 상세히 설명한다.

[67] 제2제어부는 비반전신호 출력부의 출력단에 입력단이 연결되는 제2인버터와, 상기 제2인버터의 출력단과 각각 연결되는 제2NMOS 패스게이트 및 제2차단 PMOS 트랜지스터를 포함할 수 있다.

[68] 상기 제2제어부의 동작을 상세히 설명하면 다음과 같다. 반전신호 출력부의 출력단에 입력단이 연결된 제2인버터(INV_2)의 출력신호는 Low 상태가

된다. 제2인버터(INV_2)의 출력단에 연결된 제2NMOS 패스게이트(MN_{PG2})의 게이트 단자로 Low 신호가 입력되어 턴오프(turn-off) 된다. 반면,

제2차단 PMOS 트랜지스터($MP_{2차단}$)는 게이트 단자로 Low 신호를 입력받아

동작한다. 제2차단 PMOS 트랜지스터($MP_{2차단}$)가 동작하여 제2PMOS

트랜지스터(MP_2)의 게이트 단자로 입력되는 신호(V_{G-MP2})를 High

상태로 하고, 제2PMOS 트랜지스터(MP_2)의 동작이 턴오프(turn-off)된다.

이때, 제1신호출력부의 출력신호($IOUT_{1st}$)는 High 상태이다.

[69] 일반적인 에지컴바이너 구조1과는 달리 반전신호 출력부 측 NMOS 트랜지스터(MN_2)의 게이트 단자로 펄스신호가 입력되기 전에 제2PMOS

트랜지스터(MP_2)가 턴오프(turn-off)된다. 따라서, 제2PMOS 트랜지스터(MP_2)의 크기를 크게 할 수 있어, 동작속도가 빨라지고, 스위칭 순간에

발생하는 DC 전류에 의한 전력 손실이 없다.

[70] 또한, 일반적인 에지컴바이너 구조2와 달리 출력단의 집합 커패시터의 크기가

더 작기 때문에 보다 빠른 속도로 동작할 수 있다.

[71] 상기와 같은 반전신호 출력부 및 비반전신호 출력부 측 동작을 교대로 반복하면서 에지컴바이너의 제1신호출력단계(431)가 동작한다.

- [72] 상기의 제1신호출력단계의 동작을 통해 일반적인 에지컴바이너 구조1 및 구조2에 비해 향상된 동작속도를 가지는 것이 가능하다. 하지만, 출력신호의 상승에지가 생성되는 속도와 하강에지가 생성되는 속도의 차이는 여전히 존재하기 때문에, 반전신호 출력부 및 비반전신호 출력부에서 나타나는 신호의 듀티 비는 여전히 50%를 유지하지 못한다. 이에 본 발명의 일실시예에 따른 에지컴바이너의 구조에서는 제2신호출력단계를 통해 상기의 문제점을 해결하고 있다.
- [73] 이하에서 제2신호출력단계(432)에 대하여 상세히 설명한다.
- [74] 제2신호출력부는 제2제어부의 제2인버터의 출력 신호를 게이트 단자로 입력받는 제3PMOS 트랜지스터와 제1제어부의 제1인버터의 출력 신호를 게이트 단자로 입력 받는 제3NMOS 트랜지스터를 포함할 수 있다. 상기 제3PMOS 트랜지스터의 드레인 단자와 상기 제3NMOS 트랜지스터의 드레인 단자는 서로 연결되는 것을 특징으로 한다. 또한, 상기 제3PMOS 트랜지스터의 드레인 단자와 상기 제3NMOS 트랜지스터의 드레인 단자를 연결한 노드의 초기신호조건은 High 상태일 수 있다. 상기 제3PMOS 트랜지스터의 게이트 단자의 입력신호(V_{G-MP3})의 초기조건은 Low 상태일 수 있다. 상기 제3NMOS 트랜지스터의 게이트 단자의 입력신호(V_{G-MN3})의 초기조건은 Low 상태일 수 있다.
- [75] 상기 제3PMOS 트랜지스터는 반전출력신호($/OUT_{1st}$)의 상승에지마다 드레인 단자의 출력신호를 High 상태로 한다. 이는 반전출력신호($/OUT_{1st}$)가 제2인버터를 통해 반전되어 상기 제3PMOS 트랜지스터의 게이트 단자로 입력되기 때문이다.
- [76] 상기 제3NMOS 트랜지스터는 비반전출력신호(OUT_{1st})의 상승에지마다 드레인 단자의 출력신호를 Low 상태로 한다. 이는 비반전출력신호(OUT_{1st})가 제1인버터를 통해 반전되고, 상기 제3NMOS 트랜지스터의 게이트 단자와 연결된 인버터를 통해 다시 한번 반전되어 상기 제3NMOS 트랜지스터의 게이트 단자로 입력되기 때문이다.
- [77] 즉, 제2신호출력부는 제1신호출력부의 비반전신호 출력부 및 반전신호 출력부의 출력신호의 상승에지마다 각각 상기 제3PMOS 트랜지스터와 상기 제3NMOS 트랜지스터가 동작하여 출력한 신호를 토글링(toggling) 하고, 반전시켜 출력함으로써, 출력신호(OUT_{2nd})의 듀티 비를 50%로 할 수 있다.

- [78] 도 8는 본 발명의 일실시예에 따른 에지컴바이너의 동작속도를 체배율에 대하여 나타낸 그래프이다.
- [79] 일반적인 에지컴바이너 구조1, 일반적인 에지컴바이너 구조2 및 본 발명의 일실시예에 따른 에지컴바이너의 구조를 간단한 RC delay로 모델링 하고, elmore delay 계산 방법을 사용하였다. 동작속도는 일반적인 에지컴바이너 구조1의 체배율 1인 경우를 기준으로 정규화하여 표현하였다.
- [80] 본 발명의 일실시예에 따른 에지컴바이너의 구조에서는 체배율이 4배 미만일 경우, 동작 속도가 일정하게 유지된다. 이는 제1신호출력부에서 만들어 낸 신호가 너무 빠르게 동작하여 제2신호출력부의 제3PMOS 트랜지스터 및 제3NMOS 트랜지스터를 충분히 동작(turn-on) 시키지 못하기 때문이다. 따라서, 체배율 4배 미만에서는 제2신호출력부의 동작속도가 전체 에지컴바이너의 동작속도를 결정하게 된다.
- [81] 일반적인 에지컴바이너 구조1과 비교했을 때, 본 발명의 일실시예에 따른 에지컴바이너 구조는 2배 내지 2.5배 빠른 동작속도를 가졌으며, 이는 제1PMOS 트랜지스터 및 제2PMOS 트랜지스터의 크기를 크게 할 수 있기 때문이다. 한편, 체배율이 4배 미만의 작은 값을 가지는 경우, 일반적인 에지컴바이너 구조2에 비해 동작속도가 느리게 되는데, 이는 제1PMOS 트랜지스터 및 제2PMOS 트랜지스터를 턴오프(turn-off) 시키기 위한 제어과정에 의해 생기는 delay 때문이다. 하지만, 상기 delay는 체배율에 상관없이 고정되어 있는 값이며, 반전신호 출력부 및 비반전신호 출력부의 출력단의 집합 커패시터가 증가되는 정도는 일반적인 에지컴바이너 구조2에 비해 작기 때문에, 체배율이 증가할수록 더 빠른 동작속도를 가질 수 있다.
- [82] 도 9은 본 발명의 일실시예에 따른 에지컴바이너의 면적을 체배율에 대하여 나타낸 그래프이다.
- [83] 면적의 경우, 체배율이 증가할수록 펄스를 입력받는 NMOS 트랜지스터 수가 많아져 일반적으로 면적이 증가하였다.
- [84] 본 발명의 일실시예에 따른 에지컴바이너는 일반적인 에지컴바이너 구조1에 제1제어부 및 제2제어부를 추가적으로 구성하였으므로, 일반적인 에지컴바이너 구조1에 비해 항상 면적이 크게 나타났다.
- [85] 또한, 일반적인 에지컴바이너 구조2와 비교시에도 체배율이 6배 미만인 경우, 본 발명의 일실시예에 따른 에지컴바이너의 면적이 크게 나타났다. 이는 제1제어부 및 제2제어부의 추가 때문이다. 하지만, 체배율이 증가함에 따른 면적 증가율은 일반적인 에지컴바이너 구조2에 비해 작기 때문에, 체배율이 6배 이상인 경우에는 면적이 더 작게 나타났다.
- [86] 본 발명의 권리범위는 상술한 실시 예에 한정되는 것이 아니라 첨부된 특허청구범위 내에서 다양한 형태의 실시 예로 구현될 수 있다. 특허청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술 분야에서 통상의 지식을 가진 자라면 누구든지 변형 가능한 다양한

범위까지 본 발명의 청구범위 기재의 범위 내에 있는 것으로 본다.

청구범위

[청구항 1]

펄스 발생기로부터 생성된 펄스를 이용하여 상승 에지 및 하강 에지를 생성하는 에지컴바이너에 있어서,
차동 캐스코드 전압 스위치 로직(Differential Cascode Voltage Switch Logic, DCVSL)을 포함하되, 상기 차동 캐스코드 전압 스위치 로직의 제1PMOS 트랜지스터 및 제2PMOS 트랜지스터의 턴오프(turn-off)동작을 각각 제어하여 고속 동작이 가능하도록 하는 제1제어부 및 제2제어부를 포함하는 제1신호출력부; 및 상기 제1신호출력부의 출력신호마다 토글링하여 신호의 듀티비를 조절하는 것을 특징으로 하는 제2신호출력부;를 포함하는 에지컴바이너.

[청구항 2]

제 1 항에 있어서,
상기 제1제어부는 상기 차동 캐스코드 전압 스위치 로직의 비반전신호 출력부의 출력단에 입력단이 연결되는 제1인버터; 상기 제1인버터의 출력단과 각각 연결되는 제1NMOS 패스게이트(passgate) 및 제1 차단 PMOS 트랜지스터를 포함하되,
상기 제1NMOS 패스게이트 및 제1차단 PMOS 트랜지스터의 드레인 단자는 상기 제1PMOS 트랜지스터에 연결되며,
상기 제2제어부는 상기 차동 캐스코드 전압 스위치 로직의 반전신호 출력부의 출력단에 입력단이 연결되는 제2인버터; 상기 제2인버터의 출력단과 각각 연결되는 제2NMOS 패스게이트(passgate) 및 제2 차단 PMOS 트랜지스터를 포함하되,
상기 제2NMOS 패스게이트 및 제2차단 PMOS 트랜지스터의 드레인 단자는 상기 제2PMOS 트랜지스터에 연결되는 것을 특징으로 하는 에지컴바이너.

[청구항 3]

제 2 항에 있어서,
상기 반전신호 출력부는 $2n$ (n 은 0이상의 정수) 번째 펄스신호를 게이트 단자로 각각 입력받는 복수의 NMOS 트랜지스터를 포함하고, 상기 비반전신호 출력부는 $2n+1$ (n 은 0이상의 정수) 번째 펄스신호를 게이트 단자로 각각 입력받는 복수의 NMOS 트랜지스터를 포함하는 것을 특징으로 하는 에지컴바이너.

[청구항 4]

제 3 항에 있어서,
상기 제1제어부는 상기 비반전신호 출력부의 복수의 NMOS 트랜지스터의 드레인 단자를 연결한 노드가 충전되고, 상기 비반전신호 출력부의 복수의 NMOS 트랜지스터가 각각 $2n+1$ (n 은

0이상의 정수)번째 펄스 신호를 게이트 단자로 입력받기 전에
 상기 제1PMOS 트랜지스터의 동작을 턴오프(turn-off) 시키며,
 상기 제2제어부는 상기 반전신호 출력부의 복수의 NMOS
 트랜지스터의 드레인 단자를 연결한 노드가 충전되고, 상기
 반전신호 출력부의 복수의 NMOS 트랜지스터가 각각 $2n$ (n 은
 1이상의 정수)번째 펄스 신호를 게이트 단자로 입력받기 전에
 상기 제1PMOS 트랜지스터의 동작을 턴오프(turn-off) 시키는 것을
 특징으로 에지컴바이너.

[청구항 5]

제 1 항에 있어서, 상기 제2신호출력부는
 상기 제2제어부의 제2인버터의 출력 신호를 게이트 단자로
 입력받는 제3PMOS 트랜지스터; 및
 상기 제1제어부의 제1인버터의 출력 신호를 게이트 단자로
 입력받는 제3NMOS 트랜지스터;를 포함하는 에지컴바이너.

[청구항 6]

제 5 항에 있어서,
 상기 제2신호출력부는 상기 제1신호출력부의 출력신호마다
 토글링하여 신호의 듀티 비를 50%로 하는 것을 특징으로 하는
 에지컴바이너.

[청구항 7]

복수 개의 지연셀을 가지는 전압제어지연선을 포함하며, 소정의
 입력클럭신호를 소정시간 순차적으로 지연시켜 복수 개의
 전압제어지연신호를 출력하는 지연 고정 루프;
 상기 지연고정루프의 전압제어지연선의 각 출력신호를 입력받아
 펄스를 생성하는 펄스 발생기; 및
 차동 캐스코드 전압 스위치 로직(differential cascode voltage switch
 logic, DCVSL)을 포함하되, 상기 차동 캐스코드 전압 스위치
 로직의 제1PMOS 트랜지스터 및 제2PMOS 트랜지스터의
 턴오프(turn-off)동작을 제어하여 고속 동작이 가능하도록 하는
 제1제어부 및 제2제어부를 포함하는 제1신호출력부와 상기
 제1신호출력부의 출력신호마다 토글링하여 출력신호의 듀티 비를
 50%로 하는 것을 특징으로 하는 제2신호출력부를 포함하는
 에지컴바이너;
 를 포함하는 주파수 체배기.

[청구항 8]

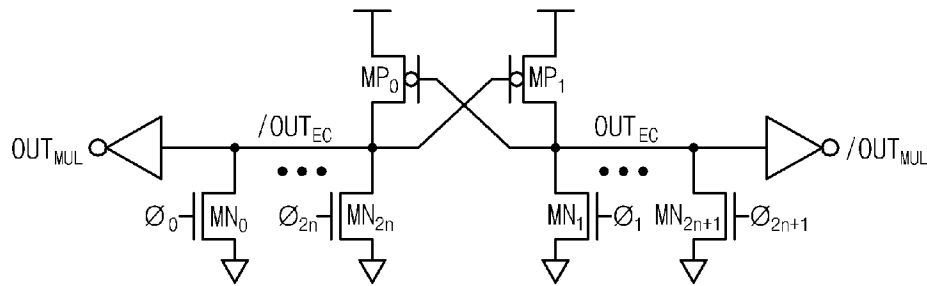
제 7 항에 있어서,
 상기 제1제어부는 상기 차동 캐스코드 전압 스위치 로직의
 비반전신호 출력부의 출력단에 입력단이 연결되는 제1인버터;
 상기 제1인버터의 출력단과 각각 연결되는 제1NMOS
 패스게이트(passgate) 및
 제1차단 PMOS 트랜지스터를 포함하되,
 상기 제1NMOS 패스게이트 및 제1차단 PMOS 트랜지스터의

드레인 단자는 상기 제1PMOS 트랜지스터에 연결되며,
 상기 제2제어부는 상기 차동 캐스코드 전압 스위치 로직의
 반전신호 출력부의 출력단에 입력단이 연결되는 제2인버터;
 상기 제2인버터의 출력단과 각각 연결되는 제2NMOS
 패스게이트(passgate) 및
 제2차단 PMOS 트랜지스터를 포함하되,
 상기 제2NMOS 패스게이트 및 제2 차단 PMOS 트랜지스터의
 드레인 단자는 상기 제2PMOS 트랜지스터에 연결되는 것을
 특징으로 주파수 체배기.

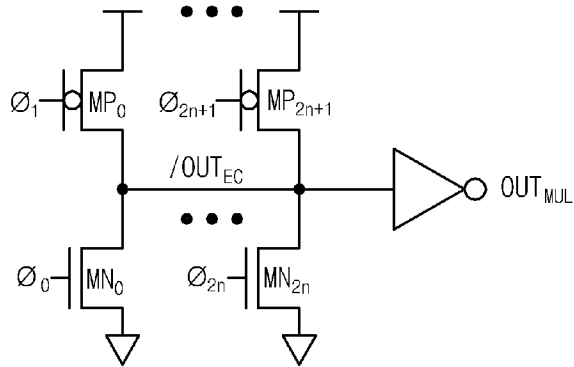
[청구항 9]

복수 개의 지연셀을 가지는 전압제어지연선을 포함하고, 소정의
 입력클럭신호를 소정시간 지연시켜 복수 개의
 전압제어지연신호를 출력하는 단계;
 지연고정루프의 각 지연셀의 출력신호를 입력받아 펄스를
 생성하는 단계; 및
 상기 펄스를 이용하여 체배된 출력신호를 발생시키는 단계; 를
 포함하되,
 상기 체배된 출력신호를 발생시키는 단계는 제1제어부 및
 제2제어부의 동작을 통해 차동 캐스코드 전압 스위치 로직의
 제1PMOS 트랜지스터 및 제2PMOS 트랜지스터의
 턴오프(turn-off)동작을 각각 제어하는 것을 특징으로 하는
 제1출력신호 생성단계; 및
 상기 제1출력신호 생성단계의 출력신호마다 토글링(toggling)하여
 출력신호의 듀티 비를 50%로 하는 제2출력신호 생성단계; 를 더
 포함하는 것을 특징으로 하는 주파수 체배방법.

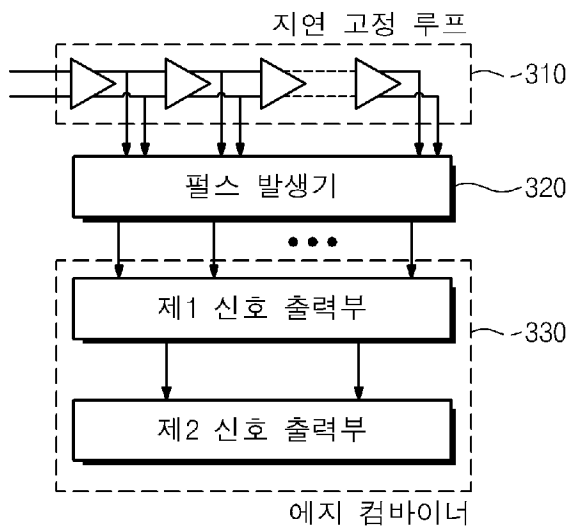
[Fig. 1]



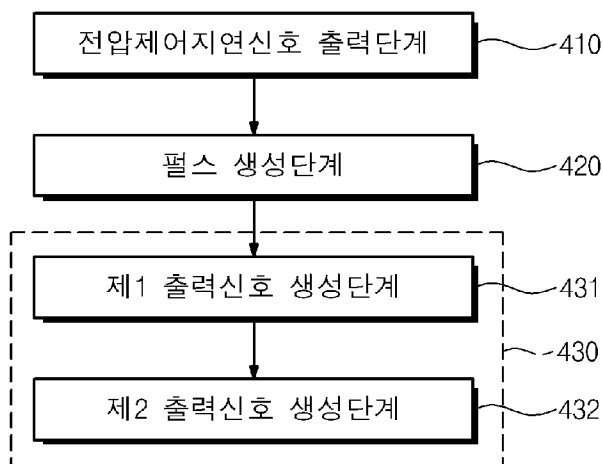
[Fig. 2]



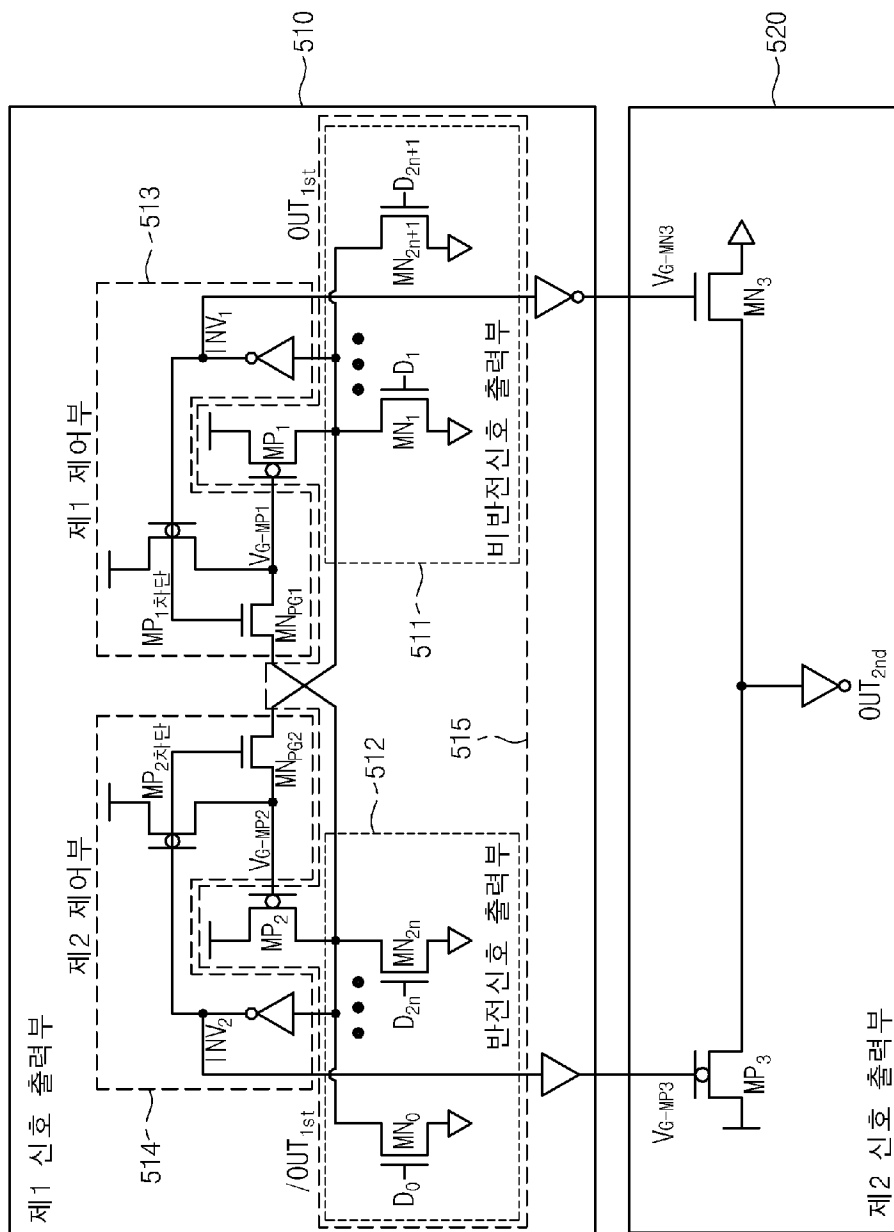
[Fig. 3]



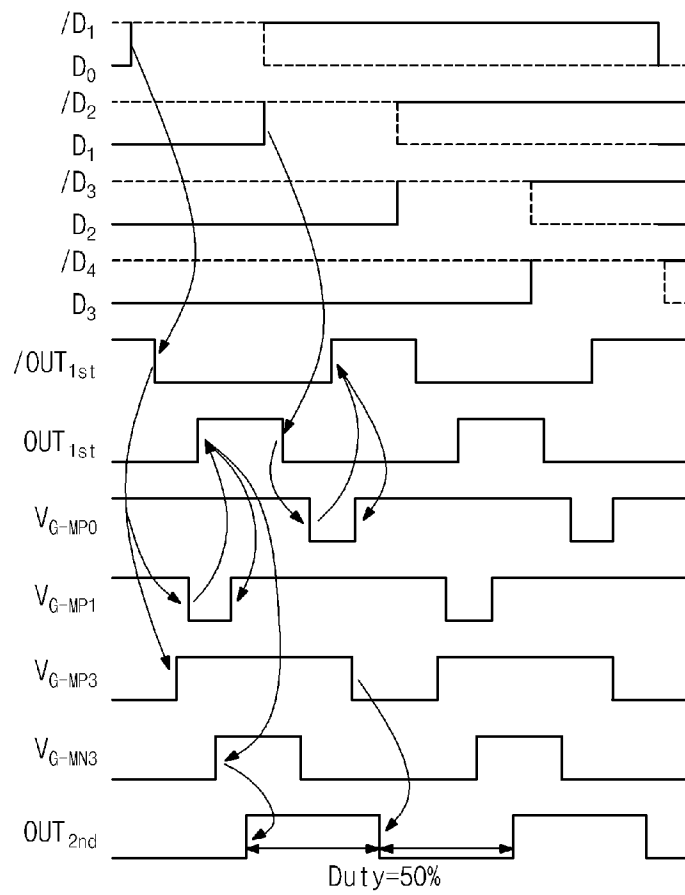
[Fig. 4]



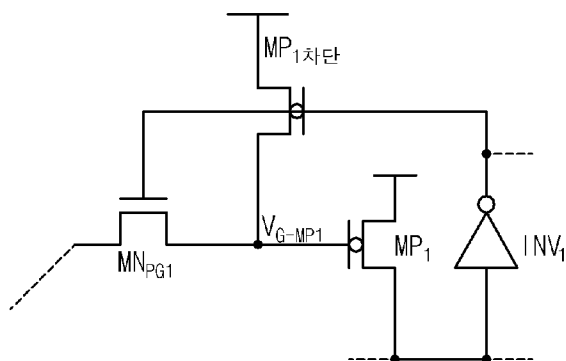
[Fig. 5]



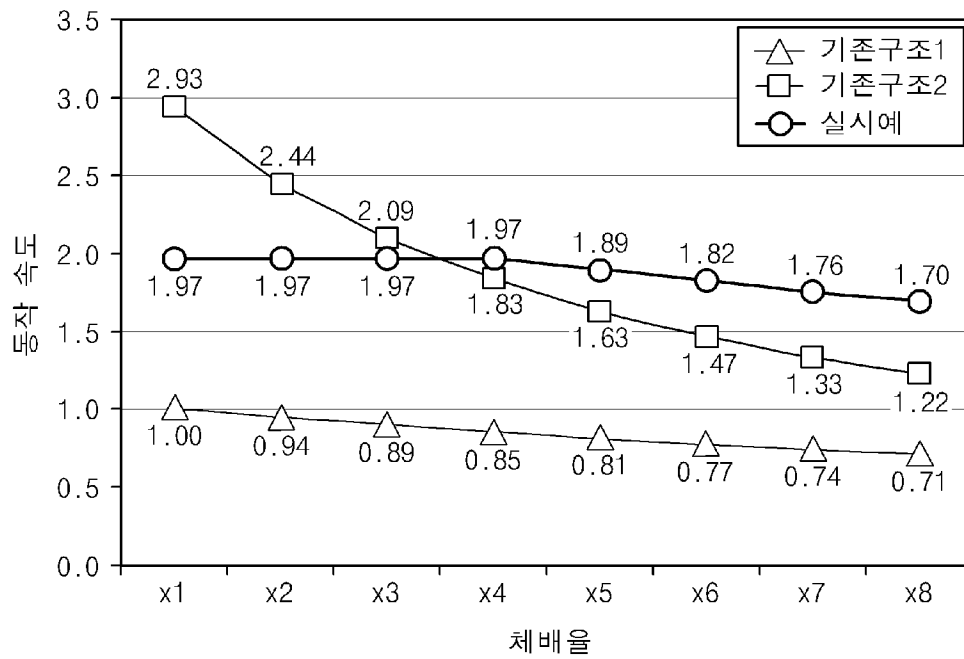
[Fig. 6]



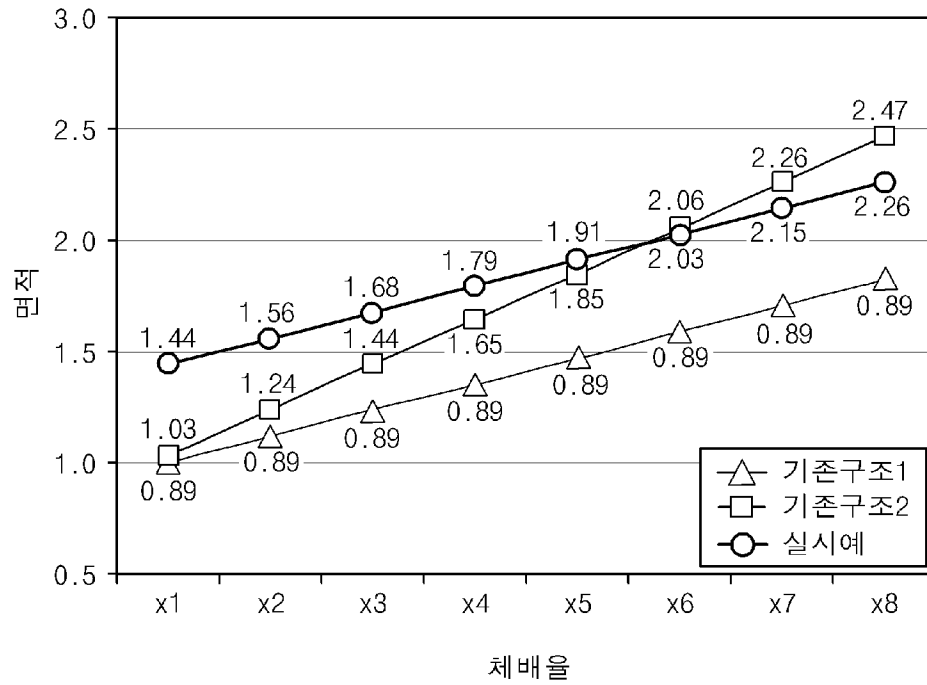
[Fig. 7]



[Fig. 8]



[Fig. 9]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2011/002001**A. CLASSIFICATION OF SUBJECT MATTER****H03K 5/12(2006.01)i, H03K 5/156(2006.01)i, H03L 7/081(2006.01)i**

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H03K 5/12; H03L 7/00; H03B 19/00; G11C 8/00; H03K 23/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: frequency multiplier, delay locked loop, edge combiner, differential cascode voltage switch logic, duty cycle, clock generator, pulse generator

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	J.H.K. et al. "A 120-MHz-1.8-GHz CMOS DLL-Based Clock Generator for Dynamic Frequency Scaling", In: IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 41, NO. 9, SEPTEMBER 2006, pp. 2077-2082.	1,7,9
A	See abstract, figure 5 and the related detailed description.	2-6,8
A	KR 10-0641360 B1 (SAMSUNG ELECTRONICS CO., LTD.) 01 November 2006 See abstract, claim 12, figure 7 and the related detailed description.	1-9
A	KR 10-2009-0126944 A (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) 09 December 2009 See abstract, claims 1, 6, 13, figures 2, 5 and the related detailed description.	1-9
A	KR 10-2010-0009067 A (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) 27 January 2010 See abstract, claims 1, 4, figure 1 and the related detailed description.	1-9
A	KR 10-2007-0071142 A (KOREA UNIVERSITY RESEARCH AND BUSINESS FOUNDATION) 04 July 2007 See abstract, claims 1, 11, figures 1, 11 and the related detailed description.	1-9



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

21 FEBRUARY 2012 (21.02.2012)

Date of mailing of the international search report

24 FEBRUARY 2012 (24.02.2012)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 139 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2011/002001

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-0641360 B1	01.11.2006	CN 100530971 C CN 1801625 A CN 1801625 C0 JP 04-309392 B2 JP 2006-148891 A JP 4309392 B2 US 2006-0097762 A1 US 7202721 B2	19.08.2009 12.07.2006 12.07.2006 15.05.2009 08.06.2006 05.08.2009 11.05.2006 10.04.2007
KR 10-2009-0126944 A	09.12.2009	NONE	
KR 10-2010-0009067 A	27.01.2010	KR 10-1013920 B1 US 2010-0013530 A1 US 8058913 B2	14.02.2011 21.01.2010 15.11.2011
KR 10-2007-0071142 A	04.07.2007	NONE	

A. 발명이 속하는 기술분류(국제특허분류(IPC)) H03K 5/12(2006.01)i, H03K 5/156(2006.01)i, H03L 7/081(2006.01)i																							
B. 조사된 분야 조사된 최소문헌(국제특허분류를 기재) H03K 5/12; H03L 7/00; H03B 19/00; G11C 8/00; H03K 23/00 조사된 기술분야에 속하는 최소문헌 이외의 문헌 한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC 국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우)) eKOMPASS(특허청 내부 검색시스템) & 키워드: 주파수 채배기, 지연고정루프, 에지 컴바이너, 차동 캐스캐드 전압 스위치 로직, 듀티 사이클, 클럭 생성기, 펄스 생성기																							
C. 관련 문헌 <table border="1"> <thead> <tr> <th>카테고리*</th> <th>인용문헌명 및 관련 구절(해당하는 경우)의 기재</th> <th>관련 청구항</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>J.H.K. et al. 'A 120-MHz-1.8-GHz CMOS DLL-Based Clock Generator for Dynamic Frequency Scaling', In: IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 41, NO. 9, SEPTEMBER 2006, pp. 2077-2082.</td> <td>1,7,9</td> </tr> <tr> <td>A</td> <td>요약, 도면 5 및 관련 상세한 설명 참조.</td> <td>2-6,8</td> </tr> <tr> <td>A</td> <td>KR 10-0641360 B1 (삼성전자주식회사) 2006.11.01 요약, 청구항 12, 도면 7 및 관련 상세한 설명 참조.</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>KR 10-2009-0126944 A (고려대학교 산학협력단) 2009.12.09 요약, 청구항 1, 6, 13항, 도면 2, 5 및 관련 상세한 설명 참조.</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>KR 10-2010-0009067 A (고려대학교 산학협력단) 2010.01.27 요약, 청구항 1, 4항, 도면 1 및 관련 상세한 설명 참조.</td> <td>1-9</td> </tr> <tr> <td>A</td> <td>KR 10-2007-0071142 A (고려대학교 산학협력단) 2007.07.04 요약, 청구항 1, 11항, 도면 1, 11 및 관련 상세한 설명 참조.</td> <td>1-9</td> </tr> </tbody> </table>			카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항	X	J.H.K. et al. 'A 120-MHz-1.8-GHz CMOS DLL-Based Clock Generator for Dynamic Frequency Scaling', In: IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 41, NO. 9, SEPTEMBER 2006, pp. 2077-2082.	1,7,9	A	요약, 도면 5 및 관련 상세한 설명 참조.	2-6,8	A	KR 10-0641360 B1 (삼성전자주식회사) 2006.11.01 요약, 청구항 12, 도면 7 및 관련 상세한 설명 참조.	1-9	A	KR 10-2009-0126944 A (고려대학교 산학협력단) 2009.12.09 요약, 청구항 1, 6, 13항, 도면 2, 5 및 관련 상세한 설명 참조.	1-9	A	KR 10-2010-0009067 A (고려대학교 산학협력단) 2010.01.27 요약, 청구항 1, 4항, 도면 1 및 관련 상세한 설명 참조.	1-9	A	KR 10-2007-0071142 A (고려대학교 산학협력단) 2007.07.04 요약, 청구항 1, 11항, 도면 1, 11 및 관련 상세한 설명 참조.	1-9
카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항																					
X	J.H.K. et al. 'A 120-MHz-1.8-GHz CMOS DLL-Based Clock Generator for Dynamic Frequency Scaling', In: IEEE JOURNAL OF SOLID-STATE CIRCUITS, VOL. 41, NO. 9, SEPTEMBER 2006, pp. 2077-2082.	1,7,9																					
A	요약, 도면 5 및 관련 상세한 설명 참조.	2-6,8																					
A	KR 10-0641360 B1 (삼성전자주식회사) 2006.11.01 요약, 청구항 12, 도면 7 및 관련 상세한 설명 참조.	1-9																					
A	KR 10-2009-0126944 A (고려대학교 산학협력단) 2009.12.09 요약, 청구항 1, 6, 13항, 도면 2, 5 및 관련 상세한 설명 참조.	1-9																					
A	KR 10-2010-0009067 A (고려대학교 산학협력단) 2010.01.27 요약, 청구항 1, 4항, 도면 1 및 관련 상세한 설명 참조.	1-9																					
A	KR 10-2007-0071142 A (고려대학교 산학협력단) 2007.07.04 요약, 청구항 1, 11항, 도면 1, 11 및 관련 상세한 설명 참조.	1-9																					
☐ 추가 문헌이 C(계속)에 기재되어 있습니다. ☒ 대응특허에 관한 별지를 참조하십시오.																							
* 인용된 문헌의 특별 카테고리: “A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌 “E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌 “L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌 “O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌 “P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌 “T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌 “X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신구성 또는 진보성이 없는 것으로 본다. “Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다. “&” 동일한 대응특허문헌에 속하는 문헌																							
국제조사의 실제 완료일 2012년 02월 21일 (21.02.2012)		국제조사보고서 발송일 2012년 02월 24일 (24.02.2012)																					
ISA/KR의 명칭 및 우편주소  대한민국 특허청 (302-701) 대전광역시 서구 청사로 189, 정부대전청사 팩스 번호 82-42-472-7140		심사관 강현일 전화번호 82-42-481-8268 																					

국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-0641360 B1	2006.11.01	CN 100530971 C CN 1801625 A CN 1801625 C0 JP 04-309392 B2 JP 2006-148891 A JP 4309392 B2 US 2006-0097762 A1 US 7202721 B2	2009.08.19 2006.07.12 2006.07.12 2009.05.15 2006.06.08 2009.08.05 2006.05.11 2007.04.10
KR 10-2009-0126944 A	2009.12.09	없음	
KR 10-2010-0009067 A	2010.01.27	KR 10-1013920 B1 US 2010-0013530 A1 US 8058913 B2	2011.02.14 2010.01.21 2011.11.15
KR 10-2007-0071142 A	2007.07.04	없음	