

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2023年11月2日(02.11.2023)



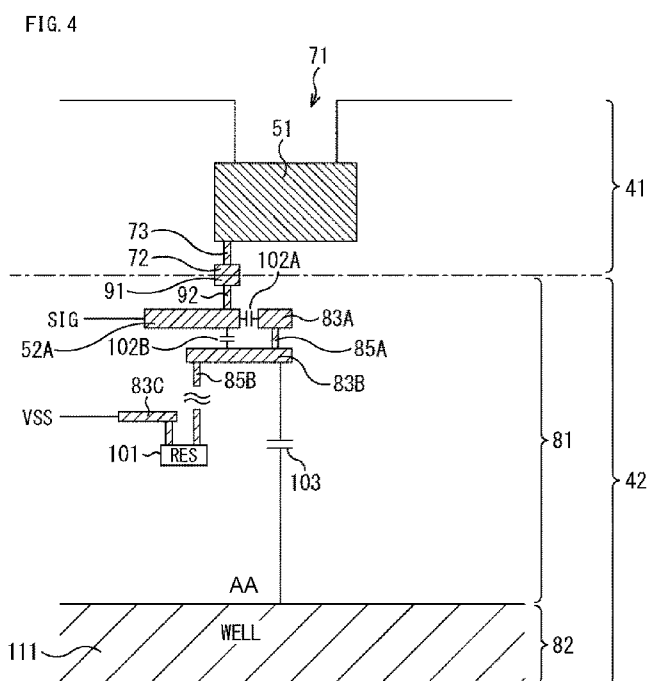
(10) 国際公開番号

WO 2023/210324 A1

- (51) 国際特許分類:  
*H01L 27/146* (2006.01) *H04N 25/70* (2023.01)  
*H04N 25/617* (2023.01)
- (21) 国際出願番号: PCT/JP2023/014547
- (22) 国際出願日: 2023年4月10日(10.04.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2022-072882 2022年4月27日(27.04.2022) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).
- (72) 発明者: 中村 誉 (NAKAMURA Takashi); 〒2430014 神奈川県厚木市旭町四丁目14番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP). 東昭実(HIGASHI Akimi); 〒8691102 熊本県菊池郡菊陽町大字原水4000番地1 ソニーセミコンダクタマニュファクチャリング株式会社内 Kumamoto (JP).
- (74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1700013 東京都豊島区東池袋3丁目9番10号 池袋F Nビル4階 Tokyo (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA,

(54) Title: SOLID-STATE IMAGING DEVICE AND ELECTRONIC APPARATUS

(54) 発明の名称: 固体撮像装置および電子機器



(57) Abstract: This disclosure relates to a solid-state imaging device and an electronic apparatus with which it is possible to achieve increased speed for a communication interface. This solid-state imaging device is configured by layering a control substrate and a pixel substrate on which pixels are formed. The pixel substrate has a pad that serves as a contact with an external device. The control substrate has: signal pad wiring connected to the pad; a shield wiring line disposed in the periphery of the signal pad wiring line; and a high resistance element connected to the shield wiring line. This

WO 2023/210324 A1

BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

一 国際調査報告 (条約第21条(3))

---

disclosure can, for example, be applied to a solid-state imaging device or the like.

(57) 要約 : 本開示は、通信インターフェースの高速化を実現できるようにする固体撮像装置および電子機器に関する。固体撮像装置は、画素が形成された画素基板と、制御基板とを積層して構成され、画素基板は、外部装置との接点となるパッドを有し、制御基板は、パッドと接続された信号パッド配線と、信号パッド配線の周辺に配置されたシールド配線と、シールド配線と接続された高抵抗素子とを有する。本開示は、例えば、固体撮像装置等に適用できる。

## 明 細 書

**発明の名称**： 固体撮像装置および電子機器

### 技術分野

[0001] 本開示は、固体撮像装置および電子機器に関し、特に、通信インターフェースの高速化を実現できるようにした固体撮像装置および電子機器に関する。

### 背景技術

[0002] 画素が形成された画素基板と、画素の制御等を行う制御回路が形成された制御基板とを積層した積層構造の裏面照射型の固体撮像装置が普及してきている。積層構造を有する裏面照射型の固体撮像装置において、画素信号等を出力する出力部としてのパッドを制御基板側に形成し、画素基板側ではパッド部上を開口処理した構造がある。このような構造は画素基板側からみてパッド位置が深くなるため、パッド上に形成するワイヤボンディングの精度が必要となり、アッセンブリ品質の低下の原因となる。

[0003] そこで、特許文献1では、画素基板の最上層の配線層にパッドを形成した構造が提案されている。また、特許文献2には、画素基板の最上層の配線層にパッドを形成した場合に、画素基板のパッドを制御基板側の配線と接続し、カラーフィルタ、マイクロレンズ等の形成、熱処理時のデバイス特性変動などの品質を改善する技術が提案されている。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2012-235126号公報  
特許文献2：特開2021-153335号公報

### 発明の概要

#### 発明が解決しようとする課題

[0005] しかしながら、画素基板のパッドを制御基板側の配線と接続した場合、パッド容量が大きくなってしまふことが懸念される。固体撮像装置に対する画

素数増、動画性能への要求の高まりから、固体撮像装置に実装されている通信インターフェースのポーレートは年々高速化しており、パッド容量は高速化を律束する要因の一つとなっている。

[0006] 本開示は、このような状況に鑑みてなされたものであり、通信インターフェースの高速化を実現できるようにするものである。

### 課題を解決するための手段

[0007] 本開示の第1の側面の固体撮像装置は、画素が形成された画素基板と、制御基板とを積層して構成され、前記画素基板は、外部装置との接点となるパッドを有し、前記制御基板は、前記パッドと接続された信号パッド配線と、前記信号パッド配線の周辺に配置されたシールド配線と、前記シールド配線と接続された高抵抗素子とを有する。

[0008] 本開示の第2の側面の電子機器は、画素が形成された画素基板と、制御基板とを積層して構成され、前記画素基板は、外部装置との接点となるパッドを有し、前記制御基板は、前記パッドと接続された信号パッド配線と、前記信号パッド配線の周辺に配置されたシールド配線と、前記シールド配線と接続された高抵抗素子とを有する固体撮像装置を備える。

[0009] 本開示の第1及び第2の側面においては、画素が形成された画素基板と、制御基板とを積層して構成され、前記画素基板には、外部装置との接点となるパッドが設けられ、前記制御基板には、前記パッドと接続された信号パッド配線と、前記信号パッド配線の周辺に配置されたシールド配線と、前記シールド配線と接続された高抵抗素子とが設けられる。

[0010] 固体撮像装置及び電子機器は、独立した装置であっても良いし、他の装置に組み込まれるモジュールであっても良い。

### 図面の簡単な説明

[0011] [図1]本開示の技術を適用した固体撮像装置の概略構成を示す図である。

[図2]画素基板と制御基板の概略平面図である。

[図3]画素基板と制御基板の積層構造を模式的に示した断面図である。

[図4]制御基板の信号用パッド配線に関する断面図である。

[図5]制御基板の信号用パッド配線に関する斜視図である。

[図6]制御基板の信号用パッド配線に関する効果を説明する図である。

[図7]制御基板の信号用パッド配線に関する効果を説明する図である。

[図8]信号用パッド配線の配線パターンの例を示す平面図である。

[図9]信号用パッド配線の周辺のシールド配線の平面図である。

[図10]信号用パッド配線の周辺のシールド配線の平面図である。

[図11]電源・グランド用パッド配線の配線パターンの例を示す平面図である。

。

[図12]高抵抗素子の構成例を説明する図である。

[図13]高抵抗素子の構成例を説明する図である。

[図14]シールド配線への供給電位の変形例を説明する図である。

[図15]シールド配線への供給電位の変形例を説明する図である。

[図16]シールド配線への供給電位の変形例を説明する図である。

[図17]シールド配線への供給電位の変形例を説明する図である。

[図18]イメージセンサの使用例を説明する図である。

[図19]本開示の技術を適用した電子機器としての撮像装置の構成例を示すブロック図である。

[図20]車両制御システムの概略的な構成の一例を示すブロック図である。

[図21]車外情報検出部及び撮像部の設置位置の一例を示す説明図である。

### 発明を実施するための形態

[0012] 以下、添付図面を参照しながら、本開示の技術を実施するための形態（以下、実施の形態という）について説明する。説明は以下の順序で行う。

1. 固体撮像装置の概略構成例
2. 画素基板と制御基板の概略平面図
3. 画素基板と制御基板の断面図
4. 信号用途のパッド配線構造の断面図
5. 信号用途のパッド配線構造の効果
6. 制御基板側のパッド接続配線の配線パターン例

7. 電源電圧又はグランド用途のパッド接続配線の配線パターン例
8. 高抵抗素子の構成例
9. シールド配線への供給電位の変形例
10. イメージセンサの使用例
11. 電子機器への適用例
12. 移動体への応用例

[0013] なお、以下の説明で参照する図面において、同一又は類似の部分には同一又は類似の符号を付すことにより重複説明を適宜省略する。図面は模式的なものであり、厚みと平面寸法との関係、各層の厚みの比率等は実際のものとは異なる。また、図面相互間においても、互いの寸法の関係や比率が異なる部分が含まれている場合がある。

[0014] また、以下の説明における上下等の方向の定義は、単に説明の便宜上の定義であって、本開示の技術的思想を限定するものではない。例えば、対象を90°回転して観察すれば上下は左右に変換して読まれ、180°回転して観察すれば上下は反転して読まれる。

[0015] <1. 固体撮像装置の概略構成例>

図1は、本開示の技術を適用した固体撮像装置の概略構成を示す図である。

[0016] 図1の固体撮像装置1は、例えばX-Yアドレス方式の固体撮像装置の一種であるCMOSイメージセンサの構成を示している。CMOSイメージセンサとは、CMOSプロセスを応用して、または、部分的に使用して製造されるイメージセンサである。

[0017] 固体撮像装置1は、画素アレイ部11と周辺回路部とを備える。周辺回路部は、例えば、垂直駆動部12、カラム処理部13、水平駆動部14、及び、システム制御部15を備える。

[0018] 固体撮像装置1は、さらに、信号処理部16、データ格納部17、及び、I/F回路18を備えている。信号処理部16、データ格納部17、及び、I/F回路18の少なくとも1つは、画素アレイ部11が形成された基板と異なる基

板上に配置される。

[0019] 画素アレイ部 1 1 は、受光した光量に応じた電荷を生成し、かつ、蓄積する光電変換部を有する画素 2 1 が行方向及び列方向の行列状に 2 次元配置された構成を有する。ここで、行方向とは、画素アレイ部 1 1 の画素行、すなわち水平方向の配列方向を言い、列方向とは、画素アレイ部 1 1 の画素列、すなわち垂直方向の配列方向を言う。

[0020] 画素 2 1 は、光電変換部としてのフォトダイオードと、複数の画素トランジスタ（いわゆるMOSトランジスタ）を有して成る。複数の画素トランジスタは、例えば、転送トランジスタ、選択トランジスタ、リセットトランジスタ及び増幅トランジスタの 4 つのトランジスタで構成される。

[0021] 画素アレイ部 1 1 において、画素行ごとに行信号線としての画素駆動配線 2 2 が行方向に沿って配線され、画素列ごとに列信号線としての垂直信号線 2 3 が列方向に沿って配線されている。画素駆動配線 2 2 は、画素 2 1 から信号を読み出す際の駆動を行うための駆動信号を伝送する。図 1 では、画素駆動配線 2 2 について 1 本の配線として示しているが、1 本に限られるものではない。画素駆動配線 2 2 の一端は、垂直駆動部 1 2 の各行に対応した出力端に接続されている。

[0022] 垂直駆動部 1 2 は、シフトレジスタやアドレスデコーダなどによって構成され、画素アレイ部 1 1 の各画素 2 1 を全画素同時あるいは行単位等で駆動する。垂直駆動部 1 2 は、システム制御部 1 5 とともに、画素アレイ部 1 1 の各画素 2 1 の動作を制御する駆動部を構成している。垂直駆動部 1 2 は、具体的な構成については図示を省略するが、一般的に、読出し走査系と掃出し走査系の 2 つの走査系を有する。

[0023] 読出し走査系は、画素 2 1 から信号を読み出すために、画素アレイ部 1 1 の画素 2 1 を行単位で順に選択走査する。画素 2 1 から読み出される信号はアナログ信号である。掃出し走査系は、読出し走査系によって読出し走査が行われる読出し行に対して、その読出し走査よりも露光時間分だけ先行して掃出し走査を行う。

- [0024] この掃出し走査系による掃出し走査により、読出し行の画素 2 1 の光電変換部から不要な電荷が掃き出されることによって各画素 2 1 の光電変換部がリセットされる。そして、この掃出し走査系による不要電荷を掃き出す（リセットする）ことにより、所謂電子シャッタ動作が行われる。ここで、電子シャッタ動作とは、光電変換部の電荷を捨てて、新たに露光を開始する（電荷の蓄積を開始する）動作のことを言う。
- [0025] 読出し走査系による読出し動作によって読み出される信号は、その直前の読出し動作または電子シャッタ動作以降に受光した光量に対応するものである。そして、直前の読出し動作による読出しタイミングまたは電子シャッタ動作による掃出しタイミングから、今回の読出し動作による読出しタイミングまでの期間が、画素 2 1 における露光期間となる。
- [0026] 垂直駆動部 1 2 によって選択走査された画素行の各画素 2 1 から出力される信号は、画素列ごとに垂直信号線 2 3 の各々を通してカラム処理部 1 3 に入力される。カラム処理部 1 3 は、画素アレイ部 1 1 の画素列ごとに、選択行の各画素 2 1 から垂直信号線 2 3 を通して出力される信号に対して所定の信号処理を行うとともに、信号処理後の画素信号を一時的に保持する。
- [0027] 具体的には、カラム処理部 1 3 は、信号処理として少なくとも、ノイズ除去処理、例えば CDS (Correlated Double Sampling ; 相関二重サンプリング) 処理や、DDS (Double Data Sampling) 処理を行う。例えば、CDS 処理により、リセットノイズや画素内の増幅トランジスタの閾値ばらつき等の画素固有の固定パターンノイズが除去される。カラム処理部 1 3 にノイズ除去処理以外に、例えば、AD (アナログーデジタル) 変換機能を持たせ、アナログの画素信号をデジタル信号に変換して出力することも可能である。
- [0028] 水平駆動部 1 4 は、シフトレジスタやアドレスデコーダなどによって構成され、カラム処理部 1 3 の画素列に対応する単位回路を順番に選択する。この水平駆動部 1 4 による選択走査により、カラム処理部 1 3 において単位回路ごとに信号処理された画素信号が順番に出力される。
- [0029] システム制御部 1 5 は、各種のタイミング信号を生成するタイミングジェ

ネレータなどによって構成され、タイミングジェネレータで生成された各種のタイミングを基に、垂直駆動部 1 2、カラム処理部 1 3、及び、水平駆動部 1 4 などの駆動制御を行う。

[0030] 信号処理部 1 6 は、少なくとも演算処理機能を有し、カラム処理部 1 3 から出力される画素信号に対して演算処理等の種々の信号処理を行う。データ格納部 1 7 は、信号処理部 1 6 での信号処理に当たって、その処理に必要なデータを一時的に格納する。信号処理部 1 6 において信号処理された画素信号は、I/F回路 1 8 に供給される。

[0031] I/F回路 1 8 は、信号処理部 1 6 から供給される画素信号を、例えば、MIPI (Mobile Industry Processor Interface)の規格など、所定のフォーマットに変換して、出力部 1 9 を介して外部装置へ出力する。

[0032] 以上のように構成される固体撮像装置 1 は、画素 2 1 が形成されている画素基板と、画素 2 1 の制御や信号処理等を行う制御回路が形成されている制御基板とを積層した積層構造とされている。

[0033] < 2. 画素基板と制御基板の概略平面図 >

図 2 は、画素 2 1 が形成されている画素基板 4 1 と、画素 2 1 の制御回路や信号処理回路が形成されている制御基板 4 2 の概略平面図を示している。

[0034] 画素基板 4 1 には、チップサイズの基板中心部に画素アレイ部 1 1 が形成されている。また、画素アレイ部 1 1 の外側の基板外周部には、外部装置との接点となる複数のパッド 5 1 が形成されている。画素基板 4 1 の各パッド 5 1 は、図 1 の出力部 1 9 を含み、ワイヤボンディング等により外部装置と電氣的に接続される。画素基板 4 1 のパッド 5 1 には、画素信号や制御信号などの信号が供給される信号用途のパッド 5 1 と、電源電圧又はグラウンドが供給される電源・グラウンド用途のパッド 5 1 とがある。パッド 5 1 の形状は、信号用途と電源・グラウンド用途とで違いはない。

[0035] 一方、制御基板 4 2 には、I/F回路 1 8 と、複数のパッド配線 5 2 が形成されている。その他、図示は省略されているが、例えば、信号処理部 1 6 やシステム制御部 1 5 などが制御基板 4 2 に形成されてよい。

[0036] 制御基板42のパッド配線52は、画素基板41のパッド51に対応する位置に形成されており、同じ平面位置にあるパッド51と電氣的に接続された制御基板42側の配線である。パッド配線52には、画素基板41の信号用途のパッド51と電氣的に接続されたパッド配線52A（以下、信号パッド配線52Aと称する。）と、画素基板41の電源・グランド用途のパッド51と電氣的に接続されたパッド配線52B（以下、電源・グランドパッド配線52Bと称する。）とがある。信号パッド配線52Aと、電源・グランドパッド配線52Bとは、例えば、配線のパターン面積が異なる。

[0037] <3. 画素基板と制御基板の断面図>

図3は、画素基板41と制御基板42の積層構造を模式的に示した断面図であり、信号パッド配線52Aに対応する部分の断面図である。

[0038] 図3において、上側の画素基板41と下側の制御基板42とが、1点鎖線で示される接合面で接合されている。

[0039] 画素基板41においては、上から順に集光層61、半導体基板62、配線層63が積層されている。従って、集光層61と配線層63とは、半導体基板62を挟んで（半導体基板62を基準にして）、それぞれ反対側に配置されている。半導体基板62のおもて面側に配線層63が形成され、裏面側に集光層61が形成されている。

[0040] 集光層61には、オンチップマイクロレンズ67及びカラーフィルタ68等が形成されている。集光層61の上面（入射面）に入射した被写体からの光は、オンチップマイクロレンズ67により、半導体基板62に形成されているフォトダイオード（不図示）に集光される。

[0041] 半導体基板62は、半導体として例えばシリコン（Si）を用いたシリコン基板を用いて形成されている。なお、半導体基板62の材料は、上述したSiの他、例えば、Ge等のIV族半導体でもよいし、GaAs, InP, InGaAs等のIII-V族半導体でもよい。半導体基板62には、図示を省略しているが、各画素21のフォトダイオード、転送ゲート、電荷電圧変換部（FD部）、リセットゲート、増幅トランジスタ、及び、選択トランジスタ等の半導体素子が形成さ

れている。

[0042] 配線層63には、複数層の配線64と層間絶縁膜65とが形成されている。各層の配線64は、所要の領域でビア66により上層または下層の配線64と接続されている。配線64及びビア66は、例えば、Cu、Al等の金属材料で構成される。

[0043] また、配線層63には、外部接続用のパッド51が形成されている。この例では、パッド51は、配線層63の2層目から4層目までの配線64とほぼ同じ高さの厚みで形成されている。パッド51の上方には、集光層61及び半導体基板62を貫通する貫通孔71が形成されている。この貫通孔71により、パッド51のワイヤボンディングが形成される面（以下、接続面と称する）の一部が露出している。

[0044] パッド51の接続面と反対側の面には、ビア73が接続されており、パッド51は、ビア73を介して、制御基板42と接合するためのパッド72に接続されている。パッド72は、例えば、Cuからなる。パッド72は、制御基板42の配線層81のパッド91と、Cu-Cu接合により接続されている。

[0045] 制御基板42においては、上から順に配線層81、半導体基板82が積層されている。制御基板42の配線層81が画素基板41の配線層63側に形成されており、画素基板41の配線層63と制御基板42の配線層81とが接している。

[0046] 配線層81には、複数層の配線83と層間絶縁膜84とが形成されている。各層の配線83は、所要の領域でビア85により上層または下層の配線83と接続されている。配線83及びビア85は、例えば、Cu、Al等の金属材料で構成される。

[0047] 配線層81の上端には、画素基板41と接合するためのパッド91が形成されている。パッド91は、例えば、Cuからなる。図3では、図を分かりやすくするために隙間を空けているが、画素基板41のパッド72の下面と、制御基板42のパッド91の上面とがCu-Cu接合により接続されてい

る。

[0048] 画素基板41側のパッド72とCu-Cu接合された制御基板42側のパッド91は、ビア92を介して、配線層81内の最上層の信号パッド配線52Aと接続されている。信号パッド配線52Aと同層の所定の位置には配線83Aが設けられており、配線83Aは、ビア85Aを介して下層の配線83Bと接続されている。

[0049] 半導体基板82は、例えばシリコン基板で形成されるが、シリコン以外の材料を用いてもよいことは上述した半導体基板62と同様である。

[0050] 以上のように画素基板41と制御基板42とが積層された固体撮像装置1は、半導体基板62の裏面側から光が入射される裏面照射型のMOS型固体撮像装置である。

[0051] 固体撮像装置1において、出力信号として画素信号を出力する画素基板41側のパッド51は、制御基板42側の信号パッド配線52Aと、ビア73、パッド72、パッド91、及び、ビア92を介して電氣的に接続されている。制御基板42側の配線層81内において、信号パッド配線52A、配線83A、及び、配線83B等は、電気特性上、容量の影響を抑制した構造が採用されており、これにより通信インターフェースの高速化及び広帯域化を実現している。以下、通信インターフェースの高速化及び広帯域化を実現した制御基板42側の配線層81内の配線構造について詳細に説明する。

[0052] <4. 信号用途のパッド配線構造の断面図>

図4は、図3において画素基板41の信号用途のパッド51に接続された制御基板42側の配線層81内のパッド配線構造の詳細を示す断面図である。

[0053] 画素基板41のパッド51は、ビア73、パッド72、パッド91、及び、ビア92を介して、制御基板42の信号パッド配線52Aと接続されている。信号パッド配線52Aには出力信号SIGが供給され、出力信号SIGが、パッド91、パッド72等を介して、画素基板41のパッド51から外部装置へ出力される。

- [0054] 信号パッド配線5 2 Aと同層に形成された配線8 3 Aは、ビア8 5 Aを介して下層の配線8 3 Bに接続され、下層の配線8 3 Bは、ビア8 5 Bなどを介して、配線層8 1内の高抵抗素子1 0 1、及び、配線8 3 Cと接続されている。配線8 3 Cには、VSS電位（例えば、GND）が供給されている。VSS電位は、高抵抗素子1 0 1を介して、配線8 3 A及び8 3 Bにも供給されており、配線8 3 A及び8 3 Bはシールド配線を構成する。
- [0055] 図5は、出力信号SIGが入力される信号パッド配線5 2 Aと、その周辺にシールド配線として形成された配線8 3 A及び8 3 B等の具体的配置例を示す斜視図である。なお、図5では、図を分かりやすくするため、配線8 3 A及び8 3 B等のパターンを図4と変えて示している。
- [0056] 出力信号SIGが入力される信号パッド配線5 2 Aは、出力信号SIGの電流値を許容する範囲で、画素基板4 1のパッド5 1よりも小さい平面積で形成されている。図5の例では、信号パッド配線5 2 Aが3本の楕円形状で形成されるとともに、上層のパッド9 1（図4）と接続するためのビア9 2も3本形成されているが、本数や配線面積は出力信号SIGの電流値に対応して形成すればよく、この例に限定されない。
- [0057] 配線8 3 Aは、信号パッド配線5 2 Aを囲むように、信号パッド配線5 2 Aと同層に配置されており、配線8 3 Bは、平面視で信号パッド配線5 2 Aと配線8 3 Aに重畳する位置に形成されている。配線8 3 Bは、1以上のビア（ビア8 5 Bを含む）を介して、高抵抗素子1 0 1に接続されている。
- [0058] 図4の画素基板4 1のパッド5 1は、ワイヤボンドボールの応力に耐え得る厚み及び面積で形成されている。画素基板4 1のパッド5 1によって応力耐性が十分備えられるため、パッド5 1と接続される制御基板4 2側の信号パッド配線5 2 Aについては、出力信号SIGの電流耐性のみ備えればよいので、出力信号SIGの電流値を許容する最小の平面積で形成することができる。
- [0059] 信号パッド配線5 2 Aと同層または下層に隣接する配線8 3 A及び8 3 Bとの間には、パッド結合容量である容量1 0 2 Aおよび1 0 2 Bが発生するが、信号パッド配線5 2 Aを最小面積で形成することで、パッド結合容量を低容量化

することができる。また、高抵抗素子101を介してVSS電位を配線83A及び83Bに給電することで、シールド容量（容量102Aおよび102B）を無効化することができる。配線83Bと、半導体基板82のウェル領域111（またはPサブ基板領域）との間には、上下の配線83間で発生する寄生容量103が発生するが、この寄生容量103も、配線83Bに高抵抗素子101を介してVSS電位を給電することで無効化することができる。

[0060] <5. 信号用途のパッド配線構造の効果>

図6及び図7を参照して、信号用途のパッド51に接続された制御基板42側の配線構造の効果について説明する。

[0061] 図6のAは、高抵抗素子101を介してシールド配線にVSS電位を給電する本手法に対応するRC回路（以下、本RC回路と称する。）であり、図6のBは、本手法の高抵抗素子101やシールド配線を持たない比較例としてのRC回路（以下、比較RC回路と称する。）である。

[0062] 信号源150から、出力信号SIGとして、0Vから1Vに変化するパルス信号が出力された場合のステップ応答を考える。

[0063] 図6のAの本RC回路において、抵抗151は信号パッド配線52A等の配線抵抗であり、容量152は、シールド配線（配線83A及び83B）の容量102Aおよび102Bであり、抵抗153は、高抵抗素子101に対応する。抵抗155は、終端抵抗である。本RC回路における出力端154の電圧波形 $V_{m1}$ は、図6に記載された式のように表すことができる。

[0064] 図6のBの比較RC回路において、抵抗151'は信号パッド配線52A等の配線抵抗であり、容量152'は、信号パッド配線52Aと配線83間で発生する寄生容量103に対応する。抵抗155は、終端抵抗である。比較RC回路における出力端154の電圧波形 $V_{m2}$ は、図6に記載された式のように表すことができる。

[0065] 本RC回路と比較RC回路において、高抵抗素子101に相当する抵抗153以外の条件は同一とする。例えば、図7に示されるように、抵抗151の抵抗値 $R_0$ は50Ω、容量152及び152'の静電容量Cは1.0pF、終端抵

抗である抵抗155の抵抗値 $R_L$ は50 $\Omega$ とする。抵抗153の抵抗値 $R_p$ は500 $\Omega$ とする。

[0066] 図7は、本RC回路と比較RC回路それぞれの出力端154から出力される信号波形を示している。

[0067] 図7を参照して明らかなように、本RC回路によれば、比較RC回路と比べて、遷移時間が大幅に短縮されている。これは、抵抗153を追加することで、高速インターフェースの通信を行う周波数帯においてローパスフィルタのように実効的な容量成分を小さくみせることができたことを示している。これにより、データレート的高速化が可能となり、通信インターフェースの高速化を実現することができる。抵抗153に相当する高抵抗素子101の抵抗値 $R_p$ は、高速インターフェースの通信周波数に応じて適切に設定される。

[0068] 以上のように、図4及び図5に示したような制御基板42側の配線構造によれば、高抵抗素子101を用いて意図的に高抵抗を発生させることで電気特性上の容量の影響を抑制することにより、通信インターフェースの高速化及び広帯域化を実現することができる。

[0069] <6. 制御基板側のパッド接続配線の配線パターン例>

上述したように、制御基板42側の信号パッド配線52Aについては、出力信号SIGの電流値を許容すれば、パターン形状を統一する必要はなく、それぞれの用途に適した平面形状で形成すればよい。信号パッド配線52Aの配線パターン（平面形状）は、画素基板41の信号用途のパッド51等との接続で許容されるインピーダンスに応じて決定すればよい。

[0070] 図8のAないしEは、信号パッド配線52Aの配線パターンの例を示している。図8のAないしEにおいて、1点鎖線の矩形は、信号パッド配線52Aと接続される画素基板41側のパッド51の形成領域を示している。

[0071] 図8のAは、図5で示した信号パッド配線52Aの配線パターンの平面図である。信号パッド配線52Aは、3本の櫛歯形状のパターンと、それらと垂直に接続される1本の直線状のパターンで構成される。

[0072] 図8のBは、信号パッド配線52Aのその他の配線パターン例を示す平面図

である。図8のBの信号パッド配線52Aは、3本の楕円形状のパターンで構成される。

[0073] 図8のCは、信号パッド配線52Aのその他の配線パターン例を示す平面図である。図8のCの信号パッド配線52Aは、3本の直線状のパターンと、画素基板41側の矩形のパッド51の外周に沿った位置に形成された所定線幅の矩形状のパターンで構成される。

[0074] 図8のDは、信号パッド配線52Aのその他の配線パターン例を示す平面図である。図8のDの信号パッド配線52Aは、3本の直線状のパターンと、画素基板41側の矩形のパッド51の三辺に沿った位置に形成された所定線幅のU字状のパターンで構成される。

[0075] 図8のEは、信号パッド配線52Aのその他の配線パターン例を示す平面図である。図8のEの信号パッド配線52Aは、3本の直線状のパターンと、画素基板41側の矩形のパッド51の二辺に沿った位置に形成された所定線幅のL字状のパターンで構成される。

[0076] 信号パッド配線52Aの配線パターンは、図8のAないしEに示した例以外のパターン形状であっても勿論よい。

[0077] 図9のAないしDは、出力信号SIGが入力される信号パッド配線52Aの下層に配置される配線83Bの配線パターンの例を示している。図9のAないしDでは、信号パッド配線52Aの配線パターンも重畳して示しており、信号パッド配線52Aの配線パターンとしては、図8のAまたはBの配線パターンが採用されている。図9のAないしDにおいて、1点鎖線の矩形は、画素基板41側のパッド51の形成領域を示している。

[0078] 信号パッド配線52Aの下層に配置される配線83Bの配線パターンは、図9のA及びBに示されるようなベタ膜パターンや、図9のC及びDに示されるようなメッシュパターン（格子形状パターン）などとすることができる。図9のAとBでは、配線83Bのパターン面積が異なる。図9のCとDについても同様に、配線83Bのパターン面積が異なる。容量102Bの電位を決定する配線83Bの配線パターンは、出力信号SIGの通信周波数に応じて適切に決定され

る。

[0079] 図10のA及びBは、出力信号SIGが入力される信号パッド配線52Aと同層に配置される配線83Aの配線パターンの例を示している。図10のA及びBでは、信号パッド配線52Aと、下層の配線83Bの配線パターンも示している。この例では、信号パッド配線52Aと配線83Bの配線パターンとして、図9のAに示した配線パターンを採用した例を示しているが、その他の配線パターンを採用してもよいことは言うまでもない。図10のA及びBにおいて、1点鎖線の矩形は、画素基板41側のパッド51の形成領域を示している。

[0080] 配線83Aの配線パターンは、図10のAに示されるようなU字パターンとして、出力信号SIGが入力される信号パッド配線52Aに対して、横方向と縦方向の3方向を囲むパターン形状とすることができる。

[0081] あるいはまた、図10の縦方向に隣接する他のパッドとの間隔が十分離れている場合には、図10のBに示されるようなI字状（直線状）のパターン形状としてもよい。容量102Aの電位を決定する配線83Aの配線パターンは、出力信号SIGの通信周波数に応じて適切に決定される。

[0082] 図8では、信号パッド配線52Aの配線パターン例を示し、図9では、信号パッド配線52Aの下層の配線83Bの配線パターン例を示し、図10では、信号パッド配線52Aと同層の配線83Aの配線パターン例を示した。信号パッド配線52A、配線83A、及び、配線83Bの各配線パターンの組み合わせは任意に選択することができ、例示した以外のパターン形状を採用してもよい。

[0083] 上述した例では、出力信号SIGが入力される信号パッド配線52Aの周辺に、シールド配線としての配線83Aと配線83Bの両方を配置する例を説明したが、信号パッド配線52Aと同層の配線83Aか、または、下層の配線83Bのいずれか一方のみとしてもよい。

[0084] <7. 電源電圧又はグランド用途のパッド接続配線の配線パターン例>

これまでの説明では、画素信号や制御信号など信号用途の信号パッド配線52Aと、その周辺に形成される配線83A及び配線83Bの配線パターン例に

ついて説明した。ところで、図2を参照して説明したように、画素基板41の패드51と接続される패드配線52には、信号패드配線52Aのほか、電源・グランド패드配線52Bがある。

[0085] 図11のAないしCは、電源・グランド패드配線52Bの配線パターンの例を示している。図11のAないしCにおいて1点鎖線の矩形（多くの部分で重なっている）は、画素基板41側の패드51の形成領域を示している。

[0086] 電源・グランド패드配線52Bは、電流を十分に流すことが求められるため、低インピーダンスとなるようにパターン密度が大きくなるように形成される。例えば、電源・グランド패드配線52Bは、図11のAに示されるように、画素基板41側の패드51と同サイズの矩形パターンで形成される。あるいはまた、電源・グランド패드配線52Bは、図11のBに示されるような、線幅の太いメッシュパターンや、図11のCに示されるような、線幅は細いが本数が多いメッシュパターンで形成してもよい。図11のAないしCに例示した配線パターン以外のパターン形状を採用してもよい。電源・グランド패드配線52Bの配線パターンは、信号用途の信号패드配線52Aよりも大きい平面積及びパターン密度で形成される。

[0087] <8. 高抵抗素子の構成例>

次に、図12及び図13を参照して、シールド配線としての配線83A及び83Bと接続される高抵抗素子101の構成例について説明する。

[0088] 高抵抗素子101は、例えば、図12のAに示されるように、配線層81に形成されたスタックビア201による寄生抵抗と、金属抵抗202とで構成することができる。スタックビア201は、複数層の配線83と、上下の配線83を接続するビア85とで構成され、配線83の積層数とビア85の本数は適宜決定し得る。金属抵抗202に代えてポリシリコンを用いたポリシリコン抵抗としてもよい。

[0089] また例えば、高抵抗素子101は、図12のBに示されるように、配線層81に形成されたスタックビア201による寄生抵抗と、半導体基板82の拡散層で形成した拡散抵抗203とで構成することができる。

- [0090] また例えば、高抵抗素子101は、図12のCに示されるように、配線層81に形成されたスタックビア201による寄生抵抗と、半導体基板82のPウェル204、P+層（高濃度P型層）205及び206とで構成されるPウェル抵抗207とで構成することができる。
- [0091] また例えば、高抵抗素子101は、図12のDに示されるように、配線層81に形成されたスタックビア201による寄生抵抗と、半導体基板82のNウェル211、N+層（高濃度N型層）212及び213とで構成されるNウェル抵抗214とで構成することができる。
- [0092] また例えば、高抵抗素子101は、図13のAに示されるように、配線層81に形成されたスタックビア201による寄生抵抗のみで構成してもよい。図13のBに示されるように、細い配線83'とスタックビア201との組み合わせによる寄生抵抗で高抵抗素子101を構成してもよい。
- [0093] 配線83やビア85の寄生抵抗を用いることにより、小面積で高抵抗素子101を実現することができる。
- [0094] <9. シールド配線への供給電位の変形例>  
上述した例では、シールド配線としての配線83A及び83Bに対して、高抵抗素子101を介してVSS電位（例えば、GND）を供給することとした。
- [0095] しかしながら、高抵抗素子101を介して配線83A及び83Bに供給する電位は、VSS電位とは異なる電位を供給してもよい。より具体的には、VSS電位よりも高いVcom電位（ $V_{com} > VSS$ ）を高抵抗素子101を介して配線83A及び83Bに供給することができる。
- [0096] 図14は、シールド配線としての配線83A及び83BにVSS電位を供給する場合の信号パッド配線52Aと、出力信号SIGを出力するI/F回路18を示している。なお、出力信号SIGは差動信号とする。
- [0097] I/F回路18において、レギュレータ251によって生成されたVouth電位と、VSS電位とが、ドライバ252に供給される。ドライバ252は、VSS電位をOFF電位、Vouth電位をON電位とする差動信号である出力信号SIGを生成し、それぞれ、信号パッド配線52Aへ出力する。このとき、半導体基板82の

VSS電位であるウェルにノイズが含まれている場合、半導体基板82のノイズが、パッド結合容量である容量102を介して出力信号SIGに重畳され、ジッタとなる。

[0098] 図15は、シールド配線としての配線83A及び83BにVcom電位を供給する場合の信号パッド配線52Aと、出力信号SIGを出力するI/F回路18を示している。

[0099] シールド配線としての配線83A及び83BにVcom電位を供給した場合、半導体基板82のVSS電位であるウェルにノイズが含まれている場合であっても、パッド結合容量である容量102はVcom電位に対して結合するので、半導体基板82のノイズと分離され、ノイズが出力信号SIGに重畳されてジッタとなることはない。

[0100] 図16は、出力信号SIGのON電位とOFF電位を、VSS電位を基準に生成するのではなく、Vcom電位を基準に生成する場合の信号パッド配線52Aと、出力信号SIGを出力するI/F回路18を示している。

[0101] I/F回路18において、レギュレータ251Hは、ON電位となるVouth電位を生成し、ドライバ252に供給する。レギュレータ251Lは、OFF電位となるVoutl電位を生成し、ドライバ252に供給する。ドライバ252は、Voutl電位をOFF電位、Vouth電位をON電位とする差動信号である出力信号SIGを生成し、それぞれ、信号パッド配線52Aへ出力する。半導体基板82のVSS電位であるウェルにノイズが含まれている場合、そのノイズは、出力信号SIGの変動とは同位相とならないため、ジッタとして出力信号SIGに重畳されてしまう。

[0102] 図17は、出力信号SIGのON電位とOFF電位をVcom電位を基準に生成し、シールド配線としての配線83A及び83BにVcom電位を供給する場合の信号パッド配線52Aと、出力信号SIGを出力するI/F回路18を示している。

[0103] 出力信号SIGをVcom電位を基準に生成し、シールド配線としての配線83A及び83BにVcom電位を供給した場合、半導体基板82のVSS電位であるウェルにノイズが含まれている場合であっても、パッド結合容量である容量10

2はVcom電位に対して結合するので、半導体基板82のノイズと分離され、ノイズが出力信号SIGに重畳されてジッタとなることはない。

[0104] 以上のように、シールド配線としての配線83A及び83Bに対して、高抵抗素子101を介してVSS電位（例えば、GND）を供給してもよいが、VSS電位とは異なるVcom電位（ $V_{com} > VSS$ ）を供給することにより、出力信号SIGにVSSノイズが重畳されることを防止することができる。信号パッド配線52Aを、出力信号SIGの電流値を許容する程度の小さい平面積で形成したことにより、配線層81のスペースがあき、配線83の自由度が向上する。これを利用して、シールド配線としての配線83A及び83Bに対してVSS電位とは異なるVcom電位を供給することにより、パッド結合容量の充放電電荷を低減することができる。

[0105] <10. イメージセンサの使用例>

図18は、上述の固体撮像装置1を用いたイメージセンサの使用例を示す図である。

[0106] 上述の固体撮像装置1は、イメージセンサとして、例えば、以下のように、可視光や、赤外光、紫外光、X線等の光をセンシングする様々なケースに使用することができる。

[0107] ・デジタルカメラや、カメラ機能付きの携帯機器等の、鑑賞の用に供される画像を撮影する装置

・自動停止等の安全運転や、運転者の状態の認識等のために、自動車の前方や後方、周囲、車内等を撮影する車載用センサ、走行車両や道路を監視する監視カメラ、車両間等の測距を行う測距センサ等の、交通の用に供される装置

・ユーザのジェスチャを撮影して、そのジェスチャに従った機器操作を行うために、TVや、冷蔵庫、エアコンディショナ等の家電に供される装置

・内視鏡や、赤外光の受光による血管撮影を行う装置等の、医療やヘルスケアの用に供される装置

・防犯用途の監視カメラや、人物認証用途のカメラ等の、セキュリティの

用に供される装置

・肌を撮影する肌測定器や、頭皮を撮影するマイクروسコープ等の、美容の用に供される装置

・スポーツ用途等向けのアクションカメラやウェアラブルカメラ等の、スポーツの用に供される装置

・畑や作物の状態を監視するためのカメラ等の、農業の用に供される装置

[0108] < 1 1. 電子機器への適用例 >

本開示の技術は、固体撮像装置への適用に限られるものではない。即ち、本開示の技術は、デジタルスチルカメラやビデオカメラ等の撮像装置や、撮像機能を有する携帯端末装置や、画像読取部に固体撮像装置を用いる複写機など、画像取込部（光電変換部）に固体撮像装置を用いる電子機器全般に対して適用可能である。固体撮像装置は、ワンチップとして形成された形態であってもよいし、撮像部と信号処理部または光学系とがまとめてパッケージングされた撮像機能を有するモジュール形態であってもよい。

[0109] 図 1 9 は、本開示の技術を適用した電子機器としての、撮像装置の構成例を示すブロック図である。

[0110] 図 1 9 の撮像装置 3 0 0 は、レンズ群などからなる光学部 3 0 1、図 1 の固体撮像装置 1 の構成が採用される固体撮像装置（撮像デバイス）3 0 2、およびカメラ信号処理回路である DSP (Digital Signal Processor) 回路 3 0 3 を備える。また、撮像装置 3 0 0 は、フレームメモリ 3 0 4、表示部 3 0 5、記録部 3 0 6、操作部 3 0 7、および電源部 3 0 8 も備える。DSP 回路 3 0 3、フレームメモリ 3 0 4、表示部 3 0 5、記録部 3 0 6、操作部 3 0 7 および電源部 3 0 8 は、バスライン 3 0 9 を介して相互に接続されている。

[0111] 光学部 3 0 1 は、被写体からの入射光（像光）を取り込んで固体撮像装置 3 0 2 の撮像面上に結像する。固体撮像装置 3 0 2 は、光学部 3 0 1 によって撮像面上に結像された入射光の光量を画素単位で電気信号に変換して画素信号として出力する。この固体撮像装置 3 0 2 として、図 1 の固体撮像装置 1、即ち、出力信号 SIG が供給される制御基板 4 2 側の信号パッド配線 5 2 A

の周辺にシールド配線（配線 8 3 A または 8 3 B）を配置し、高抵抗素子 1 0 1 を介して所定の電位（VSS 電位や Vcom 電位）を供給するようにした固体撮像装置を用いることができる。

[0112] 表示部 3 0 5 は、例えば、LCD(Liquid Crystal Display)や有機EL(Electro Luminescence)ディスプレイ等の薄型ディスプレイで構成され、固体撮像装置 3 0 2 で撮像された動画または静止画を表示する。記録部 3 0 6 は、固体撮像装置 3 0 2 で撮像された動画または静止画を、ハードディスクや半導体メモリ等の記録媒体に記録する。

[0113] 操作部 3 0 7 は、ユーザによる操作の下に、撮像装置 3 0 0 が持つ様々な機能について操作指令を発する。電源部 3 0 8 は、DSP回路 3 0 3、フレームメモリ 3 0 4、表示部 3 0 5、記録部 3 0 6 および操作部 3 0 7 の動作電源となる各種の電源を、これら供給対象に対して適宜供給する。

[0114] 上述したように、固体撮像装置 3 0 2 として、上述した固体撮像装置 1 の構成を採用することで、通信インターフェースの高速化を実現することができる。従って、ビデオカメラやデジタルスチルカメラ、さらには携帯電話機等のモバイル機器向けカメラモジュールなどの撮像装置 3 0 0 においても、撮像画像の高速化を図ることができる。

[0115] < 1 2. 移動体への応用例 >

本開示に係る技術（本技術）は、様々な製品へ応用することができる。例えば、本開示に係る技術は、自動車、電気自動車、ハイブリッド電気自動車、自動二輪車、自転車、パーソナルモビリティ、飛行機、ドローン、船舶、ロボット等のいずれかの種類の移動体に搭載される装置として実現されてもよい。

[0116] 図 2 0 は、本開示に係る技術が適用され得る移動体制御システムの一例である車両制御システムの概略的な構成例を示すブロック図である。

[0117] 車両制御システム 1 2 0 0 0 は、通信ネットワーク 1 2 0 0 1 を介して接続された複数の電子制御ユニットを備える。図 2 0 に示した例では、車両制御システム 1 2 0 0 0 は、駆動系制御ユニット 1 2 0 1 0、ボディ系制御ユ

ニット12020、車外情報検出ユニット12030、車内情報検出ユニット12040、及び統合制御ユニット12050を備える。また、統合制御ユニット12050の機能構成として、マイクロコンピュータ12051、音声画像出力部12052、及び車載ネットワークI/F ( i n t e r f a c e ) 12053が図示されている。

[0118] 駆動系制御ユニット12010は、各種プログラムにしたがって車両の駆動系に関連する装置の動作を制御する。例えば、駆動系制御ユニット12010は、内燃機関又は駆動用モータ等の車両の駆動力を発生させるための駆動力発生装置、駆動力を車輪に伝達するための駆動力伝達機構、車両の舵角を調節するステアリング機構、及び、車両の制動力を発生させる制動装置等の制御装置として機能する。

[0119] ボディ系制御ユニット12020は、各種プログラムにしたがって車体に装備された各種装置の動作を制御する。例えば、ボディ系制御ユニット12020は、キーレスエントリーシステム、スマートキーシステム、パワーウィンドウ装置、あるいは、ヘッドランプ、バックランプ、ブレーキランプ、ウinker又はフォグランプ等の各種ランプの制御装置として機能する。この場合、ボディ系制御ユニット12020には、鍵を代替する携帯機から発信される電波又は各種スイッチの信号が入力され得る。ボディ系制御ユニット12020は、これらの電波又は信号の入力を受け付け、車両のドアロック装置、パワーウィンドウ装置、ランプ等を制御する。

[0120] 車外情報検出ユニット12030は、車両制御システム12000を搭載した車両の外部の情報を検出する。例えば、車外情報検出ユニット12030には、撮像部12031が接続される。車外情報検出ユニット12030は、撮像部12031に車外の画像を撮像させるとともに、撮像された画像を受信する。車外情報検出ユニット12030は、受信した画像に基づいて、人、車、障害物、標識又は路面上の文字等の物体検出処理又は距離検出処理を行ってもよい。

[0121] 撮像部12031は、光を受光し、その光の受光量に応じた電気信号を出

力する光センサである。撮像部12031は、電気信号を画像として出力することもできるし、測距の情報として出力することもできる。また、撮像部12031が受光する光は、可視光であっても良いし、赤外線等の非可視光であっても良い。

[0122] 車内情報検出ユニット12040は、車内の情報を検出する。車内情報検出ユニット12040には、例えば、運転者の状態を検出する運転者状態検出部12041が接続される。運転者状態検出部12041は、例えば運転者を撮像するカメラを含み、車内情報検出ユニット12040は、運転者状態検出部12041から入力される検出情報に基づいて、運転者の疲労度合い又は集中度合いを算出してもよいし、運転者が居眠りをしていないかを判別してもよい。

[0123] マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車内外の情報に基づいて、駆動力発生装置、ステアリング機構又は制動装置の制御目標値を演算し、駆動系制御ユニット12010に対して制御指令を出力することができる。例えば、マイクロコンピュータ12051は、車両の衝突回避あるいは衝撃緩和、車間距離に基づく追従走行、車速維持走行、車両の衝突警告、又は車両のレーン逸脱警告等を含むADAS (Advanced Driver Assistance System) の機能実現を目的とした協調制御を行うことができる。

[0124] また、マイクロコンピュータ12051は、車外情報検出ユニット12030又は車内情報検出ユニット12040で取得される車両の周囲の情報に基づいて駆動力発生装置、ステアリング機構又は制動装置等を制御することにより、運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0125] また、マイクロコンピュータ12051は、車外情報検出ユニット12030で取得される車外の情報に基づいて、ボディ系制御ユニット12020に対して制御指令を出力することができる。例えば、マイクロコンピュータ

12051は、車外情報検出ユニット12030で検知した先行車又は対向車の位置に応じてヘッドランプを制御し、ハイビームをロービームに切り替える等の防眩を図ることを目的とした協調制御を行うことができる。

[0126] 音声画像出力部12052は、車両の搭乗者又は車外に対して、視覚的又は聴覚的に情報を通知することが可能な出力装置へ音声及び画像のうちの少なくとも一方の出力信号を送信する。図20の例では、出力装置として、オーディオスピーカ12061、表示部12062及びインストルメントパネル12063が例示されている。表示部12062は、例えば、オンボードディスプレイ及びヘッドアップディスプレイの少なくとも一つを含んでもよい。

[0127] 図21は、撮像部12031の設置位置の例を示す図である。

[0128] 図21では、車両12100は、撮像部12031として、撮像部12101、12102、12103、12104、12105を有する。

[0129] 撮像部12101、12102、12103、12104、12105は、例えば、車両12100のフロントノーズ、サイドミラー、リアバンパ、バックドア及び車室内のフロントガラスの上部等の位置に設けられる。フロントノーズに備えられる撮像部12101及び車室内のフロントガラスの上部に備えられる撮像部12105は、主として車両12100の前方の画像を取得する。サイドミラーに備えられる撮像部12102、12103は、主として車両12100の側方の画像を取得する。リアバンパ又はバックドアに備えられる撮像部12104は、主として車両12100の後方の画像を取得する。撮像部12101及び12105で取得される前方の画像は、主として先行車両又は、歩行者、障害物、信号機、交通標識又は車線等の検出に用いられる。

[0130] なお、図21には、撮像部12101ないし12104の撮影範囲の一例が示されている。撮像範囲12111は、フロントノーズに設けられた撮像部12101の撮像範囲を示し、撮像範囲12112、12113は、それぞれサイドミラーに設けられた撮像部12102、12103の撮像範囲を

示し、撮像範囲12114は、リアバンパ又はバックドアに設けられた撮像部12104の撮像範囲を示す。例えば、撮像部12101ないし12104で撮像された画像データが重ね合わせられることにより、車両12100を上方から見た俯瞰画像が得られる。

[0131] 撮像部12101ないし12104の少なくとも1つは、距離情報を取得する機能を有していてもよい。例えば、撮像部12101ないし12104の少なくとも1つは、複数の撮像素子からなるステレオカメラであってもよいし、位相差検出用の画素を有する撮像素子であってもよい。

[0132] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を基に、撮像範囲12111ないし12114内における各立体物までの距離と、この距離の時間的変化（車両12100に対する相対速度）を求めることにより、特に車両12100の進行路上にある最も近い立体物で、車両12100と略同じ方向に所定の速度（例えば、0km/h以上）で走行する立体物を先行車として抽出することができる。さらに、マイクロコンピュータ12051は、先行車の手前に予め確保すべき車間距離を設定し、自動ブレーキ制御（追従停止制御も含む）や自動加速制御（追従発進制御も含む）等を行うことができる。このように運転者の操作に拠らずに自律的に走行する自動運転等を目的とした協調制御を行うことができる。

[0133] 例えば、マイクロコンピュータ12051は、撮像部12101ないし12104から得られた距離情報を元に、立体物に関する立体物データを、2輪車、普通車両、大型車両、歩行者、電柱等その他の立体物に分類して抽出し、障害物の自動回避に用いることができる。例えば、マイクロコンピュータ12051は、車両12100の周辺の障害物を、車両12100のドライバが視認可能な障害物と視認困難な障害物とに識別する。そして、マイクロコンピュータ12051は、各障害物との衝突の危険度を示す衝突リスクを判断し、衝突リスクが設定値以上で衝突可能性がある状況であるときには、オーディオスピーカ12061や表示部12062を介してドライバに警

報を出力することや、駆動系制御ユニット12010を介して強制減速や回避操舵を行うことで、衝突回避のための運転支援を行うことができる。

[0134] 撮像部12101ないし12104の少なくとも1つは、赤外線を検出する赤外線カメラであってもよい。例えば、マイクロコンピュータ12051は、撮像部12101ないし12104の撮像画像中に歩行者が存在するかどうかを判定することで歩行者を認識することができる。かかる歩行者の認識は、例えば赤外線カメラとしての撮像部12101ないし12104の撮像画像における特徴点を抽出する手順と、物体の輪郭を示す一連の特徴点にパターンマッチング処理を行って歩行者か否かを判別する手順によって行われる。マイクロコンピュータ12051が、撮像部12101ないし12104の撮像画像中に歩行者が存在すると判定し、歩行者を認識すると、音声画像出力部12052は、当該認識された歩行者に強調のための方形輪郭線を重畳表示するように、表示部12062を制御する。また、音声画像出力部12052は、歩行者を示すアイコン等を所望の位置に表示するように表示部12062を制御してもよい。

[0135] 以上、本開示に係る技術が適用され得る車両制御システムの一例について説明した。本開示に係る技術は、以上説明した構成のうち、撮像部12031に適用され得る。具体的には、撮像部12031として、上述した固体撮像装置1を適用することができる。撮像部12031に本開示に係る技術を適用することにより、通信インターフェースを高速化しつつ、より見やすい撮影画像を得ることができたり、距離情報を取得することができる。また、得られた撮影画像や距離情報を用いて、ドライバの疲労を軽減したり、ドライバや車両の安全度を高めることが可能になる。

[0136] また、本開示は、可視光の入射光量の分布を検知して画像として撮像する固体撮像装置への適用に限らず、赤外線やX線、あるいは粒子等の入射量の分布を画像として撮像する固体撮像装置や、広義の意味として、圧力や静電容量など、他の物理量の分布を検知して画像として撮像する指紋検出センサ等の固体撮像装置（物理量分布検知装置）全般に対して適用可能である。

[0137] また、本開示の技術は、固体撮像装置に限らず、他の半導体集積回路を有する半導体装置全般に対して適用可能である。

[0138] 本開示の実施の形態は、上述した実施の形態に限定されるものではなく、本開示の技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0139] なお、本明細書に記載された効果はあくまで例示であって限定されるものではなく、本明細書に記載されたもの以外の効果があってもよい。

[0140] なお、本開示の技術は、以下の構成を取ることができる。

(1)

画素が形成された画素基板と、制御基板とを積層して構成され、

前記画素基板は、外部装置との接点となるパッドを有し、

前記制御基板は、

前記パッドと接続された信号パッド配線と、

前記信号パッド配線の周辺に配置されたシールド配線と、

前記シールド配線と接続された高抵抗素子と

を有する

固体撮像装置。

(2)

前記シールド配線には、前記高抵抗素子を介して所定の電位が供給される

前記(1)に記載の固体撮像装置。

(3)

前記所定の電位は、VSS電位である

前記(2)に記載の固体撮像装置。

(4)

前記所定の電位は、VSS電位より高い電位である

前記(2)に記載の固体撮像装置。

(5)

前記シールド配線は、前記信号パッド配線と同層または下層の少なくとも一方に配置される

前記（１）ないし（４）のいずれかに記載の固体撮像装置。

（６）

前記高抵抗素子は、金属抵抗またはポリシリコン抵抗を含む

前記（１）ないし（５）のいずれかに記載の固体撮像装置。

（７）

前記高抵抗素子は、拡散抵抗を含む

前記（１）ないし（５）のいずれかに記載の固体撮像装置。

（８）

前記高抵抗素子は、ウェル抵抗を含む

前記（１）ないし（５）のいずれかに記載の固体撮像装置。

（９）

前記高抵抗素子は、スタックビアによる寄生抵抗を含む

前記（１）ないし（８）のいずれかに記載の固体撮像装置。

（１０）

前記高抵抗素子は、スタックビアと細い配線による寄生抵抗を含む

前記（１）ないし（８）のいずれかに記載の固体撮像装置。

（１１）

前記信号パッド配線は、前記パッドよりも小さい平面積を有する

前記（１）ないし（１０）のいずれかに記載の固体撮像装置。

（１２）

前記パッドは、前記画素の画素信号を出力する第１のパッドと、電源電圧  
又はグラウンドが供給される第２のパッドを含む

前記（１）ないし（１１）のいずれかに記載の固体撮像装置。

（１３）

前記第２のパッドは、前記第１のパッドよりも大きい平面積を有する

前記（１２）に記載の固体撮像装置。

（１４）

画素が形成された画素基板と、制御基板とを積層して構成され、

前記画素基板は、外部装置との接点となるパッドを有し、

前記制御基板は、

前記パッドに接続された信号パッド配線と、

前記信号パッド配線の周辺に配置されたシールド配線と、

前記シールド配線と接続された高抵抗素子と

を有する固体撮像装置

を備える電子機器。

### 符号の説明

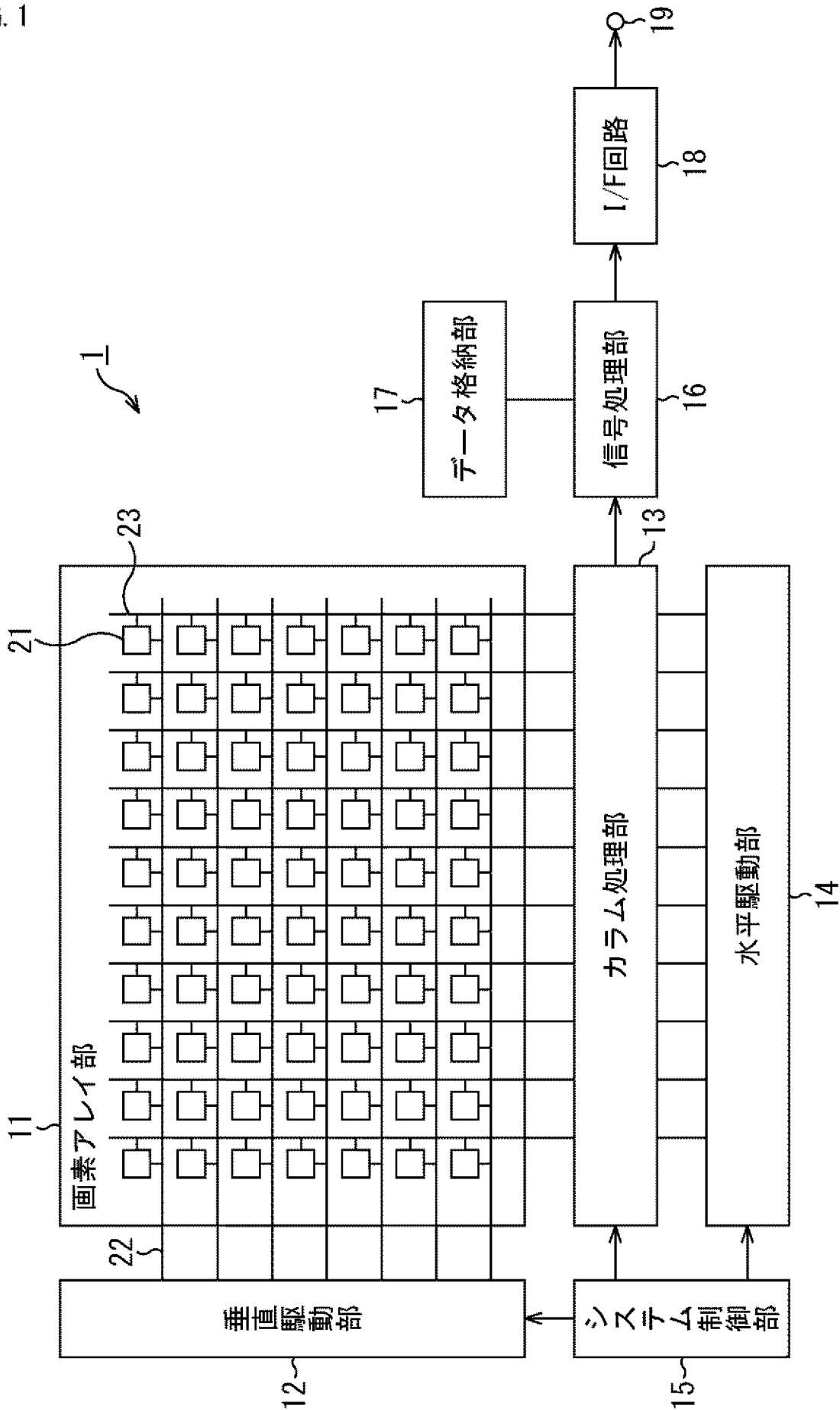
[0141] 1 固体撮像装置, 18 I/F回路, 21 画素, 41 画素基板,  
42 制御基板, 51 パッド, 52 パッド配線, 52A パッド  
配線, 52B パッド配線, 62 半導体基板, 71 貫通孔, 72  
パッド, 73 ビア, 81 配線層, 82 半導体基板, 83,  
83A, 83B, 83C 配線, 84 層間絶縁膜, 85, 85A, 85B  
ビア, 101 高抵抗素子, 102, 102A, 102B 容量, 10  
3 寄生容量, 111 ウェル領域, 201 スタックビア, 202  
金属抵抗, 203 拡散抵抗, 204 Pウェル, 207 Pウェル  
抵抗, 211 Nウェル, 214 Nウェル抵抗, 251 レギュレー  
タ, 251H レギュレータ, 251L レギュレータ, 252 ドラ  
イバ, 300 撮像装置, 302 固体撮像装置

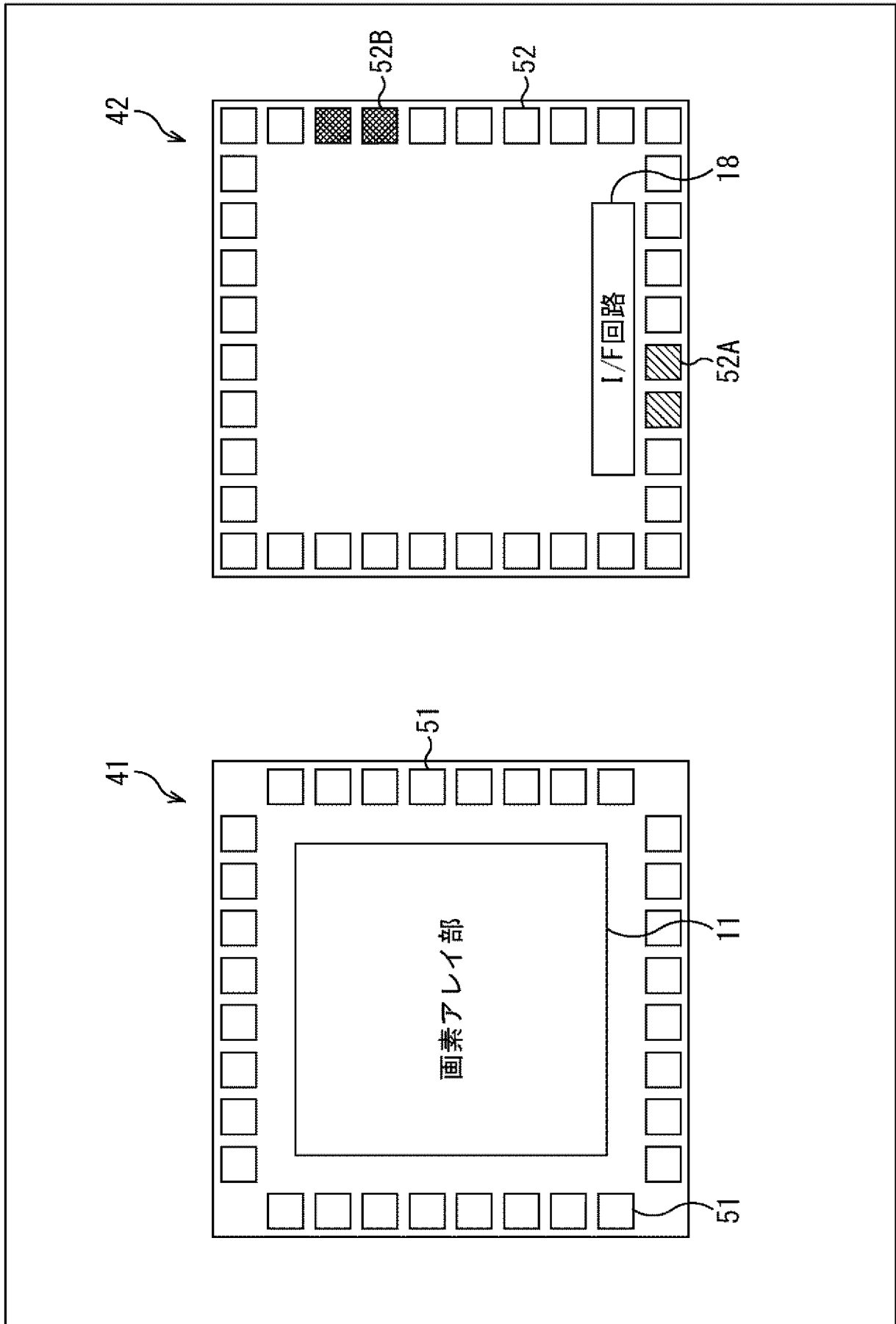
## 請求の範囲

- [請求項1] 画素が形成された画素基板と、制御基板とを積層して構成され、前記画素基板は、外部装置との接点となるパッドを有し、前記制御基板は、  
前記パッドと接続された信号パッド配線と、  
前記信号パッド配線の周辺に配置されたシールド配線と、  
前記シールド配線と接続された高抵抗素子と  
を有する  
固体撮像装置。
- [請求項2] 前記シールド配線には、前記高抵抗素子を介して所定の電位が供給される  
請求項 1 に記載の固体撮像装置。
- [請求項3] 前記所定の電位は、VSS電位である  
請求項 2 に記載の固体撮像装置。
- [請求項4] 前記所定の電位は、VSS電位より高い電位である  
請求項 2 に記載の固体撮像装置。
- [請求項5] 前記シールド配線は、前記信号パッド配線と同層または下層の少なくとも一方に配置される  
請求項 1 に記載の固体撮像装置。
- [請求項6] 前記高抵抗素子は、金属抵抗またはポリシリコン抵抗を含む  
請求項 1 に記載の固体撮像装置。
- [請求項7] 前記高抵抗素子は、拡散抵抗を含む  
請求項 1 に記載の固体撮像装置。
- [請求項8] 前記高抵抗素子は、ウェル抵抗を含む  
請求項 1 に記載の固体撮像装置。
- [請求項9] 前記高抵抗素子は、スタックビアによる寄生抵抗を含む  
請求項 1 に記載の固体撮像装置。
- [請求項10] 前記高抵抗素子は、スタックビアと細い配線による寄生抵抗を含む

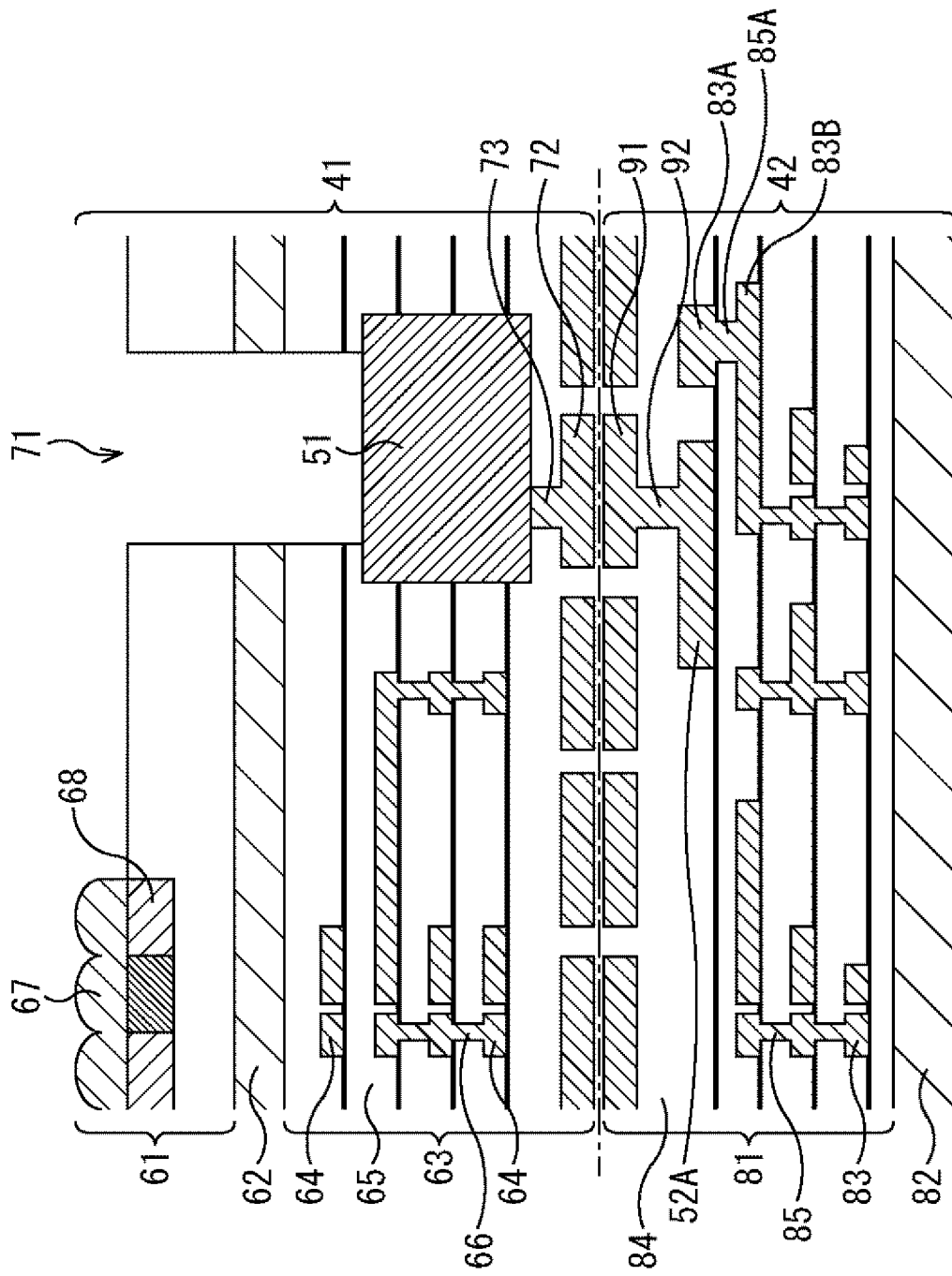
- 請求項 1 に記載の固体撮像装置。
- [請求項11] 前記信号パッド配線は、前記パッドよりも小さい平面積を有する  
請求項 1 に記載の固体撮像装置。
- [請求項12] 前記パッドは、前記画素の画素信号を出力する第 1 のパッドと、電  
源電圧又はグラウンドが供給される第 2 のパッドを含む  
請求項 1 に記載の固体撮像装置。
- [請求項13] 前記第 2 のパッドは、前記第 1 のパッドよりも大きい平面積を有す  
る  
請求項 1 2 に記載の固体撮像装置。
- [請求項14] 画素が形成された画素基板と、制御基板とを積層して構成され、  
前記画素基板は、外部装置との接点となるパッドを有し、  
前記制御基板は、  
前記パッドと接続された信号パッド配線と、  
前記信号パッド配線の周辺に配置されたシールド配線と、  
前記シールド配線と接続された高抵抗素子と  
を有する固体撮像装置  
を備える電子機器。

[図1]  
FIG. 1

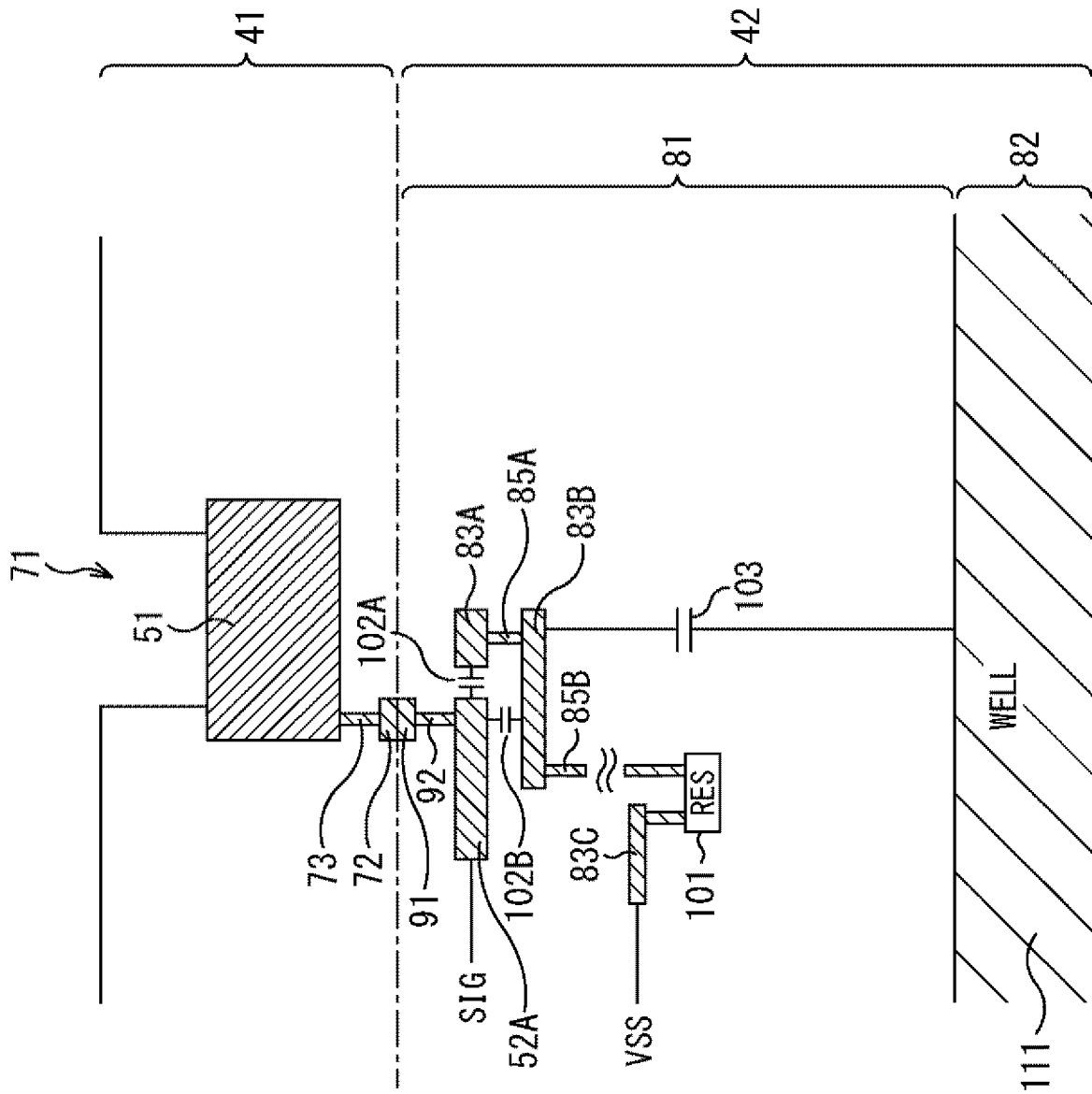


[図2]  
FIG. 2

[図3]  
FIG. 3

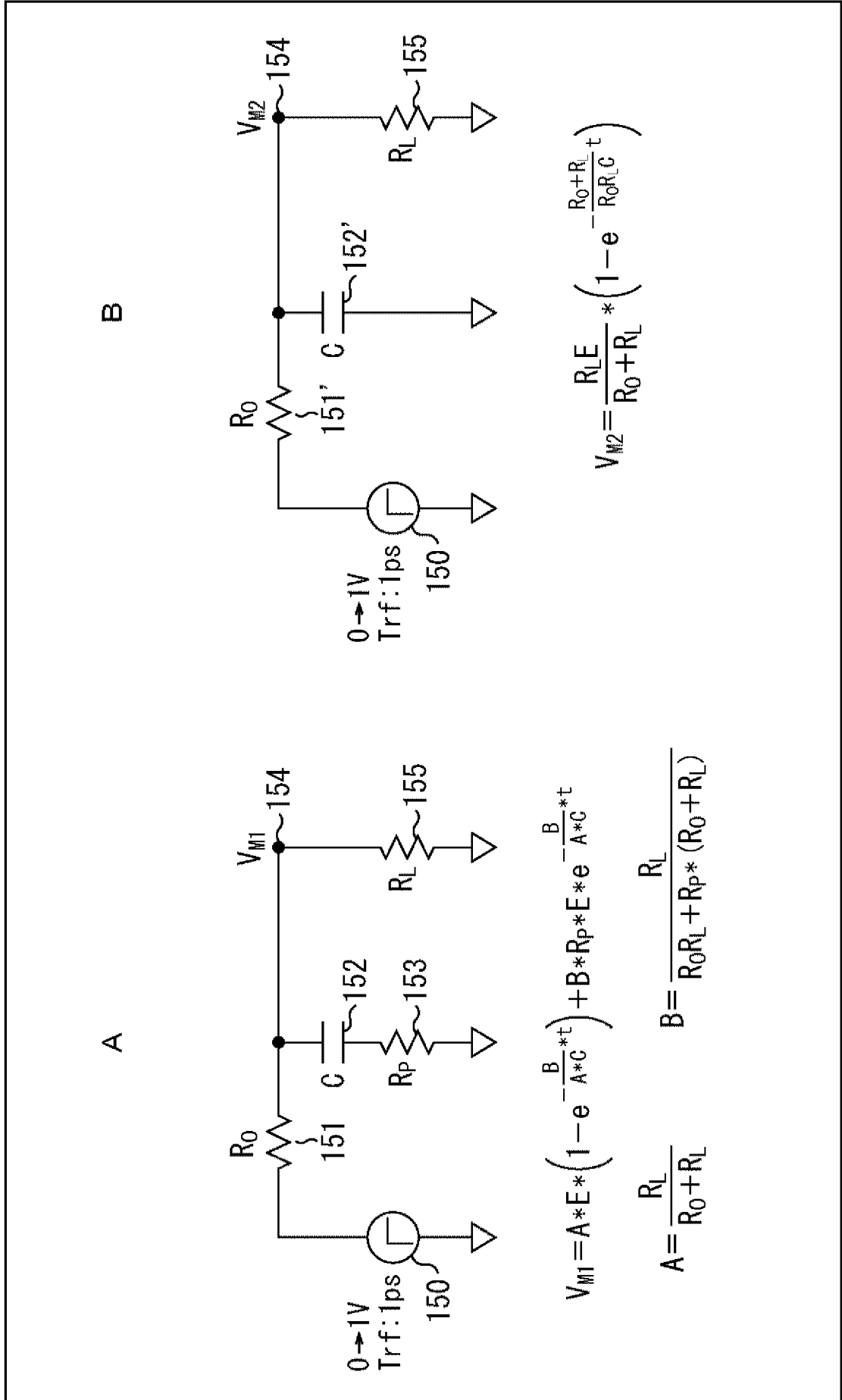


[図4]  
FIG. 4

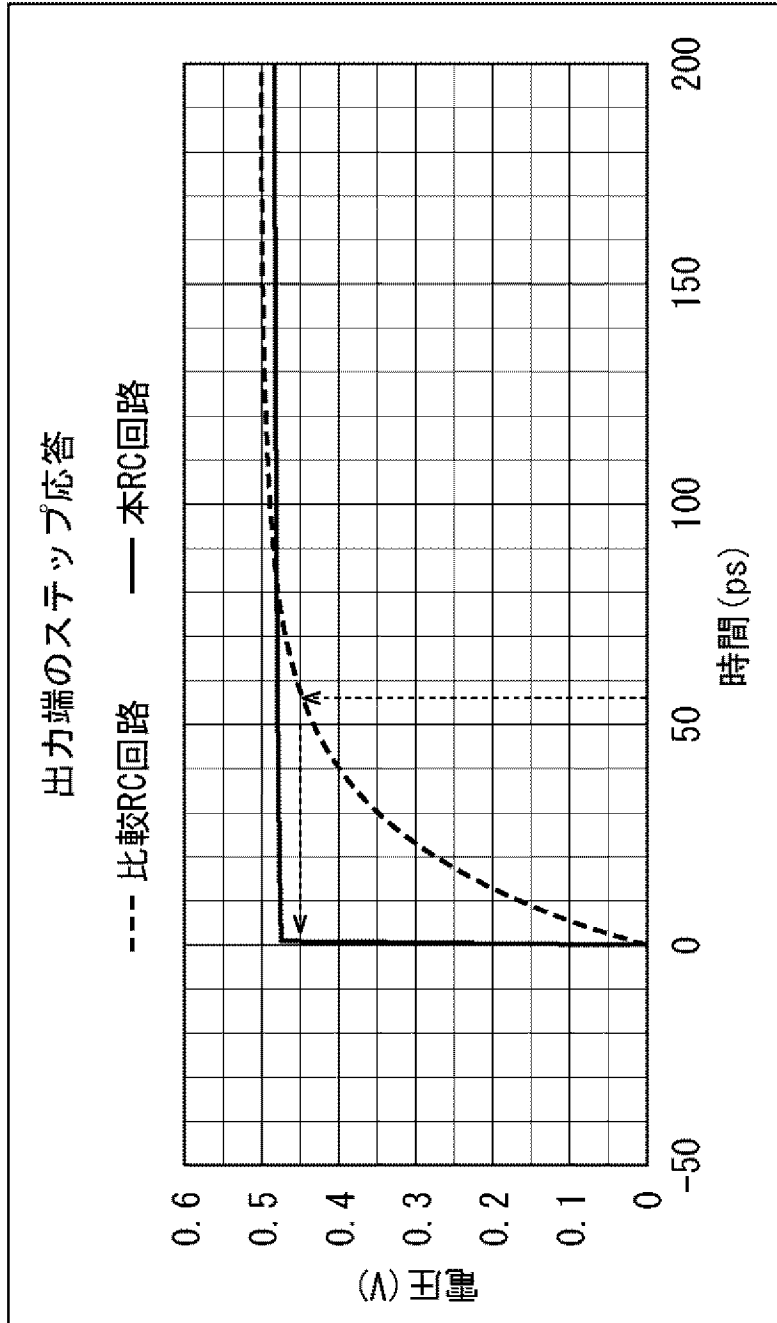




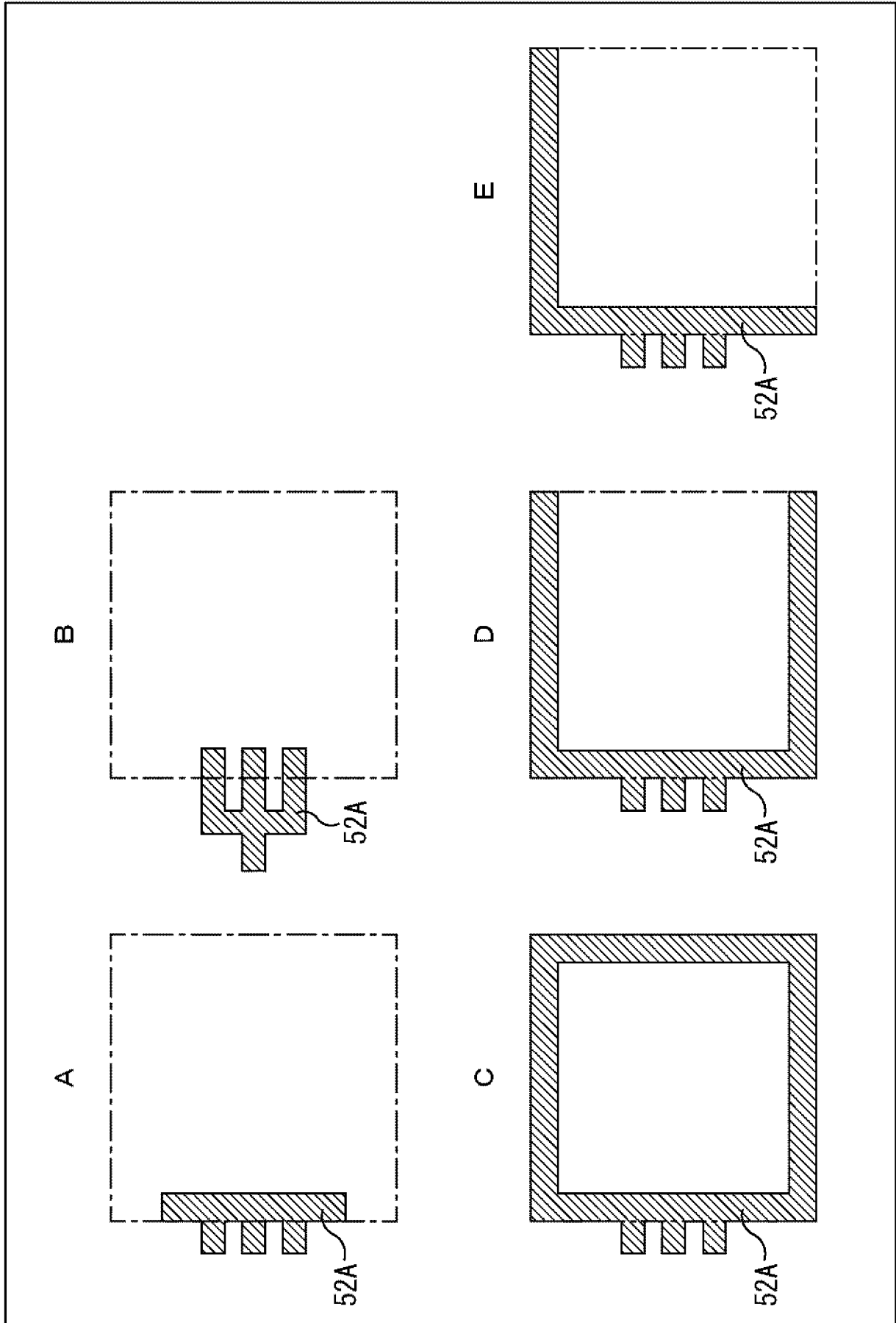
[圖6]  
FIG. 6

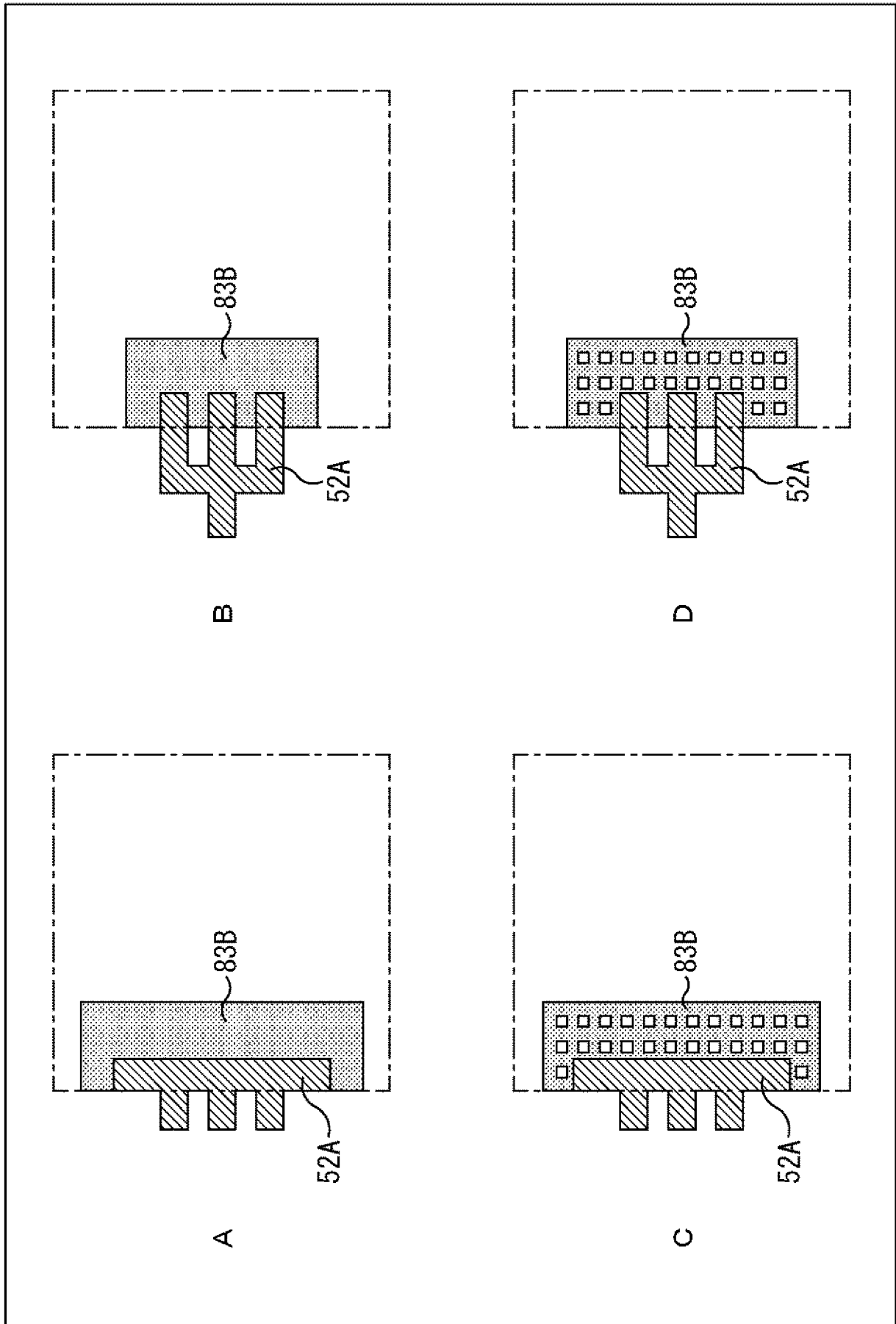


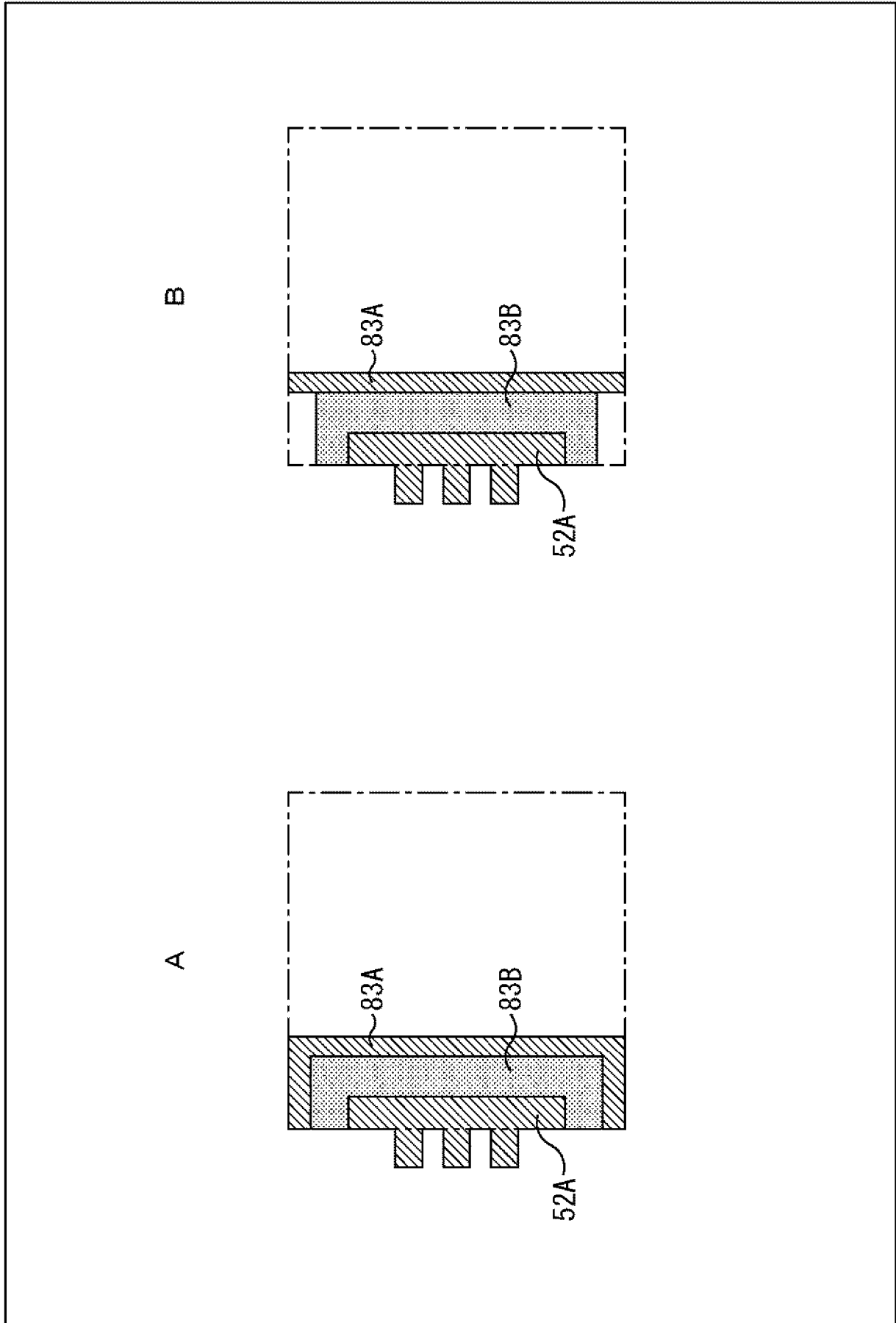
[図7]  
FIG. 7



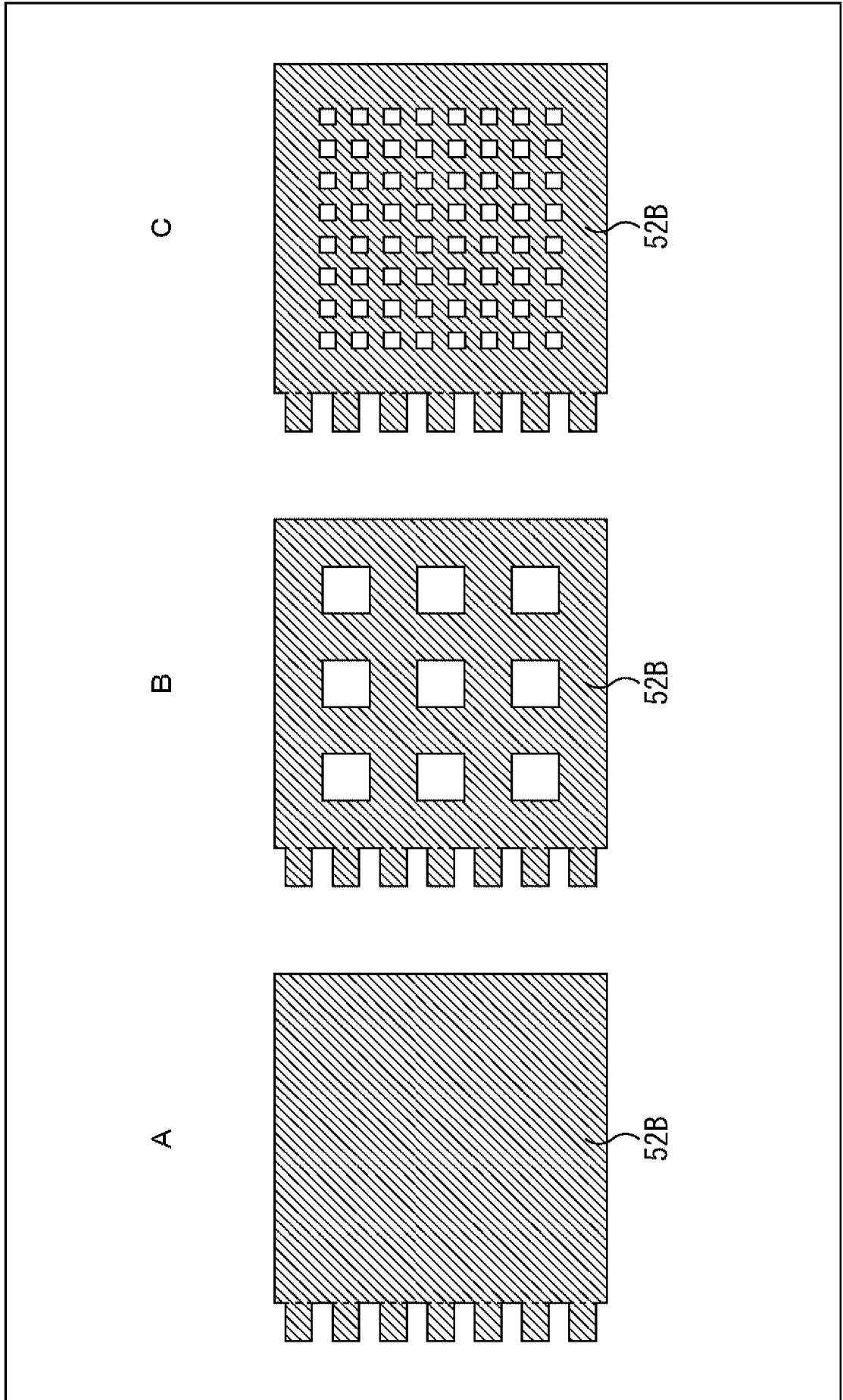
	$R_0$	$R_L$	$C$	$R_p$
比較RC回路	50 $\Omega$	50 $\Omega$	1.0 pF	-
本RC回路	50 $\Omega$	50 $\Omega$	1.0 pF	500 $\Omega$

[8]  
FIG. 8

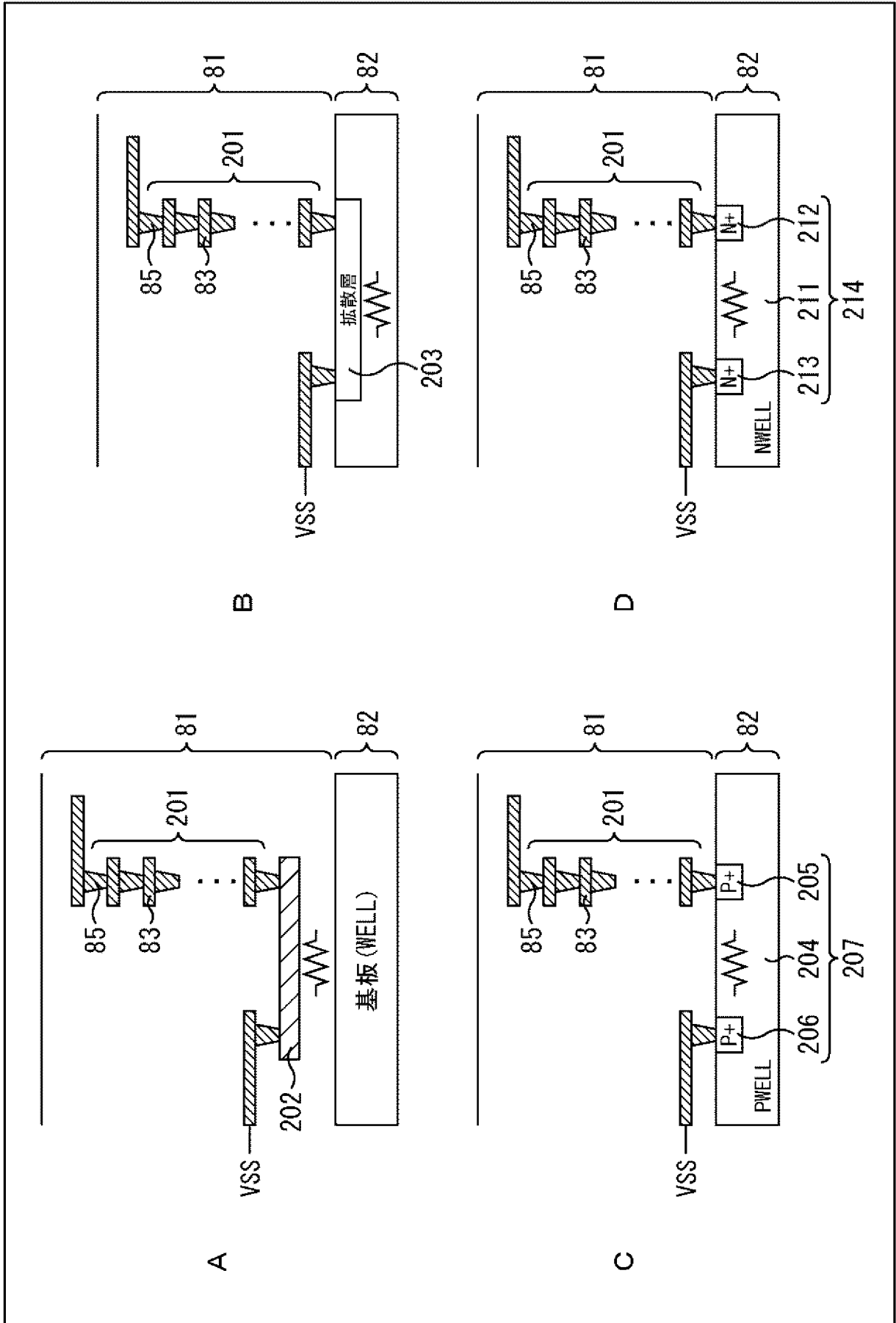
[図9]  
FIG. 9

[図10]  
FIG. 10

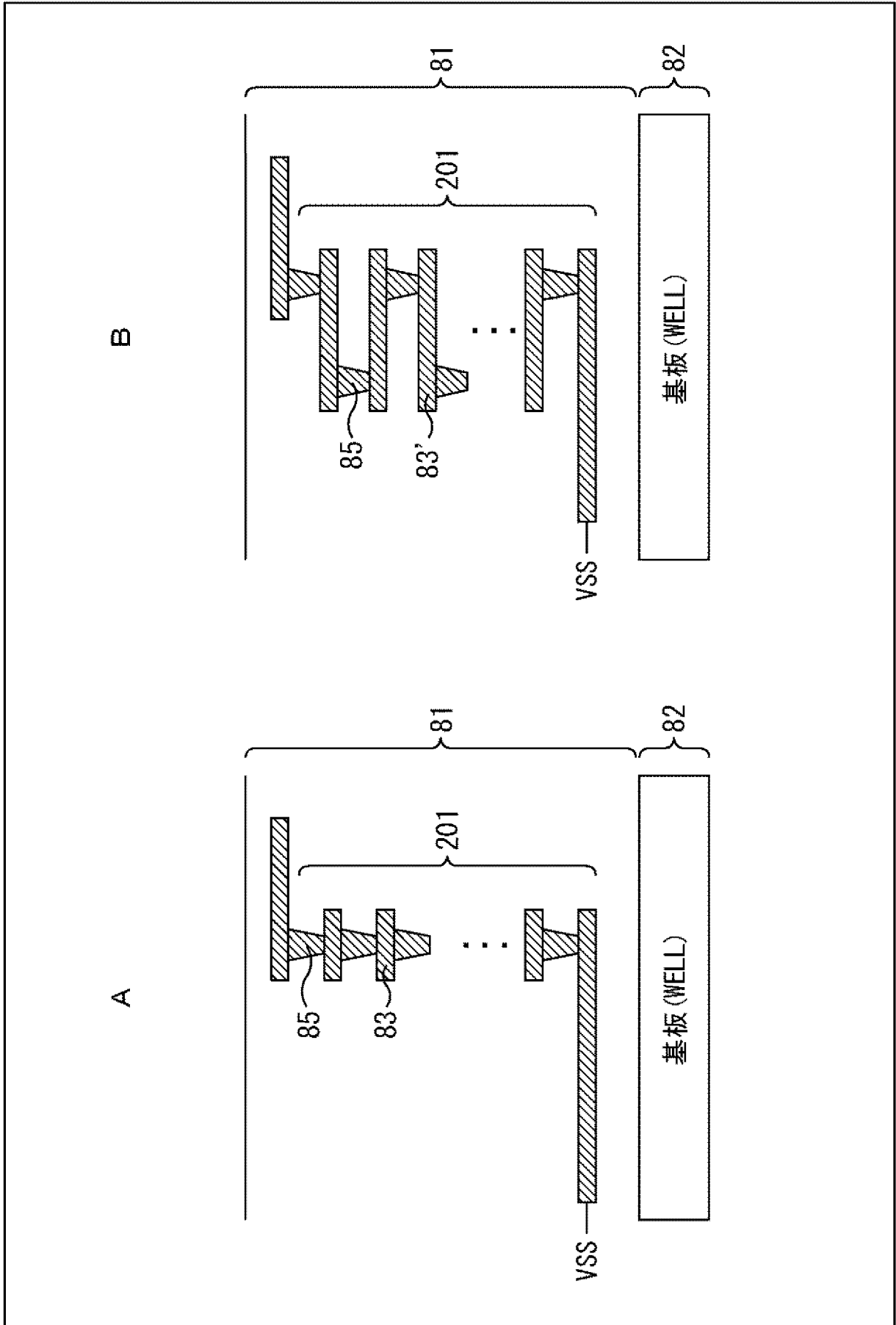
[図11]  
FIG. 11



[図12]  
FIG. 12

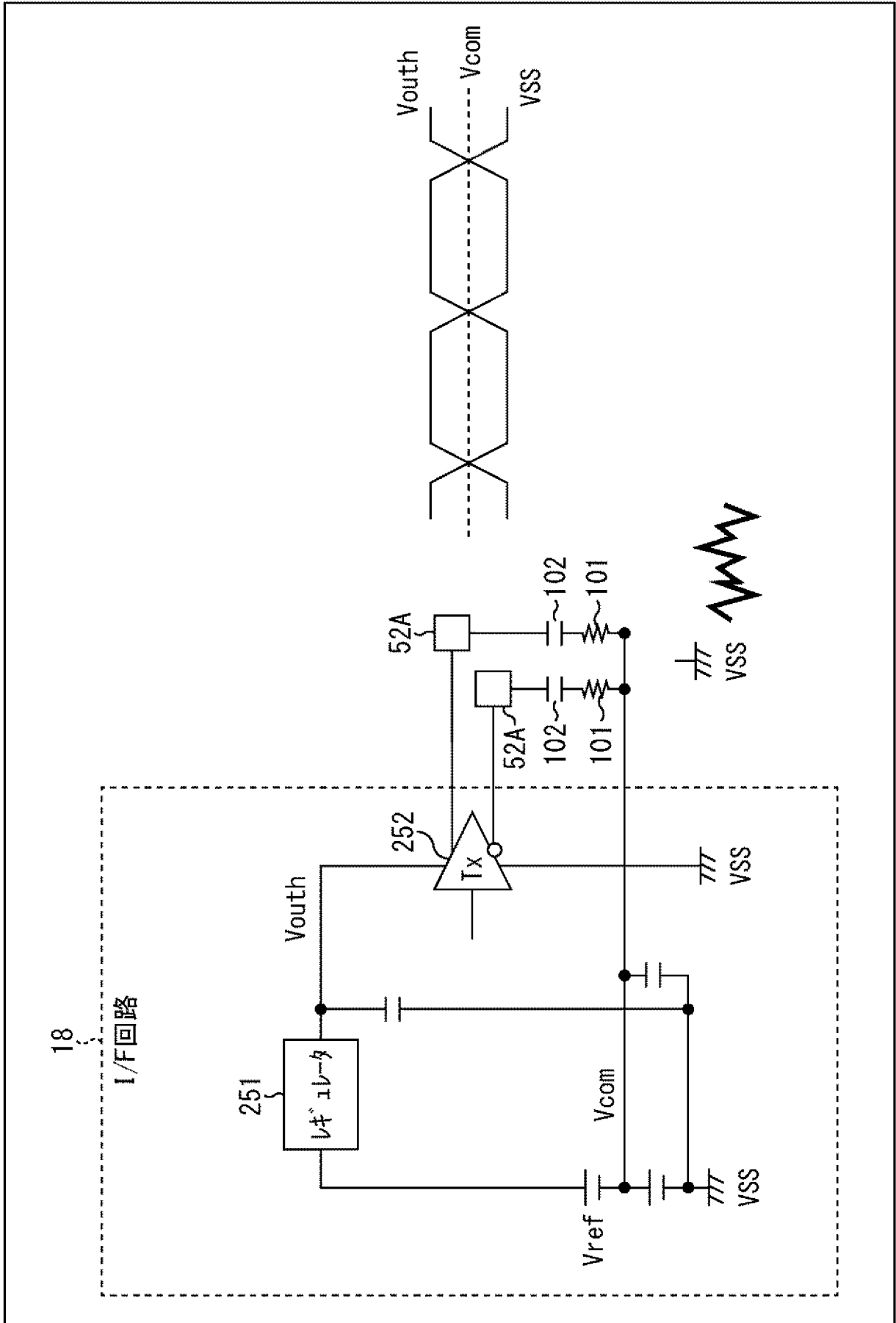


[図13]  
FIG. 13

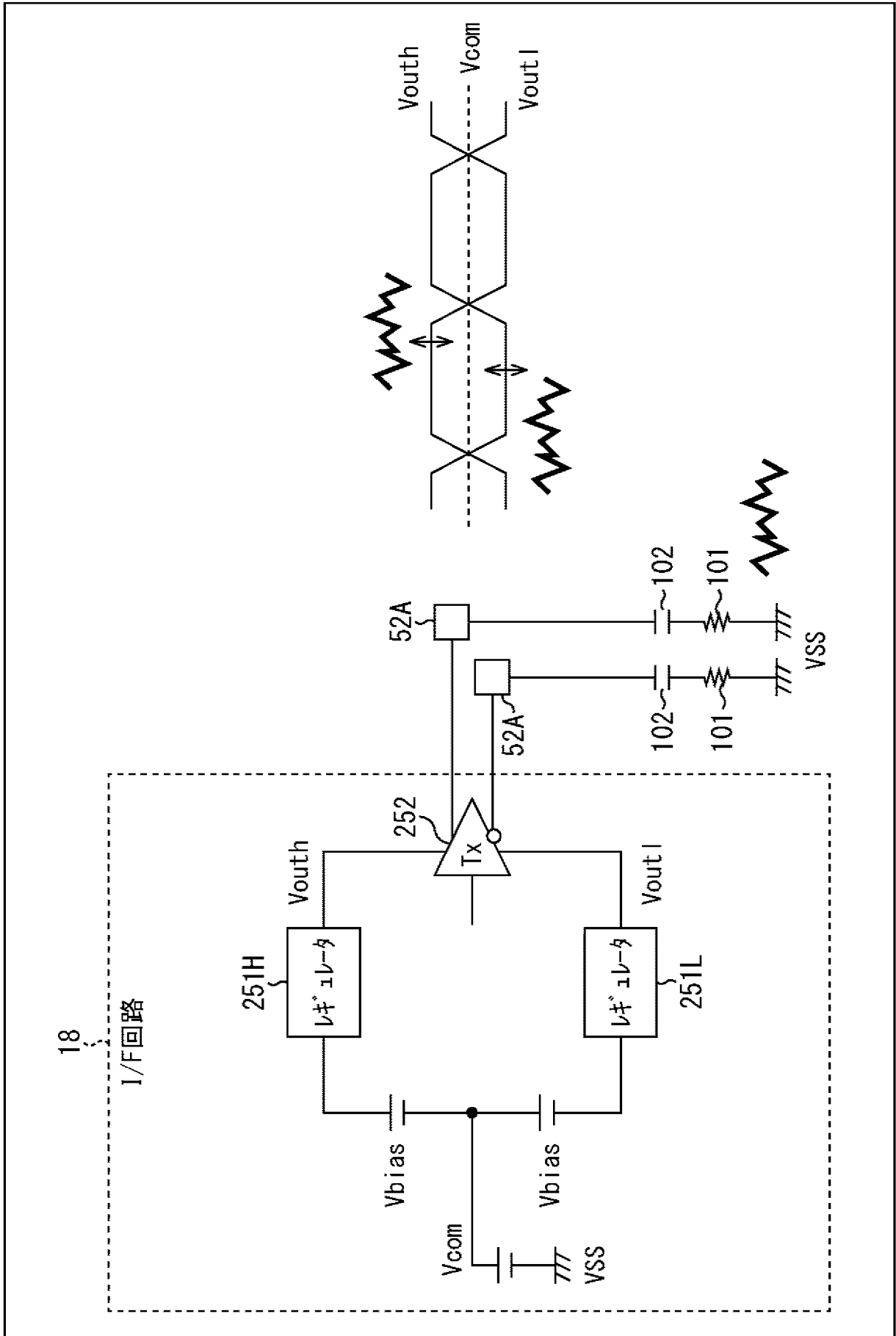




[図15]  
FIG. 15

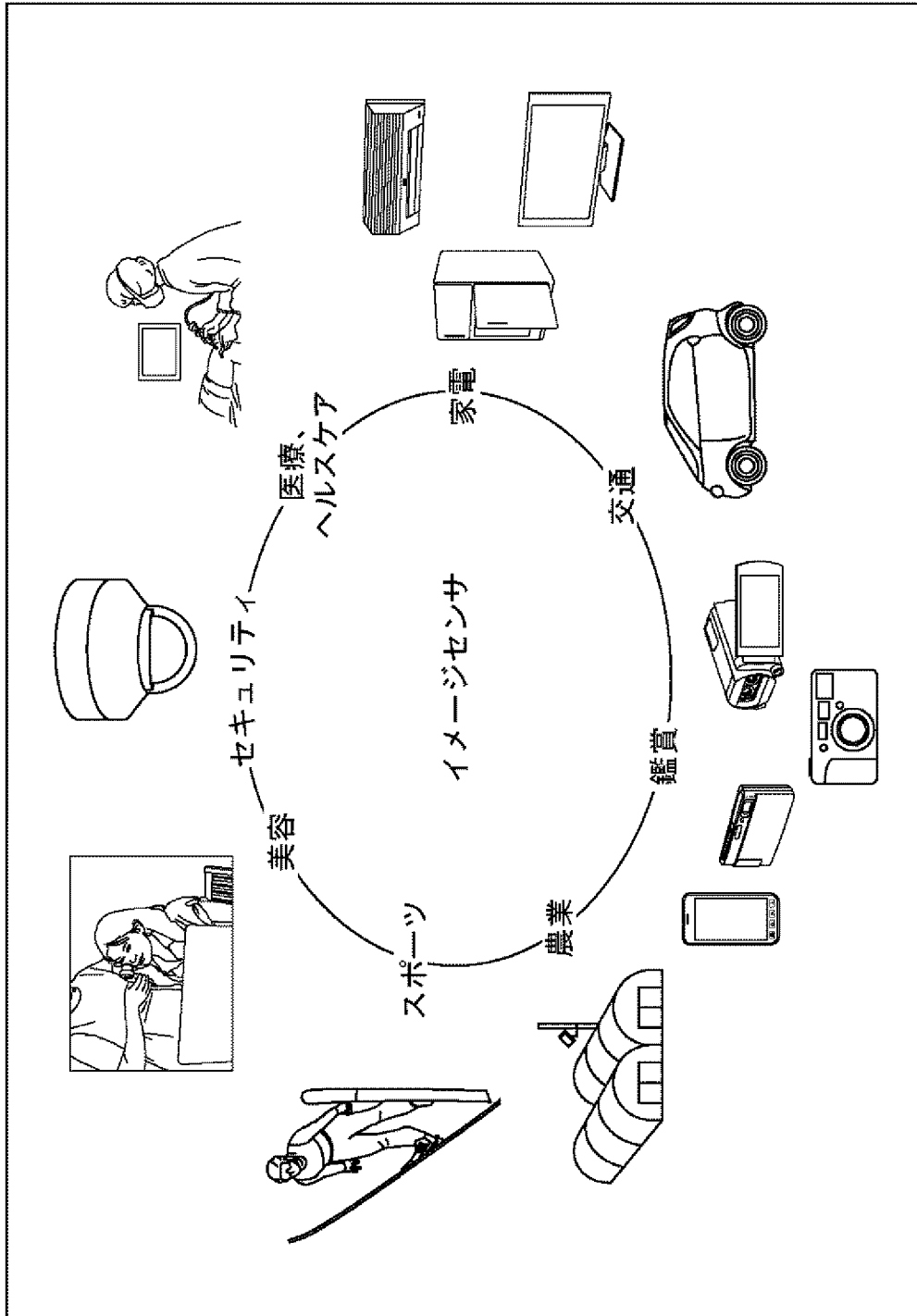


[図16]  
FIG. 16

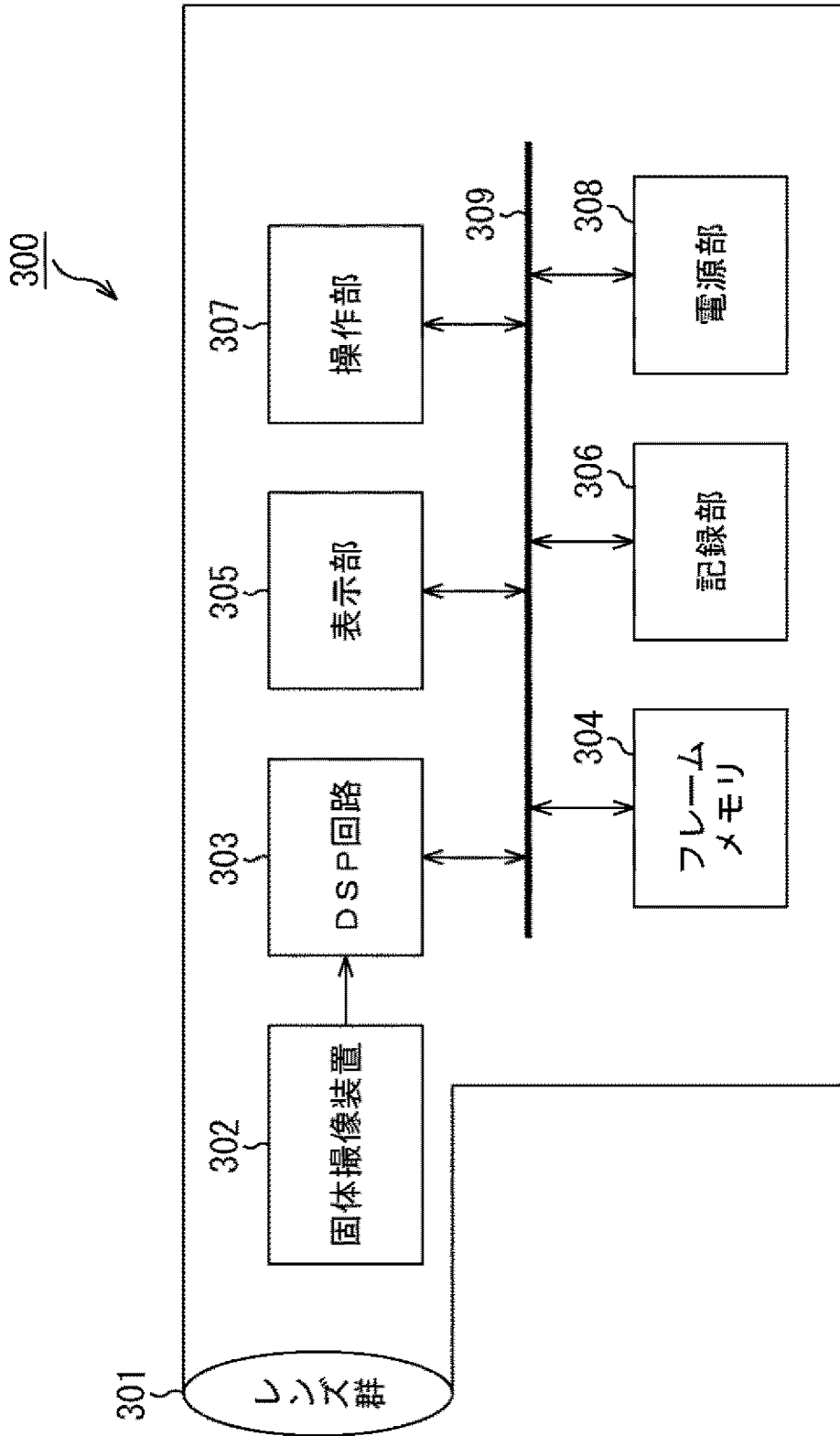




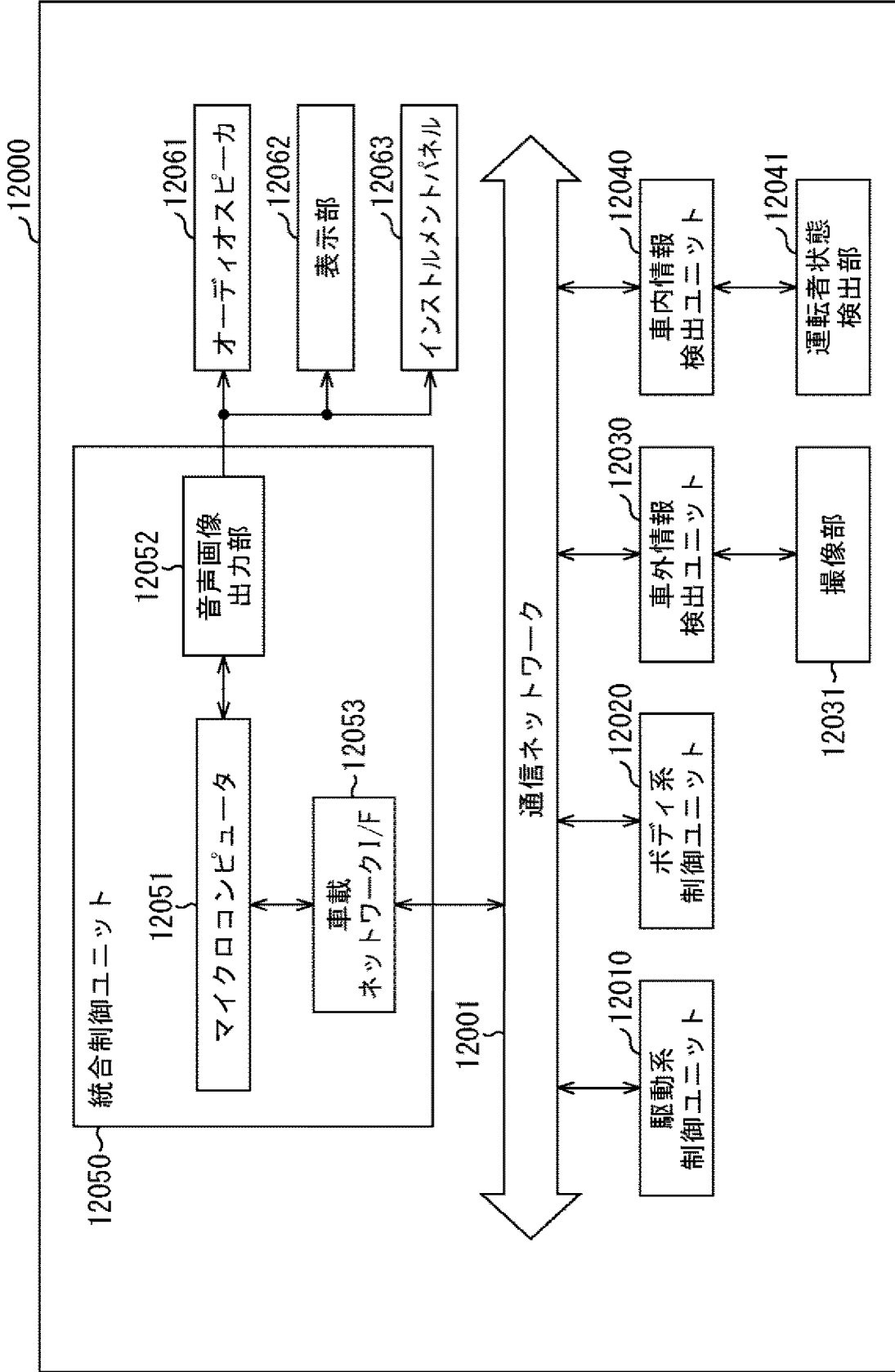
[図18]



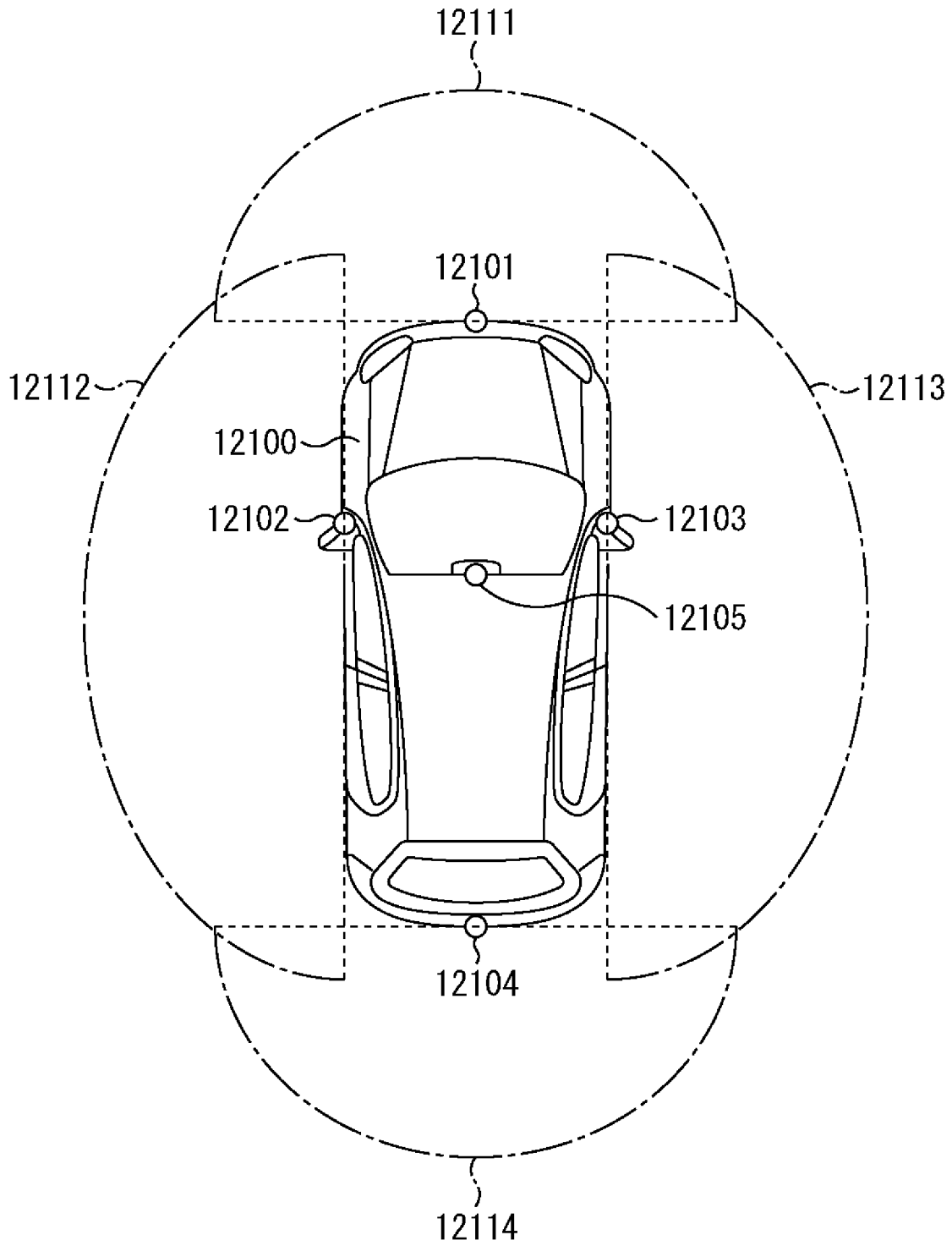
[図19]



[図20]



[図21]



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/014547

<b>A. CLASSIFICATION OF SUBJECT MATTER</b>		
<i>H01L 27/146</i> (2006.01)i; <i>H04N 25/617</i> (2023.01)i; <i>H04N 25/70</i> (2023.01)i FI: H01L27/146 D; H04N25/617; H04N25/70		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) H01L27/146; H04N25/617; H04N25/70		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023		
Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2012-089739 A (SONY CORP) 10 May 2012 (2012-05-10) paragraphs [0024]-[0076], [0087], [0116]-[0121], fig. 1-7, 14	1-3, 5-6, 11-12, 14
Y		1-14
Y	JP 2007-194981 A (SONY CORP) 02 August 2007 (2007-08-02) paragraphs [0210]-[0220], fig. 15	1-14
Y	JP 2020-141397 A (CANON KK) 03 September 2020 (2020-09-03) paragraph [0037], fig. 3-4	4, 7-10
Y	JP 10-321804 A (TOSHIBA CORP) 04 December 1998 (1998-12-04) paragraphs [0088], [0101], fig. 7, 10	13
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search <b>23 June 2023</b>		Date of mailing of the international search report <b>04 July 2023</b>
Name and mailing address of the ISA/JP <b>Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan</b>		Authorized officer  Telephone No.

**INTERNATIONAL SEARCH REPORT**  
**Information on patent family members**

International application No.

**PCT/JP2023/014547**

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2012-089739	A	10 May 2012	US 2012/0098081 A1 paragraphs [0050]-[0102], [0113], [0142]-[0147], fig. 1-7C, 14	
				CN 102456700 A	
				KR 10-2012-0041660 A	
				TW 201222794 A	
JP	2007-194981	A	02 August 2007	(Family: none)	
JP	2020-141397	A	03 September 2020	US 2020/0273901 A1 paragraph [0055], fig. 3-4	
JP	10-321804	A	04 December 1998	JP 2003-347407 A	

<p>A. 発明の属する分野の分類（国際特許分類（IPC））</p> <p>H01L 27/146(2006.01)i; H04N 25/617(2023.01)i; H04N 25/70(2023.01)i                  FI: H01L27/146 D; H04N25/617; H04N25/70</p>																				
<p>B. 調査を行った分野</p> <p>調査を行った最小限資料（国際特許分類（IPC））</p> <p>H01L27/146; H04N25/617; H04N25/70</p> <p>最小限資料以外の資料で調査を行った分野に含まれるもの</p> <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> <p>国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）</p>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年										
日本国実用新案公報	1922 - 1996年																			
日本国公開実用新案公報	1971 - 2023年																			
日本国実用新案登録公報	1996 - 2023年																			
日本国登録実用新案公報	1994 - 2023年																			
<p>C. 関連すると認められる文献</p> <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>JP 2012-089739 A (ソニー株式会社) 10.05.2012 (2012 - 05 - 10) 段落 [0024] - [0076], [0087], [0116] - [0121], [図1] - [図7], [図14]</td> <td>1-3, 5-6, 11-12, 14</td> </tr> <tr> <td>Y</td> <td></td> <td>1-14</td> </tr> <tr> <td>Y</td> <td>JP 2007-194981 A (ソニー株式会社) 02.08.2007 (2007 - 08 - 02) 段落 [0210] - [0220], [図15]</td> <td>1-14</td> </tr> <tr> <td>Y</td> <td>JP 2020-141397 A (キヤノン株式会社) 03.09.2020 (2020 - 09 - 03) 段落 [0037], [図3] - [図4]</td> <td>4, 7-10</td> </tr> <tr> <td>Y</td> <td>JP 10-321804 A (株式会社東芝) 04.12.1998 (1998 - 12 - 04) 段落 [0088], [0101], [図7], [図10]</td> <td>13</td> </tr> </tbody> </table> <p><input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。</p> <p>* 引用文献のカテゴリー</p> <p>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</p> <p>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</p> <p>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</p> <p>“O” 口頭による開示、使用、展示等に言及する文献</p> <p>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</p> <p>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</p> <p>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</p> <p>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</p> <p>“&amp;” 同一パテントファミリー文献</p>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	X	JP 2012-089739 A (ソニー株式会社) 10.05.2012 (2012 - 05 - 10) 段落 [0024] - [0076], [0087], [0116] - [0121], [図1] - [図7], [図14]	1-3, 5-6, 11-12, 14	Y		1-14	Y	JP 2007-194981 A (ソニー株式会社) 02.08.2007 (2007 - 08 - 02) 段落 [0210] - [0220], [図15]	1-14	Y	JP 2020-141397 A (キヤノン株式会社) 03.09.2020 (2020 - 09 - 03) 段落 [0037], [図3] - [図4]	4, 7-10	Y	JP 10-321804 A (株式会社東芝) 04.12.1998 (1998 - 12 - 04) 段落 [0088], [0101], [図7], [図10]	13
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																		
X	JP 2012-089739 A (ソニー株式会社) 10.05.2012 (2012 - 05 - 10) 段落 [0024] - [0076], [0087], [0116] - [0121], [図1] - [図7], [図14]	1-3, 5-6, 11-12, 14																		
Y		1-14																		
Y	JP 2007-194981 A (ソニー株式会社) 02.08.2007 (2007 - 08 - 02) 段落 [0210] - [0220], [図15]	1-14																		
Y	JP 2020-141397 A (キヤノン株式会社) 03.09.2020 (2020 - 09 - 03) 段落 [0037], [図3] - [図4]	4, 7-10																		
Y	JP 10-321804 A (株式会社東芝) 04.12.1998 (1998 - 12 - 04) 段落 [0088], [0101], [図7], [図10]	13																		
<p>国際調査を完了した日</p> <p>23.06.2023</p>	<p>国際調査報告の発送日</p> <p>04.07.2023</p>																			
<p>名称及びあて先</p> <p>日本国特許庁 (ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号</p>	<p>権限のある職員（特許庁審査官）</p> <p>田邊 顕人 5F 5894</p> <p>電話番号 03-3581-1101 内線 3514</p>																			

国際調査報告  
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/014547

引用文献			公表日	パテントファミリー文献			公表日
JP	2012-089739	A	10.05.2012	US	2012/0098081	A1	
				段落 [0050] - [0102] ,			
				[0113] , [0142] -			
				[0147] , 図1-7C, 14			
				CN	102456700	A	
				KR	10-2012-0041660	A	
				TW	201222794	A	
				-----			
JP	2007-194981	A	02.08.2007	(ファミリーなし)			
				-----			
JP	2020-141397	A	03.09.2020	US	2020/0273901	A1	
				段落 [0055] , 図3-4			
				-----			
JP	10-321804	A	04.12.1998	JP	2003-347407	A	
				-----			