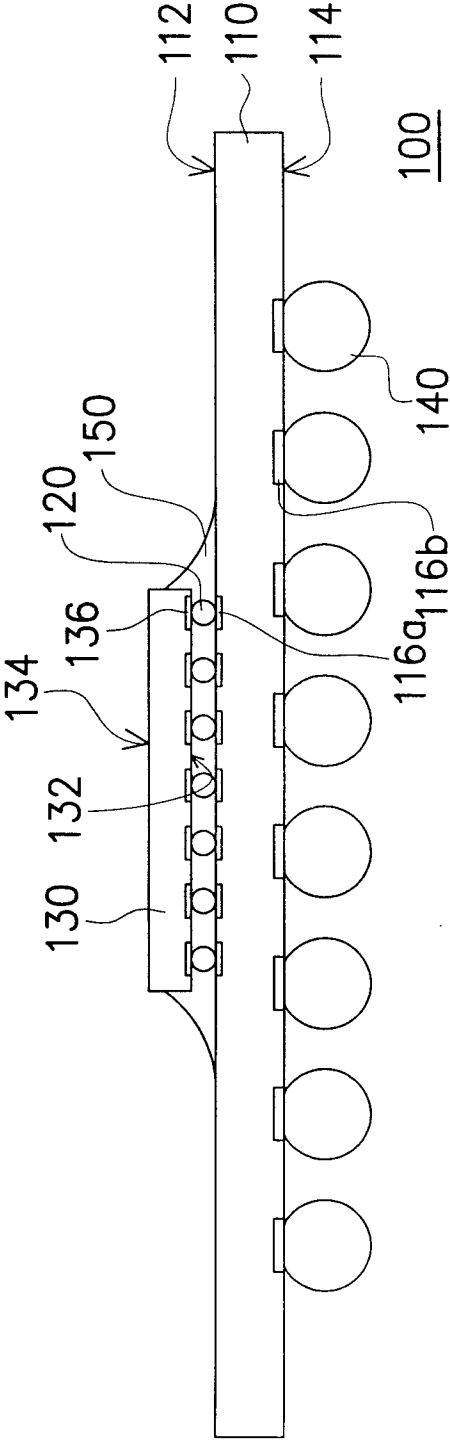
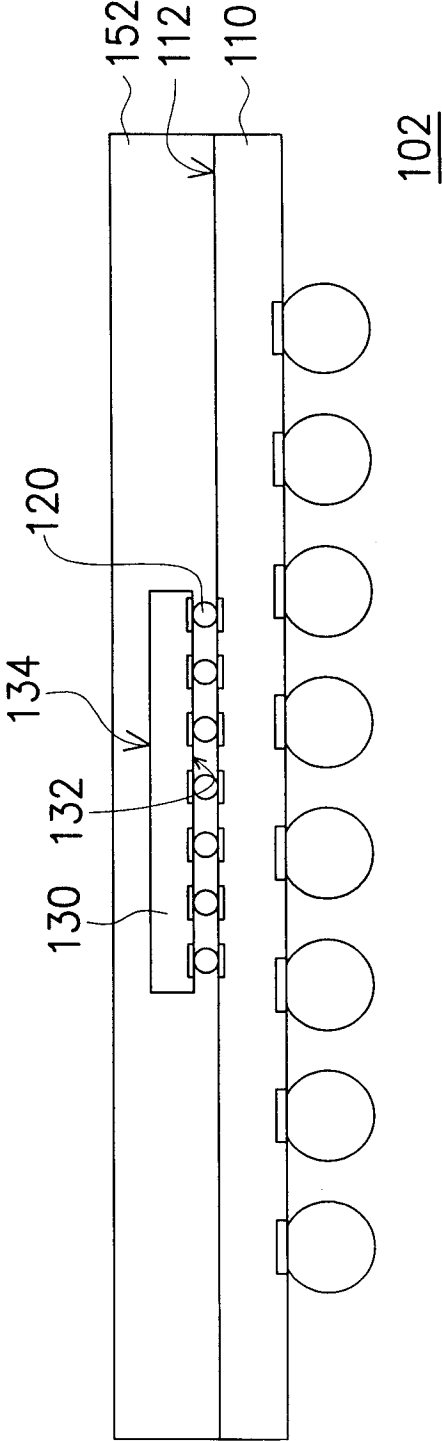
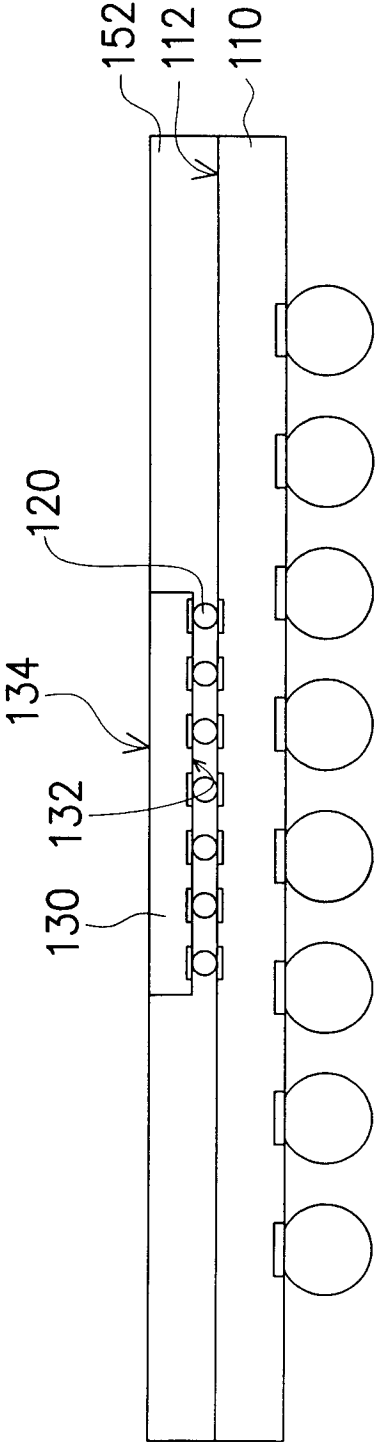




第1A圖

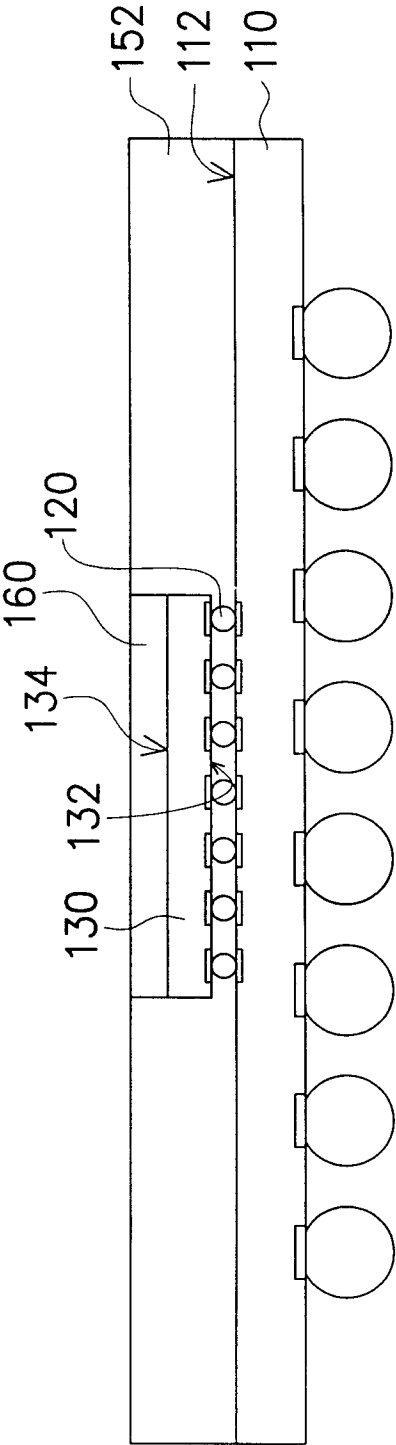


第1B圖



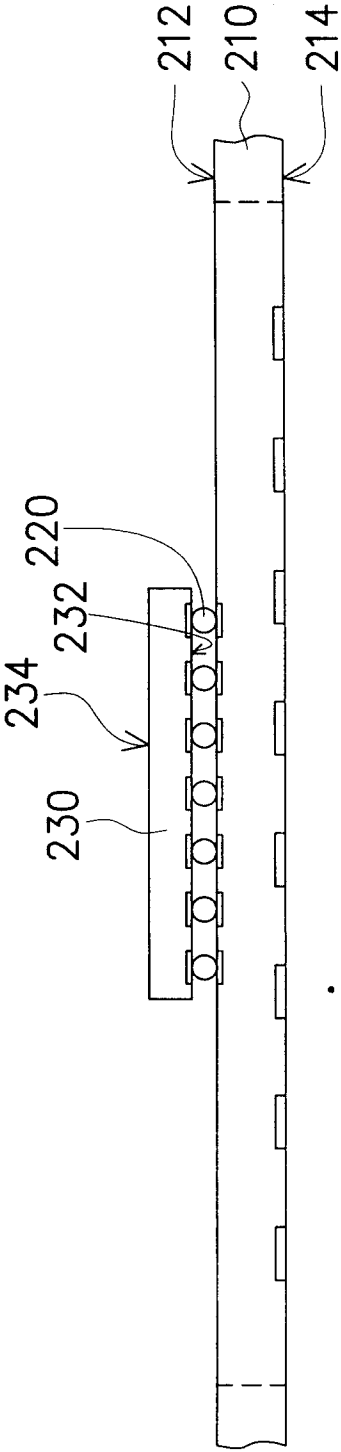
104

第1C圖

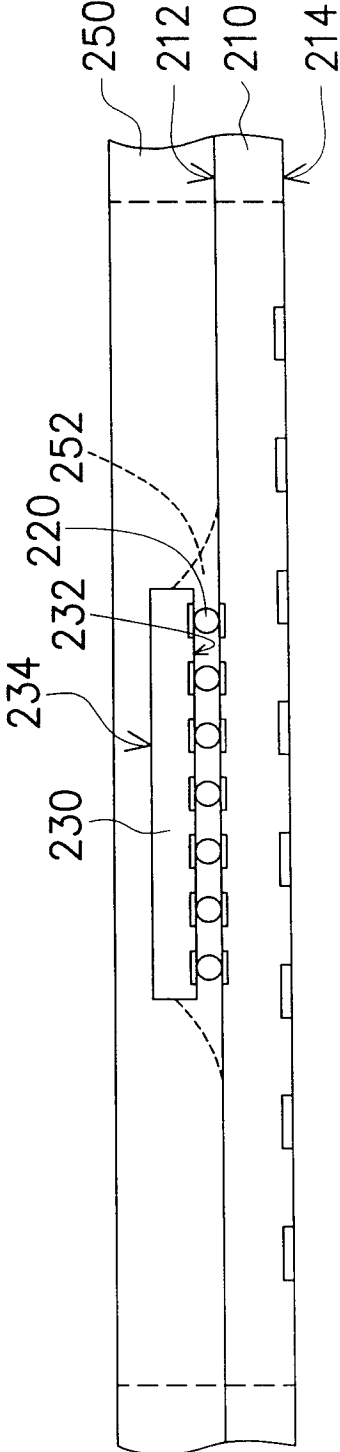


106

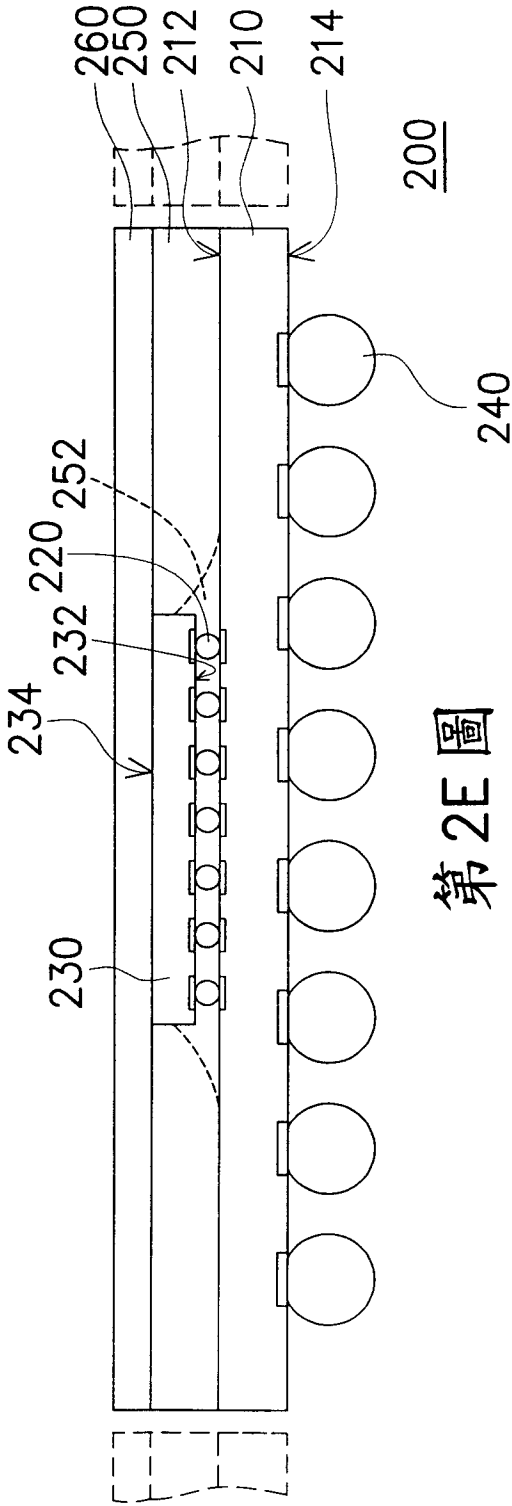
第1D圖



第2A圖



第2B圖



第2E圖



發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：92/10/441

※ 申請日期：92.1.23

※IPC 分類：H01L 23/8

一、發明名稱：(中文/英文)

晶片封裝製程

METHOD FOR FABRICATING A CHIP PACKAGE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

威盛電子股份有限公司/VIA TECHNOLOGIES, INC.

代表人：(中文/英文) 王雪紅/HSIUEH-HONG WANG

住居所或營業所地址：(中文/英文)

台北縣新店市中正路 533 號 8 樓/8F, NO. 533, CHUNG-CHENG RD.,
HSIN-TIEN CITY, TAIPEI HSIEN, TAIWAN, R.O.C.

國 籍：(中文/英文) 中華民國/TW

三、發明人：(共 1 人)

姓 名：(中文/英文)

張文遠 /Kenny Chang

國 籍：(中文/英文) 中華民國/TW

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☐ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☐ 有主張專利法第二十七條第一項國際優先權：

☐ 無主張專利法第二十七條第一項國際優先權：

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種晶片封裝製程，且特別是有關於一種應用於覆晶接合型態之晶片封裝製程。

【先前技術】

覆晶接合技術（Flip Chip Interconnect Technology，簡稱 FC）乃是利用面陣列（area array）的方式，將多個晶片墊（die pad）配置於晶片（die）之主動表面（active surface）上，並在晶片墊上形成凸塊（bump），接著將晶片翻覆（flip）之後，再利用這些凸塊來分別電性及機械性連接晶片之晶片墊至承載器（carrier）上的接點（contact），使得晶片可經由凸塊而電性連接至承載器，並經由承載器之內部線路而電性連接至外界之電子裝置。值得注意的是，由於覆晶接合技術（FC）係可適用於高腳數（High Pin Count）之晶片封裝結構，並同時具有縮小晶片封裝面積及縮短訊號傳輸路徑等諸多優點，所以覆晶接合技術目前已經廣泛地應用於晶片封裝領域，常見應用覆晶接合技術之晶片封裝結構例如有覆晶球格陣列型（Flip Chip Ball Grid Array，FC/BGA）及覆晶針格陣列型（Flip Chip Pin Grid Array，FC/PGA）等型態之晶片封裝結構。

第 1A～1D 圖繪示習知之四種覆晶球格陣列型之晶片封裝結構的剖面示意圖。請先參考第 1A 圖，晶片封裝結構 100 包括基板（substrate）110、多個凸塊 120、晶片 130、及多個錫球 140。其中，基板 110 具有一頂面 112 及對應之一底面 114，且基板 110 更具有多個凸塊墊（bump pad）116a

及多個鐳球墊 (ball pad) 116b。此外，晶片 130 具有一主動表面 (active surface) 132 及對應之一背面 134，其中晶片 130 之主動表面 132 係泛指晶片 130 之具有主動元件 (active device) (未繪示) 的一面，並且晶片 130 更具有多個晶片墊 136，其配置於晶片 130 之主動表面 132，用以作為晶片 130 之訊號輸出入的電性接點，其中這些凸塊墊 116a 之位置係分別對應於這些晶片墊 136 之位置。另外，這些凸塊 120 則分別電性及機械性連接這些晶片墊 136 之一至其所對應之這些凸塊墊 116a 之一。並且，鐳球 140 則分別配置於這些鐳球墊 116b 上，用以電性及機械性連接至外界之電子裝置。

請同樣參考第 1A 圖，底膠 (dispensed underfill) 150 係以填入的方式來填充於基板 110 之頂面 112、凸塊 120 與晶片 130 之主動表面 132 所圍成的空間，用以保護凸塊墊 116a、晶片墊 136 及凸塊 120 所裸露出之部分，並同時緩衝基板 110 與晶片 130 之間在溫度變化時所產生的熱應力 (thermal stress) 之不匹配的現象。因此，晶片 130 之晶片墊 136 將可經由凸塊 120 而電性及機械性連接至基板 110 之凸塊墊 116a，再經由基板 110 之內部線路 (未繪示) 連接至基板 110 之底面 114 的鐳球墊 116b，最後經由鐳球墊 116b 上之鐳球 140 而電性及機械性連接至外界之電子裝置。

請參考第 1B 圖，值得注意的是，晶片封裝結構 102 中，封膠 (molded underfill) 152 係以注模的方式來完全覆蓋於基板 110 之頂面 112 及晶片 130 之背面 134，且部分封膠

152 填入於基板 110 之頂面 112、凸塊 120 與晶片 130 之主動表面 132 所圍成的空間，用以保護晶片 130 不受外力所破壞。由於封膠 152 之材質係為高分子聚合物，如環氧樹脂（epoxy resin）等，其固化之後可保護晶片 130，以預防外界之濕氣進入晶片封裝結構 102 之內部；但值得注意的是，雖然封膠 152 之材質通常會選用導熱性較佳之高分子聚合物，但相對於金屬材料而言，封膠 152 之熱傳導性仍然較差。因此，當部分位於晶片 130 之背面 134 的封膠 152 愈厚時，將相對提高晶片 130 之背面 134 與晶片封裝結構 102 之外表面之間的熱阻抗值，相對地，晶片 130 於運作時所產生的熱能就更不容易散逸到外界環境中，所以位於晶片 130 之背面 134 的封膠 152 其厚度應該越小越好，藉以減少封膠 152 所產生的熱阻抗。然而，為了避免晶片 130 於封膠製程中遭到損毀，並且製造模具及製程均有一定的公差裕度，所以位於晶片 130 之背面 134 上的封膠 152 仍會被預留至一安全厚度。

請參考第 1C 圖，在晶片封裝結構 104 中，其封膠 152 係以注模的方式完全覆蓋於基板 110a 之頂面 112a，而部分封膠 152 更可填入於基板 110 之頂面 112、多個凸塊 120 與晶片 130 之主動表面 132 所圍成的空間，用以保護晶片 130 不受外力所破壞。然而，為了降低晶片 130 之背面 134 與晶片封裝結構 204 之外表面的熱阻抗，習知通常是將模具（未繪示）緊靠密合於晶片 130 之背面 134 上，並將未固化之封膠 152 灌入模具，使得封膠 152 不會殘留於晶片 130 之背面 134，接著在固化封膠 152 之後，此時才將模具

移開，而完成封膠 152 之製作。值得注意的是，由於晶片 130 之本身質地易脆的緣故，故當模具抵靠在晶片 130 之背面 134 時，若模具於晶片 130 之抵靠的力量控制不當，如此將導致模具壓壞晶片 130，或是造成封膠 152 填入模具與晶片 130 之背面 134 之間的縫隙。

請參考第 1D 圖，在晶片封裝結構 106 中，爲了不讓模具直接抵靠在晶片 130 之背面 134，習知技術係在晶片 130 之背面 134 貼附一散熱貼帶 (thermal conductive tape) 160，使得模具可間接地經由散熱貼帶 160，而抵靠於晶片 130 之背面 134，所以未固化之封膠 152 將不會填入模具與晶片 130 之背面 134 之間的縫隙。值得注意的是，雖然散熱貼帶 160 之熱傳導係數大於封膠 152 之熱傳導係數，但與金屬相較之下，散熱貼帶 160 多少還是會產生熱阻抗，並相對增加製造成本。

【發明內容】

因此，本發明的目的就是在提供一種晶片封裝製程，用以降低晶片之背面與封裝之表面之間的熱阻抗。

爲達本發明之上述目的，本發明提出一種晶片封裝製程，首先提供至少一晶片及一基板，而晶片具有一主動表面及對應之一背面，且基板具有一承載表面；接著以覆晶接合的方式，將晶片之主動表面連接至基板之承載表面；接著全面性形成一封膠於基板之承載表面，且封膠更覆蓋於晶片之背面；最後研磨封膠之遠離基板的部分，直到完全暴露出晶片之背面爲止。

爲達本發明之上述目的，本發明提出一種晶片封裝製

程，首先提供多個晶片及一基板，而這些晶片分別具有一主動表面及對應之一背面，且基板具有一承載表面；接著以覆晶接合的方式，將這些晶片之主動表面分別連接至基板之承載表面；接著全面性形成一封膠於基板之承載表面，且封膠更覆蓋於這些晶片之背面；研磨封膠之遠離基板的部分，直到完全暴露出這些晶片之背面為止；最後單顆化這些晶片封裝結構，其中每一封裝體均可包含一個或一個以上的晶片。

因此，本發明之晶片封裝製程的特徵乃藉由研磨的方式，以移除位於晶片之背面的部分封膠，如此晶片之背面可易完全暴露於封膠之外，以使晶片所產生的熱能可快速散逸到外界環境中。此外，亦可藉由研磨的方式，除了可移除位於晶片之背面的部分封膠以外，更可進一步薄化晶片之厚度，進而薄化晶片封裝結構之整體厚度。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

【實施方式】

請參考第 2A～2E 圖，其繪示本發明之較佳實施例之一種晶片封裝製程的流程圖。如第 2A 圖所示，首先提供多個晶片 230（僅繪示其二）及一基板 210，晶片 230 具有一主動表面 232 及對應之一背面 234，且晶片 230 係以覆晶接合的方式，將晶片 230 之主動表面 232 連接至基板 210 之承載表面 212。於覆晶接合之時，晶片 230 係可經由多個凸塊 220 而連接至基板 210 之後，接著迴鍍（reflow）這些凸塊

220，其中迴鐸之目的係在於提升凸塊 220 與基板 210 之間的接合性，並且凸塊 220 於形成時，通常會添加助鐸劑（flux），以使凸塊 220 與基板 210 接合時，可藉由助鐸劑將凸塊 220 表面的氧化物及雜質析出，故可提升凸塊 220 與基板 210 之間的接合性。接著再移除助鐸劑（deflux），其中移除助鐸劑的方式例如以溶劑來加以清洗，並且在移除助鐸劑之後，更可利用電漿（plasma）來清潔基板 210 之承載表面 212、晶片 230 及這些凸塊 220 所分別暴露出之表面，用以去除殘留於基板 210 之承載表面 212 的助鐸劑及其他雜質。

請參考第 2B 圖，接著全面性形成一封膠 250 於基板 210 之承載表面 212，且封膠 250 更覆蓋於晶片 230 之背面 234。值得注意的是，由於封膠 250 係以注模的方式形成於基板 210 上，所以必須先將未固化之封膠 250 注入於模具（未繪示），而全面性地覆蓋於基板 210 之承載表面 212，且未固化之部分封膠 250 更覆蓋於晶片 230 之背面 234，並且未固化之部分封膠 250 更將填入於晶片 230、基板 210 及凸塊 220 所構成之空間，用以保護晶片 230 不受外力所破壞。值得注意的是，在全面性形成一封膠 250 之前，爲了避免部分之封膠 250 無法充分填入於晶片 230、基板 210、及這些凸塊 220 所構成之空間而產生空孔（或氣泡），此處亦可先填入底膠 252（如虛線所示）於晶片 230、基板 210 及這些凸塊 220 所構成之空間，最後再全面性形成封膠 250 於底膠 252 之外圍。

接著請參考第 2C 圖，研磨封膠 250 之遠離基板 210

的部分，直到完全暴露出晶片 230 之背面 234 為止，此處之研磨面所要求的平坦度不需要很高，誤差可到達約 3mil 左右。如此一來，封膠 250 不會殘留於晶片 230 之背面 234，故可降低晶片 230 之背面 234 上方由封膠 250 所產生的熱阻抗值。另一方面，當研磨至晶片 230 之背面 234 時，同時研磨晶片 230 之背面 234 與封膠 250 之表面，以達到薄化晶片封裝結構 200 的效果。

接著請參考第 2D 圖，更可貼附一散熱片 260 於晶片 230 之背面 234 及封膠 250 之表面，用以提高晶片封裝結構 200 之散熱效能。接著，更可利用油墨或雷射的方式，在晶片封裝結構 200 之頂面印字（mark），並可選擇性地將銲球 240 或其他類型之接點連接至基板 210 之底面 214。

最後請參考第 2E 圖，單顆化（singulation）晶片 230 及其所述的封裝結構，用以形成單顆之晶片封裝結構 200。值得注意的是，由於散熱片 260 之材質為金屬或較堅硬的材料，亦可在單顆化晶片 230 及其所述的封裝結構之後，再將多個散熱片 260 分別貼附至晶片封裝結構 200 之頂面，即封膠 250 之較遠離基板 210 之一面及晶片 230 之背面 234。

綜上所述，本發明之晶片封裝製程乃是先全面性地形成一封膠於基板之承載表面，且部分封膠更覆蓋於晶片之背面，接著再研磨封膠之遠離基板的部分，直到完全暴露出晶片之背面為止。因此，本發明之晶片封裝製程具有下列優點：

（1）就本發明之晶片封裝製程而言，由於封膠未包

覆於晶片之背面，故可大幅減少晶片之背面與晶片封裝結構之外表面的熱阻抗，使得晶片所產生的熱能可快速散逸到外界環境中。

(2) 就本發明之晶片封裝製程而言，除可利用研磨的方式來移除部分位於晶片之背面的封膠以外，更可繼續研磨晶片之背面及封膠，進而達到薄化晶片封裝結構之效果。此外，若各個晶片之厚度不同時，更可藉研磨步驟使其厚度一致，並可同樣達到薄化整個晶片封裝結構之效果。

(3) 就本發明之晶片封裝製程而言，更可貼附一散熱片於晶片之背面及封膠之表面，用以提高晶片封裝結構之散熱效能。

(4) 就本發明之晶片封裝製程而言，本發明之晶片封裝製程亦可應用於多晶片模組 (Multi-Chip Module, MCM) 或系統單封裝 (System In Package, SIP) 等晶片封裝結構，使得多晶片模組之各個晶片之間的訊號傳輸路徑更短，故可提升多晶片模組於封裝後之電性效能。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

第 1A~1D 圖繪示習知之四種覆晶球格陣列型之晶片封裝結構的剖面示意圖；以及

第 2A~2E 圖繪示本發明之較佳實施例之一種晶片封

裝製程的流程示意圖。

【圖式標示說明】

100、102、104、106：晶片封裝結構

110：基板

112：頂面

114：底面

116a：凸塊墊

116b：鐳球墊

120：凸塊

130：晶片

132：主動表面

134：背面

136：晶片墊

140：鐳球

150：底膠

152：封膠

160：導熱貼片

200：晶片封裝結構

210：基板

212：承載表面

214：底面

220：凸塊

230：晶片

232：主動表面

234：背面

240：鐳球

250：封膠

252：底膠

260：散熱片

五、中文發明摘要：

一種晶片封裝製程，首先提供至少一晶片及一基板，而晶片具有一主動表面及對應之一背面，且基板具有一承載表面；接著以覆晶接合的方式，將晶片之主動表面連接至基板之承載表面；接著全面性形成一封膠於基板之承載表面，且封膠更覆蓋於晶片之背面；最後研磨封膠之遠離基板的部分，直到完全暴露出晶片之背面為止。由於封膠未包覆於晶片之背面，所以晶片所產生的熱能可快速散逸到外界環境中。此外，更可貼附一散熱片於晶片之背面以及封膠之表面，用以提高此晶片封裝結構之散熱效能。

六、英文發明摘要：

A method for fabricating a chip package is to provide at least one chip having an active surface and a back surface thereon and a substrate having a support surface. To couple the active surface of the chip to the support surface of the substrate by the mean of flip chip attachment. Completely forming a compound on the support surface of the substrate and the compound even covers the back surface of the chip, then grinding the far portion of the compound opposite to the substrate until the back surface of the chip is exposed. The heat derives from the chip can be dissipated more quickly due to no compound covered the back surface of the chip. It also improves the heat dissipation of the chip package with a thermal conductive tape attached on the back

surface of the chip and the surface of the compound.

七、指定代表圖：

(一)本案指定代表圖為：第 (2E) 圖。

(二)本代表圖之元件符號簡單說明：

200：晶片封裝結構

210：基板

212：承載表面

214：底面

220：凸塊

230：晶片

232：主動表面

234：背面

240：鐳球

250：封膠

252：底膠

260：散熱片

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

十、申請專利範圍：

1.一種晶片封裝製程，包括下列步驟：

(a) 提供至少一晶片及一基板，其中該晶片具有一主動表面及對應之一背面，且該基板具有一承載表面；

(b) 以覆晶接合的方式，將該晶片之該主動表面連接至該基板之該承載表面；

(c) 全面性形成一封膠於該基板之該承載表面，且該封膠更覆蓋於該晶片之該背面；以及

(d) 研磨該封膠之遠離該基板的部分，直到完全暴露出該晶片之該背面為止。

2.如申請專利範圍第 1 項所述之晶片封裝製程，其中於步驟 (d) 之後，更包括 (e) 單顆化該晶片之封裝結構。

3.如申請專利範圍第 2 項所述之晶片封裝製程，其中於步驟 (d) 之後，且在步驟 (e) 之前，更包括貼附一散熱片於該封膠之表面及該晶片之該背面。

4.如申請專利範圍第 1 項所述之晶片封裝製程，於步驟 (c) 之時，形成該封膠的過程包括：形成未固化之該封膠於該基板之該承載表面，且未固化之該封膠更覆蓋於該晶片之該背面，接著固化該封膠。

5.如申請專利範圍第 1 項所述之晶片封裝製程，於步驟 (b) 之時，以覆晶接合的方式，將該晶片連接至該基板的過程包括：將該晶片經由複數個凸塊而連接至該基板之後，接著填充一底膠於該晶片、該基板及該些凸塊所構成之空間。

6.如申請專利範圍第 5 項所述之晶片封裝製程，於步驟（c）之時，形成該封膠的過程包括：形成未固化之該封膠於該基板之該承載表面，且未固化之該封膠更覆蓋於該晶片之該背面以及該底膠，接著固化該封膠。

surface of the chip and the surface of the compound.

七、指定代表圖：

(一)本案指定代表圖為：第 (2E) 圖。

(二)本代表圖之元件符號簡單說明：

200：晶片封裝結構

210：基板

212：承載表面

214：底面

220：凸塊

230：晶片

232：主動表面

234：背面

240：鐳球

250：封膠

252：底膠

260：散熱片

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：