

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2007-96036
(P2007-96036A)

(43) 公開日 平成19年4月12日(2007.4.12)

(51) Int. Cl.	F I	テーマコード (参考)
H O 1 L 21/822 (2006.01)	H O 1 L 27/04 G	5 F O 3 8
H O 1 L 27/04 (2006.01)	H O 1 L 27/06 I O 2 A	5 F O 4 8
H O 1 L 21/8234 (2006.01)	H O 1 L 27/04 C	5 J O 3 9
H O 1 L 27/06 (2006.01)	H O 3 K 5/02 C	
H O 3 K 5/02 (2006.01)		

審査請求 未請求 請求項の数 9 O L (全 12 頁)

(21) 出願番号	特願2005-284153 (P2005-284153)	(71) 出願人	000005821
(22) 出願日	平成17年9月29日 (2005.9.29)		松下電器産業株式会社
			大阪府門真市大字門真1006番地
		(74) 代理人	100077931
			弁理士 前田 弘
		(74) 代理人	100094134
			弁理士 小山 廣毅
		(74) 代理人	100110939
			弁理士 竹内 宏
		(74) 代理人	100110940
			弁理士 嶋田 高久
		(74) 代理人	100113262
			弁理士 竹内 祐二
		(74) 代理人	100115059
			弁理士 今江 克実

最終頁に続く

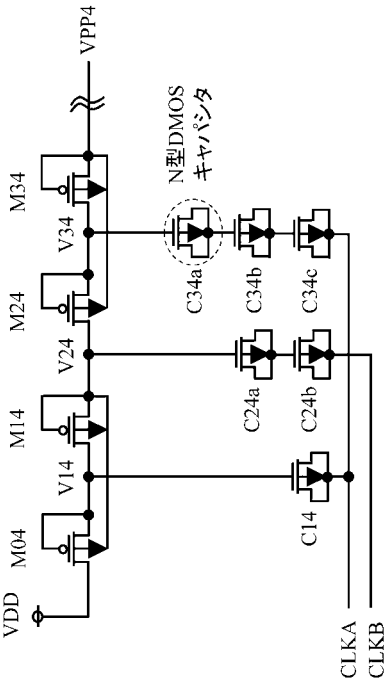
(54) 【発明の名称】 昇圧回路

(57) 【要約】

【課題】レイアウトの小面積化を実現する標準CMOSプロセスのLSIに混載可能な昇圧回路を提供する。

【解決手段】各段がMOSトランジスタ(M04、M14、M24、M34)と、前記MOSトランジスタのドレイン又はソースの一方に一端が接続されたキャパシタ(C14、C24a、C24b、C34a、C34b、C34c)とからなり、前記MOSトランジスタが縦列接続されることによって各段が接続され、各段における前記MOSトランジスタのゲートとドレイン又はソースの一方とが互いに電氣的に接続されるとともに、少なくとも1組の隣接するMOSトランジスタの基板がその一方のドレイン又はソースの一方と電氣的に接続される。バックバイアス効果が抑制され、かつレイアウト面積を縮小することができる。また、後段の昇圧キャパシタを複数の直列キャパシタで構成することにより、各キャパシタの耐圧劣化を抑制することができる。

【選択図】 図8



【特許請求の範囲】

【請求項 1】

各段が MOS トランジスタと、前記 MOS トランジスタのドレイン又はソースの一端が接続されたキャパシタとからなり、前記 MOS トランジスタが縦列接続されることによって各段が接続されており、

各段における前記 MOS トランジスタのゲートとドレイン又はソースの一方とが互いに電氣的に接続されるとともに、少なくとも 1 組の隣接する MOS トランジスタの基板がその一方のドレイン又はソースの一方と電氣的に接続されていることを特徴とする昇圧回路。

【請求項 2】

請求項 1 記載の昇圧回路において、

連続する 2 段の前記キャパシタの他端に逆位相の 1 対のクロック信号が入力されることを特徴とする昇圧回路。

【請求項 3】

請求項 1 記載の昇圧回路において、

前記 MOS トランジスタが N 型ウェル領域に形成された PMOS トランジスタであることを特徴とする昇圧回路。

【請求項 4】

請求項 1 記載の昇圧回路において、

前記 MOS トランジスタが P 型ウェル領域に形成された NMOS トランジスタであることを特徴とする昇圧回路。

【請求項 5】

請求項 1 記載の昇圧回路において、

少なくとも 1 つの段のキャパシタは複数の直列接続されたキャパシタからなることを特徴とする昇圧回路。

【請求項 6】

各段が MOS トランジスタと、前記 MOS トランジスタのドレイン又はソースの一端が接続されたキャパシタとからなり、少なくとも 1 つの段のキャパシタは複数の直列接続されたキャパシタからなることを特徴とする昇圧回路。

【請求項 7】

請求項 6 記載の昇圧回路において、

前記キャパシタが N 型のデプレッション MOS トランジスタで構成されたことを特徴とする昇圧回路。

【請求項 8】

請求項 6 記載の昇圧回路において、

前記キャパシタが PMOS トランジスタで構成されたことを特徴とする昇圧回路。

【請求項 9】

請求項 1 又は 6 に記載の昇圧回路において、

各段が LSI の入出力回路を形成する MOS トランジスタと同一のプロセスで製造する MOS トランジスタで構成されたことを特徴とする昇圧回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シリコン基板上に形成される昇圧回路に関し、更に詳しくは標準 CMOS プロセスの LSI に混載可能な昇圧回路に関するものである。

【背景技術】

【0002】

シリコン基板上に形成可能なコッククロフト・ウォルトン (Cockcroft-Walton) 型の昇圧回路が、1976 年の論文に掲載された。これは、ドレインとゲートとを接続した駆動 MOS トランジスタと、キャパシタとで各段の昇圧セルを構成し、2 相のクロック信号に

10

20

30

40

50

応じて順次次段の昇圧セルに前段の電圧を重畳してゆき、最終段の昇圧セルで所望の電圧を得るものである（非特許文献 1 参照）。

【 0 0 0 3 】

上記コッククロフト・ウォルトン型の昇圧回路では、昇圧電位が大きくなるにつれ、バックバイアス効果の影響が大きくなり、駆動トランジスタの閾値電圧が上昇し、それゆえ昇圧効率が低下するという問題があった。

【 0 0 0 4 】

そこで、ある従来技術によれば、バックバイアス効果の影響を小さくするため、P 型シリコン基板上において各駆動 P M O S トランジスタを形成する N 型ウェル領域を互いに電氣的に分離し、かつ各段にて基板電位を各駆動 P M O S トランジスタのソース電位に固定

10

【 0 0 0 5 】

他の従来技術によれば、P 型シリコン基板上にトリプルウェル構造を採用し、バックバイアス効果の影響を小さくするため、各駆動 N M O S トランジスタを形成する P 型ウェル領域を互いに電氣的に分離し、かつ各段にて基板電位を各駆動 N M O S トランジスタのドレイン電位に固定することとした。また、4 相クロック信号タイプの昇圧回路も紹介されている（特許文献 2 参照）。

【非特許文献 1】J. F. Dickson, "On-Chip High-Voltage Generation in MNOS Integrated Circuits Using an Improved Voltage Multiplier Technique," IEEE J. Solid-State Circuits, Vol. SC-11, No. 3, pp. 374-378, June 1976.

20

【特許文献 1】特開平 7 - 2 9 8 6 0 7 号公報

【特許文献 2】特開平 1 1 - 2 8 3 3 9 2 号公報

【発明の開示】

【発明が解決しようとする課題】

【 0 0 0 6 】

さて、フラッシュメモリ、E E P R O M 等の不揮発性半導体記憶装置においては、信号の書き込みや消去時に電源電圧よりも高い電圧を必要とする。フラッシュメモリの場合、昇圧回路には高バイアス対策用の高耐圧トランジスタを専用プロセスで用いることができる。ところが、先端標準 C M O S プロセスの L S I に昇圧回路を搭載する際、専用プロセスの高耐圧トランジスタを用いることができない。したがって、昇圧回路のキャパシタを 1 つの M O S トランジスタで構成すると、ゲートと基板との間に高電圧が印加され、経時絶縁破壊（Time Dependent Dielectric Breakdown: T D D B）によりキャパシタの耐圧が保証できない等の問題が生じ、先端標準 C M O S プロセスの L S I に昇圧回路を搭載することが難しい。

30

【 0 0 0 7 】

また、上記のようにバックバイアス効果の対策として各駆動 M O S トランジスタを形成するウェル領域を互いに電氣的に分離することとすると、各段間で分離層が必要となるため、昇圧回路のレイアウト面積が増加する等の問題が生じる。

【課題を解決するための手段】

【 0 0 0 8 】

40

本発明によれば、各段が M O S トランジスタと、前記 M O S トランジスタのドレイン又はソースの一方に一端が接続されたキャパシタとからなり、前記 M O S トランジスタが縦列接続されることによって各段が接続されており、各段における前記 M O S トランジスタのゲートとドレイン又はソースの一方とが互いに電氣的に接続されるとともに、少なくとも 1 組の隣接する M O S トランジスタの基板がその一方のドレイン又はソースの一方と電氣的に接続されていることを特徴とする昇圧回路が提供される。

【 0 0 0 9 】

上記構成の昇圧回路によれば、少なくとも 1 組の隣接する駆動 M O S トランジスタの基板がその一方のドレイン又はソースの一方と電氣的に接続されているため、バックバイアス効果が抑制され、昇圧効率の低下を抑制することができる。しかも、少なくとも 1 組の

50

隣接するＭＯＳトランジスタの基板が共通であることにより基板分離領域を削減することができ、レイアウト面積を縮小することができる。

【００１０】

また、本発明によれば、昇圧回路の各段にてキャパシタを直列接続することで、各キャパシタの両端に印加される電圧を分圧し、キャパシタの耐圧劣化を抑制することができるため、先端標準ＣＭＯＳプロセスのＬＳＩに昇圧回路を搭載することができる。

【発明の効果】

【００１１】

請求項１、２に記載の発明は、各段がＭＯＳトランジスタと、前記ＭＯＳトランジスタのドレイン又はソースの一方に一端が接続されたキャパシタとからなり、前記ＭＯＳトランジスタが縦列接続されることによって各段が接続されており、各段における前記ＭＯＳトランジスタのゲートとドレイン又はソースの一方とが互いに電氣的に接続されるとともに、少なくとも１組の隣接するＭＯＳトランジスタの基板がその一方のドレイン又はソースの一方と電氣的に接続されていることを特徴とする昇圧回路であって、ＭＯＳトランジスタのバックバイアス効果を緩和し、昇圧効率の劣化を抑制し、かつレイアウト面積を縮小することができるという効果を有する。

【００１２】

請求項３に記載の発明は前記ＭＯＳトランジスタがＮ型ウェル領域に形成されたＰＭＯＳトランジスタであることを特徴とする請求項１に記載の昇圧回路であり、請求項４に記載の発明は前記ＭＯＳトランジスタがＰ型ウェル領域に形成されたＮＭＯＳトランジスタであることを特徴とする請求項１に記載の昇圧回路であって、駆動ＭＯＳトランジスタをウェル上に形成することで、駆動ＭＯＳトランジスタの基板を隣接する駆動ＭＯＳトランジスタで共通にすることが可能となり、ＭＯＳトランジスタのバックバイアス効果を緩和し、昇圧効率の劣化を抑制し、かつレイアウト面積を縮小することができるという効果を有する。

【００１３】

請求項５に記載の発明は、少なくとも１つの段のキャパシタは複数の直列接続されたキャパシタからなることを特徴とする請求項１に記載の昇圧回路であって、各キャパシタの両端に印加される電圧を分圧し、キャパシタの耐圧劣化を抑制できるという効果を有する。

【００１４】

請求項６に記載の発明は、各段がＭＯＳトランジスタと、前記ＭＯＳトランジスタのドレイン又はソースの一方に一端が接続されたキャパシタとからなり、少なくとも１つの段のキャパシタは複数の直列接続されたキャパシタからなることを特徴とする昇圧回路であって、各キャパシタの両端に印加される電圧を分圧し、キャパシタの耐圧劣化を抑制できるという効果を有する。

【００１５】

請求項７に記載の発明は前記キャパシタがＮ型のデプレッション（Depletion）ＭＯＳトランジスタで構成されたことを特徴とする請求項６に記載の昇圧回路であり、請求項８に記載の発明は前記キャパシタがＰＭＯＳトランジスタで構成されたことを特徴とする請求項６に記載の昇圧回路であって、ウェル分離が可能なのでキャパシタを複数直列接続することが可能であり、キャパシタの耐圧劣化を抑制できるという効果を有する。

【００１６】

請求項９に記載の発明は、各段がＬＳＩの入出力回路を形成するＭＯＳトランジスタと同一のプロセスで製造するＭＯＳトランジスタで構成されたことを特徴とする請求項１又は６に記載の昇圧回路であって、先端標準ＣＭＯＳプロセスのＬＳＩに混載可能な昇圧回路を実現するという効果を有する。

【発明を実施するための最良の形態】

【００１７】

以下、本発明の実施形態について図面を用いながら説明する。

【0018】

図1は、本発明の実施形態1における昇圧回路の構成を示す回路図である。図2は、本発明の実施形態1における昇圧回路の素子構造を示す断面図である。1～4はゲート、5、6はN型ウェル領域、7はP型シリコン基板である。図2に示されるように、N型ウェル領域上に形成されたPMOSトランジスタを利用して昇圧回路を構成している。2相クロック信号タイプの昇圧回路であり、キャパシタCp(C11、C21、C31)と駆動トランジスタM(M01、M11、M21、M31)とで構成され、それを駆動するためのクロック信号CLKAとそのCLKAを反転した反転クロック信号CLKBとがキャパシタの一端に印加される。ここでは、駆動トランジスタはPMOSトランジスタ(M01、M11、M21、M31)の4つ、キャパシタ(C11、C21、C31)が3段の場合を示している。駆動トランジスタM01、M11、M21、M31を直列に接続し、そのトランジスタ間の拡散層に昇圧用のキャパシタCpの一端を接続し、その他端にクロック信号が印加される。クロック信号は図3に示すCLKAとCLKBの2相の組み合わせで印加される。駆動トランジスタ(M01、M11、M21、M31)はドレインとゲートとを接続したMOS構成である。この昇圧回路では、クロック信号CLKAとCLKBとに応じて順次次段の昇圧セルに前段の電圧を重畳して昇圧され、最終段の昇圧セルで所望の電圧を得ることができる。

【0019】

次に昇圧電圧について述べる。図1において駆動トランジスタ(M01、M11、M21、M31)の閾値電圧をそれぞれVt0、Vt1、Vt2、Vt3とする。電源電圧をVDDとし、キャパシタに印加するクロック信号の電圧振幅をVDDとする。昇圧動作に入ると、ノードV11には(VDD - Vt0 + VDD)の電位が、ノードV21には(VDD - Vt0 + VDD - Vt1 + VDD)の電位が、ノードV31には(VDD - Vt0 + VDD - Vt1 + VDD - Vt2 + VDD)の電位が与えられ、最終駆動トランジスタM31のドレイン電位である昇圧電圧VPP1は、

$$VPP1 = (VDD - Vt0) + VDD \times 3 - (Vt1 + Vt2 + Vt3)$$
の電位まで昇圧される。

【0020】

駆動トランジスタがn段の場合、n段目の駆動トランジスタのドレイン電位である昇圧電圧VPP1は、

$$VPP1 = (VDD - Vt0) + VDD \times n - (Vt1 + Vt2 + Vt3 + \dots + Vtn)$$
の電位まで昇圧される。

【0021】

図6xは、従来技術2の昇圧回路(キャパシタをN型のデプレッションMOS(DMOS)で構成した場合)のレイアウト図を示す。

【0022】

図4は、本発明の実施形態1における図1の昇圧回路においてキャパシタをN型のデプレッションMOS(DMOS)で構成した場合のレイアウト図である。ここで、11は駆動PMOSトランジスタのウェル電位を与えるウェルコンタクト領域、12はN型DMOSのキャパシタ、13は駆動PMOSトランジスタである。本発明の昇圧回路では、駆動PMOSトランジスタM01とM11、M21とM31のウェルコンタクト領域を共通化することができるのでレイアウト面積を縮小することができる。

【0023】

以上のとおり、本発明の実施形態1における昇圧回路は、各段がPMOSトランジスタと、前記PMOSトランジスタのドレイン又はソースの一方に一端が接続されたキャパシタとからなり、前記PMOSトランジスタが縦列接続されることによって各段が接続されており、各段における前記MOSトランジスタのゲートとドレイン又はソースの一方とが互いに電氣的に接続されるとともに、少なくとも1組の隣接するPMOSトランジスタの基板がその一方のドレイン又はソースの一方と電氣的に接続されているため、昇圧電位が

大きくなってもバックバイアス効果の影響を小さくし、駆動トランジスタの閾値電圧上昇を抑制することができる。したがって、図 1 に示される本発明の昇圧回路は昇圧効率が劣化しない。また、この昇圧回路は少なくとも 1 組の隣接する PMOS トランジスタの基板が共通であることにより基板分離領域（ウェル分離）を削減することができるので、レイアウト面積を縮小することができる。

【0024】

図 5 は、本発明の実施形態 2 における昇圧回路の構成を示す回路図である。図 6 は、本発明の実施形態 2 における昇圧回路の素子構造を示す断面図である。ここで、14、15、16、17 はゲート、18、20 は P 型ウェル領域、19、21 は N 型ウェル領域、22 は P 型シリコン基板である。図 6 に示されるように、トリプルウェル（N 型ウェル上の P 型ウェル）上に形成された NMOS トランジスタを利用して昇圧回路を構成している。本発明の昇圧回路において、駆動 MOS トランジスタ（M02、M12、M22、M32）に NMOS を用いる場合には、トリプルウェルプロセスが必要となる。2 相クロック信号タイプの昇圧回路であり、キャパシタ Cp（C12、C22、C32）と駆動トランジスタ M（M02、M12、M22、M32）とで構成され、それを駆動するためのクロック信号 CLK A とその CLK A を反転した反転クロック信号 CLK B とがキャパシタの一端に印加される。ここでは、駆動トランジスタが M02、M12、M22、M32 の 4 つ、キャパシタが 3 段の場合を示している。駆動トランジスタ（M02、M12、M22、M32）を直列に接続し、そのトランジスタ間の拡散層に昇圧用のキャパシタ Cp の一端を接続し、その他端にクロック信号が印加される。図 3 に示されるように、クロック信号は CLK A と CLK B の 2 相の組み合わせで印加される。駆動トランジスタ（M02、M12、M22、M32）はドレインとゲートとを接続した MOS 構成である。

【0025】

この昇圧回路では、クロック信号 CLK A と CLK B に応じて順次次段の昇圧セルに前段の電圧を重畳して昇圧され、n 段目の昇圧セルで所望の電圧を得ることができる。

【0026】

図 1 に示される実施形態 1 の昇圧回路と同じ構成であり、各段が NMOS トランジスタと、前記 NMOS トランジスタのソースに一端が接続されたキャパシタとからなり、前記 NMOS トランジスタ（M02、M12、M22、M32）が縦列接続されることによって各段が接続されており、各段における前記 NMOS トランジスタ（M02、M12、M22、M32）のゲートとドレイン又はソースの一方とが互いに電氣的に接続されるとともに、少なくとも 1 組の隣接する NMOS トランジスタの基板がその一方のドレイン又はソースの一方と電氣的に接続されているため、昇圧電位が大きくなってもバックバイアス効果の影響を小さくし、駆動 NMOS トランジスタ（M02、M12、M22、M32）の閾値電圧の上昇を抑制することができる。したがって、図 5 に示される本発明の実施形態 2 における昇圧回路は昇圧効率が劣化しない。また、この昇圧回路は少なくとも 1 組の隣接する NMOS トランジスタ（M02、M12、M22、M32）の基板が共通であることにより基板分離領域を削減することができるので、レイアウト面積を縮小することができる。

【0027】

図 7 は、本発明の実施形態 3 における昇圧回路の構成を示す回路図である。各段が PMOS トランジスタ（M03、M13、M23、M33）と、前記 PMOS トランジスタ（M03、M13、M23、M33）のドレイン又はソースの一方に一端が接続されたキャパシタとからなり、1 段目のキャパシタ C13 は 1 つ、2 段目のキャパシタは 2 つのキャパシタ C23 a、C23 b の直列接続、3 段目のキャパシタは 3 つのキャパシタ C33 a、C33 b、C33 c の直列接続により構成されることを特徴とする昇圧回路である。

【0028】

上述したように、昇圧動作に入ると、ノード V13 には $(V_{DD} - V_{t0} + V_{DD})$ の電位が、ノード V23 には $(V_{DD} - V_{t0} + V_{DD} - V_{t1} + V_{DD})$ の電位が与えられる。ノード V33 には $(V_{DD} - V_{t0} + V_{DD} - V_{t1} + V_{DD} - V_{t2} + V_{DD})$

の電位が与えられる。後段のノードほど高電圧になるため、ここでは１段目のキャパシタ C 1 3 は１つ、２段目のキャパシタは２つのキャパシタ C 2 3 a、C 2 3 b の直列接続、３段目のキャパシタは３つのキャパシタ C 3 3 a、C 3 3 b、C 3 3 c の直列接続により、各キャパシタの両端に印加される電圧を分圧し、キャパシタの耐圧を抑制することができる。各段におけるキャパシタの直列接続数は、各段のノードに印加される最大電圧及びキャパシタの T D D B 特性等を考慮して決める。以上のようなキャパシタ構成にすることで、先端 C M O S 標準プロセスで追加のマスク無くキャパシタの耐圧劣化を抑制し、昇圧回路を搭載することが可能になる。

【 0 0 2 9 】

図 8 は、本発明の実施形態 4 における昇圧回路の構成を示す回路図である。この昇圧回路のキャパシタ (C 1 4、C 2 4 a、C 2 4 b、C 3 4 a、C 3 4 b、C 3 4 c) は N 型の D M O S キャパシタで構成され、１段目は N 型 D M O S キャパシタ C 1 4、２段目は N 型 D M O S キャパシタ C 2 4 a 及び C 2 4 b、３段目は N 型 D M O S キャパシタ C 3 4 a、C 3 4 b 及び C 3 4 c からなる。キャパシタに N 型 D M O S キャパシタを用いる場合、図 8 に示されるように N 型 D M O S キャパシタのゲートを高電圧側である V 1 4、V 2 4、V 3 4 に、N 型ウェルを低電圧側 (C L K A、C L K B) に接続することで安定したチャネル反転容量が得られる。

10

【 0 0 3 0 】

図 9 は、本発明の実施形態 4 における昇圧回路に用いる N 型 D M O S キャパシタの断面図である。2 3 は N 型 D M O S キャパシタのゲート端子、2 4 は N 型 D M O S キャパシタの N 型ウェル (拡散層) 端子、2 5 は N 型ウェル領域、2 6 は P 型シリコン基板である。

20

【 0 0 3 1 】

図 1 0 は、N 型 D M O S キャパシタを用いた本発明の実施形態 4 における昇圧回路のレイアウト図である。ここに、3 0 はウェルコンタクト領域、3 1 はキャパシタ、3 2 は駆動 M O S トランジスタである。昇圧キャパシタの値は 1 p F で、図 8 において C 1 4 は 1 p F、C 2 4 a と C 2 4 b は 2 p F、C 3 4 a と C 3 4 b と C 3 4 c は 3 p F である。図 8 に示される本発明の昇圧回路では駆動 P M O S トランジスタ (M 0 4、M 1 4、M 2 4、M 3 4) のウェルが共通に接続されているため、ウェル分離領域を削減することができるので、昇圧回路のレイアウト面積を縮小することができる。

【 0 0 3 2 】

30

図 1 1 は、本発明の実施形態 5 における昇圧回路の構成を示す回路図である。この昇圧回路のキャパシタは P M O S キャパシタ (C 1 5、C 2 5 a、C 2 5 b、C 3 5 a、C 3 5 b、C 3 5 c) で構成され、１段目は P M O S キャパシタ C 1 5、２段目は P M O S キャパシタ C 2 5 a 及び C 2 5 b、３段目は P M O S キャパシタ C 3 5 a、C 3 5 b 及び C 3 5 c からなる。昇圧キャパシタに P M O S キャパシタを用いる場合、図 1 1 に示されるように P M O S キャパシタのゲートを低電圧側 (C L K A、C L K B) に、N 型ウェルを高電圧側 (V 1 5、V 2 5、V 3 5) に接続することで安定したチャネル反転容量が得られる。

【 0 0 3 3 】

なお、上記各実施形態において、L S I の入出力回路を形成する M O S トランジスタと同一のプロセスで製造する M O S トランジスタで各段を構成すれば、先端標準 C M O S プロセスの L S I に混載可能な昇圧回路を実現できる。

40

【産業上の利用可能性】

【 0 0 3 4 】

本発明に係る昇圧回路は、標準 C M O S プロセスの L S I における不揮発性メモリの内蔵昇圧回路として有用である。

【図面の簡単な説明】

【 0 0 3 5 】

【図 1】本発明の実施形態 1 における昇圧回路の構成を示す回路図である。

【図 2】本発明の実施形態 1 における昇圧回路の素子構造を示す断面図である。

50

【図 3】本発明の実施形態 1 における昇圧回路のクロック信号タイミングを示す図である。

【図 4】本発明の実施形態 1 における昇圧回路（N 型 D M O S キャパシタ）のレイアウト図である。

【図 5】本発明の実施形態 2 における昇圧回路の構成を示す回路図である。

【図 6】本発明の実施形態 2 における昇圧回路の素子構造を示す断面図である。

【図 7】本発明の実施形態 3 における昇圧回路の構成を示す回路図である。

【図 8】本発明の実施形態 4 における昇圧回路の構成を示す回路図である。

【図 9】本発明の実施形態 4 における昇圧回路の N 型 D M O S キャパシタの断面図である。

10

【図 10】本発明の実施形態 4 における昇圧回路（N 型 D M O S キャパシタ）のレイアウト図である。

【図 11】本発明の実施形態 5 における昇圧回路の構成を示す回路図である。

【符号の説明】

【0036】

1、2、3、4、14、15、16、17 ゲート

5、6、19、21、25 N 型ウェル領域

7、22、26 P 型シリコン基板

11、30 ウェルコンタクト領域

12、31 キャパシタ領域

20

13、32 M O S トランジスタ

18、20 P 型ウェル領域

23 N 型 D M O S キャパシタのゲート端子

24 N 型 D M O S キャパシタの N 型ウェル（拡散層）端子

C 1 1、C 2 1、C 3 1 キャパシタ

C 1 2、C 2 2、C 3 2 キャパシタ

C 1 3、C 2 3 a、C 2 3 b、C 3 3 a、C 3 3 b、C 3 3 c キャパシタ

C 1 4、C 2 4 a、C 2 4 b、C 3 4 a、C 3 4 b、C 3 4 c キャパシタ

C 1 5、C 2 5 a、C 2 5 b、C 3 5 a、C 3 5 b、C 3 5 c キャパシタ

C L K A、C L K B クロック信号

30

M 0 1、M 1 1、M 2 1、M 3 1 駆動 P M O S トランジスタ

M 0 2、M 1 2、M 2 2、M 3 2 駆動 N M O S トランジスタ

M 0 3、M 1 3、M 2 3、M 3 3 駆動 P M O S トランジスタ

M 0 4、M 1 4、M 2 4、M 3 4 駆動 P M O S トランジスタ

M 0 5、M 1 5、M 2 5、M 3 5 駆動 P M O S トランジスタ

V 1 1、V 2 1、V 3 1 ノード

V 1 2、V 2 2、V 3 2 ノード

V 1 3、V 2 3、V 3 3 ノード

V 1 4、V 2 4、V 3 4 ノード

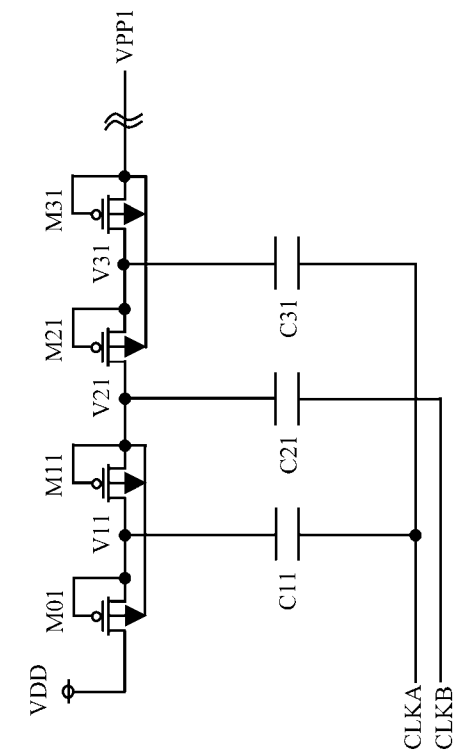
V 1 5、V 2 5、V 3 5 ノード

40

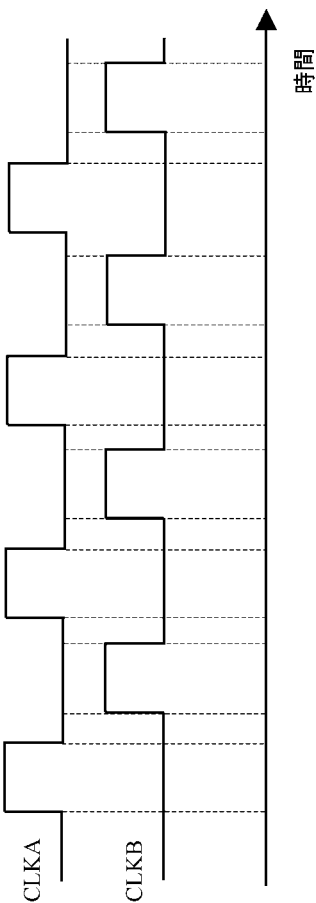
V D D 電源電圧

V P P 1 ~ V P P 5 昇圧回路の出力電圧

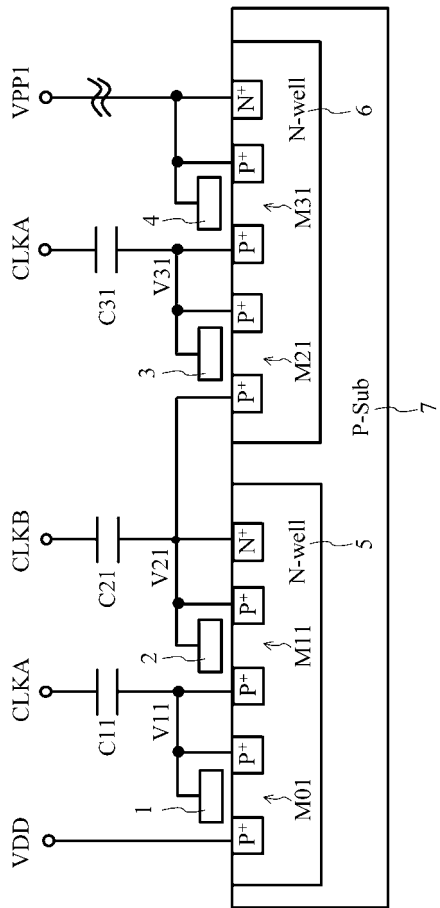
【 図 1 】



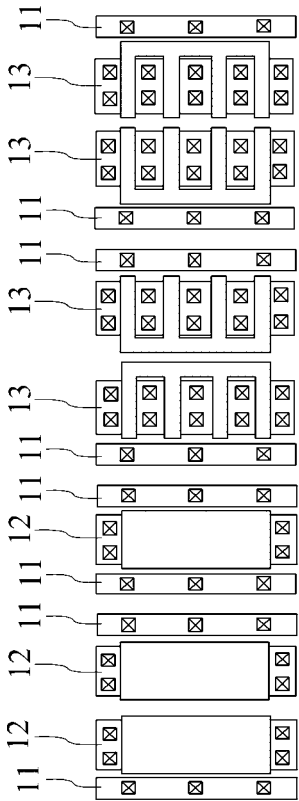
【 図 3 】



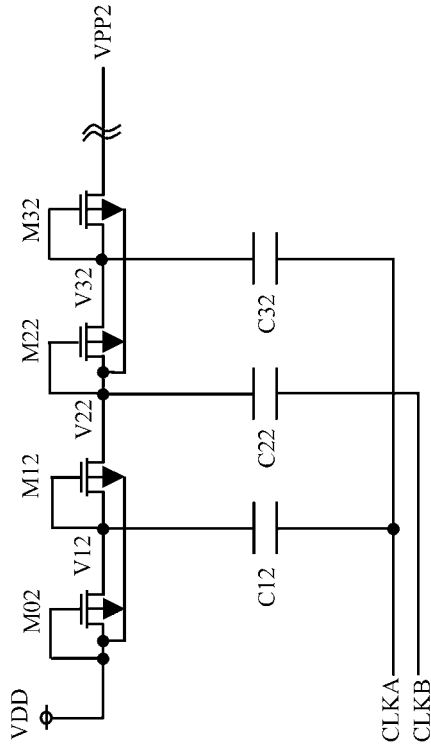
【 図 2 】



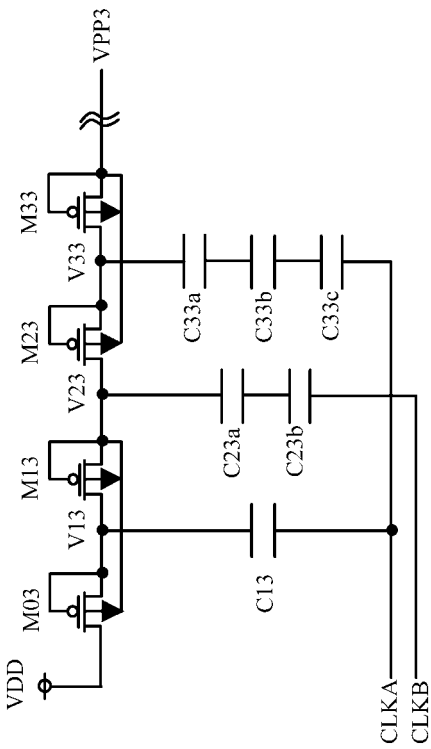
【 図 4 】



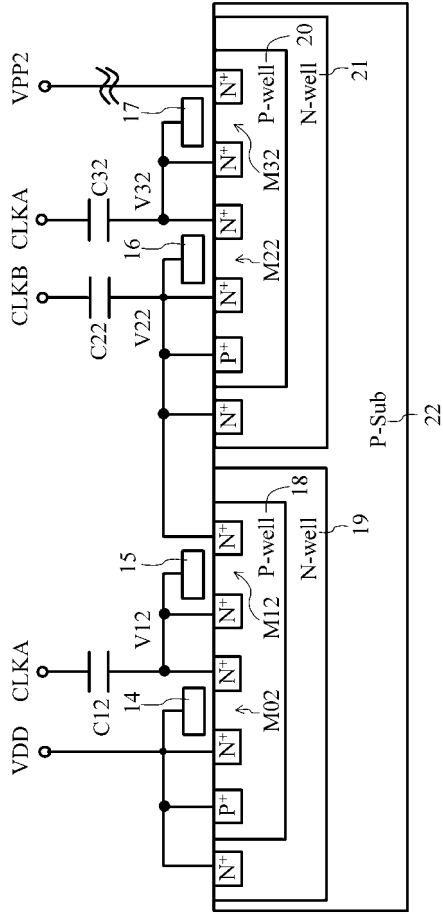
【図 5】



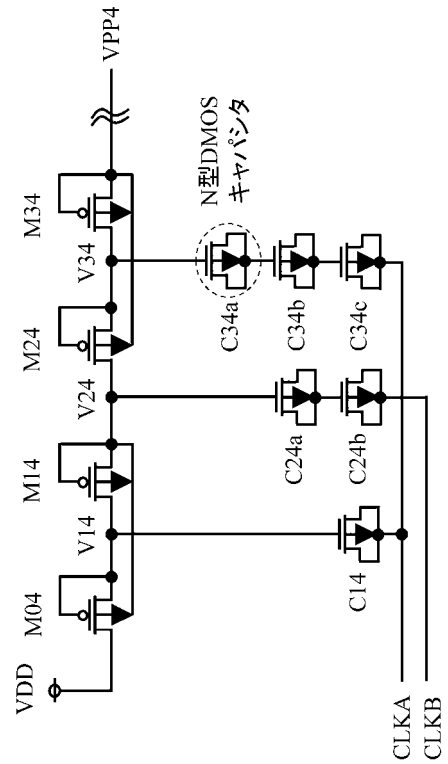
【図 7】



【図 6】



【図 8】



フロントページの続き

- (74)代理人 100115691
弁理士 藤田 篤史
- (74)代理人 100117581
弁理士 二宮 克也
- (74)代理人 100117710
弁理士 原田 智雄
- (74)代理人 100121728
弁理士 井関 勝守
- (74)代理人 100124671
弁理士 関 啓
- (74)代理人 100131060
弁理士 杉浦 靖也
- (72)発明者 山本 安衛
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- (72)発明者 縣 政志
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- (72)発明者 白濱 政則
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内
- (72)発明者 川崎 利昭
大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

F ターム(参考) 5F038 AC03 AC05 AC17 BG03 BG05 BG08 EZ08 EZ12 EZ20
5F048 AA01 AA07 AB10 AC01 AC03 AC10 BA01 BB06 BE02 BE03
BE09 BF18
5J039 CC13 CC14 CC15 KK00 MM16