

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5957553号  
(P5957553)

(45) 発行日 平成28年7月27日(2016.7.27)

(24) 登録日 平成28年6月24日(2016.6.24)

(51) Int.Cl.

F I

H O 1 L 21/8234 (2006.01)

H O 1 L 27/08 1 O 2 E

H O 1 L 27/088 (2006.01)

H O 1 L 29/78 6 1 8 B

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 2 O

H O 1 L 21/477 (2006.01)

H O 1 L 29/78 6 1 3 Z

H O 3 K 3/356 (2006.01)

H O 1 L 21/477

請求項の数 2 (全 60 頁) 最終頁に続く

(21) 出願番号 特願2015-33863 (P2015-33863)  
 (22) 出願日 平成27年2月24日(2015.2.24)  
 (62) 分割の表示 特願2010-278822 (P2010-278822)  
                   の分割  
           原出願日 平成22年12月15日(2010.12.15)  
 (65) 公開番号 特開2015-146424 (P2015-146424A)  
 (43) 公開日 平成27年8月13日(2015.8.13)  
           審査請求日 平成27年2月26日(2015.2.26)  
 (31) 優先権主張番号 特願2009-288146 (P2009-288146)  
 (32) 優先日 平成21年12月18日(2009.12.18)  
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878  
                   株式会社半導体エネルギー研究所  
                   神奈川県厚木市長谷398番地  
 (72) 発明者 加藤 清  
                   神奈川県厚木市長谷398番地 株式会社  
                   半導体エネルギー研究所内  
 (72) 発明者 小山 潤  
                   神奈川県厚木市長谷398番地 株式会社  
                   半導体エネルギー研究所内  
           審査官 小堺 行彦

最終頁に続く

(54) 【発明の名称】 半導体装置

(57) 【特許請求の範囲】

【請求項1】

第1の素子を有し、  
 第2の素子を有し、  
 第1のトランジスタを有し、  
 第2のトランジスタを有し、  
 容量を有し、  
 前記第1の素子の出力は、前記第2の素子の入力と電氣的に接続され、  
 前記第2の素子の出力は、前記第2のトランジスタのソース及びドレインの一方と電氣的に接続され、  
 前記第2のトランジスタのソース及びドレインの他方は、前記第1の素子の入力と電氣的に接続され、  
 前記第1のトランジスタのソース及びドレインの一方は、前記第1の素子の入力と電氣的に接続され、  
 前記第1のトランジスタのソース及びドレインの他方は、入力端子と電氣的に接続され、  
 前記第1のトランジスタのソース及びドレインの一方は、前記容量の一方の電極と電氣的に接続され、  
 前記第2のトランジスタのソース及びドレインの他方は、前記容量の一方の電極と電氣的に接続され、

10

20

前記第 1 の素子の出力は、出力端子と電氣的に接続され、

前記第 1 のトランジスタのソース及びドレインの一方は、前記第 1 の素子が有する第 3 のトランジスタのゲートと電氣的に接続され、

前記第 2 のトランジスタのソース及びドレインの他方は、前記第 1 の素子が有する前記第 3 のトランジスタのゲートと電氣的に接続され、

前記第 1 のトランジスタのチャネル形成領域は、酸化物半導体層を有し、

前記第 2 のトランジスタのチャネル形成領域は、酸化物半導体層を有し、

前記第 3 のトランジスタのチャネル形成領域は、シリコンを有し、

前記酸化物半導体層は、c 軸が表面に対して略垂直な方向に配向した結晶を有することを特徴とする半導体装置。

10

#### 【請求項 2】

請求項 1 において、

前記酸化物半導体層は、In と、Ga と、Zn と、を有することを特徴とする半導体装置。

#### 【発明の詳細な説明】

#### 【技術分野】

#### 【0001】

開示する発明は、電源を切っても記憶している論理状態が消えない不揮発性の論理回路及びそれを用いた半導体装置に関する。特に、不揮発性のラッチ回路及びそれを用いた半導体装置に関する。

20

#### 【背景技術】

#### 【0002】

電源を切っても記憶が消えない「不揮発」という性質を論理回路に取り入れた不揮発性ロジック回路を有する集積回路が提案されている。例えば、不揮発性ロジック回路として強誘電体素子を用いた不揮発性のラッチ回路が提案されている（特許文献 1）。

#### 【先行技術文献】

#### 【特許文献】

#### 【0003】

【特許文献 1】国際公開第 2003 / 044953 号

#### 【発明の概要】

30

#### 【発明が解決しようとする課題】

#### 【0004】

しかし、強誘電体素子を用いた不揮発性のラッチ回路は、書き換え回数の信頼性や低電圧化に課題がある。また、強誘電体素子は、素子に印加される電界によって分極し、この分極が残ることで情報を記憶する。しかし、この残留分極が小さいと、ばらつきの影響が大きくなったり、高精度の読み出し回路が必要になったりする。

#### 【0005】

このような問題に鑑み本発明の一形態は、新規な不揮発性のラッチ回路及びそれを用いた半導体装置を提供することを課題の一とする。

#### 【課題を解決するための手段】

40

#### 【0006】

本発明の一形態は、第 1 の素子の出力は第 2 の素子の入力に電氣的に接続され、第 2 の素子の出力は第 2 のトランジスタを介して第 1 の素子の入力に電氣的に接続されるループ構造を有するラッチ回路であって、チャネル形成領域を構成する半導体材料として酸化物半導体を用いたトランジスタをスイッチング素子として用い、またこのトランジスタのソース電極又はドレイン電極に電氣的に接続された容量を有することで、ラッチ回路のデータを保持することができる。これにより不揮発性のラッチ回路を構成することができる。上記酸化物半導体を用いたトランジスタを用いて、容量に書き込まれたデータを保持することができる。容量は、ラッチ回路が有するループ構造の所定の位置に電氣的に接続されている。従って、不揮発性のラッチ回路は、ラッチ回路が有するデータに応じた電荷を自動

50

的に容量に蓄積し、書き込みを行う構成を有している。

【 0 0 0 7 】

すなわち本発明の一形態は、チャネル形成領域を構成する半導体材料として酸化物半導体を用いた第1のトランジスタと第2のトランジスタとをスイッチング素子として用いたラッチ回路であって、第1のトランジスタと第2のトランジスタのソース電極及びドレイン電極の一方にそれぞれ電氣的に接続された容量を有している。上記ラッチ回路は、第1の素子の出力は第2の素子の入力に電氣的に接続され、第2の素子の出力は第2のトランジスタを介して第1の素子の入力に電氣的に接続されるループ構造を有している。第1の素子の入力は、第1のトランジスタを介して入力信号が与えられる配線に電氣的に接続されている。第1の素子の出力は、出力信号が与えられる配線に電氣的に接続されている。すなわち、第1のトランジスタは、入力信号が与えられる配線と第1の素子の入力との間に設けられ、第2のトランジスタは、第2の素子の出力と第1の素子の入力との間に設けられている。

10

【 0 0 0 8 】

上記において、容量の一方の電極は、第2のトランジスタのソース電極及びドレイン電極の一方及び第1の素子の入力に電氣的に接続されている。また、この容量の一方の電極は、第1のトランジスタのソース電極及びドレイン電極の一方に電氣的に接続されている。第2のトランジスタのソース電極及びドレイン電極の他方は、第2の素子の出力に電氣的に接続されている。第1のトランジスタのソース電極及びドレイン電極の他方は、入力信号が与えられる配線に電氣的に接続されている。

20

【 0 0 0 9 】

上記において、第1の素子は少なくとも第3のトランジスタを有している。この第3のトランジスタのゲートは第1の素子の入力に電氣的に接続されており、第3のトランジスタのゲートは、第2のトランジスタのソース電極及びドレイン電極の一方に電氣的に接続されている。また、第3のトランジスタのゲートは、第1のトランジスタのソース電極及びドレイン電極の一方に電氣的に接続されている。

【 0 0 1 0 】

上記において、ラッチ回路のデータを保持する容量として、第2のトランジスタと第1の素子の入力との間に設けられた容量を用いることができる。また、ラッチ回路のデータを保持する容量として、第3のトランジスタのゲート容量を用いることができる。また、ラッチ回路のデータを保持する容量として、第1の素子が有する第3のトランジスタ以外のトランジスタのゲート容量を用いることができる。上記容量は組み合わせて用いることができる。また第3のトランジスタのゲート容量だけをい、それ以外の容量を用いない構成とすることもできる。

30

【 0 0 1 1 】

上記において、第1のトランジスタと第2のトランジスタは、容量に書き込まれたデータを保持させる機能を有している。容量は、ラッチ回路が有するループ構造の所定の位置に電氣的に接続されている。従って、不揮発性のラッチ回路は、ラッチ回路が有するデータに応じた電荷を自動的に容量に蓄積し、書き込みを行う構成を有している。

【 0 0 1 2 】

上記において、第1の素子と第2の素子とは、入力された信号を反転したものが出力となる素子を用いることができる。例えば、第1の素子と第2の素子として、インバータ、NAND（ナンド）、NOR（ノア）、クロックドインバータ等を用いることができる。例えば、第1の素子としてインバータを用い、第2の素子としてインバータを用いることができる。また例えば、第1の素子としてNANDを用い、第2の素子としてクロックドインバータを用いることができる。

40

【 0 0 1 3 】

上記において、第1のトランジスタと第2のトランジスタのそれぞれのチャネル形成領域を構成する酸化物半導体層として、四元系金属酸化物であるIn-Sn-Ga-Zn-Oや、三元系金属酸化物であるIn-Ga-Zn-O、In-Sn-Zn-O、In-Al

50

- Zn - O、Sn - Ga - Zn - O、Al - Ga - Zn - O、Sn - Al - Zn - Oや、二元系金属酸化物であるIn - Zn - O、Sn - Zn - O、Al - Zn - O、Zn - Mg - O、Sn - Mg - O、In - Mg - Oや、In - O、Sn - O、Zn - Oなどを用いた酸化物半導体層を適用することができる。また、上記酸化物半導体材料にSiO<sub>2</sub>を含ませても良い。

#### 【0014】

上記において、例えば、In - Sn - Ga - Zn - O系酸化物半導体とは、少なくともIn、Sn、Ga、Znを含む酸化物半導体という意味であり、それぞれの金属元素の組成比に制限はなく、また、In、Sn、Ga、Zn以外の金属元素が含まれていてもよい。

#### 【0015】

また、酸化物半導体層として、InMO<sub>3</sub>(ZnO)<sub>m</sub>(m>0、且つ自然数でない)で表記される材料を含む膜を用いることができる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えば、Mとしては、Ga、GaおよびAl、GaおよびMn、GaおよびCoなどを適用することができる。

#### 【0016】

上記において、酸化物半導体層の水素濃度は $5 \times 10^{19} / \text{cm}^3$ 以下、望ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、より望ましくは $5 \times 10^{17} / \text{cm}^3$ 以下、より望ましくは $1 \times 10^{16} / \text{cm}^3$ 未満とすることができる。また、酸化物半導体層のキャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、望ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、より望ましくは $1 \times 10^{11} / \text{cm}^3$ 未満とすることができる。

#### 【0017】

上記において、酸化物半導体を用いたトランジスタは、ボトムゲート型であっても良いし、トップゲート型であっても良いし、ボトムコンタクト型であっても良い。ボトムゲート型トランジスタは、絶縁表面上のゲート電極と、ゲート電極上のゲート絶縁膜と、ゲート絶縁膜上においてゲート電極と重なる酸化物半導体層と、酸化物半導体層上のソース電極、ドレイン電極と、ソース電極、ドレイン電極及び酸化物半導体層上の絶縁膜とを有する。トップゲート型トランジスタは、絶縁表面上の酸化物半導体層と、酸化物半導体層上のゲート絶縁膜と、ゲート絶縁膜上において酸化物半導体膜と重なり、なおかつ導電膜として機能するゲート電極と、ドレイン電極、ソース電極と、酸化物半導体層上の絶縁膜とを有することができる。また、別のトップゲート型トランジスタは、絶縁表面上の酸化物半導体層と、酸化物半導体層上のドレイン電極、ソース電極と、酸化物半導体層、ドレイン電極及びソース電極上のゲート絶縁膜と、ゲート絶縁膜上において酸化物半導体層と重なり、なおかつ導電膜として機能するゲート電極とを有することができる。ボトムコンタクト型トランジスタは、絶縁表面上のゲート電極と、ゲート電極上のゲート絶縁膜と、ゲート絶縁膜上のソース電極、ドレイン電極と、ソース電極、ドレイン電極上にあり、なおかつゲート絶縁膜上においてゲート電極と重なる酸化物半導体層と、ソース電極、ドレイン電極及び酸化物半導体層上の絶縁膜とを有する。

#### 【0018】

上記酸化物半導体材料により形成された酸化物半導体層をチャネル形成領域に用いたトランジスタ(第1のトランジスタ、第2のトランジスタ)は、例えばチャネル幅Wが $1 \times 10^4 \mu\text{m}$ でチャネル長が $3 \mu\text{m}$ の素子であっても、室温(例えば20℃)でのオフ電流が $10^{-13} \text{A}$ 以下、サブスレッショルドスイング値(S値)が0.1V/dec.程度(ゲート絶縁膜厚100nm)の特性が得られる。また上記トランジスタは、ゲート電極とソース電極間の電圧がほぼ0Vの状態においてトランジスタがオフとなるノーマリーオフ(nチャネル型の場合、しきい値電圧が正の値となること)の特性を有している。

#### 【0019】

従って、上記トランジスタは、ゲート電極とソース電極間の電圧がほぼ0Vの状態におけるオフ電流(リーク電流ともいう)が、シリコンをチャネル形成領域に用いたトランジスタに比べて著しく小さいという特性を有している。例えば、上記のW =  $1 \times 10^4 \mu\text{m}$ のトランジスタにおいてはチャネル幅 $1 \mu\text{m}$ あたりに換算した室温でのリーク電流は10a

10

20

30

40

50

A以下（以後、本明細書では、室温での単位チャネル幅リーク電流が $10\text{ aA} / \mu\text{m}$ 以下、と表現する）、好ましくは $1\text{ aA}$ 以下（ $1\text{ aA} / \mu\text{m}$ 以下）とすることができる。

【0020】

そのため、チャネル形成領域に酸化物半導体層を用いたトランジスタをスイッチング素子として用いることで、ラッチ回路への電源電圧の供給が停止された後も、容量に蓄積された電荷をそのまま保持し続けることができる。すなわち、容量に書き込まれたデータをそのまま保持し続けることができる。

【0021】

例えば、リフレッシュタイムは、シリコンをチャネル形成領域に用いたトランジスタを用いて構成されたDRAMよりも遙かに長時間とすることが可能であり、不揮発性メモリと同程度のメモリ保有性（データ保持性）を有することができる。また、ラッチ回路への電源電圧の供給が再び開始された後には、容量に保持されたデータを読み出すことができる。これにより、電源電圧の供給の停止前の論理状態に復元することができる。

【0022】

また、上記トランジスタは温度特性も良好であり、高温でもオフ電流が十分低く、オン電流が十分高いものを得ることができる。例えば、トランジスタの $V_g - I_d$ 特性は $-25 \sim 150$ の範囲において、オン電流、移動度、 $S$ 値の温度依存性が少ないというデータが得られている。また、オフ電流は上記温度範囲において、 $1 \times 10^{-13}\text{ A}$ 以下と極めて小さいデータが得られている。

【0023】

上記特性は、トランジスタのチャネル形成領域に、水素濃度が十分に低減されて高純度化され、キャリア濃度が十分に小さい、真性（ $i$ 型）または実質的に真性（ $i$ 型）にされた酸化物半導体を用いることにより、得られたものと考えられる。すなわち、 $n$ 型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより酸化物半導体を真性（ $i$ 型）または実質的に真性（ $i$ 型）とした酸化物半導体を、トランジスタのチャネル形成領域に用いたものである。

【0024】

なお、本明細書では、キャリア濃度が $1 \times 10^{11} / \text{cm}^3$ 未満の半導体を「真性」あるいは「 $i$ 型」、それ以上であるが、 $1 \times 10^{12} / \text{cm}^3$ 未満のものを、「実質的に真性」あるいは「実質的に $i$ 型」と呼ぶ。

【0025】

このような、真性（ $i$ 型）、あるいは、実質的に真性（ $i$ 型）の酸化物半導体を用いたトランジスタは、チャネル幅 $W$ が $1\mu\text{m}$ あたりのオフ電流が $10\text{ aA}$ （ $1 \times 10^{-17}\text{ A}$ ）/ $\mu\text{m}$ 以下、より好ましくは $1\text{ aA}$ （ $1 \times 10^{-18}\text{ A}$ ）/ $\mu\text{m}$ 以下とすることができる。

【0026】

このように、本発明の一形態は、チャネル形成領域を構成する半導体材料として酸化物半導体を用いたトランジスタをスイッチング素子として用いることで、温度動作範囲が広く高温でも安定に動作し、電源を切っても記憶している論理状態が消えない不揮発性のラッチ回路を提供するものである。

【0027】

上記において、不揮発性のラッチ回路を用いることで、さまざまな論理回路を提供することができる。また、上記論理回路を用いたさまざまな半導体装置を提供することができる。例えば、論理回路が有する複数のブロック回路のうち、使用しない一又は複数のブロック回路への電源電圧の供給を停止することができる。上記不揮発性のラッチ回路を用いることで、ブロック回路への電源電圧の供給を停止した後も、ブロック回路の論理状態を記憶しつづけることができる。また、ブロック回路への電源電圧の供給が再び開始された後に、記憶している論理状態を読み出すことができる。これにより、電源電圧の供給の停止前の論理状態に復元することができる。

【0028】

なお、本明細書等において「上」や「下」などの用語は、構成要素の位置関係が「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。また、「上」「下」の用語は説明の便宜のために用いる表現に過ぎず、特に言及する場合を除き、その上下を入れ替えたものも含む。

【0029】

また、本明細書等において「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆もまた同様である。さらに、「電極」や「配線」の用語は、複数の「電極」や「配線」が一体となって形成されている場合などをも含む。

10

【0030】

また、「ソース」や「ドレイン」の機能は、異なる極性のトランジスタを採用する場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、「ソース」や「ドレイン」の用語は、入れ替えて用いることができるものとする。

【0031】

また、本明細書等において、「電氣的に接続」には、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電氣信号の授受を可能とするものであれば、特に制限を受けない。

【0032】

例えば、「何らかの電氣的作用を有するもの」には、電極や配線はもちろんのこと、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、キャパシタ、その他の各種機能を有する素子などが含まれる。

20

【0033】

また、一般に「SOI基板」は絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板をも含む概念として用いる。つまり、「SOI基板」が有する半導体層は、シリコン半導体層に限定されない。

【0034】

また、「SOI基板」における基板は、シリコンウェハなどの半導体基板に限らず、ガラス基板や石英基板、サファイア基板、金属基板などの非半導体基板をも含む。つまり、導体基板や絶縁体基板上に半導体材料からなる層を有するものも、広く「SOI基板」に含まれる。

30

【0035】

さらに、本明細書等において、「半導体基板」は、半導体材料のみからなる基板を指すに留まらず、半導体材料を含む基板全般を示すものとする。つまり、本明細書等においては「SOI基板」も広く「半導体基板」に含まれる。

【発明の効果】

【0036】

本発明の一形態によれば、チャネル形成領域を構成する半導体材料として、水素濃度が十分に低減されて高純度化され、キャリア濃度が十分に小さい、真性(i型)または実質的に真性(i型)な酸化物半導体を用いたトランジスタをスイッチング素子として用い、また、このトランジスタのソース電極又はドレイン電極に電氣的に接続された容量を有することで、温度動作範囲が広く高温でも安定に動作し、電源を切っても記憶している論理状態が消えない不揮発性のラッチ回路あるいはリフレッシュ期間が十分に長いデータ保持性を有するラッチ回路を実現することができる。また、容量に蓄積された電荷がそのままデータとして保持されるため、残留分極成分をデータとする場合と比較して、ばらつきに強く、またデータの読み出しを容易に行うことができる。

40

【0037】

上記不揮発性のラッチ回路を用いることで、さまざまな論理回路を実現することが可能で

50

ある。例えば、不揮発性のラッチ回路を用いた論理回路では、使用しないブロックの電源をオフにすることで消費電力を低減することができる。また、電源をオフにしても論理状態を記憶していることから、電源をオンにした時のシステム起動や、電源をオフにした時のシステム終了を高速に、かつ低電力で行うことが可能である。

【図面の簡単な説明】

【0038】

【図1】不揮発性のラッチ回路の構成の一例を示す図。

【図2】不揮発性のラッチ回路の一部の構成の一例を示す図。

【図3】不揮発性のラッチ回路が有する素子の断面及び平面の一例を示す図。

【図4】不揮発性のラッチ回路が有する素子の作製方法の一例を示す図。

【図5】不揮発性のラッチ回路が有する素子の作製方法の一例を示す図。

【図6】不揮発性のラッチ回路が有する素子の作製方法の一例を示す図。

【図7】酸化物半導体を用いた逆スタガー型のトランジスタの断面構成の一例を示す図。

【図8】図7のA - A'断面におけるエネルギーバンド図(模式図)。

【図9】(A)ゲート(GE1)に正の電圧( $V_G > 0$ )が与えられた状態を示し、(B)ゲート(GE1)に負の電圧( $V_G < 0$ )が与えられた状態を示す図。

【図10】真空準位と金属の仕事関数( $\phi_M$ )、酸化物半導体の電子親和力( $\chi$ )の関係を示す図。

【図11】不揮発性のラッチ回路の構成の一例を示す図。

【図12】不揮発性のラッチ回路の動作の一例を示す図

【図13】不揮発性のラッチ回路の動作の一例を示す図

【図14】不揮発性のラッチ回路の構成の一例を示す図。

【図15】不揮発性のラッチ回路の構成の一例を示す図。

【図16】不揮発性のラッチ回路の構成の一例を示す図。

【図17】不揮発性のラッチ回路が有する素子の作製方法の一例を示す図。

【図18】不揮発性のラッチ回路が有する素子の作製方法の一例を示す図。

【図19】不揮発性のラッチ回路を用いた半導体装置を含む電子機器の一例を示す図。

【発明を実施するための形態】

【0039】

本発明の実施の形態について、図面を参照して以下に説明する。ただし、本発明は以下の説明に限定されるものではない。本発明の趣旨およびその範囲から逸脱することなくその形態および詳細を様々に変更し得ることは、当業者であれば容易に理解されるからである。したがって、本発明は以下に示す実施の形態の記載内容のみに限定して解釈されるものではない。なお、図面を用いて本発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用いる。

【0040】

なお、各実施の形態の図面等において示す各構成の、大きさ、層の厚さ、または領域は、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。

【0041】

なお、本明細書にて用いる第1、第2、第3といった序数を用いた用語は、構成要素を識別するために便宜上付したものであり、その数を限定するものではない。

【0042】

(実施の形態1)

本実施の形態は、開示する発明の一態様である不揮発性のラッチ回路の構成、動作、不揮発性のラッチ回路が有する素子の構成、作製方法等について、図1、図2、図3乃至図6、図7乃至図10を参照して説明する。

【0043】

<不揮発性のラッチ回路の構成、動作>

図1は、不揮発性のラッチ回路400の構成を示している。図1に示す不揮発性のラッチ

10

20

30

40

50

回路４００は、第１の素子（Ｄ１）４１２の出力が第２の素子（Ｄ２）４１３の入力に電氣的に接続され、第２の素子（Ｄ２）４１３の出力が第２のトランジスタ４３２を介して第１の素子（Ｄ１）４１２の入力に電氣的に接続されるループ構造を有している。

【００４４】

第１の素子（Ｄ１）４１２の入力は、第１のトランジスタ４３１を介して入力信号が与えられる配線４１４に電氣的に接続されている。第１の素子（Ｄ１）４１２の出力は、出力信号が与えられる配線４１５に電氣的に接続されている。入力信号が与えられる配線４１４は、前段の回路から不揮発性のラッチ回路４００へ入力される信号が与えられる配線である。出力信号が与えられる配線４１５は、不揮発性のラッチ回路４００から後段の回路へ出力される信号が与えられる配線である。

10

【００４５】

第１の素子（Ｄ１）４１２の入力が複数ある場合は、そのうちのーを、第１のトランジスタ４３１を介して入力信号が与えられる配線４１４に電氣的に接続することができる。第２の素子（Ｄ２）４１３の入力が複数ある場合は、そのうちのーを第１の素子（Ｄ１）４１２の出力に電氣的に接続することができる。

【００４６】

第１の素子（Ｄ１）４１２は、入力された信号を反転したものが出力となる素子を用いることができる。例えば、第１の素子（Ｄ１）４１２には、インバータ、ＮＡＮＤ（ナンド）、ＮＯＲ（ノア）、クロックドインバータ等を用いることができる。また、第２の素子（Ｄ２）４１３は、入力された信号を反転したものが出力となる素子を用いることができる。例えば、第２の素子（Ｄ２）４１３には、インバータ、ＮＡＮＤ（ナンド）、ＮＯＲ（ノア）、クロックドインバータ等を用いることができる。

20

【００４７】

上記不揮発性のラッチ回路４００は、チャネル形成領域を構成する半導体材料として酸化物半導体を用いた第１のトランジスタ４３１と第２のトランジスタ４３２をスイッチング素子として用いている。また上記不揮発性のラッチ回路４００は、この第１のトランジスタ４３１と第２のトランジスタ４３２のソース電極又はドレイン電極にそれぞれ電氣的に接続された容量４０４を有している。すなわち、第１のトランジスタ４３１のソース電極及びドレイン電極の一方に容量４０４の一方の電極が電氣的に接続され、第２のトランジスタ４３２のソース電極及びドレイン電極の一方に容量４０４の一方の電極が電氣的に接続されている。第１のトランジスタ４３１のソース電極及びドレイン電極の他方は、入力信号が与えられる配線に電氣的に接続されている。第２のトランジスタ４３２のソース電極及びドレイン電極の他方は、第２の素子の出力に電氣的に接続されている。容量４０４の他方の電極には電位Ｖ<sub>c</sub>が与えられる。

30

【００４８】

上記において、不揮発性のラッチ回路４００が有する第１の素子４１２は、少なくとも第３のトランジスタ４２１を有している。この第３のトランジスタ４２１のゲートは第１の素子４１２の入力に電氣的に接続されている。すなわち、第３のトランジスタ４２１のゲートは、第２のトランジスタ４３２のソース電極及びドレイン電極の一方に電氣的に接続されている。また、第３のトランジスタ４２１のゲートは、第１のトランジスタ４３１のソース電極及びドレイン電極の一方に電氣的に接続されている。

40

【００４９】

また、第１のトランジスタ４３１と第２のトランジスタ４３２はそれぞれ、図１に示す構成に代えて、図２（Ａ）又は図２（Ｂ）に示す構成とすることができる。

【００５０】

図２（Ａ）に示すトランジスタは、第１のゲート電極と第２のゲート電極を有している。第２のゲート電極は、チャネル形成領域を構成する酸化物半導体層を間にして第１のゲート電極と反対側に設けられている。第１のゲート電極は信号が与えられる配線に電氣的に接続されている。第２のゲート電極は、所定の電位が与えられる配線に電氣的に接続されている。例えば、第２のゲート電極は、負の電位或いは接地電位（ＧＮＤ）が与えられる

50



配線に電氣的に接続されている。

【 0 0 5 1 】

図 2 ( A ) に示すトランジスタを用いた不揮発性のラッチ回路では、図 1 に示す不揮発性のラッチ回路が有する効果に加えて、トランジスタの電氣的特性 ( 例えば、しきい値電圧 ) の調節が容易になるという効果が得られる。例えば、トランジスタの第 2 のゲート電極に負電位を与えることで、トランジスタを容易にノーマリーオフとする ( すなわち、第 1 のゲート電極とソース電極間の電圧がほぼ 0 V の状態においてトランジスタをオフとする ) ことができる。

【 0 0 5 2 】

図 2 ( B ) に示すトランジスタは、第 1 のゲート電極と第 2 のゲート電極を有している。第 2 のゲート電極は、チャネル形成領域を構成する酸化物半導体層を間にして第 1 のゲート電極と反対側に設けられている。第 2 のゲート電極は、第 1 のゲート電極に電氣的に接続されている。

10

【 0 0 5 3 】

図 2 ( B ) に示すトランジスタを用いた不揮発性のラッチ回路では、図 1 に示す不揮発性のラッチ回路が有する効果に加えて、トランジスタの電流量を増加できるという効果が得られる。

【 0 0 5 4 】

図 1 又は図 2 に示す構成を有する不揮発性のラッチ回路は、以下のように、データの書き込み、保持、読み出しが可能である。なお、以下では、図 1 の構成を元に説明するが、他の構成の場合も同様である。

20

【 0 0 5 5 】

上で説明したとおり、不揮発性のラッチ回路 4 0 0 は、第 1 の素子 ( D 1 ) 4 1 2 の出力が第 2 の素子 ( D 2 ) 4 1 3 の入力に電氣的に接続され、第 2 の素子 ( D 2 ) 4 1 3 の出力が第 2 のトランジスタ 4 3 2 を介して第 1 の素子 ( D 1 ) 4 1 2 の入力に電氣的に接続されるループ構造を有している。このループ構造の所定の位置に、容量 4 0 4 及び第 3 のトランジスタ 4 2 1 のゲート容量が電氣的に接続されている。具体的には、第 1 の素子 ( D 1 ) 4 1 2 の入力に、容量 4 0 4 の一方の電極及び第 3 のトランジスタ 4 2 1 のゲートが電氣的に接続されている。このように容量 4 0 4 及び第 3 のトランジスタ 4 2 1 のゲート容量は、不揮発性のラッチ回路 4 0 0 が有するループ構造の所定の位置に電氣的に接続されている。これにより、容量 4 0 4 及び第 3 のトランジスタ 4 2 1 のゲート容量には、ラッチ回路へデータを書き込む度に、データに応じた電荷が蓄積される。つまり、ラッチ回路 4 0 0 が有するデータは自動的に不揮発性ラッチに書き込まれる ( 書き込み ) 。データの書き換えも同様に行うことができる。

30

【 0 0 5 6 】

容量 4 0 4 及び第 3 のトランジスタ 4 2 1 のゲート容量に書き込まれたデータの保持、すなわち、これらの容量に蓄積された電荷の保持は、第 1 のトランジスタ 4 3 1 と第 2 のトランジスタ 4 3 2 のゲートにそれぞれのトランジスタがオフとなる電位を与え、それぞれのトランジスタをオフすることにより行うことができる ( 保持 ) 。

【 0 0 5 7 】

40

ここで、第 1 のトランジスタ 4 3 1 及び第 2 のトランジスタ 4 3 2 として、チャネル形成領域に酸化物半導体層を用い、ノーマリーオフの特性を有し、かつオフ電流が非常に小さいトランジスタを用いることにより、ラッチ回路 4 0 0 が有する少なくとも第 1 の素子 ( D 1 ) 4 1 2、第 2 の素子 ( D 2 ) 4 1 3 の電源電圧の供給を停止した後も、容量に蓄積された電荷をそのまま保持し続けることができる。これにより、上記電源電圧の供給を停止した後も、ラッチ回路 4 0 0 の論理状態を記憶しつづけることができる。

【 0 0 5 8 】

容量 4 0 4 及び第 3 のトランジスタ 4 2 1 のゲート容量は、第 1 の素子 ( D 1 ) 4 1 2 の入力に電氣的に接続されている。従って、ラッチ回路 4 0 0 が有する少なくとも第 1 の素子 ( D 1 ) 4 1 2 の電源電圧の供給が再び開始された後は、容量 4 0 4 及び第 3 のトラン

50

ジスタ４２１のゲート容量に蓄積された電荷に応じて、出力信号OUTの電位が決まる。つまり、容量４０４及び第３のトランジスタ４２１のゲート容量に書き込まれたデータの読み出しを行うことができる（読み出し）。

#### 【００５９】

上記において、第１のトランジスタ４３１と第２のトランジスタ４３２のそれぞれのチャネル形成領域を構成する酸化物半導体層として、四元系金属酸化物であるIn-Sn-Ga-Zn-Oや、三元系金属酸化物であるIn-Ga-Zn-O、In-Sn-Zn-O、In-Al-Zn-O、Sn-Ga-Zn-O、Al-Ga-Zn-O、Sn-Al-Zn-Oや、二元系金属酸化物であるIn-Zn-O、Sn-Zn-O、Al-Zn-O、Zn-Mg-O、Sn-Mg-O、In-Mg-Oや、In-O、Sn-O、Zn-Oなどをを用いた酸化物半導体層を適用することができる。また、上記酸化物半導体材料にSiO<sub>2</sub>を含ませても良い。

10

#### 【００６０】

上記において、例えば、In-Sn-Ga-Zn-O系酸化物半導体とは、少なくともIn、Sn、Ga、Znを含む酸化物半導体という意味であり、それぞれの金属元素の組成比に制限はなく、また、In、Sn、Ga、Zn以外の金属元素が含まれていてもよい。

#### 【００６１】

また、酸化物半導体層として、InM<sub>3</sub>(ZnO)<sub>m</sub>（m>0、且つ自然数でない）で表記される材料を含む膜を用いることができる。ここで、Mは、Ga、Al、MnおよびCoから選ばれた一または複数の金属元素を示す。例えば、Mとしては、Ga、GaおよびAl、GaおよびMn、GaおよびCoなどを適用することができる。

20

#### 【００６２】

上記において、酸化物半導体層の水素濃度は $5 \times 10^{19} / \text{cm}^3$ 以下、望ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、より望ましくは $5 \times 10^{17} / \text{cm}^3$ 以下、より望ましくは $1 \times 10^{16} / \text{cm}^3$ 未満とすることができる。また、酸化物半導体層のキャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満、望ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、より望ましくは $1 \times 10^{11} / \text{cm}^3$ 未満とすることができる。

#### 【００６３】

上記において、酸化物半導体を用いたトランジスタ４３１、トランジスタ４３２は、ボトムゲート型であっても良いし、トップゲート型であっても良い。また、ボトムコンタクト型であっても良いし、トップコンタクト型であっても良い。ボトムゲート型トランジスタは、少なくとも絶縁表面上のゲート電極と、ゲート電極上のゲート絶縁膜と、ゲート絶縁膜上においてゲート電極と重なるチャネル形成領域となる酸化物半導体層とを有する。トップゲート型トランジスタは、少なくとも絶縁表面上のチャネル形成領域となる酸化物半導体層と、酸化物半導体層上のゲート絶縁膜と、ゲート絶縁膜上において酸化物半導体膜と重なるゲート電極とを有する。ボトムコンタクト型トランジスタは、ソース電極及びドレイン電極上にチャネル形成領域となる酸化物半導体層を有する。トップコンタクト型トランジスタは、チャネル形成領域となる酸化物半導体層上にソース電極及びドレイン電極を有する。

30

#### 【００６４】

上記酸化物半導体材料により形成された酸化物半導体層をチャネル形成領域に用いたトランジスタ（第１のトランジスタ４３１、第２のトランジスタ４３２）は、例えば、チャネル幅Wが $1 \times 10^4 \mu\text{m}$ でチャネル長が $3 \mu\text{m}$ の素子であっても、ドレイン電極に印加するドレイン電圧V<sub>d</sub>が+1V又は+10Vの場合に、ゲート電極に印加するゲート電圧V<sub>g</sub>が-5Vから-20Vの範囲では、室温でのオフ電流が $10^{-13} \text{A}$ 以下、サブスレッショルドスイング値（S値）が0.1V/déc.程度（ゲート絶縁膜厚100nm）の特性が得られる。また上記トランジスタは、ゲート電極とソース電極間の電圧がほぼ0Vの状態においてトランジスタがオフとなるノーマリーオフ（nチャネル型の場合、しきい値電圧が正の値となること）の特性を有している。

40

#### 【００６５】

50

従って、上記トランジスタは、ゲート電極とソース電極間の電圧がほぼ 0 V の状態におけるオフ電流（リーク電流ともいう）が、シリコンをチャネル形成領域に用いたトランジスタに比べて著しく小さいという特性を有している。例えば、上記の  $W = 1 \times 10^4 \mu\text{m}$  のトランジスタにおいてはチャネル幅  $1 \mu\text{m}$  あたりに換算した室温でのリーク電流は  $10 \text{ aA} / \mu\text{m}$  以下となる。

#### 【0066】

そのため、チャネル形成領域に酸化物半導体層を用いたトランジスタをスイッチング素子として用いることで、ラッチ回路への電源電圧の供給が停止された後も、容量に蓄積された電荷をそのまま保持し続けることができる。すなわち、容量に書き込まれたデータをそのまま保持し続けることができる。

10

#### 【0067】

例えば、リフレッシュタイムは、シリコンをチャネル形成領域に用いたトランジスタを用いて構成された DRAM よりも遙かに長時間とすることが可能であり、不揮発性メモリと同程度のメモリ保有性（データ保持性）を有することができる。また、ラッチ回路への電源電圧の供給が再び開始された後には、容量に保持されたデータを読み出すことができる。これにより、電源電圧の供給の停止前の論理状態に復元することができる。

#### 【0068】

また、上記トランジスタは温度特性も良好であり、高温でもオフ電流が十分低く、オン電流が十分高いものを得ることができる。例えば、トランジスタの  $V_g - I_d$  特性は  $-25 \sim -150$  の範囲において、オン電流、移動度、 $S$  値の温度依存性が少ないというデータが得られている。また、オフ電流は上記温度範囲において、 $1 \times 10^{-13} \text{ A}$  以下と極めて小さいデータが得られている。

20

#### 【0069】

上記特性は、トランジスタのチャネル形成領域に、水素濃度が十分に低減されて高純度化され、キャリア濃度が十分に小さい、真性（ $i$  型）または実質的に真性（ $i$  型）にされた酸化物半導体を用いることにより、得られたものと考えられる。すなわち、 $n$  型不純物である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の不純物が極力含まれないように高純度化することにより酸化物半導体を真性（ $i$  型）または実質的に真性（ $i$  型）とした酸化物半導体を、トランジスタのチャネル形成領域に用いたものである。

#### 【0070】

なお、本明細書では、キャリア濃度が  $1 \times 10^{11} / \text{cm}^3$  未満の半導体を「真性」あるいは「 $i$  型」、それ以上であるが、 $1 \times 10^{12} / \text{cm}^3$  未満のものを、「実質的に真性」あるいは「実質的に  $i$  型」と呼ぶ。

30

#### 【0071】

このような、真性（ $i$  型）、あるいは、実質的に真性（ $i$  型）の酸化物半導体を用いたトランジスタは、チャネル幅  $W$  が  $1 \mu\text{m}$  あたりのオフ電流が  $10 \text{ aA}$  ( $1 \times 10^{-17} \text{ A}$ ) /  $\mu\text{m}$  以下、より好ましくは  $1 \text{ aA}$  ( $1 \times 10^{-18} \text{ A}$ ) /  $\mu\text{m}$  以下とすることができる。

#### 【0072】

このように、本実施の形態は、チャネル形成領域を構成する半導体材料として上記酸化物半導体を用いた第 1 のトランジスタ 431、第 2 のトランジスタ 432 をスイッチング素子として用いることで、温度動作範囲が広く高温でも安定に動作し、電源を切っても記憶している論理状態が消えない不揮発性のラッチ回路を提供するものである。

40

#### 【0073】

なお、酸化物半導体層中の水素濃度は、二次イオン質量分析法（SIMS: Secondary Ion Mass Spectrometry）で測定したものである。

#### 【0074】

< 不揮発性のラッチ回路が有する素子の構成 >

不揮発性のラッチ回路 400 が有する素子のうち、酸化物半導体を用いた第 1 のトランジスタ 431 と第 2 のトランジスタ 432 以外の素子は、半導体材料として酸化物半導体以

50

外の材料を用いることができる。酸化物半導体以外の材料としては、単結晶シリコン、結晶性シリコンなどを用いることができる。例えば、第1のトランジスタ431と第2のトランジスタ432以外の素子は、半導体材料を含む基板に設けることができる。半導体材料を含む基板としては、シリコンウェハ、SOI (Silicon on Insulator) 基板、絶縁表面上のシリコン膜などを用いることができる。酸化物半導体以外の材料を用いることにより、高速動作が可能となる。

#### 【0075】

例えば、第1の素子(D1)412が有する第3のトランジスタ421を、酸化物半導体以外の材料(例えばシリコン)を用いて形成することができる。また、第1の素子(D1)412、第2の素子(D2)413が有する他の素子についても、酸化物半導体以外の材料(例えばシリコン)を用いて形成することができる。

10

#### 【0076】

また、不揮発性のラッチ回路400が有する容量404などの素子は、酸化物半導体を用いたトランジスタ(第1のトランジスタ431、第2のトランジスタ432)又は酸化物半導体以外の材料(例えばシリコン)を用いたトランジスタを構成する半導体層、絶縁層、導電層あるいは配線を構成する導電層などと同じ層に、同じ材料を用いて形成することができる。

#### 【0077】

例えば、下部に酸化物半導体以外の材料を用いた第3のトランジスタ421を有し、上部に酸化物半導体を用いた第1のトランジスタ431、第2のトランジスタ432を有する構成とすることができる。これにより、両者の特性を併せ持つ優れた不揮発性のラッチ回路を作製することができる。

20

#### 【0078】

図3は、上記不揮発性のラッチ回路が有する素子の構成の一例を示す。図3(A)は、下部に酸化物半導体以外の材料を用いたトランジスタ421を有し、上部に酸化物半導体を用いたトランジスタ402を有するものである。トランジスタ402は、第1のトランジスタ431、第2のトランジスタ432として用いられる。トランジスタ421は、第3のトランジスタ421として用いられる。

#### 【0079】

図3(A)には断面を、図3(B)には平面をそれぞれ示す。ここで、図3(A)は、図3(B)の線A1-A2および線B1-B2における断面に相当する。図3(A)および図3(B)は、下部に酸化物半導体以外の材料を用いたトランジスタ421を有し、上部に酸化物半導体を用いたトランジスタ402を有するものである。

30

#### 【0080】

トランジスタ421は、半導体材料を含む基板100に設けられたチャネル形成領域116と、チャネル形成領域116を挟むように設けられた不純物領域114および高濃度不純物領域120(これらをあわせて単に不純物領域とも呼ぶ)と、チャネル形成領域116上に設けられたゲート絶縁層108aと、ゲート絶縁層108a上に設けられたゲート電極110aと、不純物領域114と電氣的に接続するソース電極またはドレイン電極130a、および、ソース電極またはドレイン電極130bを有する(図3(A)参照)。

40

#### 【0081】

ここで、ゲート電極110aの側面にはサイドウォール絶縁層118が設けられている。また、基板100の、平面で見てサイドウォール絶縁層118と重ならない領域には、高濃度不純物領域120を有し、高濃度不純物領域120と接する金属化合物領域124を有する。また、基板100上にはトランジスタ421を囲むように素子分離絶縁層106が設けられており、トランジスタ421を覆うように、層間絶縁層126および層間絶縁層128が設けられている。なお、半導体素子が高度に微細化される場合は、サイドウォール絶縁層118を有さない構成とすることもできる。

#### 【0082】

ソース電極またはドレイン電極130a、ソース電極またはドレイン電極130bは、層

50

間絶縁層 1 2 6 および層間絶縁層 1 2 8 に形成された開口を通じて、金属化合物領域 1 2 4 と電氣的に接続されている。つまり、ソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b は、金属化合物領域 1 2 4 を介して高濃度不純物領域 1 2 0 および不純物領域 1 1 4 と電氣的に接続されている。

【 0 0 8 3 】

トランジスタ 4 0 2 は、層間絶縁層 1 2 8 上に設けられたゲート電極 1 3 6 d と、ゲート電極 1 3 6 d 上に設けられたゲート絶縁層 1 3 8 と、ゲート絶縁層 1 3 8 上に設けられた酸化物半導体層 1 4 0 と、酸化物半導体層 1 4 0 上に設けられ、酸化物半導体層 1 4 0 と電氣的に接続されているソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b と、を有する（図 3（A）参照）。

10

【 0 0 8 4 】

また、トランジスタ 4 0 2 の上には、酸化物半導体層 1 4 0 の一部と接するように、保護絶縁層 1 4 4 が設けられており、保護絶縁層 1 4 4 上には層間絶縁層 1 4 6 が設けられている。ここで、保護絶縁層 1 4 4 および層間絶縁層 1 4 6 には、ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b にまで達する開口が設けられており、当該開口を通じて、電極 1 5 0 d、電極 1 5 0 e が、ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b に接して形成されている。

【 0 0 8 5 】

また、電極 1 5 0 d、電極 1 5 0 e の形成と同時に、ゲート絶縁層 1 3 8、保護絶縁層 1 4 4、層間絶縁層 1 4 6 に設けられた開口を通じて、電極 1 3 6 a、電極 1 3 6 b、電極 1 3 6 c に接する電極 1 5 0 a、電極 1 5 0 b、電極 1 5 0 c が形成されている。なおトランジスタ 4 0 2 としてボトムゲート型のトランジスタの例を示したが、これに限定されない。トップゲート型のトランジスタであっても良い。

20

【 0 0 8 6 】

また、層間絶縁層 1 4 6 上には絶縁層 1 5 2 が設けられており、当該絶縁層 1 5 2 に埋め込まれるように、電極 1 5 4 a、電極 1 5 4 b、電極 1 5 4 c、電極 1 5 4 d が設けられている。ここで、電極 1 5 4 a は電極 1 5 0 a と接しており、電極 1 5 4 b は電極 1 5 0 b と接しており、電極 1 5 4 c は電極 1 5 0 c および電極 1 5 0 d と接しており、電極 1 5 4 d は電極 1 5 0 e と接している。

【 0 0 8 7 】

つまり、トランジスタ 4 0 2 のソース電極またはドレイン電極 1 4 2 a は、電極 1 3 0 c、電極 1 3 6 c、電極 1 5 0 c、電極 1 5 4 c、電極 1 5 0 d を介して、他の要素（酸化物半導体以外の材料を用いたトランジスタなど）と電氣的に接続されている（図 3（A）参照）。さらに、トランジスタ 4 0 2 のソース電極またはドレイン電極 1 4 2 b は、電極 1 5 0 e、電極 1 5 4 d を介して、他の要素に電氣的に接続されている。なお、接続に係る電極（電極 1 3 0 c、電極 1 3 6 c、電極 1 5 0 c、電極 1 5 4 c、電極 1 5 0 d 等）の構成は、上記に限定されず、適宜追加、省略等が可能である。

30

【 0 0 8 8 】

上記では、接続関係に係る一例を示したが、開示する発明の一態様はこれに限定されない。

40

【 0 0 8 9 】

ここで、酸化物半導体層 1 4 0 は水素などの不純物が十分に除去され、高純度化されたものであることが望ましい。具体的には、二次イオン質量分析法（S I M S : S e c o n d a r y I o n M a s s S p e c t r o m e t r y）で測定した酸化物半導体層 1 4 0 の水素濃度が  $5 \times 10^{19} / \text{cm}^3$  以下、望ましくは  $5 \times 10^{18} / \text{cm}^3$  以下、より望ましくは  $5 \times 10^{17} / \text{cm}^3$  以下、より望ましくは  $1 \times 10^{16} / \text{cm}^3$  未満となるようにする。

【 0 0 9 0 】

なお、水素濃度が十分に低減され、高純度化された酸化物半導体層 1 4 0 では、一般的なシリコンウェハ（リンやボロンなどの不純物元素が微量に添加されたシリコンウェハ）に

50

おけるキャリア濃度 ( $1 \times 10^{14} / \text{cm}^3$  程度) と比較して、十分に小さいキャリア濃度の値 (例えば、 $1 \times 10^{12} / \text{cm}^3$  未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$  未満) をとる。

#### 【0091】

このように、*i* 型化または実質的に *i* 型化された酸化物半導体を用いることで、極めて優れたオフ電流特性のトランジスタ 402 を得ることができる。例えば、チャネル幅  $W$  が  $1 \times 10^4 \mu\text{m}$  でチャネル長が  $3 \mu\text{m}$  の素子であっても、ドレイン電極に印加するドレイン電圧  $V_d$  が  $+1 \text{ V}$  又は  $+10 \text{ V}$  の場合に、ゲート電極に印加するゲート電圧  $V_g$  が  $-5 \text{ V}$  から  $-20 \text{ V}$  の範囲では、室温でのオフ電流は  $1 \times 10^{-13} \text{ A}$  以下の特性を有している。また、上記トランジスタは、ノーマリーオフのトランジスタ特性を有している。

10

#### 【0092】

従って、ゲート電極とソース電極間の電圧がほぼ  $0 \text{ V}$  の状態におけるオフ電流 (リーク電流ともいう) が、シリコンをチャネル形成領域に用いたトランジスタに比べて著しく小さいという特性を有している。例えば、チャネル幅  $1 \mu\text{m}$  あたりに換算した室温でのリーク電流は  $10 \text{ aA} / \mu\text{m}$  以下とすることができる。

#### 【0093】

また、トランジスタ 402 は温度特性も良好であり、高温でもオフ電流が十分低く、オン電流が十分高いものを得ることができる。例えば、トランジスタの  $V_g - I_d$  特性は  $-25 \sim 150$  の範囲において、オン電流、移動度、 $S$  値の温度依存性が少ないというデータが得られている。また、オフ電流は上記温度範囲において、 $1 \times 10^{-13} \text{ A}$  以下と極めて小さいデータが得られている。

20

#### 【0094】

このような、真性 (*i* 型)、あるいは、実質的に真性 (*i* 型) の酸化物半導体を用いたトランジスタは、チャネル幅  $W$  が  $1 \mu\text{m}$  あたりのオフ電流が  $10 \text{ aA}$  ( $1 \times 10^{-17} \text{ A}$ ) /  $\mu\text{m}$  以下、より好ましくは  $1 \text{ aA}$  ( $1 \times 10^{-18} \text{ A}$ ) /  $\mu\text{m}$  以下とすることができる。

#### 【0095】

このように、水素濃度が十分に低減されて高純度化された酸化物半導体層 140 を適用し、トランジスタ 402 のオフ電流を低減することにより、新たな構成の半導体装置を実現することができる。

30

#### 【0096】

< 不揮発性のラッチ回路が有する素子の作製方法 >

次に、上記不揮発性のラッチ回路が有する素子の作製方法の一例について説明する。以下では、はじめにトランジスタ 421 の作製方法について図 4 を参照して説明し、その後、トランジスタ 402 の作製方法について図 5 または図 6 を参照して説明する。以下に示す作製方法により、上記不揮発性のラッチ回路が有する素子を作製することができる。なお、図 4 では、図 3 (A) における A1 - A2 に相当する断面のみを示す。また、図 5 または図 6 では、図 3 (A) における A1 - A2 および B1 - B2 に相当する断面を示す。

#### 【0097】

< 下部トランジスタの作製方法 >

40

まず、半導体材料を含む基板 100 を用意する (図 4 (A) 参照)。半導体材料を含む基板 100 としては、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、SOI 基板などを適用することができる。ここでは、半導体材料を含む基板 100 として、単結晶シリコン基板を用いる場合の一例について示すものとする。

#### 【0098】

なお、一般に「SOI 基板」は、絶縁表面上にシリコン半導体層が設けられた構成の基板をいうが、本明細書等においては、絶縁表面上にシリコン以外の材料からなる半導体層が設けられた構成の基板をも含む概念として用いる。つまり、「SOI 基板」が有する半導体層は、シリコン半導体層に限定されない。また、SOI 基板には、ガラス基板などの絶

50

縁基板上に半導体層が設けられた構成のものが含まれるものとする。

【0099】

基板100上には、素子分離絶縁層を形成するためのマスクとなる保護層102を形成する(図4(A)参照)。保護層102としては、例えば、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを材料とする絶縁層を用いることができる。なお、この工程の前後において、トランジスタのしきい値電圧を制御するために、n型の導電性を付与する不純物元素やp型の導電性を付与する不純物元素を基板100に添加してもよい。半導体がシリコンの場合、n型の導電性を付与する不純物としては、例えば、リンや砒素などを用いることができる。また、p型の導電性を付与する不純物としては、例えば、硼素、アルミニウム、ガリウムなどを用いることができる。

10

【0100】

次に、上記の保護層102をマスクとしてエッチングを行い、保護層102に覆われていない領域(露出している領域)の基板100の一部を除去する。これにより分離された半導体領域104が形成される(図4(B)参照)。当該エッチングには、ドライエッチングを用いるのが好適であるが、ウェットエッチングを用いても良い。エッチングガスやエッチング液は、被エッチング材料に応じて適宜選択することができる。

【0101】

次に、半導体領域104を覆うように絶縁層を形成し、半導体領域104に重畳する領域の絶縁層を選択的に除去することで、素子分離絶縁層106を形成する(図4(B)参照)。当該絶縁層は、酸化シリコンや窒化シリコン、窒化酸化シリコンなどを用いて形成される。絶縁層の除去方法としては、CMPなどの研磨処理やエッチング処理などがあるが、そのいずれを用いても良い。なお、半導体領域104の形成後、または、素子分離絶縁層106の形成後には、上記保護層102を除去する。

20

【0102】

次に、半導体領域104上に絶縁層を形成し、当該絶縁層上に導電材料を含む層を形成する。

【0103】

絶縁層は後のゲート絶縁層となるものであり、CVD法やスパッタリング法等を用いて得られる酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等を含む膜の単層構造または積層構造とすると良い。他に、高密度プラズマ処理や熱酸化処理によって、半導体領域104の表面を酸化、窒化することにより、上記絶縁層を形成してもよい。高密度プラズマ処理は、例えば、He、Ar、Kr、Xeなどの希ガス、酸素、酸化窒素、アンモニア、窒素、水素などの混合ガスを用いて行うことができる。また、絶縁層の厚さは特に限定されないが、例えば、1nm以上100nm以下とすることができる。

30

【0104】

導電材料を含む層は、アルミニウムや銅、チタン、タンタル、タングステン等の金属材料を用いて形成することができる。また、導電性を付与する不純物元素を含む多結晶シリコンなどの半導体材料を用いて、導電材料を含む層を形成しても良い。形成方法も特に限定されず、蒸着法、CVD法、スパッタリング法、スピンコート法などの各種成膜方法を用いることができる。なお、本実施の形態では、導電材料を含む層を、金属材料を用いて形成する場合の一例について示すものとする。

40

【0105】

その後、上記絶縁層および導電材料を含む層を選択的にエッチングして、ゲート絶縁層108a、ゲート電極110aを形成する(図4(C)参照)。

【0106】

次に、ゲート電極110aを覆う絶縁層112を形成する(図4(C)参照)。そして、半導体領域104にリン(P)又はヒ素(As)などを添加して、接合深さの浅い不純物領域114を形成する(図4(C)参照)。なお、ここではn型トランジスタを形成するためにリンやヒ素を添加しているが、p型トランジスタを形成する場合には、硼素(B)

50

やアルミニウム（Ａ１）などの不純物元素を添加すればよい。

【０１０７】

なお、不純物領域１１４の形成により、半導体領域１０４のゲート絶縁層１０８ａ下部には、チャンネル形成領域１１６が形成される（図４（Ｃ）参照）。ここで、添加する不純物の濃度は適宜設定することができるが、半導体素子が高度に微細化される場合には、その濃度を高くすることが望ましい。また、ここでは、絶縁層１１２を形成した後に不純物領域１１４を形成する工程を採用しているが、不純物領域１１４を形成した後に絶縁層１１２を形成する工程としても良い。

【０１０８】

次に、サイドウォール絶縁層１１８を形成する（図４（Ｄ）参照）。サイドウォール絶縁層１１８は、絶縁層１１２を覆うように絶縁層を形成した後に、当該絶縁層に異方性の高いエッチング処理を適用することで、自己整合的に形成することができる。また、この際に、絶縁層１１２を部分的にエッチングして、ゲート電極１１０ａの上面と、不純物領域１１４の上面を露出させると良い。なお、半導体素子が高度に微細化される場合は、サイドウォール絶縁層１１８を有さない構成とすることもできる。

10

【０１０９】

次に、ゲート電極１１０ａ、不純物領域１１４、サイドウォール絶縁層１１８等を覆うように、絶縁層を形成する。そして、不純物領域１１４と接する領域に、リン（Ｐ）やヒ素（Ａｓ）などを添加して、高濃度不純物領域１２０を形成する。その後、上記絶縁層を除去し、ゲート電極１１０ａ、サイドウォール絶縁層１１８、高濃度不純物領域１２０等を覆うように金属層１２２を形成する（図４（Ｅ）参照）。

20

【０１１０】

当該金属層１２２は、真空蒸着法やスパッタリング法、スピンコート法などの各種成膜方法を用いて形成することができる。金属層１２２は、半導体領域１０４を構成する半導体材料と反応して低抵抗な金属化合物となる金属材料を用いて形成することが望ましい。このような金属材料としては、例えば、チタン、タンタル、タングステン、ニッケル、コバルト、白金等がある。

【０１１１】

次に、熱処理を施して、上記金属層１２２と半導体材料とを反応させる。これにより、高濃度不純物領域１２０に接する金属化合物領域１２４が形成される（図４（Ｆ）参照）。なお、ゲート電極１１０ａとして多結晶シリコンなどを用いる場合には、ゲート電極１１０ａの金属層１２２と接触する部分にも、金属化合物領域が形成されることになる。

30

【０１１２】

上記熱処理としては、例えば、フラッシュランプの照射による熱処理を用いることができる。もちろん、その他の熱処理方法を用いても良いが、金属化合物の形成に係る化学反応の制御性を向上させるためには、ごく短時間の熱処理が実現できる方法を用いることが望ましい。なお、上記の金属化合物領域は、金属材料と半導体材料との反応により形成されるものであり、十分に導電性が高められた領域である。当該金属化合物領域を形成することで、電気抵抗を十分に低減し、素子特性を向上させることができる。なお、金属化合物領域１２４を形成した後は、金属層１２２は除去する。

40

【０１１３】

次に、上述の工程により形成された各構成を覆うように、層間絶縁層１２６、層間絶縁層１２８を形成する（図４（Ｇ）参照）。層間絶縁層１２６や層間絶縁層１２８は、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。また、ポリイミド、アクリル等の有機絶縁材料を用いて形成することも可能である。なお、ここでは、層間絶縁層１２６と層間絶縁層１２８の二層構造としているが、層間絶縁層の構成はこれに限定されない。層間絶縁層１２８の形成後には、その表面を、ＣＭＰやエッチング処理などによって平坦化しておくことが望ましい。

【０１１４】

50



その後、上記層間絶縁層に、金属化合物領域 1 2 4 にまで達する開口を形成し、当該開口に、ソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b を形成する（図 4（H）参照）。ソース電極またはドレイン電極 1 3 0 a やソース電極またはドレイン電極 1 3 0 b は、例えば、開口を含む領域に P V D 法や C V D 法などを用いて導電層を形成した後、エッチング処理や C M P といった方法を用いて、上記導電層の一部を除去することにより形成することができる。

#### 【 0 1 1 5 】

なお、上記導電層の一部を除去してソース電極またはドレイン電極 1 3 0 a やソース電極またはドレイン電極 1 3 0 b を形成する際には、その表面が平坦になるように加工することが望ましい。例えば、開口を含む領域にチタン膜や窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する場合には、その後の C M P によって、不要なタングステン、チタン、窒化チタンなどを除去すると共に、その表面の平坦性を向上させることができる。このように、ソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b を含む表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

#### 【 0 1 1 6 】

ソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b として用いることができる材料について特に限定はなく、各種導電材料を用いることができる。例えば、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料を用いることができる。また、ここでは、金属化合物領域 1 2 4 と接触するソース電極またはドレイン電極 1 3 0 a やソース電極またはドレイン電極 1 3 0 b のみを示しているが、この工程において、図 3 における電極 1 3 0 c などをあわせて形成することができる。

#### 【 0 1 1 7 】

具体的には、例えば、開口を含む領域に P V D 法によりチタン膜を薄く形成し、C V D 法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、P V D 法により形成されるチタン膜は、金属化合物領域の表面に形成されうる酸化膜を還元し、金属化合物領域との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。なお、いわゆるシングルダマシン法に限らず、デュアルダマシン法を適用してもよい。

#### 【 0 1 1 8 】

以上により、半導体材料を含む基板 1 0 0 を用いたトランジスタ 4 2 1 が形成される。なお、上記工程の後には、さらに電極や配線、絶縁層などを形成しても良い。配線の構造として、層間絶縁層および導電層の積層構造でなる多層配線構造を採用することにより、高度に集積化した半導体装置を提供することができる。

#### 【 0 1 1 9 】

##### < 上部トランジスタの作製方法 >

次に、図 5 および図 6 を用いて、層間絶縁層 1 2 8 上にトランジスタ 4 0 2 を作製する工程について説明する。なお、図 5 および図 6 は、層間絶縁層 1 2 8 上の各種電極や、トランジスタ 4 0 2 などの作製工程を示すものであるから、トランジスタ 4 0 2 の下部に存在するトランジスタ 4 2 1 等については省略している。

#### 【 0 1 2 0 】

まず、層間絶縁層 1 2 8、ソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b、電極 1 3 0 c 上に絶縁層 1 3 2 を形成する（図 5（A）参照）。そして、絶縁層 1 3 2 に対し、ソース電極またはドレイン電極 1 3 0 a、ソース電極またはドレイン電極 1 3 0 b、および、電極 1 3 0 c にまで達する開口を形成する。そして、当該開口に埋め込むように導電層 1 3 4 を形成する（図 5（B）参照）。その後、エッチング処理や C M P といった方法を用いて上記導電層 1 3 4 の一部を除去し、絶縁層 1 3 2 を

露出させて、電極 136a、電極 136b、電極 136c、ゲート電極 136d を形成する（図 5（C）参照）。

【0121】

絶縁層 132 は PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。

【0122】

絶縁層 132 の開口は、マスクを用いたエッチングなどの方法で形成することができる。当該マスクは、フォトリソグラフィを用いた露光などの方法によって形成することが可能である。エッチングとしてはウェットエッチング、ドライエッチングのいずれを用いても良いが、微細加工の観点からは、ドライエッチングを用いることが好適である。

10

【0123】

導電層 134 の形成は、PVD 法や CVD 法などの成膜法を用いて行うことができる。導電層の形成に用いることができる材料としては、モリブデン、チタン、クロム、タンタル、タングステン、アルミニウム、銅、ネオジム、スカンジウムなどの導電性材料や、これらの合金、化合物（例えば窒化物）などが挙げられる（図 5（B）参照）。

【0124】

より具体的には、例えば、開口を含む領域に PVD 法によりチタン膜を薄く形成し、CVD 法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD 法により形成されるチタン膜は、下部電極（ここではソース電極またはドレイン電極 130a、ソース電極またはドレイン電極 130b、電極 130c など）の表面に形成されうる酸化膜を還元し、下部電極との接触抵抗を低減させる機能を有する。

20

【0125】

また、その後に形成される窒化チタン膜は、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。なお、いわゆるシングルダマシン法に限らず、デュアルダマシン法などを適用してもよい。

【0126】

導電層 134 を形成した後は、エッチング処理や CMP といった方法を用いて導電層 134 の一部を除去し、絶縁層 132 を露出させて、電極 136a、電極 136b、電極 136c、ゲート電極 136d を形成することができる（図 5（C）参照）。なお、上記導電層 134 の一部を除去して電極 136a、電極 136b、電極 136c、ゲート電極 136d を形成する際には、表面が平坦になるように加工することが望ましい。このように、絶縁層 132、電極 136a、電極 136b、電極 136c、ゲート電極 136d の表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

30

【0127】

次に、絶縁層 132、電極 136a、電極 136b、電極 136c、ゲート電極 136d を覆うように、ゲート絶縁層 138 を形成する（図 5（D）参照）。ゲート絶縁層 138 は、CVD 法やスパッタリング法などを用いて形成することができる。また、ゲート絶縁層 138 は、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどを含むように形成するのが好適である。なお、ゲート絶縁層 138 は、単層構造としても良いし、積層構造としても良い。

40

【0128】

例えば、原料ガスとして、シラン（ $\text{SiH}_4$ ）、酸素、窒素を用いたプラズマ CVD 法により、酸化窒化珪素でなるゲート絶縁層 138 を形成することができる。ゲート絶縁層 138 の厚さは特に限定されないが、例えば、10nm 以上 500nm 以下とすることができる。積層構造の場合は、例えば、膜厚 50nm 以上 200nm 以下の第 1 のゲート絶縁層と、第 1 のゲート絶縁層上の膜厚 5nm 以上 300nm 以下の第 2 のゲート絶縁層の積

50

層とすると好適である。

【0129】

なお、ゲート絶縁層138に水素や水などが含まれると、水素の酸化物半導体層への侵入や、水素による酸化物半導体層中の酸素の引き抜きなどが生じ、トランジスタの特性が悪化するおそれがある。よって、ゲート絶縁層138は、できるだけ水素や水を含まないように形成することが望ましい。

【0130】

例えば、スパッタリング法などを用いる場合には、処理室内の残留水分を除去した状態でゲート絶縁層138を形成することが望ましい。また、処理室内の残留水分を除去するためには、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどの、吸着型の真空ポンプを用いることが望ましい。ターボポンプにコールドトラップを加えたものを用いてもよい。クライオポンプなどを用いて排気した処理室は、水素や水などが十分に除去されているため、ゲート絶縁層138に含まれる不純物の濃度を低減することができる。

10

【0131】

また、ゲート絶縁層138を形成する際には、水素や水などの不純物が、1ppm以下(望ましくは1ppb以下)にまで低減された高純度ガスを用いることが望ましい。

【0132】

なお、不純物を除去することによりi型化または実質的にi型化された酸化物半導体(高純度化された酸化物半導体)は、界面準位や界面電荷に対して極めて敏感であるため、このような酸化物半導体を酸化物半導体層に用いる場合には、ゲート絶縁層との界面の特性が重要である。つまり、高純度化された酸化物半導体層に接するゲート絶縁層138には、高品質化が要求されることになる。

20

【0133】

例えば、μ波(周波数2.45GHz)を用いた高密度プラズマCVD法は、緻密で絶縁耐圧の高い高品質なゲート絶縁層138を形成できる点で好適である。高純度化された酸化物半導体層と高品質ゲート絶縁層とが密接することにより、界面準位を低減して界面特性を良好なものとすることができるからである。

【0134】

もちろん、ゲート絶縁層として良質な絶縁層を形成できるものであれば、高純度化された酸化物半導体層を用いる場合であっても、スパッタリング法やプラズマCVD法など他の方法を適用することができる。また、形成後の熱処理によって、膜質や界面特性が改質される絶縁層を適用しても良い。いずれにしても、ゲート絶縁層138としての膜質が良好であると共に、酸化物半導体層との界面準位密度を低減し、良好な界面を形成できるものを形成すれば良い。

30

【0135】

次いで、ゲート絶縁層138上に、酸化物半導体層を形成し、マスクを用いたエッチングなどの方法によって該酸化物半導体層を加工して、島状の酸化物半導体層140を形成する(図5(E)参照)。

【0136】

上記酸化物半導体層としては、四元系金属酸化物であるIn-Sn-Ga-Zn-O系や、三元系金属酸化物であるIn-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系や、二元系金属酸化物であるIn-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系や、In-O系、Sn-O系、Zn-O系などの酸化物半導体を用いて形成することができる。また、上記酸化物半導体にSiO<sub>2</sub>を含ませたものを用いても良い。

40

【0137】

また、酸化物半導体層として、InM<sub>n</sub>O<sub>3</sub>(ZnO)<sub>m</sub>(m>0、且つ自然数でない)で表記される材料を含む薄膜を用いることができる。ここで、Mは、Ga、Al、Mnおよ

50

びC oから選ばれた一または複数の金属元素を示す。例えば、Mとしては、G a、G aおよびA l、G aおよびM n、G aおよびC oなどを適用することができる。

【0138】

本実施の形態では、酸化物半導体層としてI n - G a - Z n - O系の金属酸化物ターゲットを用いて、非晶質の酸化物半導体層をスパッタ法により形成することとする。なお、非晶質の酸化物半導体層中にシリコンを添加することで、その結晶化を抑制することができるから、例えば、S i O<sub>2</sub>を2重量%以上10重量%以下含むターゲットを用いて酸化物半導体層を形成しても良い。

【0139】

酸化物半導体層をスパッタリング法で作製するためのターゲットとしては、例えば、組成比として、I n<sub>2</sub>O<sub>3</sub> : G a<sub>2</sub>O<sub>3</sub> : Z nO = 1 : 1 : 1 [mol比]などを用いることができる。その他に、I n<sub>2</sub>O<sub>3</sub> : G a<sub>2</sub>O<sub>3</sub> : Z nO = 1 : 1 : 2 [mol比]、またはI n<sub>2</sub>O<sub>3</sub> : G a<sub>2</sub>O<sub>3</sub> : Z nO = 1 : 1 : 4 [mol比]の組成比を有するターゲットなどを用いても良い。金属酸化物ターゲットの充填率は90%以上100%以下、好ましくは95%以上（例えば99.9%）である。充填率の高い金属酸化物ターゲットを用いることにより、緻密な酸化物半導体層が形成される。

10

【0140】

酸化物半導体層の形成雰囲気は、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、または、希ガス（代表的にはアルゴン）と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、1ppm以下（望ましくは1ppb以下）にまで除去された高純度ガスを用いるのが好適である。

20

【0141】

酸化物半導体層の形成の際には、減圧状態に保持された処理室内に基板を保持し、基板温度を100℃以上600℃以下好ましくは200℃以上400℃以下とする。基板を加熱しながら酸化物半導体層を形成することにより、酸化物半導体層に含まれる不純物濃度を低減することができる。また、スパッタリングによる損傷が軽減される。そして、処理室内の残留水分を除去しつつ水素および水が除去されたスパッタガスを導入し、金属酸化物をターゲットとして酸化物半導体層を形成する。

【0142】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプを用いることができる。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室においては、例えば、水素原子、水（H<sub>2</sub>O）など水素原子を含む化合物（より好ましくは炭素原子を含む化合物も）等が排気されるため、当該成膜室で形成した酸化物半導体層に含まれる不純物の濃度を低減できる。

30

【0143】

形成条件としては、例えば、基板とターゲットの間との距離が100mm、圧力が0.6Pa、直流（DC）電力が0.5kW、雰囲気が酸素（酸素流量比率100%）雰囲気、といった条件を適用することができる。なお、パルス直流（DC）電源を用いると、ごみが軽減でき、膜厚分布も均一となるため、好ましい。酸化物半導体層の厚さは、2nm以上200nm以下、好ましくは5nm以上30nm以下とする。なお、適用する酸化物半導体材料により適切な厚さは異なるから、その厚さは用いる材料に応じて適宜選択すればよい。例えば、チャネル長が短い場合は、酸化物半導体層の厚さは5nm以上30nm以下とすることができる。このように素子のサイズを小さくすることにより高集積化が図れるとともに、酸化物半導体層を薄くすることで短チャネル効果を抑制することができる。

40

【0144】

なお、酸化物半導体層をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、ゲート絶縁層138の表面に付着しているゴミを除去するのが好適である。ここで、逆スパッタとは、通常のスパッタにおいては、スパッタ

50

ターゲットにイオンを衝突させるところ、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、基板付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などを用いても良い。

#### 【0145】

上記酸化物半導体層のエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、両方を組み合わせて用いることもできる。所望の形状にエッチングできるよう、材料に合わせてエッチング条件（エッチングガスやエッチング液、エッチング時間、温度等）を適宜設定する。

10

#### 【0146】

ドライエッチングに用いるエッチングガスには、例えば、塩素を含むガス（塩素系ガス、例えば塩素（ $\text{Cl}_2$ ）、三塩化硼素（ $\text{BCl}_3$ ）、四塩化珪素（ $\text{SiCl}_4$ ）、四塩化炭素（ $\text{CCl}_4$ ）など）などがある。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（ $\text{CF}_4$ ）、六弗化硫黄（ $\text{SF}_6$ ）、三弗化窒素（ $\text{NF}_3$ ）、トリフルオロメタン（ $\text{CHF}_3$ ）など）、臭化水素（ $\text{HBr}$ ）、酸素（ $\text{O}_2$ ）、これらのガスにヘリウム（ $\text{He}$ ）やアルゴン（ $\text{Ar}$ ）などの希ガスを添加したガス、などを用いても良い。

#### 【0147】

ドライエッチング法としては、平行平板型RIE（Reactive Ion Etching）法や、ICP（Inductively Coupled Plasma：誘導結合型プラズマ）エッチング法を用いることができる。所望の形状にエッチングできるように、エッチング条件（コイル型の電極に印加される電力量、基板側の電極に印加される電力量、基板側の電極温度等）は適宜設定する。

20

#### 【0148】

ウェットエッチングに用いるエッチング液としては、燐酸と酢酸と硝酸を混ぜた溶液、アンモニア過水（アンモニア、水、過酸化水素水の混合液）などを用いることができる。また、ITO07N（関東化学社製）などのエッチング液を用いてもよい。

#### 【0149】

次いで、酸化物半導体層に第1の熱処理を行うことが望ましい。この第1の熱処理によって酸化物半導体層の脱水化または脱水素化を行うことができる。第1の熱処理の温度は、300 以上800 以下、好ましくは400 以上700 以下、より好ましくは450 以上700 以下、より好ましくは550 以上700 以下とすることができる。

30

#### 【0150】

第1の熱処理の温度を350 以上とすることにより酸化物半導体層の脱水化または脱水素化が行え、膜中の水素濃度を低減することができる。また第1の熱処理の温度を450 以上とすることにより、膜中の水素濃度をさらに低減することができる。また第1の熱処理の温度を550 以上とすることにより、膜中の水素濃度をさらに低減することができる。例えば、抵抗発熱体などを用いた電気炉に基板を導入し、酸化物半導体層140に対して窒素雰囲気下450 において1時間の熱処理を行う。この間、酸化物半導体層140は、大気に触れることなく、水や水素の再混入が行われなくようにする。

40

#### 【0151】

なお、熱処理装置は電気炉に限られず、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置であっても良い。例えば、GRTA（Gas Rapid Thermal Anneal）装置、LRTA（Lamp Rapid Thermal Anneal）装置等のRTA（Rapid Thermal Anneal）装置を用いることができる。

#### 【0152】

LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光（電磁波）の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを

50

用いて熱処理を行う装置である。気体としては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

【0153】

例えば、第1の熱処理として、650 ~ 700 の高温に加熱した不活性ガス中に基板を投入し、数分間加熱した後、当該不活性ガス中から基板を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、短時間の熱処理であるため、基板の歪み点を超える温度条件であっても適用が可能となる。例えば、ガラス基板など、比較的耐熱性が低い基板を含むSOI基板を用いる場合、耐熱温度(歪み点)を超える温度では基板のシュリンクが問題となるが、短時間の熱処理の場合にはこれは問題とならない。

10

【0154】

なお、第1の熱処理を行う不活性ガス雰囲気としては、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.999%)以上、好ましくは7N(99.99999%)以上(すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下)とする。

【0155】

なお、処理中に、不活性ガス雰囲気を、酸素を含む雰囲気に切り替えても良い。例えば、第1の加熱処理に電気炉を用いる場合、加熱処理の降温時に雰囲気を切り替えることができる。例えば、加熱処理時(恒温時)の雰囲気は、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)などの不活性ガス雰囲気とし、降温時に酸素を含む雰囲気に切り替えることができる。酸素を含む雰囲気としては、酸素ガスまたは酸素ガスと窒素ガスを混合した気体を用いることができる。この酸素を含む雰囲気を用いる場合も、雰囲気中に、水、水素などが含まれないことが好ましい。または、用いる酸素ガス、窒素ガスの純度を、6N(99.999%)以上、好ましくは7N(99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。酸素を含む雰囲気において第1の熱処理を行うことで、酸素欠損に起因する欠陥を低減することができる。

20

【0156】

第1の熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層が結晶化し、微結晶または多結晶となる場合もある。例えば、結晶化率が90%以上、または80%以上の微結晶の酸化物半導体層となる場合もある。また、第1の熱処理の条件、または酸化物半導体層の材料によっては、結晶成分を含まない非晶質の酸化物半導体層となる場合もある。

30

【0157】

また、非晶質の酸化物半導体(例えば、酸化物半導体層の表面)に微結晶(粒径1nm以上20nm以下(代表的には2nm以上4nm以下))が混在する酸化物半導体層となる場合もある。

【0158】

また、非晶質中に微結晶を配列させることで、酸化物半導体層の電気的特性を変化させることも可能である。例えば、In-Ga-Zn-O系の金属酸化物ターゲットを用いて酸化物半導体層を形成する場合には、電気的異方性を有する $\text{In}_2\text{Ga}_2\text{ZnO}_7$ の結晶粒が配向した微結晶部を形成することで、酸化物半導体層の電気的特性を変化させることができる。

40

【0159】

例えば、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$ のc軸が酸化物半導体層の表面に垂直な方向をとるように配向させることで、酸化物半導体層の表面に平行な方向の導電性を向上させ、酸化物半導体層の表面に垂直な方向の絶縁性を向上させることができる。また、このような微結晶部は、酸化物半導体層中への水や水素などの不純物の侵入を抑制する機能を有する。

50

## 【0160】

なお、上述の微結晶部を有する酸化物半導体層は、GRTA処理による酸化物半導体層の表面加熱によって形成することができる。また、Znの含有量がInまたはGaの含有量より小さいスパッタターゲットを用いることで、より好適に形成することが可能である。

## 【0161】

酸化物半導体層140に対する第1の熱処理は、島状の酸化物半導体層140に加工する前の酸化物半導体層に行うこともできる。その場合には、第1の熱処理後に、加熱装置から基板を取り出し、フォトリソグラフィ工程を行うことになる。

## 【0162】

なお、上記熱処理は、酸化物半導体層140に対する脱水化、脱水素化の効果があるから、脱水化処理、脱水素化処理などと呼ぶこともできる。このような脱水化処理、脱水素化処理は、酸化物半導体層の形成後、酸化物半導体層140上にソース電極またはドレイン電極を積層させた後、ソース電極またはドレイン電極上に保護絶縁層を形成した後、などのタイミングにおいて行うことが可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行って良い。

10

## 【0163】

次に、酸化物半導体層140に接するように、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bを形成する(図5(F)参照)。ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bは、酸化物半導体層140を覆うように導電層を形成した後、当該導電層を選択的にエッチングすることにより形成することができる。

20

## 【0164】

導電層は、スパッタ法をはじめとするPVD(Physical Vapor Deposition)法や、プラズマCVD法などのCVD(Chemical Vapor Deposition)法を用いて形成することができる。また、導電層の材料としては、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた元素や、上述した元素を成分とする合金等を用いることができる。マンガン、マグネシウム、ジルコニウム、ベリリウム、イットリウムのいずれかーまたは複数から選択された材料を用いてもよい。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素を単数、または複数組み合わせた材料を用いてもよい。

30

## 【0165】

また、導電層は、酸化物導電膜を用いて形成してもよい。酸化物導電膜としては、酸化インジウム( $\text{In}_2\text{O}_3$ )、酸化スズ( $\text{SnO}_2$ )、酸化亜鉛( $\text{ZnO}$ )、酸化インジウム酸化スズ合金( $\text{In}_2\text{O}_3$   $\text{SnO}_2$ 、ITOと略記する場合がある)、酸化インジウム酸化亜鉛合金( $\text{In}_2\text{O}_3$   $\text{ZnO}$ )、または、これらの金属酸化物材料にシリコン若しくは酸化シリコンを含有させたものを用いることができる。

## 【0166】

この場合、酸化物半導体層140に用いる材料と比較して、導電率が高いまたは抵抗率が低い材料を酸化物導電膜に用いることが好ましい。酸化物導電膜の導電率は、キャリア濃度を増やすことで高くすることができる。酸化物導電膜のキャリア濃度は、水素濃度を増やすことで増やすことができる。また、酸化物導電膜のキャリア濃度は、酸素欠損を増やすことで増やすことができる。

40

## 【0167】

導電層は、単層構造であっても良いし、2層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム膜の単層構造、アルミニウム膜上にチタン膜が積層された2層構造、チタン膜とアルミニウム膜とチタン膜とが積層された3層構造などが挙げられる。ここでは、チタン膜とアルミニウム膜とチタン膜の3層構造を適用することとする。

## 【0168】

なお、酸化物半導体層140と導電層との間には、酸化物導電体層を形成してもよい。酸

50

化物導電体層と導電層は、連続して形成すること（連続成膜）が可能である。このような酸化物導電層を設けることで、ソース領域またはドレイン領域の低抵抗化を図ることができるため、トランジスタの高速動作が実現される。

【0169】

次に、導電層を選択的にエッチングして、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bを形成する（図5（F）参照）。エッチングに用いるマスク形成時の露光には、紫外線やKrFレーザ光やArFレーザ光を用いるのが好適である。

【0170】

トランジスタのチャンネル長（L）は、ソース電極またはドレイン電極142aの下端部と、ソース電極またはドレイン電極142bの下端部との間隔によって決定される。なお、チャンネル長（L）が25nm未満となるような露光を行う場合には、数nm～数10nmと極めて波長が短い超紫外線（Extreme Ultraviolet）を用いてマスク形成の露光を行う。超紫外線による露光は、解像度が高く焦点深度も大きい。従って、後に形成されるトランジスタのチャンネル長（L）が25nm未満となるような設計をすることが可能であり、即ちチャンネル長（L）を10nm以上1000nm以下とすることも可能であり、回路の動作速度を高速化できる。さらにオフ電流値が極めて小さいため、消費電力が大きくなりずに済む。

【0171】

なお、導電層のエッチングの際には、酸化物半導体層140が除去されないように、それぞれの材料およびエッチング条件を適宜調節する。なお、材料およびエッチング条件によっては、当該工程において、酸化物半導体層140の一部がエッチングされ、溝部（凹部）を有する酸化物半導体層となることもある。

【0172】

また、上記マスクの使用数や工程数を削減するため、透過した光が複数の強度となる露光マスクである多階調マスクによってレジストマスクを形成し、これを用いてエッチング工程を行ってもよい。多階調マスクを用いて形成したレジストマスクは、複数の厚みを有する形状（階段状）となり、アッシングによりさらに変形させることができるため、異なるパターンに加工する複数のエッチング工程に用いることができる。つまり、一枚の多階調マスクによって、少なくとも二種類以上の異なるパターンに対応するレジストマスクを形成することができる。よって、露光マスク数を削減することができ、対応するフォトリソグラフィ工程も削減できるため、工程の簡略化が図れる。

【0173】

なお、上述の工程の後には、N<sub>2</sub>O、N<sub>2</sub>、またはArなどのガスを用いたプラズマ処理を行うのが好ましい。当該プラズマ処理によって、露出している酸化物半導体層の表面に付着した水などが除去される。また、酸素とアルゴンの混合ガスを用いてプラズマ処理を行ってもよい。

【0174】

次に、大気に触れさせることなく、酸化物半導体層140の一部に接する保護絶縁層144を形成する（図5（G）参照）。

【0175】

保護絶縁層144は、スパッタ法など、保護絶縁層144に水、水素等の不純物を混入させない方法を適宜用いて形成することができる。また、その厚さは、少なくとも1nm以上とする。保護絶縁層144に用いることができる材料としては、酸化珪素、窒化珪素、酸化窒化珪素、窒化酸化珪素などがある。また、その構造は、単層構造としても良いし、積層構造としても良い。保護絶縁層144を形成する際の基板温度は、室温以上300以下とするのが好ましく、雰囲気は、希ガス（代表的にはアルゴン）雰囲気、酸素雰囲気、または希ガス（代表的にはアルゴン）と酸素の混合雰囲気とするのが好適である。

【0176】

保護絶縁層144に水素が含まれると、その水素の酸化物半導体層への侵入や、水素によ

10

20

30

40

50



る酸化物半導体層中の酸素の引き抜きなどが生じ、酸化物半導体層のバックチャネル側が低抵抗化してしまい、寄生チャネルが形成されるおそれがある。よって、保護絶縁層 1 4 4 はできるだけ水素を含まないように、形成方法においては水素を用いないことが重要である。

【 0 1 7 7 】

また、処理室内の残留水分を除去しつつ保護絶縁層 1 4 4 を形成することが好ましい。酸化物半導体層 1 4 0 および保護絶縁層 1 4 4 に水素、水酸基または水分が含まれないようにするためである。

【 0 1 7 8 】

処理室内の残留水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリーメーションポンプを用いることが好ましい。また、排気手段としては、ターボポンプにコールドトラップを加えたものであってもよい。クライオポンプを用いて排気した成膜室は、例えば、水素原子や、水 ( $H_2O$ ) など水素原子を含む化合物等が除去されているため、当該成膜室で形成した保護絶縁層 1 4 4 に含まれる不純物の濃度を低減できる。

10

【 0 1 7 9 】

保護絶縁層 1 4 4 を形成する際に用いるスパッタガスとしては、水素、水、水酸基または水素化物などの不純物が、1 p p m 以下 (望ましくは 1 p p b 以下) にまで除去された高純度ガスを用いることが好ましい。

【 0 1 8 0 】

20

次いで、不活性ガス雰囲気下、または酸素ガス雰囲気下で第 2 の熱処理 (好ましくは 2 0 0 以上 4 0 0 以下、例えば 2 5 0 以上 3 5 0 以下) を行うのが望ましい。例えば、窒素雰囲気下で 2 5 0 、1 時間の第 2 の熱処理を行う。第 2 の熱処理を行うと、トランジスタの電気的特性のばらつきを軽減することができる。

【 0 1 8 1 】

また、大気中、1 0 0 以上 2 0 0 以下、1 時間以上 3 0 時間以下の熱処理を行ってもよい。この熱処理は一定の加熱温度を保持して行ってもよいし、室温から、1 0 0 以上 2 0 0 以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回くりかえして行ってもよい。また、この熱処理を、保護絶縁層の形成前に、減圧下で行ってもよい。減圧下で熱処理を行うと、加熱時間を短縮することができる。なお、当該熱処理は、上記第 2 の熱処理に代えて行ってもよいし、第 2 の熱処理の前後などに行ってもよい。

30

【 0 1 8 2 】

次に、保護絶縁層 1 4 4 上に、層間絶縁層 1 4 6 を形成する (図 6 (A) 参照)。層間絶縁層 1 4 6 は P V D 法や C V D 法などを用いて形成することができる。また、酸化シリコン、窒化酸化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。層間絶縁層 1 4 6 の形成後には、その表面を、C M P やエッチングなどの方法によって平坦化しておくことが望ましい。

【 0 1 8 3 】

次に、層間絶縁層 1 4 6、保護絶縁層 1 4 4、およびゲート絶縁層 1 3 8 に対し、電極 1 3 6 a、電極 1 3 6 b、電極 1 3 6 c、ソース電極またはドレイン電極 1 4 2 a、ソース電極またはドレイン電極 1 4 2 b にまで達する開口を形成し、当該開口に埋め込むように導電層 1 4 8 を形成する (図 6 (B) 参照)。上記開口はマスクを用いたエッチングなどの方法で形成することができる。当該マスクは、フォトマスクを用いた露光などの方法によって形成することが可能である。

40

【 0 1 8 4 】

エッチングとしてはウェットエッチング、ドライエッチングのいずれを用いてもよいが、微細加工の観点からは、ドライエッチングを用いることが好適である。導電層 1 4 8 の形成は、P V D 法や C V D 法などの成膜法を用いて行うことができる。導電層 1 3 4 の形成に用いることができる材料としては、モリブデン、チタン、クロム、タンタル、タングス

50

テン、アルミニウム、銅、ネオジウム、スカンジウムなどの導電性材料や、これらの合金、化合物（例えば窒化物）などが挙げられる。

【0185】

具体的には、例えば、開口を含む領域にPVD法によりチタン膜を薄く形成し、CVD法により窒化チタン膜を薄く形成した後に、開口に埋め込むようにタングステン膜を形成する方法を適用することができる。ここで、PVD法により形成されるチタン膜は、界面の酸化膜を還元し、下部電極（ここでは、電極136a、電極136b、電極136c、ソース電極またはドレイン電極142a、ソース電極またはドレイン電極142b）との接触抵抗を低減させる機能を有する。また、その後に形成される窒化チタンは、導電性材料の拡散を抑制するバリア機能を備える。また、チタンや窒化チタンなどによるバリア膜を形成した後に、メッキ法により銅膜を形成してもよい。

10

【0186】

導電層148を形成した後は、エッチングやCMPといった方法を用いて導電層148の一部を除去し、層間絶縁層146を露出させて、電極150a、電極150b、電極150c、電極150d、電極150eを形成する（図6（C）参照）。なお、上記導電層148の一部を除去して電極150a、電極150b、電極150c、電極150d、電極150eを形成する際には、表面が平坦になるように加工することが望ましい。このように、層間絶縁層146、電極150a、電極150b、電極150c、電極150d、電極150eの表面を平坦化することにより、後の工程において、良好な電極、配線、絶縁層、半導体層などを形成することが可能となる。

20

【0187】

さらに、絶縁層152を形成し、絶縁層152に、電極150a、電極150b、電極150c、電極150d、電極150eにまで達する開口を形成し、当該開口に埋め込むように導電層を形成した後、エッチングやCMPなどの方法を用いて導電層の一部を除去し、絶縁層152を露出させて、電極154a、電極154b、電極154c、電極154dを形成する（図6（D）参照）。当該工程は、電極150a等を形成する場合と同様であるから、詳細は省略する。

【0188】

上述のような方法でトランジスタ402を作製した場合、酸化物半導体層140の水素濃度は $5 \times 10^{19} / \text{cm}^3$ 以下となり、また、トランジスタ402の室温でのオフ電流は $1 \times 10^{-13} \text{ A}$ 以下（チャネル幅 $1 \mu\text{m}$ あたりに換算した室温でのリーク電流は $10 \text{ aA} / \mu\text{m}$ 以下）となる。また、酸化物半導体層のキャリア濃度は $1 \times 10^{14} / \text{cm}^3$ 未満となる。このような、水素濃度が十分に低減され、酸素が供給され、高純度化された酸化物半導体層140を適用することで、優れた特性のトランジスタ402を得ることができる。また、下部に酸化物半導体以外の材料を用いたトランジスタ421を有し、上部に酸化物半導体を用いたトランジスタ402を有するため、両者の特性を併せ持つ優れた特性の不揮発性のラッチ回路及びそれを用いた半導体装置を作製することができる。

30

【0189】

なお、酸化物半導体層140への酸素の供給は、水素濃度を低減した直後に行う場合は、酸化物半導体層に水素や水などが混入するおそれがないため、極めて良好な特性の酸化物半導体層を実現することができるという点で好適である。もちろん、良好な特性の酸化物半導体層を実現できるのであれば、水素濃度の低減処理と、酸素の供給処理は、連続的に行われる必要はない。例えば、これらの処理の間に別の処理を含んでも良い。また、これらの処理を、同時に行っても良い。

40

【0190】

なお、酸化物半導体との比較対象たり得る半導体材料としては、炭化珪素（例えば、 $4\text{H-SiC}$ ）がある。酸化物半導体と $4\text{H-SiC}$ はいくつかの共通点を有している。キャリア密度はその一例である。フェルミ・ディラック分布に従えば、酸化物半導体の少数キャリアは $10^{-7} / \text{cm}^3$ 程度と見積もられるが、これは、 $4\text{H-SiC}$ における $6.7 \times 10^{-11} / \text{cm}^3$ と同様、極めて低い値である。シリコンの真性キャリア密度（ $1$ 、

50

$4 \times 10^{10} / \text{cm}^3$  程度)と比較すれば、その程度が並はずれていることが良く理解できる。

【0191】

また、酸化物半導体のエネルギーバンドギャップは3.0～3.5 eVであり、4H-SiCのエネルギーバンドギャップは3.26 eVであるから、ワイドギャップ半導体という点においても、酸化物半導体と炭化珪素とは共通している。

【0192】

一方で、酸化物半導体と炭化珪素との間には極めて大きな相違点が存在する。それは、プロセス温度である。炭化珪素を用いる半導体プロセスは一般に1500～2000の熱処理を必要とするから、他の半導体材料を用いた半導体素子との積層構造は困難である。このような高い温度では、半導体基板や半導体素子などが破壊されてしまうためである。他方、酸化物半導体は、300～500（ガラス転位温度以下、最大でも700程度）の熱処理で作製することが可能であり、他の半導体材料を用いて集積回路を形成した上で、酸化物半導体による半導体素子を形成することが可能となる。

10

【0193】

また、炭化珪素の場合と異なり、ガラス基板など、耐熱性の低い基板を用いることが可能であるという利点を有する。さらに、高温での熱処理が不要という点で、炭化珪素と比較してエネルギーコストを十分に低くすることができるといえる利点を有する。

【0194】

なお、酸化物半導体において、DOS (density of state) 等の物性研究は多くなされているが、これらの研究は、局在準位そのものを十分に減らすという思想を含まない。開示する発明の一態様では、局在準位の原因たり得る水や水素を酸化物半導体中より除去することで、高純度化した酸化物半導体を作製する。これは、局在準位そのものを十分に減らすという思想に立脚するものである。そして、これによって極めて優れた工業製品の製造を可能とするものである。

20

【0195】

さらに、酸素欠乏により発生する金属の不對結合手に対して酸素を供給し、酸素欠陥による局在準位を減少させることにより、いっそう高純度化された(i型の)酸化物半導体とすることが可能である。たとえば、チャネル形成領域に密接して酸素過剰の酸化膜を形成し、当該酸化膜から酸素を供給して、酸素欠陥による局在準位を減少させることが可能である。

30

【0196】

酸化物半導体の欠陥は、過剰な水素による伝導帯下0.1～0.2 eVの浅い準位や、酸素の不足による深い準位、などに起因するものとされている。これらの欠陥を無くすために、水素を徹底的に除去し、酸素を十分に供給するという技術思想は正しいものであると考えられる。

【0197】

また、酸化物半導体は一般にn型とされているが、開示する発明の一態様では、不純物、特に水や水素を除去することによりi型化を実現する。この点、シリコンなどのように不純物を添加してのi型化ではなく、従来にない技術思想を含むものといえる。

40

【0198】

また上記では、不揮発性のラッチ回路400が有する素子のうち、酸化物半導体を用いたトランジスタ402以外の素子は、半導体材料として酸化物半導体以外の材料を用いる例を示したが、開示する発明はこれに限定されるものではない。不揮発性のラッチ回路400が有する素子のうち、トランジスタ402以外の素子において、半導体材料として酸化物半導体を用いることも可能である。

【0199】

< 酸化物半導体を用いたトランジスタの電導機構 >

酸化物半導体を用いたトランジスタの電導機構につき、図7乃至図10を用いて説明する。なお、以下の説明では、理解の容易のため理想的な状況を仮定しており、そのすべてが

50

現実の様子を反映しているとは限らない。また、以下の説明はあくまでも一考察に過ぎず、発明の有効性に影響を与えるものではないことを付記する。

【0200】

図7は、酸化物半導体を用いたトランジスタ（薄膜トランジスタ）の断面図である。ゲート電極（GE1）上にゲート絶縁層（GI）を介して酸化物半導体層（OS）が設けられ、その上にソース電極（S）およびドレイン電極（D）が設けられ、ソース電極（S）およびドレイン電極（D）を覆うように絶縁層が設けられている。

【0201】

図8には、図7のA-A'断面におけるエネルギーバンド図（模式図）を示す。また、図8中の黒丸（●）は電子を示し、白丸（○）は正孔を示し、それぞれは電荷（ $-q$ 、 $+q$ ）を有している。ドレイン電極に正の電圧（ $V_D > 0$ ）を印加した上で、破線はゲート電極に電圧を印加しない場合（ $V_G = 0$ ）、実線はゲート電極に正の電圧（ $V_G > 0$ ）を印加する場合を示す。ゲート電極に電圧を印加しない場合は高いポテンシャル障壁のために電極から酸化物半導体側へキャリア（電子）が注入されず、電流を流さないオフ状態を示す。一方、ゲートに正の電圧を印加するとポテンシャル障壁が低下し、電流を流すオン状態を示す。

10

【0202】

図9には、図7におけるB-B'の断面におけるエネルギーバンド図（模式図）を示す。図9（A）は、ゲート電極（GE1）に正の電圧（ $V_G > 0$ ）が与えられた状態であり、ソース電極とドレイン電極との間にキャリア（電子）が流れるオン状態を示している。また、図9（B）は、ゲート電極（GE1）に負の電圧（ $V_G < 0$ ）が印加された状態であり、オフ状態（少数キャリアは流れない状態）である場合を示す。

20

【0203】

図10は、真空準位と金属の仕事関数（ $\phi_M$ ）、酸化物半導体の電子親和力（ $\chi$ ）の関係を示す。常温において金属中の電子は縮退しており、フェルミ準位は伝導帯内に位置する。一方、従来の酸化物半導体はn型であり、そのフェルミ準位（ $E_F$ ）は、バンドギャップ中央に位置する真性フェルミ準位（ $E_i$ ）から離れて、伝導帯寄りに位置している。なお、酸化物半導体において水素の一部はドナーとなり、n型化する要因の一つであることが知られている。

【0204】

30

これに対して開示する発明の一態様に係る酸化物半導体は、n型化の要因である水素を酸化物半導体から除去し、酸化物半導体の主成分以外の元素（不純物元素）が極力含まれないように高純度化することにより真性（i型）とし、または実質的に真性としたものである。すなわち、不純物元素を添加してi型化するのでなく、水素や水等の不純物を極力除去することにより、高純度化されたi型半導体（真性半導体）またはそれに近づけることを特徴としている。これにより、フェルミ準位（ $E_F$ ）は真性フェルミ準位（ $E_i$ ）と同程度とすることができる。

【0205】

酸化物半導体のバンドギャップ（ $E_g$ ）は3.15 eVで、電子親和力（ $\chi$ ）は4.3 eVと言われている。ソース電極およびドレイン電極を構成するチタン（Ti）の仕事関数は、酸化物半導体の電子親和力（ $\chi$ ）とほぼ等しい。この場合、金属-酸化物半導体界面において、電子に対してショットキー型の障壁は形成されない。

40

【0206】

このとき電子は、図9（A）で示すように、ゲート絶縁層と高純度化された酸化物半導体との界面付近（酸化物半導体のエネルギー的に安定な最低部）を移動する。

【0207】

また、図9（B）に示すように、ゲート電極（GE1）に負の電位が与えられると、少数キャリアであるホールは実質的にゼロであるため、電流は限りなくゼロに近い値となる。

【0208】

50

このように酸化物半導体の主成分以外の元素（不純物元素）が極力含まれないように高純度化することにより、真性（*i* 型）または実質的に真性となるため、ゲート絶縁層との界面特性が重要となる。そのため、ゲート絶縁層には、酸化物半導体と良好な界面を形成できるものが要求される。具体的には、例えば、VHF 帯～マイクロ波帯の電源周波数で生成される高密度プラズマを用いたCVD法で作製される絶縁層や、スパッタリング法で作製される絶縁層などを用いることが好ましい。

#### 【0209】

酸化物半導体を高純度化しつつ、酸化物半導体とゲート絶縁層との界面を良好なものとするることにより、例えば、トランジスタのチャネル幅 $W$ が $1 \times 10^4 \mu\text{m}$ 、チャネル長 $L$ が $3 \mu\text{m}$ の場合には、室温でのオフ電流が $1 \times 10^{-13} \text{A}$ 以下、サブスレッショルドスイング値（ $S$  値）が $0.1 \text{V/dec.}$ （ゲート絶縁層の厚さ： $100 \text{nm}$ ）が実現され得る。

10

#### 【0210】

このように、酸化物半導体の主成分以外の元素（不純物元素）が極力含まれないように高純度化することにより、トランジスタの動作を良好なものとすることができる。

#### 【0211】

本実施の形態によれば、チャネル形成領域を構成する半導体材料として、水素濃度が十分に低減されて高純度化され、キャリア濃度が十分に小さい、真性（*i* 型）または実質的に真性（*i* 型）な酸化物半導体を用いたトランジスタをスイッチング素子として用い、またこのトランジスタのソース電極又はドレイン電極に電氣的に接続された容量を有することで、温度動作範囲が広く高温でも安定に動作し、電源を切っても記憶している論理状態が消えない不揮発性のラッチ回路あるいはリフレッシュ期間が十分に長いデータ保持性を有するラッチ回路を実現することができる。また、容量に蓄積された電荷がそのままデータとして保持されるため、残留分極成分をデータとする場合と比較して、ばらつきに強く、またデータの読み出しを容易に行うことができる。

20

#### 【0212】

上記不揮発性のラッチ回路を用いることで、さまざまな論理回路を実現することが可能である。例えば、不揮発性のラッチ回路を用いた論理回路では、使用しないブロックの電源をオフにすることで消費電力を低減することができる。また、電源をオフにしても論理状態を記憶していることから、電源をオンにした時のシステム起動や、電源をオフにした時のシステム終了を高速に、かつ低電力で行うことが可能である。

30

#### 【0213】

本実施の形態は、他の実施の形態と自由に組み合わせることができる。

#### 【0214】

（実施の形態 2）

本実施の形態は、開示する発明の一態様である不揮発性のラッチ回路の構成、動作について、図 11（A）、図 11（B）、図 12 を参照して説明する。

#### 【0215】

図 11（A）は、不揮発性のラッチ回路 400 の構成を示している。図 11（B）は、不揮発性のラッチ回路 400 の一部の構成を示している。図 12 は、不揮発性のラッチ回路 400 のタイミングチャートの例を示している。

40

#### 【0216】

図 11（A）は、図 1 のラッチ回路 400 の構成において、第 1 の素子 412 として第 1 のインバータを用い、第 2 の素子 413 として第 2 のインバータを用いた例である。第 1 のトランジスタ 431 及び第 2 のトランジスタ 432 の構成は、実施の形態 1 と同様とすることができる。すなわち、第 1 のトランジスタ 431 及び第 2 のトランジスタ 432 として、チャネル形成領域に酸化物半導体層を用い、ノーマリーオフの特性を有し、かつオフ電流が非常に小さいトランジスタを用いることができる。

#### 【0217】

図 11 に示す不揮発性のラッチ回路 400 は、第 1 の素子（第 1 のインバータ）412 の

50

出力が第2の素子（第2のインバータ）413の入力に電氣的に接続され、第2の素子（第2のインバータ）413の出力が第2のトランジスタ432を介して第1の素子（第1のインバータ）412の入力に電氣的に接続されるループ構造を有している。

【0218】

第1の素子（第1のインバータ）412の入力は、第1のトランジスタ431を介して入力信号が与えられる配線414に電氣的に接続されている。第1の素子（第1のインバータ）412の出力は、出力信号が与えられる配線415に電氣的に接続されている。入力信号が与えられる配線414は、前段の回路から不揮発性のラッチ回路400へ入力される信号が与えられる配線である。出力信号が与えられる配線415は、不揮発性のラッチ回路400から後段の回路へ出力される信号が与えられる配線である。

10

【0219】

不揮発性のラッチ回路400は、チャネル形成領域を構成する半導体材料として酸化物半導体を用いた第1のトランジスタ431と第2のトランジスタ432をスイッチング素子として用いている。また上記不揮発性のラッチ回路400は、この第1のトランジスタ431と第2のトランジスタ432のソース電極又はドレイン電極にそれぞれ電氣的に接続された容量404を有している。すなわち、第1のトランジスタ431のソース電極及びドレイン電極の一方に容量404の一方の電極が電氣的に接続され、第2のトランジスタ432のソース電極及びドレイン電極の一方に容量404の一方の電極が電氣的に接続されている。第1のトランジスタ431のソース電極及びドレイン電極の他方は、入力信号が与えられる配線414に電氣的に接続されている。第2のトランジスタ432のソース電極及びドレイン電極の他方は、第2の素子（第2のインバータ）413の出力に電氣的に接続されている。容量404の他方の電極には電位 $V_c$ が与えられる。第1の素子（第1のインバータ）412の入力に接続されるノードをノードSと呼ぶことにする。

20

【0220】

図11(B)に示すように、不揮発性のラッチ回路400が有する第1の素子（第1のインバータ）412は、少なくとも第3のトランジスタ421を有している。この第3のトランジスタ421のゲートは第1の素子（第1のインバータ）412の入力に電氣的に接続されている。すなわち、第3のトランジスタ421のゲートは、第2のトランジスタ432のソース電極及びドレイン電極の一方に電氣的に接続されている。また、第3のトランジスタ421のゲートは、第1のトランジスタ431のソース電極及びドレイン電極の一方に電氣的に接続されている。

30

【0221】

また第1のトランジスタ431と第2のトランジスタ432はそれぞれ、図11に示す構成に代えて、図2(A)又は図2(B)に示す構成とすることができる。

【0222】

配線414には前段の回路から入力信号INの電位が与えられる。配線415の電位は出力信号OUTとして後段の回路に与えられる。第1のトランジスタ431には信号1の電位が与えられる。第2のトランジスタ432には信号2の電位が与えられる。信号1にハイレベルの電位が与えられると、第1のトランジスタ431がオンとなる。信号2にハイレベルの電位が与えられると、第2のトランジスタ432がオンとなる。なお、第1のトランジスタ431、第2のトランジスタ432はいずれもn型トランジスタとして説明するが、p型トランジスタを採用してもよい。

40

【0223】

通常の動作期間において、ラッチ回路400が有する第1の素子（第1のインバータ）412、第2の素子（第2のインバータ）413にはそれぞれ、ハイレベルの電源電圧VDD及びローレベルの電源電圧VSSが与えられている。

【0224】

不揮発性のラッチ回路400のデータの書き込み、保持、読み出しの動作について、図12を参照して説明する。図12は、不揮発性のラッチ回路400が動作状態の期間（動作期間）と停止状態の期間（非動作期間）における、信号1、信号2、入力信号IN、

50

出力信号OUTの電位のタイミングチャートの例を示す。またラッチ回路400のノードSの電位、第1の素子(第1のインバータ)412、第2の素子(第2のインバータ)413の電源電圧VDDの電位を併せて示す。なお、容量404の他方の電極には所定の電位Vcが与えられている。例えば接地電位が与えられている。

【0225】

図12において、期間a、期間b、期間d、期間eはラッチ回路400が動作状態の期間(動作期間)であり、第1の素子(第1のインバータ)412、第2の素子(第2のインバータ)413に電源電圧VDD、電源電圧VSSが供給されている。期間cはラッチ回路400が停止状態の期間(非動作期間)であり、第1の素子(第1のインバータ)412、第2の素子(第2のインバータ)413への電源電圧の供給が停止され、電源電圧VDDは低下する。期間a、期間eはラッチ回路400の通常の動作期間であり、信号1、信号2に交互にハイレベル又はローレベルの電位が与えられている。信号1の電位がハイレベルのときに信号2の電位はローレベルとなり、信号1の電位がローレベルのときに信号2の電位はハイレベルとなる。すなわち、両者は反転した関係を有している。期間bは、非動作期間に入る前の準備期間である。期間bを立ち下げ期間ともいう。期間dは、非動作期間の後、電源が供給され、通常の動作期間に入るまでの準備期間である。期間dを立ち上げ期間ともいう。

10

【0226】

通常の動作期間(期間a)では、信号1にハイレベル、信号2にローレベルの電位が与えられると、第2のトランジスタ432がオフとなりラッチ回路400が有するループ構造(インバートループともいう)が切断されると共に、第1のトランジスタ431がオンとなり、入力信号の電位が第1の素子(第1のインバータ)412に入力される。入力信号の電位は第1の素子(第1のインバータ)412で反転され、出力信号OUTとして後段の回路に与えられる。信号1にハイレベルの電位が与えられるときに、入力信号の電位がハイレベルであれば、ローレベルの電位を有する出力信号が得られる。信号1にハイレベルの電位が与えられるときに、入力信号の電位がローレベルであれば、ハイレベルの電位を有する出力信号が得られる。

20

【0227】

信号1にローレベル、信号2にハイレベルの電位が与えられると、第1のトランジスタ431がオフとなると共に、第2のトランジスタ432がオンとなりインバートループが形成され、出力信号OUTの電位が保持される(データがラッチされる。すなわちラッチ回路の論理状態が保持される。)。ノードSは、第1のインバータの入力の電位を示しており、通常の動作期間において出力信号OUTの電位を反転した電位を有している。

30

【0228】

第1の素子(第1のインバータ)412の入力は、容量404の一方の電極及び第3のトランジスタ421のゲートに電氣的に接続されている。これにより、容量404及び第3のトランジスタ421のゲート容量には、ラッチ回路へデータを書き込む度に、データに応じた電荷が蓄積される。つまり、ラッチ回路400が有するデータは自動的に不揮発性ラッチに書き込まれる(書き込み)。容量404の一方の電極及び第3のトランジスタ421のゲート(ノードS)には、電位に応じた電荷が蓄積される。

40

【0229】

非動作期間に入る前の準備期間(期間b)では、信号1及び信号2にそれぞれ、第1のトランジスタ431及び第2のトランジスタ432がオフとなる電位(ローレベルの電位)が与えられ、第1のトランジスタ431及び第2のトランジスタ432がオフとなり、ノードSはフローティングの状態になる。その結果、ノードSに蓄積された電荷が保持される(保持)。

【0230】

次に、第1の素子(第1のインバータ)412及び第2の素子(第2のインバータ)413の電源電圧の供給が停止され、電源電圧VDDが低下し、非動作期間(期間c)に入る。非動作期間(期間c)では、入力信号IN、出力信号OUTはVDD-VSS間のどの

50

ような値をとっても構わない。ここで、第1のトランジスタ431及び第2のトランジスタ432として、チャネル形成領域に酸化物半導体層を用い、ノーマリーオフの特性を有し、かつオフ電流が非常に小さいトランジスタを用いることにより、ラッチ回路400の電源電圧の供給を停止した後（期間c）においても、容量404及び第3のトランジスタ421のゲート容量に蓄積された電荷（ノードSに蓄積された電荷）をそのまま保持し続けることができる。これにより、ラッチ回路400の電源電圧の供給を停止した後も、ラッチ回路400の論理状態を記憶しつづけることができる。なお、電源電圧VDDが低下したときにノードSの電位は、電源電位との容量結合の影響により多少変動する場合がある。もちろん、ノードSに蓄積された電荷は保持されるので、電源電圧VDDが再び供給されるともとの電位に回復する。

10

#### 【0231】

容量404及び第3のトランジスタ421のゲート容量は、第1の素子（第1のインバータ）412の入力に電氣的に接続されている。従って、ラッチ回路400が有する少なくとも第1の素子（第1のインバータ）412の電源電圧の供給が再び開始された後（期間d）は、容量404及び第3のトランジスタ421のゲート容量に蓄積された電荷（書き込まれたデータ）に応じて、出力信号OUTの電位が決まる。つまり、容量404及び第3のトランジスタ421のゲート容量に書き込まれたデータの読み出しを行うことができる（読み出し）。これにより、ラッチ回路の論理状態を、非動作期間に入る前の論理状態に戻すことができる。

#### 【0232】

20

次に、信号2にハイレベルの電位が与えられる。信号2にハイレベルの電位が与えられると、第2のトランジスタ432がオンとなりインバータループが形成される。インバータループが形成されると、出力信号OUTおよびノードSにハイレベルもしくはローレベルの電位が与えられ、保持される（データがラッチされる）。

#### 【0233】

例えば、電源供給を停止する期間が長い場合などにおいて、ノードS（容量404及び第3のトランジスタ421のゲート容量）に蓄積された電荷が減少するなどにより、ノードSがハイレベルもしくはローレベルから多少ずれた電位となっても、あらためてハイレベルもしくはローレベルの電位が供給される。その結果、ノードSの電位を変動前の状態に戻す（再書き込みとも呼ぶ）ことができる。この動作は、特に、容量404及び第3のトランジスタ421のゲート容量が小さい場合に有効である。なお、期間dにおいて、信号2にハイレベルの電位を与える期間を設けなくてもよい。

30

#### 【0234】

次に、信号1、信号2に、ハイレベル、ローレベルの電位が与えられ、通常の動作状態（期間e）となる。通常の動作期間（期間e）の開始時には、信号1、信号2は、その前の通常の動作期間（期間a）の終了時と同じ電位（同じ状態）から開始してもよいし、期間aの終了時とは反転した電位（次の状態）から開始しても構わない。

#### 【0235】

本実施の形態によれば、チャネル形成領域を構成する半導体材料として、水素濃度が十分に低減されて高純度化され、キャリア濃度が十分に小さい、真性（i型）または実質的に真性（i型）な酸化物半導体を用いたトランジスタをスイッチング素子として用い、またこのトランジスタのソース電極又はドレイン電極に電氣的に接続された容量を有することで、温度動作範囲が広く高温でも安定に動作し、電源を切っても記憶している論理状態が消えない不揮発性のラッチ回路あるいはリフレッシュ期間が十分に長いデータ保持性を有するラッチ回路を実現することができる。また、容量に蓄積された電荷がそのままデータとして保持されるため、残留分極成分をデータとする場合と比較して、ばらつきに強く、またデータの読み出しを容易に行うことができる。

40

#### 【0236】

上記不揮発性のラッチ回路を用いることで、さまざまな論理回路を実現することが可能である。例えば、不揮発性のラッチ回路を用いた論理回路では、使用しないブロックの電源

50



をオフにすることで消費電力を低減することができる。また、電源をオフにしても論理状態を記憶していることから、電源をオンにした時のシステム起動や、電源をオフにした時のシステム終了を高速に、かつ低電力で行うことが可能である。

#### 【0237】

本実施の形態は、他の実施の形態と自由に組み合わせることができる。

#### 【0238】

(実施の形態3)

本実施の形態は、開示する発明の一態様である不揮発性のラッチ回路の動作について、図13(A)、図13(B)を参照して説明する。不揮発性のラッチ回路の構成は図11と同じであり、タイミングチャートが図12とは異なる例を示している。

10

#### 【0239】

図13(A)は、不揮発性のラッチ回路400が動作状態の期間(動作期間)と停止状態の期間(非動作期間)における、信号1、信号2、入力信号IN、出力信号OUTの電位のタイミングチャートの例を示す。またラッチ回路400のノードSの電位、第1の素子(第1のインバータ)412、第2の素子(第2のインバータ)413の電源電圧VDDの電位、容量404の他方の電極の電位Vcを併せて示す。

#### 【0240】

図13(A)において、期間a、期間b、期間d、期間eはラッチ回路400が動作状態の期間(動作期間)であり、第1の素子(第1のインバータ)412、第2の素子(第2のインバータ)413に電源電圧VDD、電源電圧VSSが供給されている。期間cはラッチ回路400が停止状態の期間(非動作期間)であり、第1の素子(第1のインバータ)412、第2の素子(第2のインバータ)413への電源電圧の供給が停止され、電源電圧VDDは低下する。期間a、期間eはラッチ回路400の通常の動作期間であり、信号1、信号2に交互にハイレベル又はローレベルの電位が与えられている。信号1の電位がハイレベルのときに信号2の電位はローレベルとなり、信号1の電位がローレベルのときに信号2の電位はハイレベルとなる。すなわち、両者は反転した関係を有している。期間bは、非動作期間に入る前の準備期間である。期間bを立ち下げ期間ともいう。期間dは、非動作期間の後、電源が供給され、通常の動作期間に入るまでの準備期間である。期間dを立ち上げ期間ともいう。

20

#### 【0241】

図13(A)において、期間a、期間bの動作は、図12と同様である。次に、第1の素子(第1のインバータ)412及び第2の素子(第2のインバータ)413の電源電圧の供給が停止され、電源電圧VDDが低下し、非動作期間(期間c)に入る。非動作期間(期間c)では、入力信号IN、出力信号OUTはVDD-VSS間のどのような値をとっても構わない。ここで、第1のトランジスタ431及び第2のトランジスタ432として、チャンネル形成領域に酸化物半導体層を用い、ノーマリーオフの特性を有し、かつオフ電流が非常に小さいトランジスタを用いることにより、ラッチ回路400の電源電圧の供給を停止した後(期間c)においても、容量404及び第3のトランジスタ421のゲート容量に蓄積された電荷(ノードSに蓄積された電荷)をそのまま保持し続けることができる。これにより、ラッチ回路400の電源電圧の供給を停止した後も、ラッチ回路400の論理状態を記憶しつづけることができる。なお、電源電圧VDDが低下したときにノードSの電位は、電源電位との容量結合の影響により多少変動する場合がある。もちろん、ノードSに蓄積された電荷は保持されるので、電源電圧VDDが再び供給されるともとの電位に回復する。

30

40

#### 【0242】

次に、容量404の他方の電極の電位Vcに所定の電位を与える。電位Vcは、ローレベルの電位から上昇させ、ローレベルとハイレベルの間の電位にする。これにより、ノードSには、容量404の他方の電極の電位Vcの増分を加味した電位が与えられる。この状態で第1の素子(第1のインバータ)412、第2の素子(第2のインバータ)413に電源電圧が供給されると(期間d)、容量404及び第3のトランジスタ421のゲート

50

容量に蓄積された電荷に応じて、出力信号OUTの電位が決まる。つまり、容量404及び第3のトランジスタ421のゲート容量に書き込まれたデータの読み出しを行うことができる（読み出し）。これにより、ラッチ回路の論理状態を、非動作期間に入る前の論理状態に戻すことができる。

#### 【0243】

上記のように、第1の素子（第1のインバータ）412の電源電圧の供給が再び開始され容量404及び第3のトランジスタ421のゲート容量に蓄積された電荷（書き込まれたデータ）の読み出しを行うタイミングで、容量404の他方の電極の電位Vcに所定の電位を与えることにより、読み出しをより安定に行うことが可能となる。例えば、電源供給を停止する期間が長い場合など、容量404及び第3のトランジスタ421のゲート容量に蓄積された電荷が減少すると、図13（B）に示すように、ノードSの電位がハイレベルからずれて、読み出しの安定性が低下する可能性がある。このような振る舞いは、特に、容量404及び第3のトランジスタ421のゲート容量が小さい場合に生じやすい。そのような場合であっても、図13（A）、図13（B）に示すように、容量404の他方の電極の電位Vcに所定の電位を与えることで、容量404及び第3のトランジスタ421のゲート電極を適切な電位に制御することができる。その結果、安定した読み出しを行うことが可能となる。つまり、より小さい容量に対しても動作が可能となり、小型化が可能である。あるいは、データ保持期間をより長くすることが可能である。

10

#### 【0244】

次に、信号2にハイレベルの電位が与えられる。信号2にハイレベルの電位が与えられると、第2のトランジスタ432がオンとなりインバータループが形成される。インバータループが形成されると、出力信号OUTおよびノードSにハイレベルもしくはローレベルの電位が与えられ、保持される（データがラッチされる）。

20

#### 【0245】

このとき、ノードSがハイレベルもしくはローレベルから多少ずれた電位となっていて、あらためてハイレベルもしくはローレベルの電位が供給される。その結果、ノードSの電位を変動前の状態に戻す（再書き込みとも呼ぶ）ことができる。電位Vcは、ノードSの電位を変動前に状態に戻した後（再書き込み後）、もとの電位に戻る。

#### 【0246】

次に、信号1、信号2に、ハイレベル、ローレベルの電位が与えられ、通常の動作状態（期間e）となる。通常の動作期間（期間e）の開始時には、信号1、信号2は、その前の通常の動作期間（期間a）の終了時と同じ電位（同じ状態）から開始してもよいし、期間aの終了時とは反転した電位（次の状態）から開始しても構わない。

30

#### 【0247】

本実施の形態によれば、チャネル形成領域を構成する半導体材料として、水素濃度が十分に低減されて高純度化され、キャリア濃度が十分に小さい、真性（i型）または実質的に真性（i型）な酸化物半導体を用いたトランジスタをスイッチング素子として用い、またこのトランジスタのソース電極又はドレイン電極に電気的に接続された容量を有することで、温度動作範囲が広く高温でも安定に動作し、電源を切っても記憶している論理状態が消えない不揮発性のラッチ回路あるいはリフレッシュ期間が十分に長いデータ保持性を有するラッチ回路を実現することができる。また、容量に蓄積された電荷がそのままデータとして保持されるため、残留分極成分をデータとする場合と比較して、ばらつきに強く、またデータの読み出しを容易に行うことができる。

40

#### 【0248】

上記不揮発性のラッチ回路を用いることで、さまざまな論理回路を実現することが可能である。例えば、不揮発性のラッチ回路を用いた論理回路では、使用しないブロックの電源をオフにすることで消費電力を低減することができる。また、電源をオフにしても論理状態を記憶していることから、電源をオンにした時のシステム起動や、電源をオフにした時のシステム終了を高速に、かつ低電力で行うことが可能である。

#### 【0249】

50

本実施の形態は、他の実施の形態と自由に組み合わせることができる。

【0250】

(実施の形態4)

本実施の形態は、開示する発明の一態様である不揮発性のラッチ回路の構成について、図1とは異なる例を図14を参照して説明する。図14は、不揮発性のラッチ回路400の構成を示している。

【0251】

図14は、第1の素子(D1)412の入力に電氣的に接続される容量(図1の容量404)を有さない構成である。その他の構成は図1と同様である。すなわち、図14に示す不揮発性のラッチ回路400は、第1の素子(D1)412の出力が第2の素子(D2)413の入力に電氣的に接続され、第2の素子(D2)413の出力が第2のトランジスタ432を介して第1の素子(D1)412の入力に電氣的に接続されるループ構造を有している。

10

【0252】

第1の素子(D1)412の入力は、第1のトランジスタ431を介して入力信号が与えられる配線414に電氣的に接続されている。第1の素子(D1)412の出力は、出力信号が与えられる配線415に電氣的に接続されている。入力信号が与えられる配線414は、前段の回路から不揮発性のラッチ回路400へ入力される信号が与えられる配線である。出力信号が与えられる配線415は、不揮発性のラッチ回路400から後段の回路へ出力される信号が与えられる配線である。

20

【0253】

上記不揮発性のラッチ回路400は、チャネル形成領域を構成する半導体材料として酸化物半導体を用いた第1のトランジスタ431と第2のトランジスタ432をスイッチング素子として用いている。第1のトランジスタ431及び第2のトランジスタ432の構成は、実施の形態1と同様とすることができる。すなわち、第1のトランジスタ431及び第2のトランジスタ432として、チャネル形成領域に酸化物半導体層を用い、ノーマリーオフの特性を有し、かつオフ電流が非常に小さいトランジスタを用いることができる。

【0254】

上記において、不揮発性のラッチ回路400が有する第1の素子412は、少なくとも第3のトランジスタ421を有している。この第3のトランジスタ421のゲートは第1の素子412の入力に電氣的に接続されている。すなわち、第3のトランジスタ421のゲートは、第2のトランジスタ432のソース電極及びドレイン電極の一方に電氣的に接続されている。また、第3のトランジスタ421のゲートは、第1のトランジスタ431のソース電極及びドレイン電極の一方に電氣的に接続されている。第1のトランジスタ431のソース電極及びドレイン電極の他方は、入力信号が与えられる配線に電氣的に接続されている。第2のトランジスタ432のソース電極及びドレイン電極の他方は、第2の素子の出力に電氣的に接続されている。

30

【0255】

また第1のトランジスタ431と第2のトランジスタ432はそれぞれ、図14に示す構成に代えて、図2(A)又は図2(B)に示す構成とすることができる。

40

【0256】

図14に示す構成を有する不揮発性のラッチ回路は、以下のように、データの書き込み、保持、読み出しが可能である。

【0257】

上記のとおり、不揮発性のラッチ回路400は、第1の素子(D1)412の出力が第2の素子(D2)413の入力に電氣的に接続され、第2の素子(D2)413の出力が第2のトランジスタ432を介して第1の素子(D1)412の入力に電氣的に接続されるループ構造を有している。このループ構造の所定の位置に、第3のトランジスタ421のゲート容量が電氣的に接続されている。具体的には、第1の素子(D1)412の入力に、第3のトランジスタ421のゲートが電氣的に接続されている。このように第3のトラ

50

ンジスタ４２１のゲート容量は、不揮発性のラッチ回路４００が有するループ構造の所定の位置に電氣的に接続されている。これにより、第３のトランジスタ４２１のゲート容量には、ラッチ回路へデータを書き込む度に、データに応じた電荷が蓄積される。つまり、ラッチ回路４００が有するデータは自動的に不揮発性ラッチに書き込まれる（書き込み）。データの書き換えも同様に行うことができる。

【０２５８】

第３のトランジスタ４２１のゲート容量に書き込まれたデータの保持、すなわち、これらの容量に蓄積された電荷の保持は、第１のトランジスタ４３１と第２のトランジスタ４３２のゲートにそれぞれのトランジスタがオフとなる電位を与え、それぞれのトランジスタをオフすることにより行うことができる（保持）。

10

【０２５９】

ここで、第１のトランジスタ４３１及び第２のトランジスタ４３２として、チャネル形成領域に酸化物半導体層を用い、ノーマリーオフの特性を有し、かつオフ電流が非常に小さいトランジスタを用いることにより、ラッチ回路４００が有する少なくとも第１の素子（Ｄ１）４１２、第２の素子（Ｄ２）４１３の電源電圧の供給を停止した後も、上記ゲート容量に蓄積された電荷をそのまま保持し続けることができる。これにより、上記電源電圧の供給を停止した後も、ラッチ回路４００の論理状態を記憶しつづけることができる。

【０２６０】

第３のトランジスタ４２１のゲート容量は、第１の素子（Ｄ１）４１２の入力に電氣的に接続されている。従って、ラッチ回路４００が有する少なくとも第１の素子（Ｄ１）４１２の電源電圧の供給が再び開始された後は、第３のトランジスタ４２１のゲート容量に蓄積された電荷に応じて、出力信号ＯＵＴの電位が決まる。つまり、第３のトランジスタ４２１のゲート容量に書き込まれたデータの読み出しを行うことができる（読み出し）。

20

【０２６１】

本実施の形態によれば、チャネル形成領域を構成する半導体材料として、水素濃度が十分に低減されて高純度化され、キャリア濃度が十分に小さい、真性（*i*型）または実質的に真性（*i*型）な酸化物半導体を用いたトランジスタをスイッチング素子として用い、またこのトランジスタのソース電極又はドレイン電極に電氣的に接続された容量を有することで、温度動作範囲が広く高温でも安定に動作し、電源を切っても記憶している論理状態が消えない不揮発性のラッチ回路あるいはリフレッシュ期間が十分に長いデータ保持性を有するラッチ回路を実現することができる。また、容量に蓄積された電荷がそのままデータとして保持されるため、残留分極成分をデータとする場合と比較して、ばらつきに強く、またデータの読み出しを容易に行うことができる。

30

【０２６２】

上記不揮発性のラッチ回路を用いることで、さまざまな論理回路を実現することが可能である。例えば、不揮発性のラッチ回路を用いた論理回路では、使用しないブロックの電源をオフにすることで消費電力を低減することができる。また、電源をオフにしても論理状態を記憶していることから、電源をオンにした時のシステム起動や、電源をオフにした時のシステム終了を高速に、かつ低電力で行うことが可能である。

【０２６３】

本実施の形態は、他の実施の形態と自由に組み合わせることができる。

40

【０２６４】

（実施の形態５）

本実施の形態は、開示する発明の一態様である不揮発性のラッチ回路の構成について、図１１とは異なる例を図１５を参照して説明する。図１５は、不揮発性のラッチ回路４００の構成を示している。

【０２６５】

図１５は、ノードＳに接続される容量（図１１（Ａ）の容量４０４）を有さない構成である。その他の構成は図１１と同様である。

【０２６６】

50

また、図 15 は、図 14 のラッチ回路 400 の構成において、第 1 の素子 412 として第 1 のインバータを用い、第 2 の素子 413 として第 2 のインバータを用いた例である。第 1 のトランジスタ 431 及び第 2 のトランジスタ 432 の構成は、実施の形態 1 と同様とすることができる。すなわち、第 1 のトランジスタ 431 及び第 2 のトランジスタ 432 として、チャネル形成領域に酸化物半導体層を用い、ノーマリーオフの特性を有し、かつオフ電流が非常に小さいトランジスタを用いることができる。

#### 【0267】

図 15 に示す不揮発性のラッチ回路 400 は、第 1 の素子（第 1 のインバータ）412 の出力が第 2 の素子（第 2 のインバータ）413 の入力に電氣的に接続され、第 2 の素子（第 2 のインバータ）413 の出力が第 2 のトランジスタ 432 を介して第 1 の素子（第 1 のインバータ）412 の入力に電氣的に接続されるループ構造を有している。

10

#### 【0268】

第 1 の素子（第 1 のインバータ）412 の入力は、第 1 のトランジスタ 431 を介して入力信号が与えられる配線 414 に電氣的に接続されている。第 1 の素子（第 1 のインバータ）412 の出力は、出力信号が与えられる配線 415 に電氣的に接続されている。入力信号が与えられる配線 414 は、前段の回路から不揮発性のラッチ回路 400 へ入力される信号が与えられる配線である。出力信号が与えられる配線 415 は、不揮発性のラッチ回路 400 から後段の回路へ出力される信号が与えられる配線である。

#### 【0269】

不揮発性のラッチ回路 400 は、チャネル形成領域を構成する半導体材料として酸化物半導体を用いた第 1 のトランジスタ 431 と第 2 のトランジスタ 432 をスイッチング素子として用いている。また不揮発性のラッチ回路 400 が有する第 1 の素子（第 1 のインバータ）412 は、少なくとも第 3 のトランジスタ 421 を有している。この第 3 のトランジスタ 421 のゲートは第 1 の素子（第 1 のインバータ）412 の入力に電氣的に接続されている。すなわち、第 3 のトランジスタ 421 のゲートは、第 2 のトランジスタ 432 のソース電極及びドレイン電極の一方に電氣的に接続されている。また、第 3 のトランジスタ 421 のゲートは、第 1 のトランジスタ 431 のソース電極及びドレイン電極の一方に電氣的に接続されている。第 1 のトランジスタ 431 のソース電極及びドレイン電極の他方は、入力信号が与えられる配線 414 に電氣的に接続されている。第 2 のトランジスタ 432 のソース電極及びドレイン電極の他方は、第 2 の素子（第 2 のインバータ）413 の出力に電氣的に接続されている。第 1 の素子（第 1 のインバータ）412 の入力に接続されるノードをノード S と呼ぶことにする。

20

30

#### 【0270】

また第 1 のトランジスタ 431 と第 2 のトランジスタ 432 はそれぞれ、図 15 に示す構成に代えて、図 2 (A) 又は図 2 (B) に示す構成とすることができる。

#### 【0271】

不揮発性のラッチ回路 400 のデータの書き込み、保持、読み出しの動作については、図 11 に示すラッチ回路 400 の動作（図 12、図 13 及びその説明）と同様である。

#### 【0272】

本実施の形態によれば、チャネル形成領域を構成する半導体材料として、水素濃度が十分に低減されて高純度化され、キャリア濃度が十分に小さい、真性（i 型）または実質的に真性（i 型）な酸化物半導体を用いたトランジスタをスイッチング素子として用い、またこのトランジスタのソース電極又はドレイン電極に電氣的に接続された容量を有することで、温度動作範囲が広く高温でも安定に動作し、電源を切っても記憶している論理状態が消えない不揮発性のラッチ回路あるいはリフレッシュ期間が十分に長いデータ保持性を有するラッチ回路を実現することができる。また、容量に蓄積された電荷がそのままデータとして保持されるため、残留分極成分をデータとする場合と比較して、ばらつきに強く、またデータの読み出しを容易に行うことができる。

40

#### 【0273】

上記不揮発性のラッチ回路を用いることで、さまざまな論理回路を実現することが可能で

50

ある。例えば、不揮発性のラッチ回路を用いた論理回路では、使用しないブロックの電源をオフにすることで消費電力を低減することができる。また、電源をオフにしても論理状態を記憶していることから、電源をオンにした時のシステム起動や、電源をオフにした時のシステム終了を高速に、かつ低電力で行うことが可能である。

【 0 2 7 4 】

本実施の形態は、他の実施の形態と自由に組み合わせることができる。

【 0 2 7 5 】

(実施の形態 6)

本実施の形態は、開示する発明の一態様である不揮発性のラッチ回路を複数有する論理回路の構成について、図 1 6 を参照して説明する。

10

【 0 2 7 6 】

図 1 6 ( A ) は、不揮発性のラッチ回路 4 0 0 を二つ有する論理回路の構成を示している。この論理回路は D - F F と呼ばれ、例えば、C P U や各種論理回路内でレジスタとして使用される。図 1 6 ( B ) は、不揮発性のラッチ回路 4 0 0 の一部の構成を示している。

【 0 2 7 7 】

図 1 6 ( A ) に示すラッチ回路 4 0 0 は、図 1 に示すラッチ回路 4 0 0 の構成において、第 1 の素子として N A N D を用い、第 2 の素子としてクロックドインバータを用いた例である。

【 0 2 7 8 】

すなわち、ラッチ回路 4 0 0 は、第 1 の素子 ( N A N D ) 4 1 2 の出力が第 2 の素子 ( クロックドインバータ ) 4 1 3 の入力に電氣的に接続され、第 2 の素子 ( クロックドインバータ ) 4 1 3 の出力が第 2 のトランジスタ 4 3 2 を介して第 1 の素子 ( N A N D ) 4 1 2 の入力に電氣的に接続されるループ構造を有している。

20

【 0 2 7 9 】

第 1 の素子 ( N A N D ) 4 1 2 の入力の一つには、第 1 のトランジスタ 4 3 1 を介して入力信号が与えられる配線 4 1 4 に電氣的に接続されている。第 1 の素子 ( N A N D ) 4 1 2 の出力は、出力信号が与えられる配線 4 1 5 に電氣的に接続されている。第 1 の素子 ( N A N D ) 4 1 2 の入力の他の一つには、信号 R S T B が与えられる配線に電氣的に接続されている。第 2 の素子 ( クロックドインバータ ) 4 1 3 にはクロック信号とクロック信号の反転信号が与えられる。第 1 のトランジスタ 4 3 1 及び第 2 のトランジスタ 4 3 2 の構成は、実施の形態 1 と同様とすることができる。すなわち、第 1 のトランジスタ 4 3 1 及び第 2 のトランジスタ 4 3 2 として、チャネル形成領域に酸化物半導体層を用い、ノーマリーオフの特性を有し、かつオフ電流が非常に小さいトランジスタを用いることができる。

30

【 0 2 8 0 】

上記不揮発性のラッチ回路 4 0 0 は、第 1 のトランジスタ 4 3 1 と第 2 のトランジスタ 4 3 2 をスイッチング素子として用いている。また上記不揮発性のラッチ回路 4 0 0 は、この第 1 のトランジスタ 4 3 1 と第 2 のトランジスタ 4 3 2 のソース電極又はドレイン電極にそれぞれ電氣的に接続された容量 4 0 4 を有している。すなわち、第 1 のトランジスタ 4 3 1 のソース電極及びドレイン電極の一方に容量 4 0 4 の一方の電極が電氣的に接続され、第 2 のトランジスタ 4 3 2 のソース電極及びドレイン電極の一方に容量 4 0 4 の一方の電極が電氣的に接続されている。第 1 のトランジスタ 4 3 1 のソース電極及びドレイン電極の他方は、入力信号が与えられる配線に電氣的に接続されている。第 2 のトランジスタ 4 3 2 のソース電極及びドレイン電極の他方は、第 2 の素子の出力に電氣的に接続されている。容量 4 0 4 の他方の電極には電位 V c が与えられる。

40

【 0 2 8 1 】

上記において、不揮発性のラッチ回路 4 0 0 が有する第 1 の素子 ( N A N D ) 4 1 2 は、図 1 6 ( B ) に示しように、少なくとも第 3 のトランジスタ 4 2 1 を有している。この第 3 のトランジスタ 4 2 1 のゲートは第 1 の素子 ( N A N D ) 4 1 2 の入力に電氣的に接続されている。すなわち、第 3 のトランジスタ 4 2 1 のゲートは、第 2 のトランジスタ 4 3

50

2のソース電極及びドレイン電極の一方に電氣的に接続されている。また、第3のトランジスタ421のゲートは、第1のトランジスタ431のソース電極及びドレイン電極の一方に電氣的に接続されている。

【0282】

また第1のトランジスタ431と第2のトランジスタ432はそれぞれ、図16(A)に示す構成に代えて、図2(A)又は図2(B)に示す構成とすることができる。

【0283】

上記のとおり、不揮発性のラッチ回路400は、ループ構造の所定の位置に、容量404及び第3のトランジスタ421のゲート容量が電氣的に接続されている。具体的には、第1の素子(NAND)412の入力に、容量404の一方の電極及び第3のトランジスタ421のゲートが電氣的に接続されている。このように容量404及び第3のトランジスタ421のゲート容量は、不揮発性のラッチ回路400が有するループ構造の所定の位置に電氣的に接続されている。これにより、容量404及び第3のトランジスタ421のゲート容量には、ラッチ回路へデータを書き込む度に、データに応じた電荷が蓄積される。つまり、ラッチ回路400が有するデータは自動的に不揮発性ラッチに書き込まれる(書き込み)。データの書き換えも同様に行うことができる。

【0284】

容量404及び第3のトランジスタ421のゲート容量に書き込まれたデータの保持、すなわちこれらの容量に蓄積された電荷の保持は、第1のトランジスタ431と第2のトランジスタ432のゲートにそれぞれのトランジスタがオフとなる電位を与え、それぞれのトランジスタをオフすることにより行うことができる(保持)。

【0285】

ここで、第1のトランジスタ431及び第2のトランジスタ432として、チャネル形成領域に酸化物半導体層を用い、ノーマリーオフの特性を有し、かつオフ電流が非常に小さいトランジスタを用いることにより、ラッチ回路400が有する少なくとも第1の素子(NAND)412、第2の素子(クロックドインバータ)413の電源電圧の供給を停止した後も、容量に蓄積された電荷をそのまま保持し続けることができる。これにより、上記電源電圧の供給を停止した後も、ラッチ回路400の論理状態を記憶しつづけることができる。

【0286】

容量404及び第3のトランジスタ421のゲート容量は、第1の素子(NAND)412の入力に電氣的に接続されている。従って、ラッチ回路400が有する少なくとも第1の素子(NAND)412の電源電圧の供給が再び開始された後は、容量404及び第3のトランジスタ421のゲート容量に蓄積された電荷に応じて、出力信号OUTの電位が決まる。つまり、容量404及び第3のトランジスタ421のゲート容量に書き込まれたデータの読み出しを行うことができる(読み出し)。

【0287】

図16(A)に示す論理回路は、上記の不揮発性のラッチ回路400を二つ有している。不揮発性のラッチ回路400は、前段の回路から入力信号の電位が与えられる配線414に電氣的に接続されている。不揮発性のラッチ回路400の出力信号の電位が与えられる配線417は、不揮発性のラッチ回路400の入力信号の電位が与えられる配線416に電氣的に接続されている。不揮発性のラッチ回路400は、後段の回路に出力信号の電位が与えられる配線415に電氣的に接続されている。

【0288】

図16(A)には、ラッチ回路400が有するデータを、容量404及び第3のトランジスタ421のゲート容量に保持させる例を示したが、第3のトランジスタ421のゲート容量だけをを用い、それ以外の容量(容量404)を用いない構成とすることもできる。その場合は、ラッチ回路400は容量404を有さない構成とすることができる。

【0289】

また、図16(A)に示すラッチ回路400において、第2の素子(クロックドインバー

10

20

30

40

50

タ) 413は、図16(C)に示す構成とすることもできる。図16(C)に示す第2の素子(クロックドインバータ)413は、第2の素子(クロックドインバータ)413の入力及び出力に電氣的に接続されるトランジスタ442、トランジスタ443と、ハイレベルの電源電圧VDDに電氣的に接続されるトランジスタ441と、ローレベルの電源電圧VSSに電氣的に接続されるトランジスタ444とを有している。トランジスタ441とトランジスタ444は、電源電圧の供給、停止を制御するスイッチとして機能している。トランジスタ441とトランジスタ444のゲートには、クロック信号とクロック信号の反転信号bが与えられる。

#### 【0290】

ここで、図16(C)に示す第2の素子(クロックドインバータ)413が有するトランジスタ441とトランジスタ444として、チャンネル形成領域に酸化物半導体層を用い、ノーマリーオフの特性を有し、かつオフ電流が非常に小さいトランジスタを用いることができる。このように、チャンネル形成領域を構成する半導体材料として酸化物半導体を用いたトランジスタを、第2の素子(クロックドインバータ)413の電源電圧の供給、停止を制御するスイッチとして機能するトランジスタ441とトランジスタ444に用いることにより、ラッチ回路400の電流のパスを遮断することができる。図16(C)に示す構成を用いた場合には、ラッチ回路が有する第2のトランジスタ432を用いない構成とすることもできる。すなわち、図16(C)に示す構成を用いた場合には、ラッチ回路400は第2のトランジスタ432を有さない構成とすることができる。

#### 【0291】

本実施の形態によれば、チャンネル形成領域を構成する半導体材料として、水素濃度が十分に低減されて高純度化され、キャリア濃度が十分に小さい、真性(i型)または実質的に真性(i型)な酸化物半導体を用いたトランジスタをスイッチング素子として用い、またこのトランジスタのソース電極又はドレイン電極に電氣的に接続された容量を有することで、温度動作範囲が広く高温でも安定に動作し、電源を切っても記憶している論理状態が消えない不揮発性のラッチ回路あるいはリフレッシュ期間が十分に長いデータ保持性を有するラッチ回路を実現することができる。また、容量に蓄積された電荷がそのままデータとして保持されるため、残留分極成分をデータとする場合と比較して、ばらつきに強く、またデータの読み出しを容易に行うことができる。

#### 【0292】

上記不揮発性のラッチ回路を用いることで、さまざまな論理回路を実現することが可能である。例えば、不揮発性のラッチ回路を用いた論理回路では、使用しないブロックの電源をオフにすることで消費電力を低減することができる。また、電源をオフにしても論理状態を記憶していることから、電源をオンにした時のシステム起動や、電源をオフにした時のシステム終了を高速に、かつ低電力で行うことが可能である。

#### 【0293】

本実施の形態は、他の実施の形態と自由に組み合わせることができる。

#### 【0294】

(実施の形態7)

次に、先の実施の形態(実施の形態1、実施の形態2など)におけるトランジスタ402として用いることができる、酸化物半導体を用いたトランジスタの作製方法の別の一例について、図17を参照して説明する。本実施の形態では、高純度化された酸化物半導体(特に非晶質構造)を用いる場合について、詳細に説明する。なお、以下では、トップゲート型のトランジスタを例に挙げて説明するが、トランジスタの構成をトップゲート型に限る必要はない。

#### 【0295】

まず、下層基板200上に絶縁層202を形成する。それから、絶縁層202上に酸化物半導体層206を形成する(図17(A)参照)。

#### 【0296】

ここで、下層基板200は、先の実施の形態における、下部のトランジスタ421などが



形成された基板に相当する。その詳細については、先の実施の形態を参酌することができる。なお、下層基板200の表面は可能な限り平坦であることが好ましく、そのためにCMP法等によって、表面の高低差を、5nm以下、好ましくは1nm以下、あるいは、表面荒さの二乗平方根(RMS)を2nm以下、好ましくは、0.4nm以下とするとい

#### 【0297】

絶縁層202は下地として機能するものであり、先の実施の形態におけるゲート絶縁層138や保護絶縁層144などと同様に形成することができる。詳細については、先の実施の形態を参酌すればよい。なお、絶縁層202は、できるだけ水素や水を含まないように形成することが望ましい。

10

#### 【0298】

酸化物半導体層206は、四元系金属酸化物であるIn-Sn-Ga-Zn-O系や、三元系金属酸化物であるIn-Ga-Zn-O系、In-Sn-Zn-O系、In-Al-Zn-O系、Sn-Ga-Zn-O系、Al-Ga-Zn-O系、Sn-Al-Zn-O系や、二元系金属酸化物であるIn-Zn-O系、Sn-Zn-O系、Al-Zn-O系、Zn-Mg-O系、Sn-Mg-O系、In-Mg-O系や、In-O系、Sn-O系、Zn-O系などの酸化物半導体を用いて形成することができる。

#### 【0299】

中でも、In-Ga-Zn-O系の酸化物半導体材料は、無電界時の抵抗が十分に高くオフ電流を十分に小さくすることが可能であり、また、電界効果移動度も高いため、半導体装置に用いる半導体材料としては好適である。

20

#### 【0300】

In-Ga-Zn-O系の酸化物半導体材料の代表例としては、 $\text{InGaO}_3(\text{ZnO})_m$  ( $m > 0$ 、且つ自然数でない)で表記されるものがある。また、Gaに代えてMを用い、 $\text{InMO}_3(\text{ZnO})_m$  ( $m > 0$ 、且つ自然数でない)のように表記される酸化物半導体材料がある。ここで、Mは、ガリウム(Ga)、アルミニウム(Al)、鉄(Fe)、ニッケル(Ni)、マンガン(Mn)、コバルト(Co)などから選ばれた一の金属元素または複数の金属元素を示す。例えば、Mとしては、Ga、GaおよびAl、GaおよびFe、GaおよびNi、GaおよびMn、GaおよびCoなどを適用することができる。なお、上述の組成は結晶構造から導き出されるものであり、あくまでも一例に過ぎないことを付記する。

30

#### 【0301】

本実施の形態では、非晶質構造の酸化物半導体層206を、In-Ga-Zn-O系の金属酸化物ターゲットを用いるスパッタ法により形成することとする。

#### 【0302】

酸化物半導体層206をスパッタリング法で作製するためのターゲットとしては、例えば、 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:1$  [mol比]の組成比を有するターゲットなどを用いても良い。また、 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:2$  [mol比]の組成比を有するターゲットや、 $\text{In}_2\text{O}_3:\text{Ga}_2\text{O}_3:\text{ZnO}=1:1:4$  [mol比]の組成比を有するターゲットを用いることもできる。

40

#### 【0303】

金属酸化物ターゲット中の酸化物半導体の相対密度は80%以上、好ましくは95%以上、さらに好ましくは99.9%以上である。相対密度の高い金属酸化物ターゲットを用いることにより、緻密な構造の酸化物半導体層206を形成することが可能である。

#### 【0304】

酸化物半導体層206の形成雰囲気は、希ガス(代表的にはアルゴン)雰囲気、酸素雰囲気、または、希ガス(代表的にはアルゴン)と酸素との混合雰囲気とするのが好適である。具体的には、例えば、水素、水、水酸基、水素化物などの不純物が、濃度数ppm以下(例えば1ppm以下)、望ましくは濃度数ppb以下(例えば1ppb以下)にまで除去された高純度ガス雰囲気を用いるのが好適である。

50

## 【0305】

酸化物半導体層206の形成の際には、例えば、減圧状態に保持された処理室内に基板を保持し、基板の温度が100以上550以下、好ましくは200以上400以下となるように基板を熱する。そして、処理室内の水分を除去しつつ、水素や水などが除去されたスパッタガスを導入し、上記ターゲットを用いて酸化物半導体層206を形成する。基板を熱しながら酸化物半導体層206を形成することにより、酸化物半導体層206に含まれる不純物を低減することができる。また、スパッタリングによる損傷を軽減することができる。処理室内の水分を除去するためには、吸着型の真空ポンプを用いることが好ましい。例えば、クライオポンプ、イオンポンプ、チタンサブリメーションポンプなどを用いることができる。また、ターボポンプにコールドトラップを加えたものを用いてもよい。クライオポンプを用いて排気することで、処理室から水素や水などが除去されるため、酸化物半導体層206中の不純物濃度を低減できる。

10

## 【0306】

酸化物半導体層206の形成条件としては、例えば、基板とターゲットの間との距離が170mm、圧力が0.4Pa、直流(DC)電力が0.5kW、雰囲気が酸素(酸素100%)雰囲気、またはアルゴン(アルゴン100%)雰囲気、または酸素とアルゴンの混合雰囲気、といった条件を適用することができる。なお、パルス直流(DC)電源を用いると、ごみ(成膜時に形成される粉状の物質など)を低減でき、膜厚分布も均一となるため好ましい。酸化物半導体層206の厚さは、2nm以上200nm以下、好ましくは5nm以上30nm以下とする。ただし、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択すればよい。

20

## 【0307】

なお、酸化物半導体層206をスパッタ法により形成する前には、アルゴンガスを導入してプラズマを発生させる逆スパッタを行い、絶縁層202の表面の付着物を除去するのが好適である。ここで、逆スパッタとは、通常スパッタにおいては、スパッタターゲットにイオンを衝突させるところ、逆に、処理表面にイオンを衝突させることによってその表面を改質する方法のことをいう。処理表面にイオンを衝突させる方法としては、アルゴン雰囲気下で処理表面側に高周波電圧を印加して、基板付近にプラズマを生成する方法などがある。なお、アルゴン雰囲気に代えて窒素、ヘリウム、酸素などによる雰囲気を適用してもよい。

30

## 【0308】

次に、マスクを用いたエッチングなどの方法によって酸化物半導体層206を加工して、島状の酸化物半導体層206aを形成する。

## 【0309】

酸化物半導体層206のエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、その両方を組み合わせて用いることもできる。酸化物半導体層を所望の形状にエッチングできるよう、材料に合わせてエッチング条件(エッチングガスやエッチング液、エッチング時間、温度等)は適宜設定する。詳細については、先の実施の形態を参酌することができる。酸化物半導体層206のエッチングは、先の実施の形態における酸化物半導体層のエッチングと同様に行うことができる。詳細については、先の実施の形態を参酌すればよい。

40

## 【0310】

その後、酸化物半導体層206aに対して、熱処理(第1の熱処理)を行うことが望ましい。この第1の熱処理によって酸化物半導体層206a中の、過剰な水素(水や水酸基を含む)を除去し、酸化物半導体層206aの構造を整え、酸化物半導体層206a中の欠陥を低減することができる。第1の熱処理の温度は、例えば、300以上550以下、または400以上550以下とする。

## 【0311】

熱処理は、例えば、抵抗発熱体などを用いた電気炉に下層基板200を導入し、窒素雰囲

50

気下、450、1時間の条件で行うことができる。この間、酸化物半導体層206aは大気に触れさせず、水や水素の混入が生じないようにする。

【0312】

熱処理装置は電気炉に限る必要はなく、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いても良い。例えば、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

10

【0313】

例えば、第1の熱処理として、不活性ガス雰囲気中に基板を投入し、数分間熱した後、当該不活性ガス雰囲気から基板を取り出すGRTA処理を行ってもよい。GRTA処理を用いると短時間での高温熱処理が可能となる。また、短時間の熱処理であるため、基板の耐熱温度を超える温度条件であっても適用が可能となる。

【0314】

なお、処理中に、不活性ガスを、酸素を含むガスに切り替えても良い。酸素を含む雰囲気において第1の熱処理を行うことで、酸素欠損に起因する欠陥を低減することができるためである。

20

【0315】

例えば、第1の加熱処理に電気炉を用いる場合、加熱処理の降温時に雰囲気を切り替えることができる。例えば、加熱処理時(恒温時)の雰囲気は、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)などの不活性ガス雰囲気とし、降温時に酸素を含む雰囲気に切り替えることができる。酸素を含む雰囲気としては、酸素ガスまたは酸素ガスと窒素ガスを混合した気体を用いることができる。

【0316】

なお、不活性ガス雰囲気としては、窒素、または希ガス(ヘリウム、ネオン、アルゴン等)を主成分とする雰囲気であって、水、水素などが含まれない雰囲気を適用するのが望ましい。例えば、熱処理装置に導入する窒素や、ヘリウム、ネオン、アルゴン等の希ガスの純度を、6N(99.9999%)以上、好ましくは7N(99.99999%)以上(すなわち、不純物濃度が1ppm以下、好ましくは0.1ppm以下)とする。

30

【0317】

いずれにしても、第1の熱処理によって不純物を低減し、i型化または実質的にi型化された酸化物半導体層206aを形成することで、極めて優れた特性のトランジスタを実現することができる。

【0318】

なお、第1の熱処理は、島状の酸化物半導体層206aに加工する前の酸化物半導体層206に行うこともできる。その場合には、第1の熱処理後に、加熱装置から下層基板200を取り出し、フォトリソグラフィ工程を行うことになる。

40

【0319】

第1の熱処理には水素や水を除去する効果があるから、第1の熱処理を、脱水化処理、脱水素化処理などと呼ぶこともできる。当該脱水化処理、脱水素化処理は、酸化物半導体層の形成後、酸化物半導体層206a上にソース電極またはドレイン電極を積層させた後、などのタイミングにおいて行うことも可能である。また、このような脱水化処理、脱水素化処理は、一回に限らず複数回行っても良い。

【0320】

次に、酸化物半導体層206aに接するように導電層を形成する。そして、導電層を選択

50

的にエッチングして、ソース電極またはドレイン電極 208a、ソース電極またはドレイン電極 208b を形成する（図 17（B）参照）。当該工程は、先の実施の形態のソース電極またはドレイン電極 142a などに関する工程と同様である。詳細については、先の実施の形態を参酌することができる。

#### 【0321】

次に、酸化物半導体層 206a の一部に接するゲート絶縁層 212 を形成する。（図 17（C）参照）。詳細については、先の実施の形態のゲート絶縁層に関する記載を参酌することができる。

#### 【0322】

ゲート絶縁層 212 の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第 2 の熱処理を行うのが望ましい。熱処理の温度は、200 以上 450 以下、望ましくは 250 以上 350 以下である。例えば、窒素雰囲気下で 250 、1 時間の熱処理を行えばよい。第 2 の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層 212 が酸素を含む場合、酸化物半導体層 206a に酸素を供給し、該酸化物半導体層 206a の酸素欠損を低減して、i 型（真性半導体）または i 型に限りなく近い実質的に i 型（真性）な酸化物半導体層を形成することもできる。

#### 【0323】

なお、本実施の形態では、ゲート絶縁層 212 の形成直後に第 2 の熱処理を行っているが、第 2 の熱処理のタイミングはこれに特に限定されない。

#### 【0324】

次に、ゲート絶縁層 212 上の酸化物半導体層 206a と重畳する領域にゲート電極 214 を形成する（図 17（D）参照）。ゲート電極 214 は、ゲート絶縁層 212 上に導電層を形成した後に、当該導電層を選択的にパターニングすることによって形成することができる。詳細については、先の実施の形態のゲート電極に関する記載を参酌することができる。

#### 【0325】

次に、ゲート絶縁層 212 およびゲート電極 214 上に、層間絶縁層 216 および層間絶縁層 218 を形成する（図 17（E）参照）。層間絶縁層 216 および層間絶縁層 218 は、PVD 法や CVD 法などを用いて形成することができる。また、酸化シリコン、酸化窒素シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。なお、本実施の形態では、層間絶縁層 216 と層間絶縁層 218 の積層構造としているが、開示する発明の一態様はこれに限定されない。1 層としても良いし、3 層以上の積層構造としても良い。

#### 【0326】

なお、上記層間絶縁層 218 は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように層間絶縁層 218 を形成することで、層間絶縁層 218 上に、電極や配線などを好適に形成することができるためである。

#### 【0327】

以上により、高純度化された酸化物半導体層 206a を用いたトランジスタ 250 が完成する。

#### 【0328】

図 17（E）に示すトランジスタ 250 は、下層基板 200 上に絶縁層 202 を介して設けられた酸化物半導体層 206a と、酸化物半導体層 206a と電氣的に接続するソース電極またはドレイン電極 208a、ソース電極またはドレイン電極 208b と、酸化物半導体層 206a、ソース電極またはドレイン電極 208a、ソース電極またはドレイン電極 208b を覆うゲート絶縁層 212 と、ゲート絶縁層 212 上のゲート電極 214 と、ゲート絶縁層 212 及びゲート電極 214 上の層間絶縁層 216 と、層間絶縁層 216 上の層間絶縁層 218 とを有する。

#### 【0329】

本実施の形態において示すトランジスタ250では、酸化物半導体層206aが高純度化されているため、その水素濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以下、望ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、より望ましくは $5 \times 10^{17} / \text{cm}^3$ 以下、より望ましくは $1 \times 10^{16} / \text{cm}^3$ 未満となる。また、酸化物半導体層206aのキャリア密度は、一般的なシリコンウェハにおけるキャリア密度( $1 \times 10^{14} / \text{cm}^3$ 程度)と比較して、十分に小さい値(例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満)をとる。そして、これにより、オフ電流が十分に小さくなる。例えば、ドレイン電圧 $V_d$ が+1Vまたは+10Vの場合であって、ゲート電圧 $V_g$ が-5Vから-20Vの範囲では、室温でのオフ電流は $1 \times 10^{-13}$  A以下である。また、上記トランジスタは、ノーマリーオフのトランジスタ特性を有している。従って、ゲート電極とソース電極間の電圧がほぼ0Vの状態におけるオフ電流、すなわちリーク電流が、シリコンを用いたトランジスタに比べて著しく小さい。例えば室温での単位チャネル幅リーク電流は10 aA/ $\mu\text{m}$ 以下となる。

10

#### 【0330】

このように高純度化され、真性化された酸化物半導体層206aを用いることで、トランジスタのオフ電流を十分に低減することができる。

#### 【0331】

なお、本実施の形態では、先の実施の形態に示すトランジスタ402として、トランジスタ250を用いる場合を説明したが、開示する発明をこれに限定して解釈する必要はない。例えば、酸化物半導体の電気特性を十分に高めることで、集積回路を構成するトランジスタを含むすべてのトランジスタに酸化物半導体を用いることも可能である。そして、このような場合には、先の実施の形態に示すように積層構造である必要もない。この場合、例えば、ガラス基板などの基板を用いて半導体装置を形成することが可能である。

20

#### 【0332】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせ用いることができる。

#### 【0333】

##### (実施の形態8)

次に、先の実施の形態(実施の形態1、実施の形態2など)におけるトランジスタ402として用いることが可能な、酸化物半導体を用いたトランジスタの作製方法の別の一例について、図18を参照して説明する。本実施の形態では、酸化物半導体層として、結晶領域を有する第1の酸化物半導体層と、第1の酸化物半導体層の結晶領域から結晶成長させた第2の酸化物半導体層を用いる場合について、詳細に説明する。なお、以下では、トップゲート型のトランジスタを例に挙げて説明するが、トランジスタの構成をトップゲート型に限る必要はない。

30

#### 【0334】

まず、下層基板300上に絶縁層302を形成する。それから、絶縁層302上に第1の酸化物半導体層を成膜し、第1の熱処理によって少なくとも第1の酸化物半導体層の表面を含む領域を結晶化させて、第1の酸化物半導体層304を形成する(図18(A)参照)。

40

#### 【0335】

ここで、下層基板300は、先の実施の形態における、下部のトランジスタ421などが形成された基板を指す。その詳細については、先の実施の形態を参酌することができる。なお、下層基板300の表面の平坦性に関しては、本実施の形態では、特に重要視すべきである。表面の平坦性は、結晶成長を均質におこなうために不可欠な要素であるためである。好ましい結晶性の酸化物半導体層を得るには、表面の高低差を、1nm以下、好ましくは0.2nm以下、あるいは、表面荒さの二乗和平方根(RMS)を0.5nm以下、好ましくは、0.1nm以下とするとよい。

#### 【0336】

絶縁層302は下地として機能するものであり、先の実施の形態におけるゲート絶縁層1

50

38や保護絶縁層144などと同様に形成することができる。詳細については、先の実施の形態を参酌すればよい。なお、絶縁層302は、できるだけ水素や水を含まないように形成することが望ましい。

#### 【0337】

第1の酸化物半導体層304は、先の実施の形態における酸化物半導体層206と同様に形成することができる。第1の酸化物半導体層304及びその成膜方法の詳細については、先の実施の形態を参酌すればよい。ただし、本実施の形態では、第1の熱処理によって第1の酸化物半導体層を意図的に結晶化させるため、結晶化が生じやすい金属酸化物ターゲットを用いて第1の酸化物半導体層を形成することが望ましい。例えば、ZnOが挙げられる。また、In-Ga-Zn-O系酸化物であっても、例えば、Znの濃度の高いものは結晶化しやすく、Znの金属元素(In、Ga、Zn)に占める割合が60%以上のものは、この目的に用いるには好ましい。また、第1の酸化物半導体層304の厚さは、3nm以上15nm以下とするのが望ましい。本実施の形態では一例として5nmの厚さとする。ただし、適用する酸化物半導体材料や半導体装置の用途などにより適切な厚さは異なるので、その厚さは、用いる材料や用途などに応じて選択すればよい。

10

#### 【0338】

第1の熱処理の温度は、450 以上850 以下、好ましくは550 以上750 以下とする。また、熱処理の時間は、1分以上24時間以下とすることが望ましい。温度や時間は酸化物半導体の種類や組成比によって異なる。また、第1の熱処理の雰囲気は、水素や水などを含まない雰囲気とすることが望ましい。例えば、水が十分に除去された、窒素、酸素、希ガス(ヘリウム、ネオン、アルゴン等)雰囲気とすることができ

20

#### 【0339】

熱処理装置は、電気炉の他、加熱されたガスなどの媒体からの熱伝導、または熱輻射によって、被処理物を加熱する装置を用いることができる。例えば、GRTA(Gas Rapid Thermal Anneal)装置、LRTA(Lamp Rapid Thermal Anneal)装置等のRTA(Rapid Thermal Anneal)装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて熱処理を行う装置である。ガスとしては、アルゴンなどの希ガス、または窒素のような、熱処理によって被処理物と反応しない不活性気体が用いられる。

30

#### 【0340】

上述の第1の熱処理によって、少なくとも第1の酸化物半導体層の表面を含む領域が結晶化する。当該結晶領域は、第1の酸化物半導体層表面から、第1の酸化物半導体層内部に向かって結晶成長が進行することにより形成される領域である。なお、当該結晶領域は、平均厚さが2nm以上10nm以下の板状結晶を含む場合がある。また、当該結晶領域は、酸化物半導体層の表面に略平行なa-b面を有し、該表面に対して略垂直な方向にc軸が配向する結晶を含む場合がある。ここで、略平行とは、平行方向から $\pm 10^\circ$ 以内の状態をいうものとし、略垂直とは、垂直方向から $\pm 10^\circ$ 以内の状態をいうものとする。

40

#### 【0341】

また、第1の熱処理によって結晶領域を形成すると共に、第1の酸化物半導体層中の水素(水や水酸基を含む)などを除去することが望ましい。水素などの除去を行う場合には、純度が、6N(99.9999%)以上(即ち不純物の濃度が1ppm以下)の窒素、酸素、希ガス(ヘリウム、ネオン、アルゴン等)雰囲気において第1の熱処理を行うと良い。より望ましくは、純度が7N(99.99999%)以上(即ち不純物の濃度が0.1ppm以下)の雰囲気である。また、H<sub>2</sub>Oが20ppm以下の超乾燥空気中で、好ましくは、H<sub>2</sub>Oが1ppm以下の超乾燥空気中で、第1の熱処理を行っても良い。

#### 【0342】

また、第1の熱処理により結晶領域を形成すると共に、第1の酸化物半導体層に酸素を供

50

給することが望ましい。例えば、熱処理の雰囲気酸素雰囲気に変更することで、第1の酸化物半導体層に酸素を供給することができる。

【0343】

本実施の形態では、第1の熱処理として、窒素雰囲気下で700、1時間の熱処理を行って酸化物半導体層から水素などを除去した後、雰囲気を酸素雰囲気に切り替えることで、第1の酸化物半導体層内部に酸素を供給する。なお、第1の熱処理の主たる目的は結晶領域の形成にあるから、水素などの除去や、酸素の供給を目的とする処理は別に行うこともできる。例えば、水素などを除去するため熱処理や、酸素を供給する処理を行った後に、結晶化のための熱処理を行うことが可能である。

【0344】

このような第1の熱処理によって、結晶領域を有し、水素（水や水酸基を含む）などが除去され、酸素が供給された第1の酸化物半導体層304が得られる。

【0345】

次に、少なくとも表面を含む領域に結晶領域を有する第1の酸化物半導体層304上に、第2の酸化物半導体層305を形成する（図18（B）参照）。

【0346】

第2の酸化物半導体層305は、先の実施の形態における酸化物半導体層206と同様に形成することができる。第2の酸化物半導体層305及びその成膜方法の詳細については、先の実施の形態を参酌すればよい。ただし、第2の酸化物半導体層305は、第1の酸化物半導体層304より厚く形成することが望ましい。また、第1の酸化物半導体層304と第2の酸化物半導体層305の厚さの和が3nm以上50nm以下となるように、第2の酸化物半導体層305を形成することが望ましい。なお、適用する酸化物半導体材料や、半導体装置の用途などにより適切な厚さは異なるから、その厚さは、用いる材料や用途などに応じて選択すればよい。

【0347】

第2の酸化物半導体層305には、第1の酸化物半導体層304と同一主成分の材料で、さらに結晶化後の格子定数が近接した材料（ミスマッチが1%以下）を用いることが望ましい。同一主成分の材料を用いる場合には、第2の酸化物半導体層305の結晶化において、第1の酸化物半導体層304の結晶領域から結晶成長が進行しやすいためである。さらに、同一主成分材料である場合には、界面物性や電気的特性も良好になる。

【0348】

なお、結晶化によって所望の膜質が得られる場合には、第1の酸化物半導体層304とは異なる主成分の材料を用いて第2の酸化物半導体層305を形成しても良い。

【0349】

次に、第2の酸化物半導体層305に第2の熱処理を行い、第1の酸化物半導体層304の結晶領域から結晶成長させて、第2の酸化物半導体層306を形成する（図18（C）参照）。

【0350】

第2の熱処理の温度は、450以上850以下、好ましくは600以上700以下とする。第2の熱処理の加熱時間は1分以上100時間以下とし、好ましくは5時間以上20時間以下とし、代表的には10時間とする。なお、第2の熱処理においても、熱処理の雰囲気には、水素や水などが含まれないことが望ましい。

【0351】

雰囲気の詳細および第2の熱処理による効果は、第1の熱処理と同様である。また、用いることができる熱処理装置も、第1の熱処理の場合と同様である。例えば、第2の熱処理の昇温時には炉の内部を窒素雰囲気とし、冷却時には炉の内部を酸素雰囲気とすることで、窒素雰囲気の水素などの除去を、酸素雰囲気での酸素の供給を行うことができる。

【0352】

上述のような第2の熱処理を行うことにより、第1の酸化物半導体層304に形成された結晶領域から第2の酸化物半導体層305全体に結晶成長を進行させて、第2の酸化物半

10

20

30

40

50

導体層 306 を形成することができる。また、水素（水や水酸基を含む）などが除去され、酸素が供給された第 2 の酸化物半導体層 306 を形成することができる。また、第 2 の熱処理によって、第 1 の酸化物半導体層 304 の結晶領域の配向性を高めることが可能である。

#### 【0353】

例えば、In-Ga-Zn-O 系の酸化物半導体材料を第 2 の酸化物半導体層 306 に用いる場合、第 2 の酸化物半導体層 306 は、 $\text{InGaO}_3(\text{ZnO})_m$  ( $m>0$ 、且つ自然数でない) で表される結晶や、 $\text{In}_2\text{Ga}_2\text{ZnO}_7$  ( $\text{In}:\text{Ga}:\text{Zn}:\text{O}=2:2:1:7$ ) で表される結晶などを含み得る。このような結晶は、第 2 の熱処理によって、その c 軸が、第 2 の酸化物半導体層 306 の表面と略垂直な方向をとるように配向する。

10

#### 【0354】

ここで、上述の結晶は、In、Ga、Zn のいずれかを含有し、a 軸 (a-axis) および b 軸 (b-axis) に平行な複数のレイヤーの積層構造として捉えることができる。具体的には、上述の結晶は、In を含有するレイヤーと、In を含有しないレイヤー (Ga または Zn を含有するレイヤー) が、c 軸方向に積層された構造を有する。

#### 【0355】

In-Ga-Zn-O 系の酸化物半導体結晶では、In を含有するレイヤー、すなわち、a 軸および b 軸に平行な方向における導電性は良好である。これは、In-Ga-Zn-O 系の酸化物半導体結晶では電気伝導が主として In によって制御されること、および、一の In の 5s 軌道が、隣接する In の 5s 軌道と重なりを有することにより、キャリア

20

#### 【0356】

また、第 1 の酸化物半導体層 304 が絶縁層 302 との界面に非晶質領域を有するような構造の場合、第 2 の熱処理を行うことにより、第 1 の酸化物半導体層 304 の表面に形成されている結晶領域から第 1 の酸化物半導体層の下方向に向かって結晶成長が進行し、該非晶質領域が結晶化される場合もある。なお、絶縁層 302 を構成する材料や、熱処理の条件などによっては、該非晶質領域が残存する場合もある。

#### 【0357】

第 1 の酸化物半導体層 304 と第 2 の酸化物半導体層 305 とに同一主成分の酸化物半導体材料を用いる場合、図 18 (C) に示すように、第 1 の酸化物半導体層 304 と、第 2 の酸化物半導体層 306 とが、同一の結晶構造を有する場合がある。このため、図 18 (C) では点線で示したが、第 1 の酸化物半導体層 304 と第 2 の酸化物半導体層 306 の境界が判別できなくなり、第 1 の酸化物半導体層 304 と第 2 の酸化物半導体層 306 を同一の層と見なせる場合もある。

30

#### 【0358】

次に、マスクを用いたエッチングなどの方法によって第 1 の酸化物半導体層 304 及び第 2 の酸化物半導体層 306 を加工して、島状の第 1 の酸化物半導体層 304a 及び第 2 の酸化物半導体層 306a を形成する (図 18 (D) 参照)。

#### 【0359】

第 1 の酸化物半導体層 304 及び第 2 の酸化物半導体層 306 のエッチングには、ドライエッチング、ウェットエッチングのいずれを用いても良い。もちろん、その両方を組み合わせて用いることもできる。酸化物半導体層を所望の形状にエッチングできるよう、材料に合わせてエッチング条件 (エッチングガスやエッチング液、エッチング時間、温度等) は適宜設定する。第 1 の酸化物半導体層 304 及び第 2 の酸化物半導体層 306 のエッチングは、先の実施の形態における酸化物半導体層のエッチングと同様に行うことができる。詳細については、先の実施の形態を参酌すればよい。

40

#### 【0360】

なお、酸化物半導体層のうち、チャネル形成領域となる領域は、平坦な表面を有していることが望ましい。例えば、第 2 の酸化物半導体層表面の高低差は、ゲート電極と重畳する領域 (チャネル形成領域) において、1 nm 以下 (好ましくは 0.2 nm 以下) であると

50



好適である。

【0361】

次に、第2の酸化物半導体層306aに接するように導電層を形成する。それから、該導電層を選択的にエッチングして、ソース電極またはドレイン電極308a、ソース電極またはドレイン電極308bを形成する(図18(D)参照)。ソース電極またはドレイン電極308a、ソース電極またはドレイン電極308bは、先の実施の形態におけるソース電極またはドレイン電極142a、ソース電極またはドレイン電極142bと同様に形成することができる。詳細については、先の実施の形態を参酌すればよい。

【0362】

また、図18(D)に示す工程で、第1の酸化物半導体層304aおよび第2の酸化物半導体層306aの側面において、ソース電極またはドレイン電極308a、ソース電極またはドレイン電極308bと接する結晶層が非晶質状態となることもある。

10

【0363】

次に、第2の酸化物半導体層306aの一部に接するゲート絶縁層312を形成する。ゲート絶縁層312は、CVD法やスパッタリング法等を用いて形成することができる。その後、ゲート絶縁層312上の、第1の酸化物半導体層304a及び第2の酸化物半導体層306aと重畳する領域にゲート電極314を形成する。そして、ゲート絶縁層312およびゲート電極314上に、層間絶縁層316および層間絶縁層318を形成する(図18(E)参照)。ゲート絶縁層312、ゲート電極314、層間絶縁層316および層間絶縁層318は、先の実施の形態におけるゲート絶縁層などと同様に形成することができる。詳細については、先の実施の形態を参酌すればよい。

20

【0364】

ゲート絶縁層312の形成後には、不活性ガス雰囲気下、または酸素雰囲気下で第3の熱処理を行うのが望ましい。第3の熱処理の温度は、200 以上450 以下、望ましくは250 以上350 以下である。例えば、酸素を含む雰囲気下で250 、1時間の熱処理を行えばよい。第3の熱処理を行うことによって、トランジスタの電気的特性のばらつきを軽減することができる。また、ゲート絶縁層312が酸素を含む絶縁層である場合、第2の酸化物半導体層306aに酸素を供給し、第2の酸化物半導体層306aの酸素欠損を低減して、i型(真性半導体)またはi型に限りなく近い実質的にi型(真性)な酸化物半導体層を形成することもできる。

30

【0365】

なお、本実施の形態では、ゲート絶縁層312の形成後に第3の熱処理を行っているが、第3の熱処理のタイミングはこれに限定されない。また、第2の熱処理などのような、他の処理によって第2の酸化物半導体層に酸素を供給している場合には、第3の熱処理は省略しても良い。

【0366】

ゲート電極314は、ゲート絶縁層312上に導電層を形成した後に、当該導電層を選択的にパターニングすることによって形成することができる。詳細については、先の実施の形態のゲート電極に関する記載を参酌することができる。

【0367】

層間絶縁層316および層間絶縁層318は、PVD法やCVD法などを用いて形成することができる。また、酸化シリコン、酸化窒化シリコン、窒化シリコン、酸化ハフニウム、酸化アルミニウム、酸化タンタル等の無機絶縁材料を含む材料を用いて形成することができる。なお、本実施の形態では、層間絶縁層316と層間絶縁層318の積層構造としているが、開示する発明の一態様はこれに限定されない。1層としても良いし、3層以上の積層構造としても良い。

40

【0368】

なお、上記層間絶縁層318は、その表面が平坦になるように形成することが望ましい。表面が平坦になるように層間絶縁層318を形成することで、層間絶縁層318上に、電極や配線などを好適に形成することができるためである。

50

## 【0369】

以上により、第1の酸化物半導体層304a、および、第1の酸化物半導体層304aの結晶領域から結晶成長させた第2の酸化物半導体層306aを用いたトランジスタ350が完成する。

## 【0370】

図18(E)に示すトランジスタ350は、下層基板300上に絶縁層302を介して設けられた第1の酸化物半導体層304aと、第1の酸化物半導体層304a上に設けられた第2の酸化物半導体層306aと、第2の酸化物半導体層306aと電氣的に接続するソース電極またはドレイン電極308a、ソース電極またはドレイン電極308bと、第2の酸化物半導体層306a、ソース電極またはドレイン電極308a、ソース電極またはドレイン電極308bを覆うゲート絶縁層312と、ゲート絶縁層312上のゲート電極314と、ゲート絶縁層312及びゲート電極314上の層間絶縁層316と、層間絶縁層316上の層間絶縁層318とを有する。

10

## 【0371】

本実施の形態において示すトランジスタ350では、第1の酸化物半導体層304aおよび第2の酸化物半導体層306aが高純度化されているため、その水素濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以下、望ましくは $5 \times 10^{18} / \text{cm}^3$ 以下、より望ましくは $5 \times 10^{17} / \text{cm}^3$ 以下、より望ましくは $1 \times 10^{16} / \text{cm}^3$ 未満となる。また、酸化物半導体層のキャリア密度は、一般的なシリコンウェハにおけるキャリア密度( $1 \times 10^{14} / \text{cm}^3$ 程度)と比較して、十分に小さい値(例えば、 $1 \times 10^{12} / \text{cm}^3$ 未満、望ましくは、 $1 \times 10^{11} / \text{cm}^3$ 未満)をとる。そして、これにより、オフ電流が十分に小さくなる。例えば、ドレイン電圧 $V_d$ が+1Vまたは+10Vの場合であって、ゲート電圧 $V_g$ が-5Vから-20Vの範囲では、室温でのオフ電流は $1 \times 10^{-13} \text{ A}$ 以下である。また、上記トランジスタ350は、ノーマリーオフのトランジスタ特性を有している。従って、ゲート電極とソース電極間の電圧がほぼ0Vの状態におけるオフ電流、すなわち、リーク電流が、シリコンを用いたトランジスタに比べて著しく小さい。例えば、室温での単位チャネル幅リーク電流は $10 \text{ aA} / \mu\text{m}$ 以下となる。

20

## 【0372】

このように高純度化され、真性化された第1の酸化物半導体層304aおよび第2の酸化物半導体層306aを用いることで、トランジスタのオフ電流を十分に低減することができる。

30

## 【0373】

さらに、本実施の形態では、酸化物半導体層として、結晶領域を有する第1の酸化物半導体層304aと、第1の酸化物半導体層304aの結晶領域から結晶成長させた第2の酸化物半導体層306aを用いているため、電界効果移動度を向上させ、良好な電気特性を有するトランジスタを実現することができる。

## 【0374】

なお、本実施の形態では、先の実施の形態に示すトランジスタ402として、トランジスタ350を用いる場合を説明したが、開示する発明をこれに限定して解釈する必要はない。例えば、本実施の形態に示すトランジスタ350は、結晶領域を有する第1の酸化物半導体層304a、および第1の酸化物半導体層304aの結晶領域から結晶成長させた第2の酸化物半導体層306aを用いており、良好な電界効果移動度を有するので、集積回路を構成するトランジスタを含むすべてのトランジスタに酸化物半導体を用いることが可能である。そして、このような場合には、先の実施の形態に示すように積層構造である必要もない。この場合、例えば、ガラス基板などの基板を用いて半導体装置を形成することが可能である。

40

## 【0375】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

## 【0376】

50

(実施の形態 9)

本実施の形態では、先の実施の形態で得られる不揮発性のラッチ回路を用いた半導体装置を搭載した電子機器の例について図 19 を用いて説明する。先の実施の形態で得られる不揮発性のラッチ回路を用いた半導体装置を搭載した電子機器は、従来にない優れた特性を有するものである。このため、当該不揮発性のラッチ回路を用いた半導体装置を用いて新たな構成の電子機器を提供することが可能である。なお、先の実施の形態に係る不揮発性のラッチ回路を用いた半導体装置は、集積化されて回路基板などに実装され、各電子機器の内部に搭載されることになる。

【0377】

図 19 (A) は、先の実施の形態に係る不揮発性のラッチ回路を用いた半導体装置を含むノート型のパーソナルコンピュータであり、本体 1301、筐体 1302、表示部 1303、キーボード 1304 などによって構成されている。開示する発明に係る半導体装置をパーソナルコンピュータに適用することで、優れた性能のパーソナルコンピュータを提供することができる。

10

【0378】

図 19 (B) は、先の実施の形態に係る不揮発性のラッチ回路を用いた半導体装置を含む携帯情報端末 (PDA) であり、本体 1311 には表示部 1313 と、外部インターフェイス 1315 と、操作ボタン 1314 等が設けられている。また操作用の付属品としてスタイラス 1312 がある。開示する発明に係る半導体装置を携帯情報端末 (PDA) に適用することで、優れた性能の携帯情報端末 (PDA) を提供することができる。

20

【0379】

図 19 (C) には、先の実施の形態に係る不揮発性のラッチ回路を用いた半導体装置を含む電子ペーパーの一例として、電子書籍 1320 を示す。電子書籍 1320 は、筐体 1321 および筐体 1323 の 2 つの筐体で構成されている。筐体 1321 および筐体 1323 は、軸部 1337 により一体とされており、該軸部 1337 を軸として開閉動作を行うことができる。このような構成により、電子書籍 1320 は、紙の書籍のように用いることが可能である。

【0380】

筐体 1321 には表示部 1325 が組み込まれ、筐体 1323 には表示部 1327 が組み込まれている。表示部 1325 および表示部 1327 は、続き画面を表示する構成としてもよいし、異なる画面を表示する構成としてもよい。異なる画面を表示する構成とすることで、例えば右側の表示部 (図 19 (C) では表示部 1325) に文章を表示し、左側の表示部 (図 19 (C) では表示部 1327) に画像を表示することができる。

30

【0381】

また、図 19 (C) では、筐体 1321 に操作部などを備えた例を示している。例えば、筐体 1321 は、電源スイッチ 1331、操作キー 1333、スピーカー 1335などを備えている。操作キー 1333 により、頁を送ることができる。なお、筐体の表示部と同一面にキーボードやポインティングデバイスなどを備える構成としてもよい。また、筐体の裏面や側面に、外部接続用端子 (イヤホン端子、USB 端子、または AC アダプタおよび USB ケーブルなどの各種ケーブルと接続可能な端子など)、記録媒体挿入部などを備える構成としてもよい。さらに、電子書籍 1320 は、電子辞書としての機能を持たせた構成としてもよい。

40

【0382】

また、電子書籍 1320 は、無線で情報を送受信できる構成としてもよい。無線により、電子書籍サーバから、所望の書籍データなどを購入し、ダウンロードする構成とすることも可能である。

【0383】

なお、電子ペーパーは、情報を表示するものであればあらゆる分野に適用することが可能である。例えば、電子書籍以外にも、ポスター、電車などの乗り物の車内広告、クレジットカード等の各種カードにおける表示などに適用することができる。開示する発明に係る

50

半導体装置を電子ペーパーに適用することで、優れた性能の電子ペーパーを提供することができる。

【0384】

図19(D)は、先の実施の形態に係る不揮発性のラッチ回路を用いた半導体装置を含む携帯電話機である。当該携帯電話機は、筐体1340および筐体1341の二つの筐体で構成されている。筐体1341は、表示パネル1342、スピーカー1343、マイクロフォン1344、ポインティングデバイス1346、カメラ用レンズ1347、外部接続端子1348などを備えている。また、筐体1341は、当該携帯電話機の充電を行う太陽電池セル1349、外部メモリスロット1350などを備えている。また、アンテナは筐体1341内部に内蔵されている。

10

【0385】

表示パネル1342はタッチパネル機能を備えており、図19(D)には映像表示されている複数の操作キー1345を点線で示している。なお、当該携帯電話は、太陽電池セル1349で出力される電圧を各回路に必要な電圧に昇圧するための昇圧回路を実装している。また、上記構成に加えて、非接触ICチップ、小型記録装置などを内蔵した構成とすることもできる。

【0386】

表示パネル1342は、使用形態に応じて表示の方向が適宜変化する。また、表示パネル1342と同一面上にカメラ用レンズ1347を備えているため、テレビ電話が可能である。スピーカー1343およびマイクロフォン1344は音声通話に限らず、テレビ電話、録音、再生などが可能である。さらに、筐体1340と筐体1341はスライドし、図19(D)のように展開している状態から重なり合った状態とすることができ、携帯に適した小型化が可能である。

20

【0387】

外部接続端子1348はACアダプタやUSBケーブルなどの各種ケーブルと接続可能であり、充電やデータ通信が可能になっている。また、外部メモリスロット1350に記録媒体を挿入し、より大量のデータの保存および移動に対応できる。また、上記機能に加えて、赤外線通信機能、テレビ受信機能などを備えたものであってもよい。開示する発明に係る半導体装置を携帯電話機に適用することで、優れた性能の携帯電話機を提供することができる。

30

【0388】

図19(E)は、先の実施の形態に係る不揮発性のラッチ回路を用いた半導体装置を含むデジタルカメラである。当該デジタルカメラは、本体1361、表示部(A)1367、接眼部1363、操作スイッチ1364、表示部(B)1365、バッテリー1366などによって構成されている。開示する発明に係る半導体装置をデジタルカメラに適用することで、優れた性能のデジタルカメラを提供することができる。

【0389】

図19(F)は、先の実施の形態に係る不揮発性のラッチ回路を用いた半導体装置を含むテレビジョン装置である。テレビジョン装置1370では、筐体1371に表示部1373が組み込まれている。表示部1373により、映像を表示することが可能である。なお、ここでは、スタンド1375により筐体1371を支持した構成を示している。

40

【0390】

テレビジョン装置1370の操作は、筐体1371が備える操作スイッチや、別体のリモコン操作機1380により行うことができる。リモコン操作機1380が備える操作キー1379により、チャンネルや音量の操作を行うことができ、表示部1373に表示される映像を操作することができる。また、リモコン操作機1380に、当該リモコン操作機1380から出力する情報を表示する表示部1377を設ける構成としてもよい。

【0391】

なお、テレビジョン装置1370は、受信機やモデムなどを備えた構成とするのが好適である。受信機により、一般のテレビ放送の受信を行うことができる。また、モデムを介し

50

て有線または無線による通信ネットワークに接続することにより、一方向（送信者から受信者）または双方向（送信者と受信者間、あるいは受信者間同士など）の情報通信を行うことが可能である。開示する発明に係る半導体装置をテレビジョン装置に適用することで、優れた性能のテレビジョン装置を提供することができる。

【 0 3 9 2 】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせる用いることができる

【 符号の説明 】

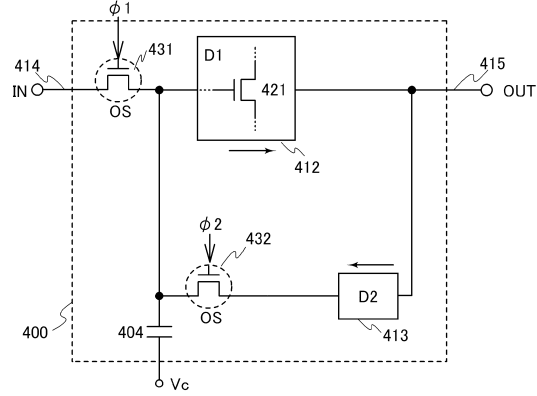
【 0 3 9 3 】

1 0 0	基板	10
1 0 2	保護層	
1 0 4	半導体領域	
1 0 6	素子分離絶縁層	
1 0 8 a	ゲート絶縁層	
1 1 0 a	ゲート電極	
1 1 2	絶縁層	
1 1 4	不純物領域	
1 1 6	チャネル形成領域	
1 1 8	サイドウォール絶縁層	
1 2 0	高濃度不純物領域	20
1 2 2	金属層	
1 2 4	金属化合物領域	
1 2 6	層間絶縁層	
1 2 8	層間絶縁層	
1 3 0 a	ソース電極又はドレイン電極	
1 3 0 b	ソース電極又はドレイン電極	
1 3 0 c	電極	
1 3 2	絶縁層	
1 3 4	導電層	
1 3 6 a	電極	30
1 3 6 b	電極	
1 3 6 c	電極	
1 3 6 d	ゲート電極	
1 3 8	ゲート絶縁層	
1 4 0	酸化物半導体層	
1 4 2 a	ソース電極又はドレイン電極	
1 4 2 b	ソース電極又はドレイン電極	
1 4 4	保護絶縁層	
1 4 6	層間絶縁層	
1 4 8	導電層	40
1 5 0 a	電極	
1 5 0 b	電極	
1 5 0 c	電極	
1 5 0 d	電極	
1 5 0 e	電極	
1 5 2	絶縁層	
1 5 4 a	電極	
1 5 4 b	電極	
1 5 4 c	電極	
1 5 4 d	電極	50

2 0 0	下層基板	
2 0 2	絶縁層	
2 0 6	酸化物半導体層	
2 0 6 a	酸化物半導体層	
2 0 8 a	ソース電極又はドレイン電極	
2 0 8 b	ソース電極又はドレイン電極	
2 1 2	ゲート絶縁層	
2 1 4	ゲート電極	
2 1 6	層間絶縁層	
2 1 8	層間絶縁層	10
2 5 0	トランジスタ	
3 0 0	下層基板	
3 0 2	絶縁層	
3 0 4	酸化物半導体層	
3 0 4 a	酸化物半導体層	
3 0 5	酸化物半導体層	
3 0 6	酸化物半導体層	
3 0 6 a	酸化物半導体層	
3 0 8 a	ソース電極又はドレイン電極	
3 0 8 b	ソース電極又はドレイン電極	20
3 1 2	ゲート絶縁層	
3 1 4	ゲート電極	
3 1 6	層間絶縁層	
3 1 8	層間絶縁層	
3 5 0	トランジスタ	
4 0 0	ラッチ回路	
4 0 2	トランジスタ	
4 0 4	容量	
4 1 2	第1の素子	
4 1 3	第2の素子	30
4 1 4	配線	
4 1 5	配線	
4 2 1	第3のトランジスタ	
4 3 1	第1のトランジスタ	
4 3 2	第2のトランジスタ	
4 4 1	トランジスタ	
4 4 2	トランジスタ	
4 4 3	トランジスタ	
4 4 4	トランジスタ	
1 3 0 1	本体	40
1 3 0 2	筐体	
1 3 0 3	表示部	
1 3 0 4	キーボード	
1 3 1 1	本体	
1 3 1 2	スタイラス	
1 3 1 3	表示部	
1 3 1 4	操作ボタン	
1 3 1 5	外部インターフェイス	
1 3 2 0	電子書籍	
1 3 2 1	筐体	50

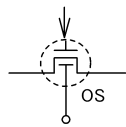
1 3 2 3	筐体	
1 3 2 5	表示部	
1 3 2 7	表示部	
1 3 3 1	電源スイッチ	
1 3 3 3	操作キー	
1 3 3 5	スピーカー	
1 3 3 7	軸部	
1 3 4 0	筐体	
1 3 4 1	筐体	
1 3 4 2	表示パネル	10
1 3 4 3	スピーカー	
1 3 4 4	マイクロフォン	
1 3 4 5	操作キー	
1 3 4 6	ポインティングデバイス	
1 3 4 7	カメラ用レンズ	
1 3 4 8	外部接続端子	
1 3 4 9	太陽電池セル	
1 3 5 0	外部メモリスロット	
1 3 6 1	本体	
1 3 6 3	接眼部	20
1 3 6 4	操作スイッチ	
1 3 6 5	表示部 ( B )	
1 3 6 6	バッテリー	
1 3 6 7	表示部 ( A )	
1 3 7 0	テレビジョン装置	
1 3 7 1	筐体	
1 3 7 3	表示部	
1 3 7 5	スタンド	
1 3 7 7	表示部	
1 3 7 9	操作キー	30
1 3 8 0	リモコン操作機	

【図 1】

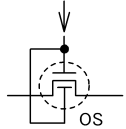


【図 2】

(A) 431, 432

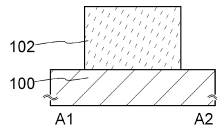


(B) 431, 432

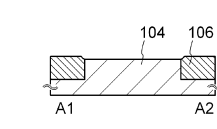


【図 4】

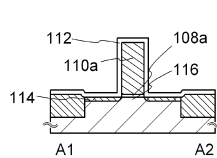
(A)



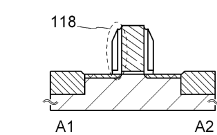
(B)



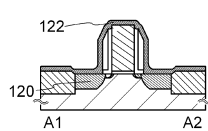
(C)



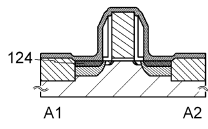
(D)



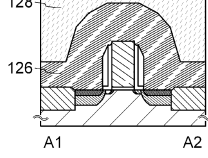
(E)



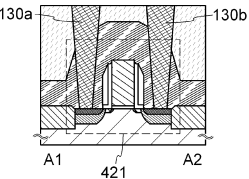
(F)



(G)

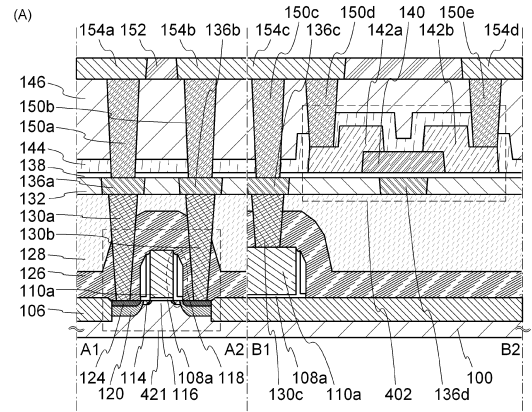


(H)

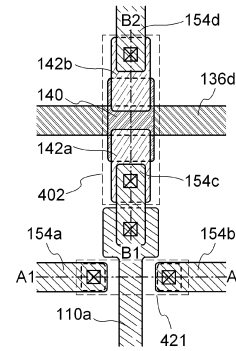


【図 3】

(A)

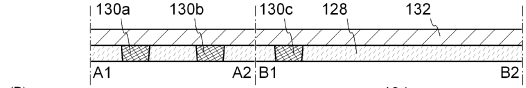


(B)

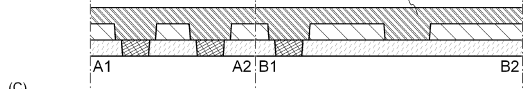


【図 5】

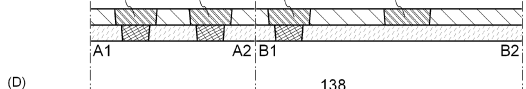
(A)



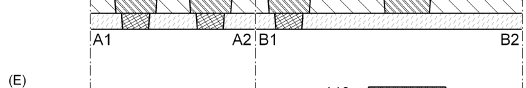
(B)



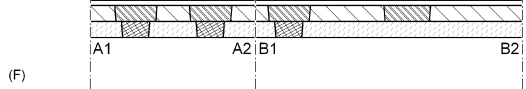
(C)



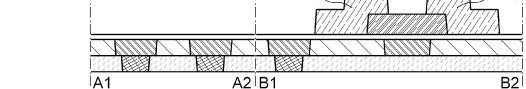
(D)



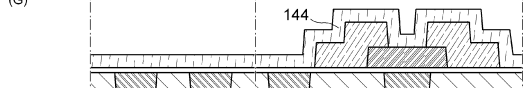
(E)



(F)

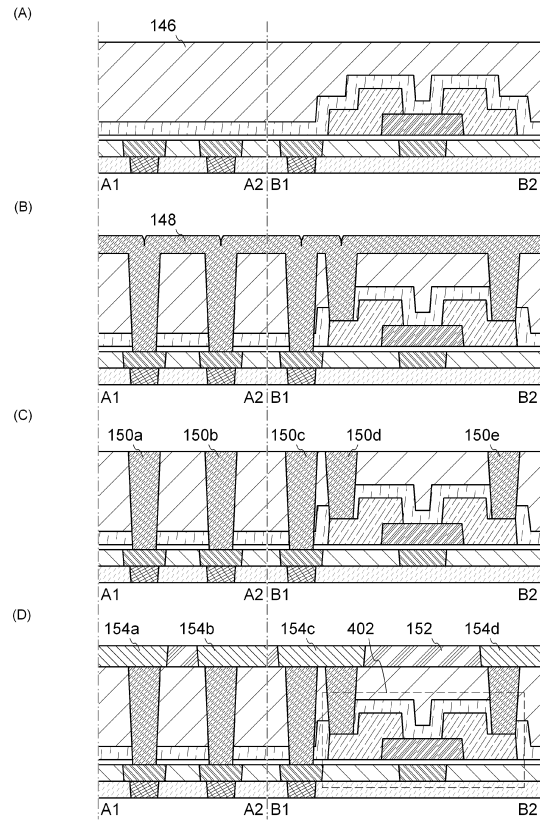


(G)

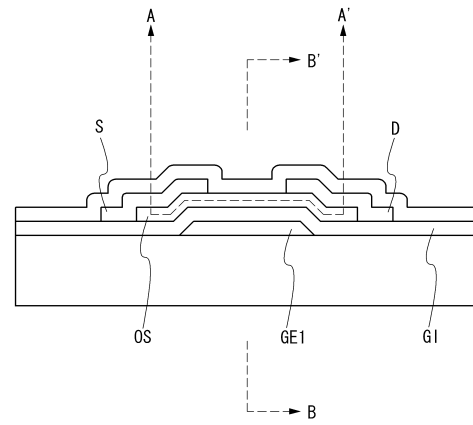




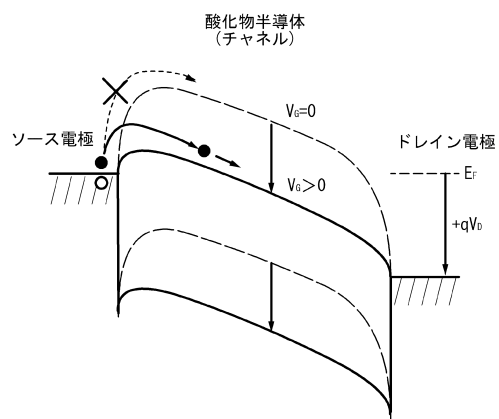
【図 6】



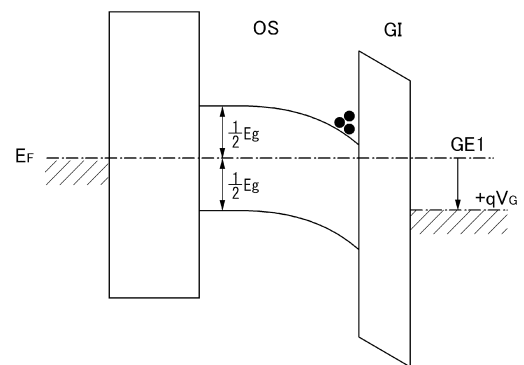
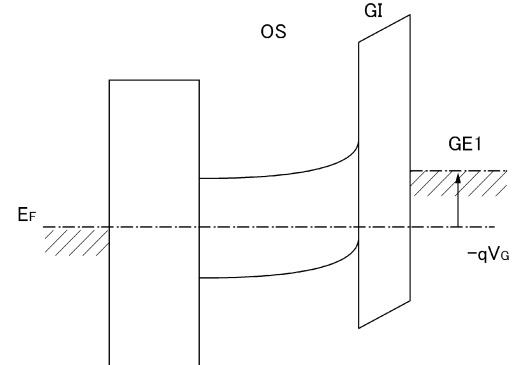
【図 7】



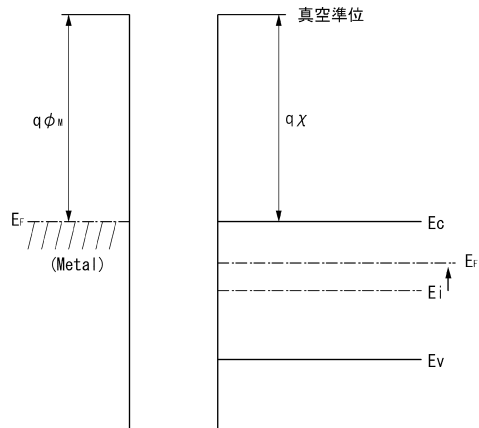
【図 8】



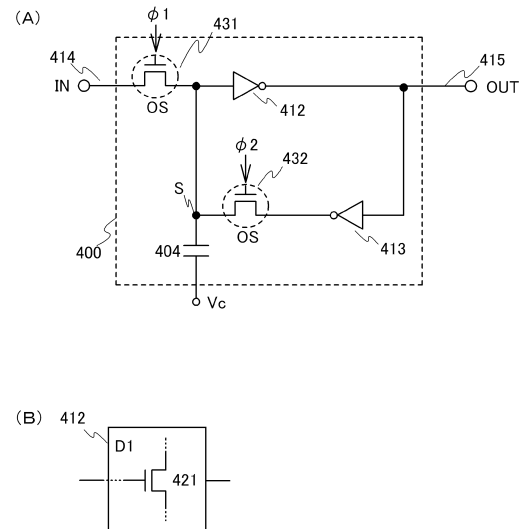
【図 9】

(A) B-B' 断面エネルギーバンド図 ( $V_g > 0$ )(B) B-B' 断面エネルギーバンド図 ( $V_g < 0$ )

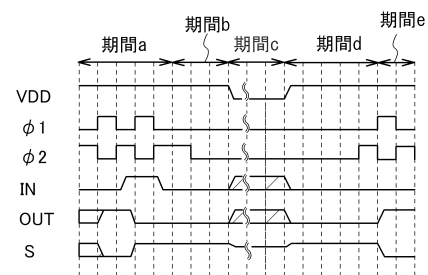
【図 10】



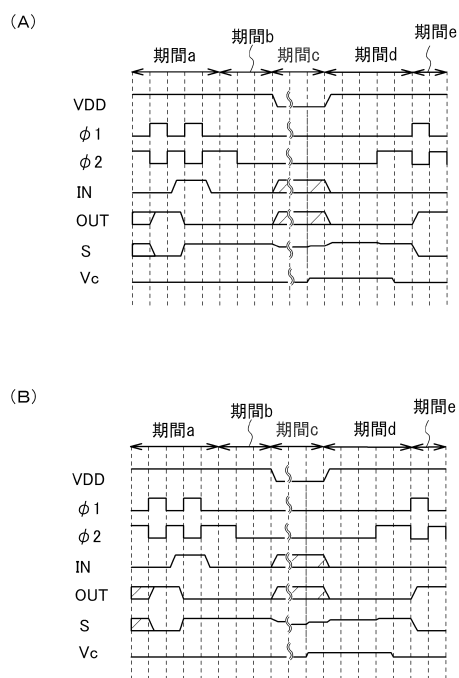
【図 11】



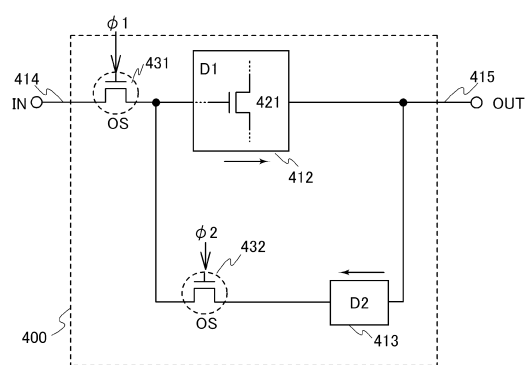
【図 12】



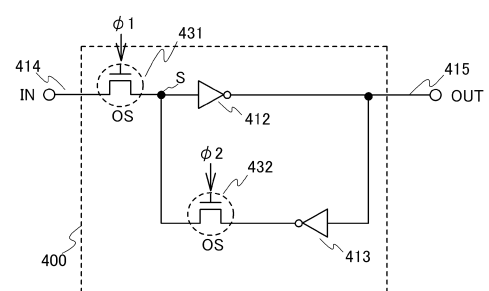
【図 13】



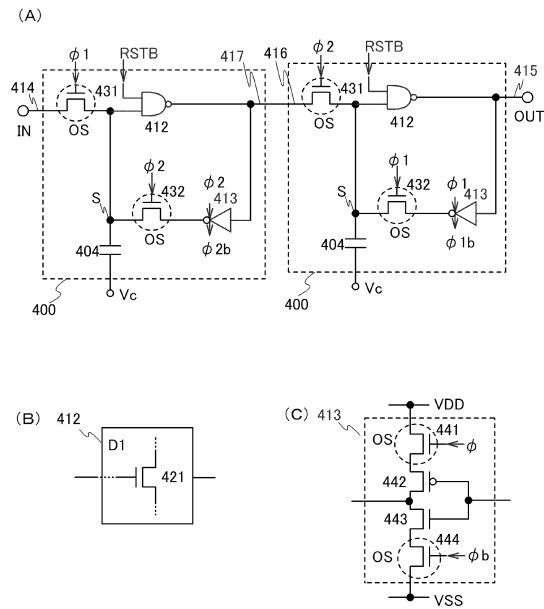
【図 14】



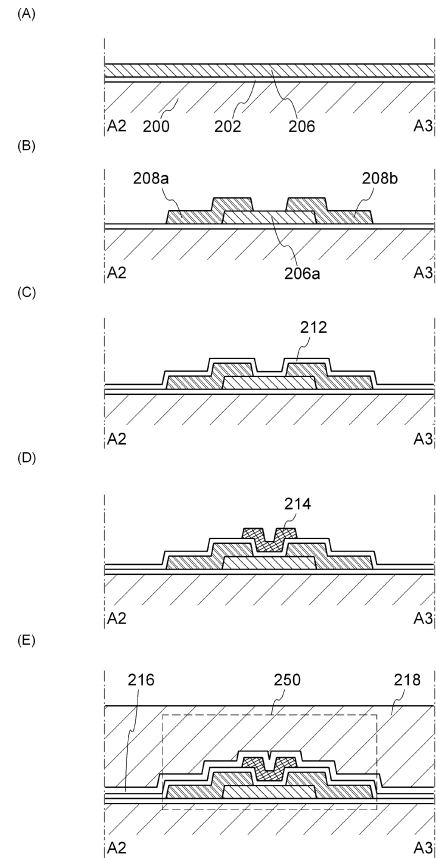
【図 15】



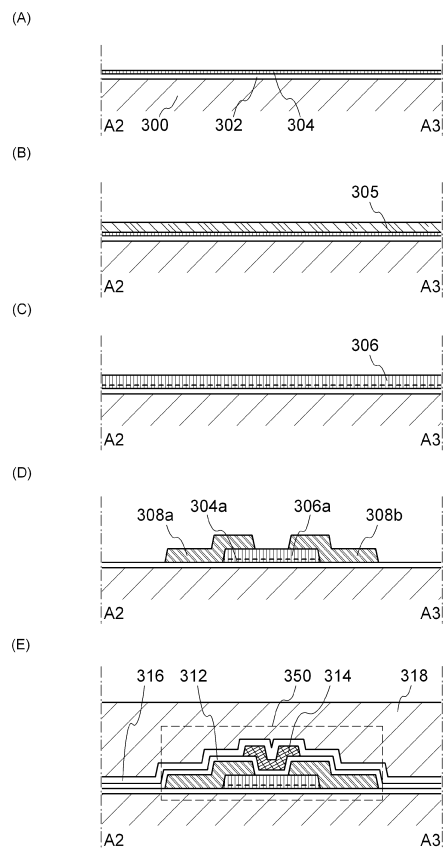
【図 16】



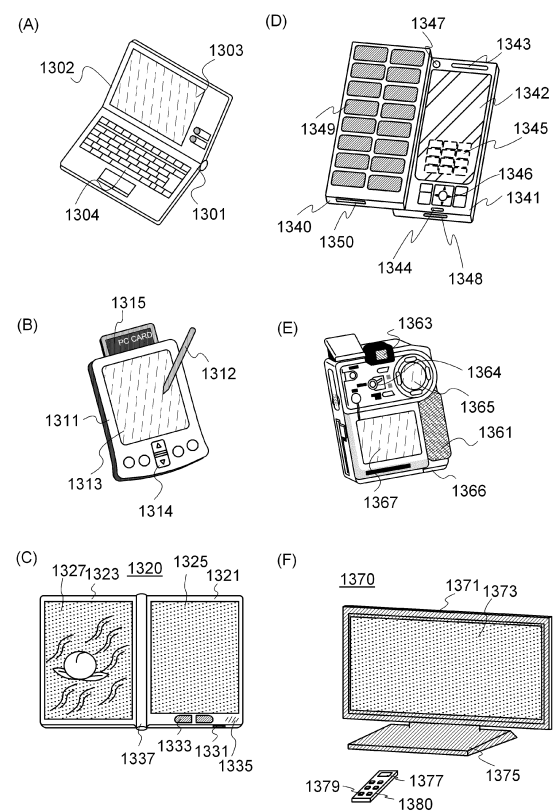
【図 17】



【図 18】



【図 19】



## フロントページの続き

(51)Int.Cl.			F I		
<i>H 0 3 K</i>	<i>3/037</i>	<i>(2006.01)</i>	H 0 3 K	3/356	B
			H 0 3 K	3/356	D
			H 0 3 K	3/037	Z

(56)参考文献 特開平 0 5 - 1 1 0 3 9 2 ( J P , A )  
 特開 2 0 0 3 - 1 5 2 5 0 6 ( J P , A )  
 特開 2 0 0 4 - 1 8 6 8 7 4 ( J P , A )  
 特開 2 0 0 8 - 2 7 7 6 6 5 ( J P , A )  
 特開 2 0 0 7 - 1 2 3 8 6 1 ( J P , A )  
 特開 2 0 0 9 - 2 7 6 3 8 7 ( J P , A )  
 特開 2 0 0 8 - 0 9 8 6 3 7 ( J P , A )  
 特開 2 0 0 7 - 2 2 0 8 2 0 ( J P , A )  
 特開 2 0 0 9 - 1 3 5 3 5 0 ( J P , A )  
 米国特許出願公開第 2 0 0 9 / 0 1 1 4 9 1 8 ( U S , A 1 )

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L     2 1 / 8 2 3 4  
 H 0 1 L     2 1 / 4 7 7  
 H 0 1 L     2 7 / 0 8 8  
 H 0 1 L     2 9 / 7 8 6  
 H 0 3 K     3 / 0 3 7  
 H 0 3 K     3 / 3 5 6