

SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

(57) 要約: 複数の絶縁体層を含む多層基板(600)と、多層基板(600)上に設けられ、高周波信号を増幅する増幅回路(110)と、多層基板(600)上に設けられ、増幅回路(110)に電源を供給する電源回路(120)と、接地電位を有し増幅回路(110)で用いられる第1の導体パターンであるグランド導体(310)と、接地電位を有し電源回路(120)で用いられる第2の導体パターンであるグランド導体(320)と、を備える。グランド導体(310、320)は、多層基板(600)の内層において互いに物理的に分離して設けられている。

明 細 書

発明の名称：高周波モジュール及び通信装置

技術分野

[0001] 本発明は高周波モジュール及び通信装置に関し、特には、多層基板に設けられた増幅回路と、多層基板内にグランド導体を備えた高周波モジュールに関する。

背景技術

[0002] 従来、多層基板に設けられた増幅回路と、多層基板内にグランド導体を備えた高周波モジュールがある。例えば、特許文献１には、そのような高周波モジュールの一例であるパワーアンプモジュールが開示されている。

[0003] 図１１は、特許文献１に記載されているパワーアンプモジュール９００の構成を示す回路図である。パワーアンプモジュール９００は、半導体素子を３段接続してなる半導体回路部Ｑ１と、その前段に接続された入力整合回路部ＩＭ１と、後段に接続された出力整合回路部ＯＭ１と、バイアス回路部ＢＣ１とを備えている。

[0004] 特許文献１では、バイアス回路部ＢＣ１のインダクタ素子Ｌ５～Ｌ８は、半導体回路部Ｑ１で増幅された信号を電源端子Ｖｄｄへ漏洩させないよう、理想的にはインピーダンスを無限大にすることが求められるとしている。

先行技術文献

特許文献

[0005] 特許文献１：特開２００５－２１００４４号公報

発明の概要

発明が解決しようとする課題

[0006] 多層基板に設けられる高周波モジュールにあつては、多層基板上または多層基板内に接地電位を有する導体パターンを、比較的大きな面積で形成することが一般的である。そのような導体パターンは、グランドパターンまたはグランド導体とも称され、回路の接地、ノイズシールド、放熱などに用いら

れる。例えば、特許文献 1 のパワーアンプモジュール 900 では、多層基板の内層に、当該内層のほぼ全面を占めるグランドパターンが形成されている。

[0007] しかしながら、パワーアンプモジュール 900 の構成にあつては、半導体回路部 Q1 で増幅された信号の電源端子 V d d へ漏洩は防止できても、バイアス回路部 B C 1 への漏洩は必ずしも十分には防止されないことがある。増幅回路からバイアス回路へ信号の漏洩の防止が十分でないと、漏洩した信号がバイアス回路を介して増幅回路へ帰還することによって生じる増幅回路の特性の劣化や発振などの不具合が懸念される。

[0008] そこで、本発明は、増幅回路からバイアス回路への信号の漏洩、より広くは増幅回路から電源回路への信号の漏洩、をより確実に防止できる高周波モジュールを提供することを目的とする。

課題を解決するための手段

[0009] 上記目的を達成するために、本発明の一態様に係る高周波モジュールは、複数の絶縁体層を含む多層基板と、前記多層基板上に設けられ、高周波信号を増幅する増幅回路と、前記多層基板上に設けられ、前記増幅回路に電源を供給する電源回路と、接地電位を有し前記増幅回路で用いられる第 1 の導体パターンと、接地電位を有し前記電源回路で用いられる第 2 の導体パターンと、を備え、前記第 1 の導体パターンと前記第 2 の導体パターンとが、前記多層基板の内層において互いに物理的に分離して設けられている。

[0010] この構成によれば、多層基板の内層において互いに物理的に分離された増幅回路用の第 1 の導体パターンと電源回路用の第 2 の導体パターンとを設けている。これにより、1 つの導体パターンを増幅回路用と電源回路用とで分離せずに設ける場合と比べて、増幅回路と電源回路との間での導体パターンを介した信号の漏洩がより確実に防止される。その結果、電源回路へ漏洩した信号が増幅回路へ帰還することによって生じる増幅特性の劣化や発振を回避し、より性能の高い高周波モジュールを得ることができる。

[0011] なお、多層基板の内層において分離されている第 1 および第 2 の導体パタ

ーンは、例えば、ビア導体などで多層基板の表層へ引き出され、表層において互いに接続されていてもよい。その場合、表層の接続点から第1および第2の導体パターンに接地電位を印加することができる。第1および第2の導体パターンを介して増幅回路と電源回路との間で漏洩する信号は、表層を経由する長い信号経路を通ることで大きく減衰するので、信号の漏洩を防止する効果は維持される。

[0012] また、前記第1の導体パターンと前記第2の導体パターンとが、前記多層基板の同一の内層に設けられていてもよい。

[0013] この構成によれば、1つの内層を使って第1および第2の導体パターンを設けることができるので、高周波モジュールを低背化することができる。

[0014] また、前記増幅回路は、増幅素子、前記増幅素子の入力端に接続された入力整合回路、および前記増幅素子の出力端に接続された出力整合回路を含み、前記第1の導体パターンは、接地電位を有し前記入力整合回路で用いられる第1の部分と、接地電位を有し前記出力整合回路で用いられる第2の部分とに、物理的に分離されていてもよい。

[0015] この構成によれば、第1の導体パターンが第1および第2の部分に分離されることにより、入力整合回路および出力整合回路と電源回路との間で信号がより漏洩しにくくなるので、より大きな帰還抑制効果が得られる。

[0016] また、前記増幅回路は、第1の増幅素子および第2の増幅素子を含み、前記電源回路は、前記第1の増幅素子に接続された第1の電源回路と前記第2の増幅素子に接続された第2の電源回路とを含み、前記第2の導体パターンは、接地電位を有し前記第1の電源回路で用いられる第3の部分と、接地電位を有し前記第2の電源回路で用いられる第4の部分とに、物理的に分離されていてもよい。

[0017] この構成によれば、第2の導体パターンが第3および第4の部分に分離されることにより、増幅回路と第1および第2の電源回路との間で信号がより漏洩しにくくなるので、より大きな帰還抑制効果が得られる。

[0018] また、前記第1および第2の導体パターンのうち少なくとも1つの導体パ

ターンの周縁部に、前記少なくとも 1 つの導体パターンと電氣的に接続し、かつ前記多層基板の積層方向に延びる複数のビア導体が設けられていてもよい。

[0019] この構成によれば、複数のビア導体がシールドとして機能することにより、増幅回路と電源回路との間で信号がより漏洩しにくくなるので、より大きな帰還抑制効果が得られる。

[0020] 本発明の一態様に係る通信装置は、前記高周波モジュールと、前記高周波モジュールに接続された RF 信号処理回路と、を備える。

[0021] この構成によれば、増幅回路から電源回路への信号の漏洩をより確実に防止できる高周波モジュールを用いることにより、高性能の通信装置が得られる。

発明の効果

[0022] 本発明に係る高周波モジュールによれば、接地電位を有し増幅回路で用いられる第 1 の導体パターンと、接地電位を有し電源回路で用いられる第 2 の導体パターンとを、多層基板の内層において互いに物理的に分離して設ける。これにより、増幅回路から電源回路への信号の漏洩をより確実に防止できる高周波モジュールが得られる。そのような高周波モジュールを用いることによって、高い性能を有する通信装置が得られる。

図面の簡単な説明

[0023] [図1]図 1 は、実施の形態 1 に係る高周波モジュールの機能的な構成の一例を示す回路図である。

[図2]図 2 は、実施の形態 1 に係る高周波モジュールの平面構造の一例を示す模式図である。

[図3]図 3 は、実施の形態 1 に係る高周波モジュールの積層構造の一例を示す模式図である。

[図4]図 4 は、実施の形態 2 に係る高周波モジュールの平面構造の一例を示す模式図である。

[図5]図 5 は、実施の形態 2 に係る高周波モジュールの積層構造の一例を示す

模式図である。

[図6]図6は、実施の形態3に係る高周波モジュールの平面構造の一例を示す模式図である。

[図7]図7は、実施の形態3に係る高周波モジュールの積層構造の一例を示す模式図である。

[図8]図8は、実施の形態4に係る高周波モジュールの平面構造の一例を示す模式図である。

[図9]図9は、実施の形態4に係る高周波モジュールの積層構造の一例を示す模式図である。

[図10]図10は、実施の形態5に係る通信装置の機能的な構成の一例を示すブロック図である。

[図11]図11は、従来のパワーアンプモジュールの構成の一例を示す回路図である。

発明を実施するための形態

[0024] 以下、本発明の実施の形態について、図面を用いて詳細に説明する。なお、以下で説明する実施の形態は、いずれも包括的又は具体的な例を示すものである。以下の実施の形態で示される数値、形状、材料、構成要素、構成要素の配置および接続形態などは、一例であり、本発明を限定する主旨ではない。以下の実施の形態における構成要素のうち、独立請求項に記載されていない構成要素については、任意の構成要素として説明される。また、図面に示される構成要素の大きさ又は大きさの比は、必ずしも厳密ではない。

[0025] (実施の形態1)

実施の形態1に係る高周波モジュールは、多層基板に設けられたマルチバンド対応の増幅器モジュールである。まず、高周波モジュールの機能的な構成について説明し、その後、高周波モジュールの構造的な特徴について説明する。

[0026] 図1は、実施の形態1に係る高周波モジュールの機能的な構成の一例を示す回路図である。図1に示されるように、高周波モジュール100は、高周

波信号を増幅する増幅回路 110 と、増幅回路 110 に電源を供給する電源回路 120 とを備える。

[0027] 増幅回路 110 は、マルチバンド対応の増幅回路であり、2つの周波数帯の高周波信号を含むマルチバンドの入力高周波信号 R F I N を受信し、入力高周波信号 R F I N を増幅して得た周波数帯ごとの出力高周波信号 L B O U T、H B O U T を出力する。

[0028] 増幅回路 110 は、増幅素子 111、増幅素子 111 の入力端に接続された入力整合回路 112、および増幅素子 111 の出力端に接続された出力整合回路 113 を含む。増幅素子 111 は、異なる周波数帯に対応する2つの信号経路を有し、信号経路ごとに2段の増幅素子を含む。前段の増幅素子 M L 1、M H 1 は、第1の増幅素子の一例であり、後段の増幅素子 M L 2、M H 2 は、第2の増幅素子の一例である。限定されない一例として、増幅素子 M L 1、M H 1、M L 2、M H 2 は、ヘテロバイポーラトランジスタであってもよい。増幅素子 111 は、増幅素子 M L 1、M H 1、M L 2、M H 2 を備える集積回路 (I C) で構成されてもよい。

[0029] 入力整合回路 112 は、入力高周波信号 R F I N を、インピーダンス整合を取って、増幅素子 111 の信号経路のうちスイッチ S W により選択される一方へ供給する。増幅素子 111 は、入力整合回路 112 から供給された高周波信号を増幅し、出力整合回路 113 へ供給する。出力整合回路 113 は、増幅素子 111 から供給された高周波信号を、インピーダンス整合を取って、出力高周波信号 L B O U T、H B O U T として出力する。出力高周波信号 L B O U T、H B O U T は、図示していない後段の回路へ供給される。入力整合回路 112 および出力整合回路 113 は、いずれも一般的なインピーダンス整合回路であるため、詳細な説明を省略する。

[0030] 電源回路 120 は、第1の電源回路 121 および第2の電源回路 122 を含む。

[0031] 第1の電源回路 121 は、増幅素子 111 に含まれる前段の増幅素子 M L 1、M H 1 に接続され、バイアス電圧 V c c 1 を増幅素子 M L 1、M H 1 に

供給する。第2の電源回路122は、増幅素子111に含まれる後段の増幅素子ML2、MH2に接続され、バイアス電圧Vcc2を増幅素子ML2、MH2に供給する。つまり、第1の電源回路121および第2の電源回路122の各々は、増幅素子111にバイアス電圧を供給するバイアス回路を含んでいる。バイアス電圧Vcc1、Vcc2は、例えば、高周波モジュール100とは別体に設けられる電源モジュール（図示せず）で生成され、高周波モジュール100へ供給される。

[0032] 次に、高周波モジュール100の構造について説明する。

[0033] 図2および図3は、実施の形態1に係る高周波モジュールの平面構造および積層構造の一例をそれぞれ示す模式図である。図2では、図1に示される主要な回路素子の大きな平面配置を、図1と同じ符号を用いて示している。

[0034] 図2および図3に示される高周波モジュール100aは、多層基板600を用いて構成される。多層基板600は、複数の絶縁体層601～606を積層してなる。多層基板600には、増幅回路110および電源回路120が設けられている。増幅回路110および電源回路120は、例えば、多層基板600を平面視したときに互いに重複しない領域210、220にそれぞれ設けられていてもよい。

[0035] 多層基板600には、複数の導体パターンが設けられる。導体パターンとは、絶縁体層601～606の主面に沿って設けられた導体を指す。導体パターンは、信号および電源を伝達する配線導体、および、接地電位を有し、回路の接地、ノイズシールド、放熱などに用いられるグランド導体を含む。異なる層に設けられた導体パターンは、絶縁体層601～606を貫通して積層方向に延びる導体ビアによって、適宜接続される。

[0036] 図2および図3の例では、増幅回路110が設けられた領域210に、グランド導体310と配線導体412、413、414とが設けられる。グランド導体310は、増幅回路110で用いられる。増幅回路110で用いられるとは、例えば、増幅回路110を構成する素子と接続されることを意味

してもよい。配線導体412は、入力高周波信号RFINを伝達する。配線導体413、414は、出力高周波信号LBOUT、HBOUTをそれぞれ伝達する。ここで、グランド導体310は、第1の導体パターンの一例である。

[0037] また、電源回路120が設けられた領域220に、グランド導体320と配線導体421、422とが設けられている。グランド導体320は、電源回路120で用いられる。電源回路120で用いられるとは、例えば、電源回路120を構成する素子と接続されることを意味してもよい。配線導体421、422は、バイアス電圧Vcc1、Vcc2をそれぞれ伝達する。ここで、グランド導体320は、第2の導体パターンの一例である。

[0038] なお、図3では、代表的なグランド導体310、320にのみ符号を付しているが、グランド導体310、320は符号を付した導体パターンには限られない。多層基板600の内層にあって接地電位を有し増幅回路110で用いられる導体パターンはすべてグランド導体310である。また、多層基板600の内層にあって接地電位を有し電源回路120で用いられる導体パターンはすべてグランド導体320である。

[0039] 高周波モジュール100aにあっては、グランド導体310、320は、多層基板600の内層において、互いに物理的に分離して設けられている。

[0040] 増幅回路110を構成する素子CL1、CL2、CL3、CH1、CH2、CH3のそれぞれは、導体ビアを介してグランド導体310に接続される。電源回路120を構成する素子（図示せず）は、別の導体ビアを介してグランド導体320に接続される。すなわち、増幅回路110で用いられるグランド導体310と電源回路120で用いられるグランド導体320とが、多層基板600の内層において物理的に分離されている。これにより、1つのグランド導体を増幅回路110用と電源回路120用とで分離せずに設ける場合と比べて、増幅回路110の出力信号のグランド導体を介した電源回路120への漏洩がより確実に防止される。

[0041] なお、増幅回路110で用いられるグランド導体は、増幅回路110を構

成する素子と接続されていなくてもよい。例えば、増幅回路 110 のノイズシールドのために設けられるグランド導体は、増幅回路 110 を構成する素子と接続されていなくても、増幅回路 110 で用いられるグランド導体の一例である。同様に、電源回路 120 で用いられるグランド導体は、電源回路 120 を構成する素子と接続されていなくてもよい。

[0042] グランド導体 310、320 は、ビア導体を介して多層基板 600 の表層（図 3 の例では下方表面）へ引き出され、表層に設けられた導体パターン 330 によって互いに接続されていてもよい。これにより、導体パターン 330 からグランド導体 310、320 に接地電位を印加することができる。導体パターン 330 を介して増幅回路 110 と電源回路 120 との間で漏洩する信号は、表層を経由する長い信号経路を通ることで大きく減衰するので、信号の漏洩を防止する効果は維持される。

[0043] このようにして、増幅回路 110 から電源回路 120 への信号の漏洩はより確実に防止される。その結果、増幅回路 110 から電源回路 120 へ漏洩した信号が増幅回路 110 へ帰還することによって生じる増幅特性の劣化や発振を回避し、より性能の高い高周波モジュール 100a を得ることができる。

[0044] なお、グランド導体 310、320 は、多層基板 600 の同一の内層に設けられていてもよい。図 3 では、一例として、絶縁体層 605、606 の接合面において、領域 210、220 の両方にグランド導体が設けられている。

[0045] なお、グランド導体 310、320 が多層基板 600 の同一の内層に設けられているとは、グランド導体 310 の少なくとも一部とグランド導体 320 の少なくとも一部とが、多層基板 600 の積層方向での同じ高さにあることを意味してもよい。言い換えれば、多層基板 600 を側面視したとき、グランド導体 310 とグランド導体 320 とに互いに重複する部分があることを意味してもよい。

[0046] これにより、1つの内層にグランド導体 310、320 を設けることがで

きるので、高周波モジュールを低背化することができる。

[0047] (実施の形態2)

実施の形態2に係る高周波モジュールは、実施の形態1に係る高周波モジュールと比べて、グランド導体の周縁部にグランド導体と電氣的に接続されたビア導体を備える点で相違する。以下では、実施の形態1と同様の事項については説明を省略し、実施の形態2で相違する事項について主に説明する。

[0048] 図4および図5は、実施の形態2に係る高周波モジュール100bの平面構造および積層構造の一例をそれぞれ示す模式図である。高周波モジュール100bは、図2および図3に示される高周波モジュール100aと比べて、グランド導体310、320の周縁部に、複数のビア導体510、520がそれぞれ追加される点で相違する。ビア導体510、520は、グランド導体310、320の周縁部とそれぞれ電氣的に接続されることにより、接地電位を有する。

[0049] 高周波モジュール100bによれば、複数のビア導体510、520がシールドとして機能することにより、増幅回路110と電源回路120との間で信号がより漏洩しにくくなるので、より大きな帰還抑制効果が得られる。

[0050] (実施の形態3)

実施の形態3に係る高周波モジュールは、実施の形態1に係る高周波モジュールと比べて、グランド導体をより細かい部分に分離して設ける点で相違する。以下では、実施の形態1と同様の事項については説明を省略し、実施の形態3で相違する事項について主に説明する。

[0051] 図6および図7は、実施の形態3に係る高周波モジュール100cの平面構造および積層構造の一例をそれぞれ示す模式図である。高周波モジュール100cでは、領域210、220が、それぞれさらに細かい複数の部分に分けられる。

[0052] 領域210は、多層基板600を平面視したときに互いに重複しない部分211、212、213に分けられる。増幅素子111、入力整合回路11

2、および出力整合回路113は、例えば、領域210の部分211、212、213にそれぞれ設けられていてもよい。

[0053] 領域220は、多層基板600を平面視したときに互いに重複しない部分221、222に分けられる。第1の電源回路121および第2の電源回路122は、例えば、領域220の部分221、222にそれぞれ設けられていてもよい。

[0054] 図6および図7の例では、増幅素子111が設けられた部分211に、グラウンド導体311が設けられる。入力整合回路112が設けられた部分212に、グラウンド導体312と配線導体412とが設けられる。出力整合回路113が設けられた部分213に、グラウンド導体313と配線導体413、414とが設けられる。つまり、高周波モジュール100cでは、第1の導体パターンとしてのグラウンド導体310が、グラウンド導体311、312、313に物理的に分離されている。

[0055] グラウンド導体311、312および313は、増幅素子111、入力整合回路112および出力整合回路113で、それぞれ用いられる。増幅素子111で用いられるとは、例えば、増幅素子111と接続されることを意味してもよい。入力整合回路112で用いられるとは、例えば、入力整合回路112を構成する素子と接続されることを意味してもよい。出力整合回路113で用いられるとは、例えば、出力整合回路113を構成する素子と接続されることを意味してもよい。ここで、グラウンド導体312、313は、それぞれ第1の導体パターンの第1の部分および第2の部分の一例である。

[0056] また、第1の電源回路121が設けられた部分221に、グラウンド導体321と配線導体421とが設けられている。第2の電源回路122が設けられた部分222に、グラウンド導体322と配線導体422とが設けられている。つまり、高周波モジュール100cでは、第2の導体パターンとしてのグラウンド導体320が、グラウンド導体321、322に物理的に分離されている。

[0057] グラウンド導体321および322は、第1の電源回路121および第2の

電源回路 1 2 2 で、それぞれ用いられる。第 1 の電源回路 1 2 1 で用いられるとは、例えば、第 1 の電源回路 1 2 1 を構成する素子と接続されることを意味してもよい。第 2 の電源回路 1 2 2 で用いられるとは、例えば、第 2 の電源回路 1 2 2 を構成する素子と接続されることを意味してもよい。ここで、グランド導体 3 2 1、3 2 2 は、それぞれ第 2 の導体パターンの第 3 の部分および第 4 の部分の一例である。

[0058] 高周波モジュール 1 0 0 c にあっては、グランド導体 3 1 1、3 1 2、3 1 3、3 2 1、3 2 2 は、多層基板 6 0 0 の内層において、互いに物理的に分離して設けられている。

[0059] 増幅素子 1 1 1 は、導体ビアを介してグランド導体 3 1 1 に接続される。入力整合回路を構成する素子（図示せず）は、別の導体ビアを介してグランド導体 3 1 2 に接続される。出力整合回路 1 1 3 を構成する素子 C L 1、C L 2、C L 3、C H 1、C H 2、C H 3 のそれぞれは、さらに別の導体ビアを介して、グランド導体 3 1 3 に接続される。

[0060] 第 1 の電源回路 1 2 1 を構成する素子（図示せず）は、導体ビアを介してグランド導体 3 2 1 に接続される。第 2 の電源回路 1 2 2 を構成する素子（図示せず）は、別の導体ビアを介してグランド導体 3 2 2 に接続される。

[0061] すなわち、増幅素子 1 1 1 で用いられるグランド導体 3 1 1 と、入力整合回路 1 1 2 で用いられるグランド導体 3 1 2 と、出力整合回路 1 1 3 で用いられるグランド導体 3 1 3 と、第 1 の電源回路 1 2 1 で用いられるグランド導体 3 2 1 と、第 2 の電源回路 1 2 2 で用いられるグランド導体 3 2 2 とが、多層基板 6 0 0 の内層において物理的に分離されている。

[0062] これにより、1つのグランド導体を増幅素子 1 1 1、入力整合回路 1 1 2 および出力整合回路 1 1 3 のうちの少なくとも1つの回路用と、第 1 の電源回路 1 2 1 および第 2 の電源回路 1 2 2 のうちの少なくとも1つの回路用とに分離せずに設ける場合と比べて、増幅回路 1 1 0 の出力信号のグランド導体を介した電源回路 1 2 0 への漏洩がより確実に防止される。

[0063] また、図 2 および図 3 の高周波モジュール 1 0 0 a と比較しても、グラン

ド導体がより細かく分離されることで、増幅素子 1 1 1、入力整合回路 1 1 2、出力整合回路 1 1 3、第 1 の電源回路 1 2 1 および第 2 の電源回路 1 2 2 の相互間で信号がより漏洩しにくくなるので、より大きな帰還抑制効果が得られる。

[0064] なお、増幅素子 1 1 1 で用いられるグランド導体 3 1 1 は、増幅素子 1 1 1 と接続されていなくてもよい。例えば、増幅素子 1 1 1 のノイズシールドや放熱のために設けられるグランド導体は、増幅素子 1 1 1 と接続されていなくても、増幅素子 1 1 1 で用いられるグランド導体の一例である。同様に、入力整合回路 1 1 2 で用いられるグランド導体は、入力整合回路 1 1 2 を構成する素子と接続されていなくてもよく、出力整合回路 1 1 3 で用いられるグランド導体は、出力整合回路 1 1 3 を構成する素子と接続されていなくてもよい。また、第 1 の電源回路 1 2 1 で用いられるグランド導体は、第 1 の電源回路 1 2 1 を構成する素子と接続されていなくてもよく、第 2 の電源回路 1 2 2 で用いられるグランド導体は、第 2 の電源回路 1 2 2 を構成する素子と接続されていなくてもよい。

[0065] (実施の形態 4)

実施の形態 4 に係る高周波モジュールは、実施の形態 3 に係る高周波モジュールと比べて、グランド導体の周縁部にグランド導体と電氣的に接続されたビア導体を備える点で相違する。以下では、実施の形態 3 と同様の事項については説明を省略し、実施の形態 4 で相違する事項について主に説明する。

[0066] 図 8 および図 9 は、実施の形態 4 に係る高周波モジュール 1 0 0 d の平面構造および積層構造の一例をそれぞれ示す模式図である。高周波モジュール 1 0 0 d は、図 6 および図 7 に示される高周波モジュール 1 0 0 c と比べて、グランド導体 3 1 1、3 1 2、3 1 3、3 2 1、3 2 2 の周縁部に、複数のビア導体 5 1 1、5 1 2、5 1 3、5 2 1、5 2 2 がそれぞれ追加される点で相違する。ビア導体 5 1 1、5 1 2、5 1 3、5 2 1、5 2 2 は、グランド導体 3 1 1、3 1 2、3 1 3、3 2 1、3 2 2 の周縁部とそれぞれ電気

的に接続されることにより、接地電位を有する。

[0067] 高周波モジュール100dによれば、複数のビア導体511、512、513、521、522がシールドとして機能することにより、増幅素子111、入力整合回路112、出力整合回路113、第1の電源回路121および第2の電源回路122の相互間で信号がより漏洩しにくくなるので、より大きな帰還抑制効果が得られる。

[0068] (実施の形態5)

実施の形態5では、実施の形態1～4で説明した高周波モジュールを備えた通信装置について説明する。

[0069] 図10は、実施の形態5に係る通信装置1の機能的な構成の一例を示すブロック図である。図10に示されるように、通信装置1は、ベースバンド信号処理回路10、RF信号処理回路20、およびフロントエンド回路30を備える。

[0070] ベースバンド信号処理回路10は、音声通話や画像表示などを行う応用装置／応用ソフトウェアで生成された送信データを送信信号に変換し、RF信号処理回路20へ供給する。当該変換は、データの圧縮、多重化、誤り訂正符号の付加を含んでもよい。また、RF信号処理回路20から受信した受信信号を受信データに変換し、応用装置／応用ソフトウェアへ供給する。当該変換は、データの伸長、多重分離、誤り訂正を含んでもよい。ベースバンド信号処理回路10は、ベースバンド集積回路(BBIC)で構成されてもよい。

[0071] RF信号処理回路20は、ベースバンド信号処理回路10から受信した送信信号を送信RF信号Txに変換し、フロントエンド回路30へ供給する。当該変換は、信号の変調及びアップコンバートを含んでもよい。また、RF信号処理回路20は、フロントエンド回路30から受信した受信RF信号Rxを受信信号に変換し、ベースバンド信号処理回路10へ供給する。当該変換は、信号の復調及びダウンコンバートを含んでもよい。RF信号処理回路20は、高周波集積回路(RFIC)で構成されてもよい。

- [0072] フロントエンド回路30は、PA（パワーアンプ）モジュール31、LNA（ローノイズアンプ）モジュール32、ダイプレクサ33、34、およびデュプレクサ35を有する。PAモジュール31には、実施の形態1～4で説明した高周波モジュール100a～100dのいずれかが用いられる。すなわち、PAモジュール31を構成する多層基板の内層のグラウンド導体は、パワーアンプを含む増幅回路で用いられるグラウンド導体とパワーアンプに電源を供給する電源回路（バイアス回路を含む）で用いられるグラウンド導体とに物理的に分離される。フロントエンド回路30は、全体が単一の高周波モジュールによって構成されてもよい。
- [0073] PAモジュール31は、RF信号処理回路20から受信したマルチバンドの送信RF信号Txを増幅し、周波数帯ごとの送信RF信号Tx1、Tx2を出力する。ダイプレクサ33は、送信RF信号Tx1、Tx2を合成して、デュプレクサ35へ供給する。
- [0074] デュプレクサ35は、ダイプレクサ33から受信した送信RF信号をアンテナ信号ANTに混合するとともに、アンテナ信号ANTから受信RF信号を分離して、ダイプレクサ34へ供給する。アンテナ信号ANTは、アンテナ2において送信および受信される。アンテナ2は、通信装置1に含まれてもよい。
- [0075] ダイプレクサ34は、デュプレクサ35で分離された受信RF信号から、周波数帯ごとの受信RF信号Rx1、Rx2を分離する。LNAモジュール32は、受信RF信号Rx1、Rx2を増幅して得たマルチバンドの受信RF信号Rxを、RF信号処理回路20へ供給する。
- [0076] 通信装置1によれば、PAモジュール31に、増幅回路から電源回路への信号の漏洩をより確実に防止できる高周波モジュールを用いることにより、高性能の通信装置が得られる。
- [0077] なお、PAモジュール31と同様に、実施の形態1～4で説明した高周波モジュール100a～100dのいずれかを、LNAモジュール32に適用してもよい。すなわち、LNAモジュール32を構成する多層基板の内層の

グラウンド導体は、ローノイズアンプを含む増幅回路で用いられるグラウンド導体とローノイズアンプに電源を供給する電源回路（バイアス回路を含む）で用いられるグラウンド導体とに物理的に分離されてもよい。

[0078] 以上、本発明の実施の形態に係る高周波モジュール及び通信装置について説明したが、本発明は、個々の実施の形態には限定されない。本発明の趣旨を逸脱しない限り、当業者が思いつく各種変形を本実施の形態に施したものや、異なる実施の形態における構成要素を組み合わせて構築される形態も、本発明の一つ又は複数の態様の範囲内に含まれてもよい。

産業上の利用可能性

[0079] 本発明は、高周波モジュールとして、各種の通信装置に広く利用できる。

符号の説明

- [0080]
- 1 通信装置
 - 2 アンテナ
 - 10 ベースバンド信号処理回路
 - 20 RF信号処理回路
 - 30 フロントエンド回路
 - 31、900 PA（パワーアンプ）モジュール
 - 32 LNA（ローノイズアンプ）モジュール
 - 33、34 ダイプレクサ
 - 35 デュプレクサ
 - 100、100a、100b、100c、100d 高周波モジュール
 - 110 増幅回路
 - 111 増幅素子
 - 112 入力整合回路
 - 113 出力整合回路
 - 120 電源回路
 - 121 第1の電源回路

1 2 2 第2の電源回路
2 1 0、2 2 0 領域
2 1 1、2 1 2、2 1 3、2 2 1、2 2 2 領域の部分
3 1 0、3 1 1、3 1 2、3 1 3、3 2 0、3 2 1、3 2 2 グラ
ド導体
4 1 2、4 1 3、4 1 4、4 2 1、4 2 2 配線導体
5 1 0、5 1 1、5 1 2、5 1 3、5 2 0、5 2 1、5 2 2 ビア導
体
6 0 0 多層基板
6 0 1～6 0 6 絶縁体層

請求の範囲

- [請求項1] 複数の絶縁体層を含む多層基板と、
前記多層基板上に設けられ、高周波信号を増幅する増幅回路と、
前記多層基板上に設けられ、前記増幅回路に電源を供給する電源回路と、
接地電位を有し前記増幅回路で用いられる第1の導体パターンと、
接地電位を有し前記電源回路で用いられる第2の導体パターンと、
を備え、
前記第1の導体パターンと前記第2の導体パターンとが、前記多層基板の内層において互いに物理的に分離して設けられている、
高周波モジュール。
- [請求項2] 前記第1の導体パターンと前記第2の導体パターンとが、前記多層基板の同一の内層に設けられている、
請求項1に記載の高周波モジュール。
- [請求項3] 前記増幅回路は、増幅素子、前記増幅素子の入力端に接続された入力整合回路、および前記増幅素子の出力端に接続された出力整合回路を含み、
前記第1の導体パターンは、接地電位を有し前記入力整合回路で用いられる第1の部分と、接地電位を有し前記出力整合回路で用いられる第2の部分とに、物理的に分離されている、
請求項1または2に記載の高周波モジュール。
- [請求項4] 前記増幅回路は、第1の増幅素子および第2の増幅素子を含み、
前記電源回路は、前記第1の増幅素子に接続された第1の電源回路と前記第2の増幅素子に接続された第2の電源回路とを含み、
前記第2の導体パターンは、接地電位を有し前記第1の電源回路で用いられる第3の部分と、接地電位を有し前記第2電源回路で用いられる第4の部分とに、物理的に分離されている、
請求項1から3のいずれか1項に記載の高周波モジュール。

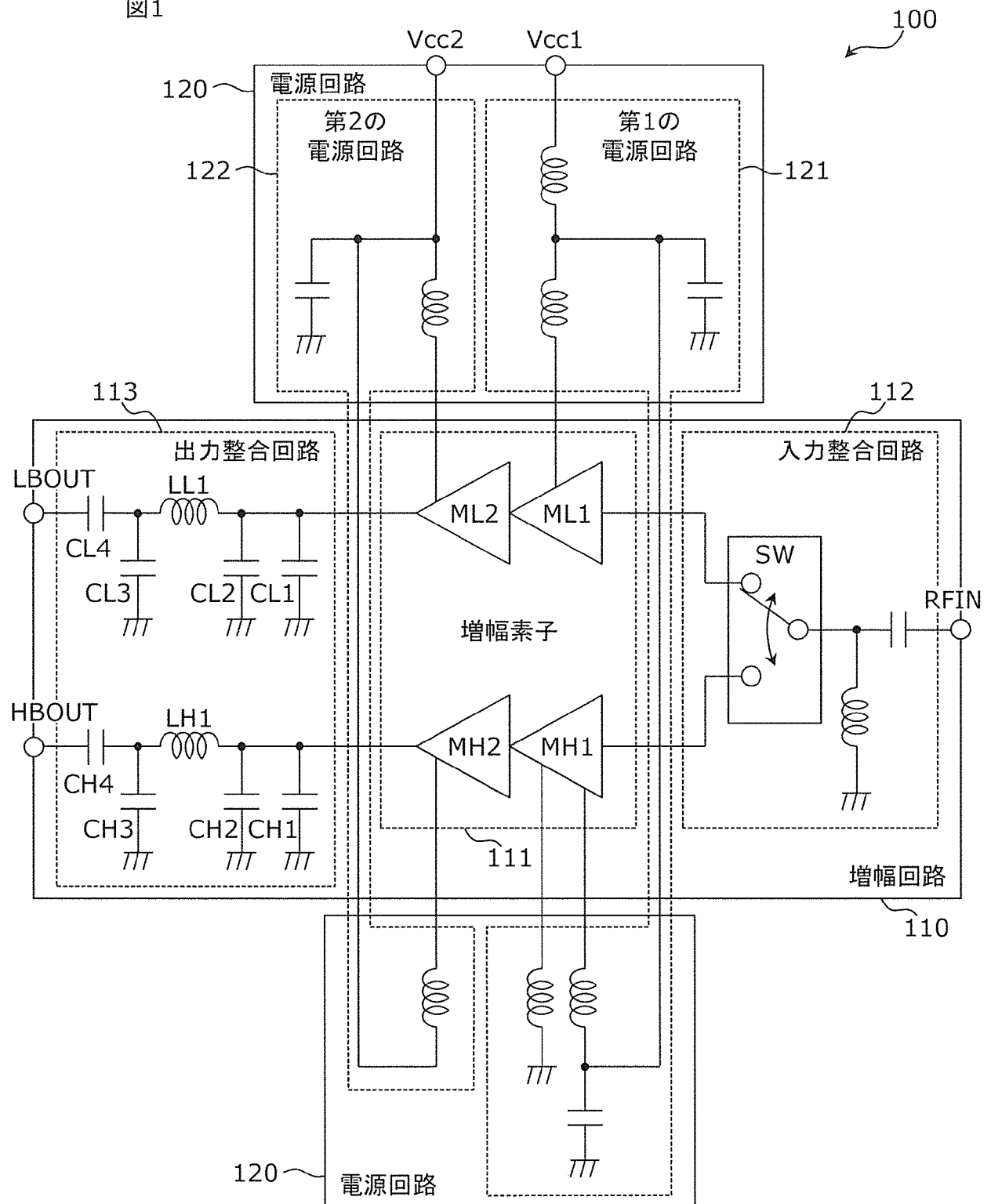
[請求項5] 前記第1および第2の導体パターンのうち少なくとも1つの導体パターンの周縁部に、前記少なくとも1つの導体パターンと電氣的に接続し、かつ前記多層基板の積層方向に延びる複数のビア導体が設けられている、

請求項1から4のいずれか1項に記載の高周波モジュール。

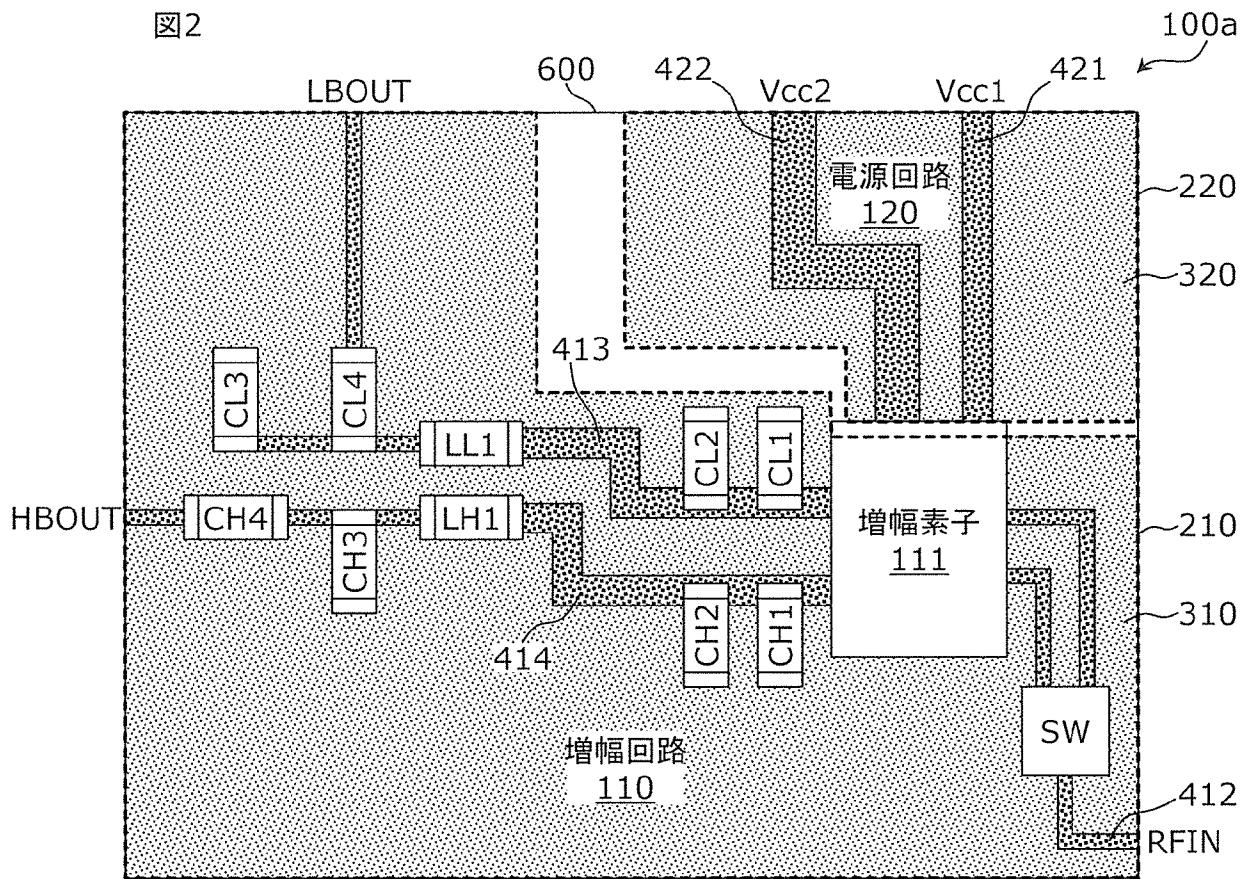
[請求項6] 請求項1から5のいずれか1項に記載の高周波モジュールと、前記高周波モジュールに接続されたRF信号処理回路と、を備える通信装置。

[図1]

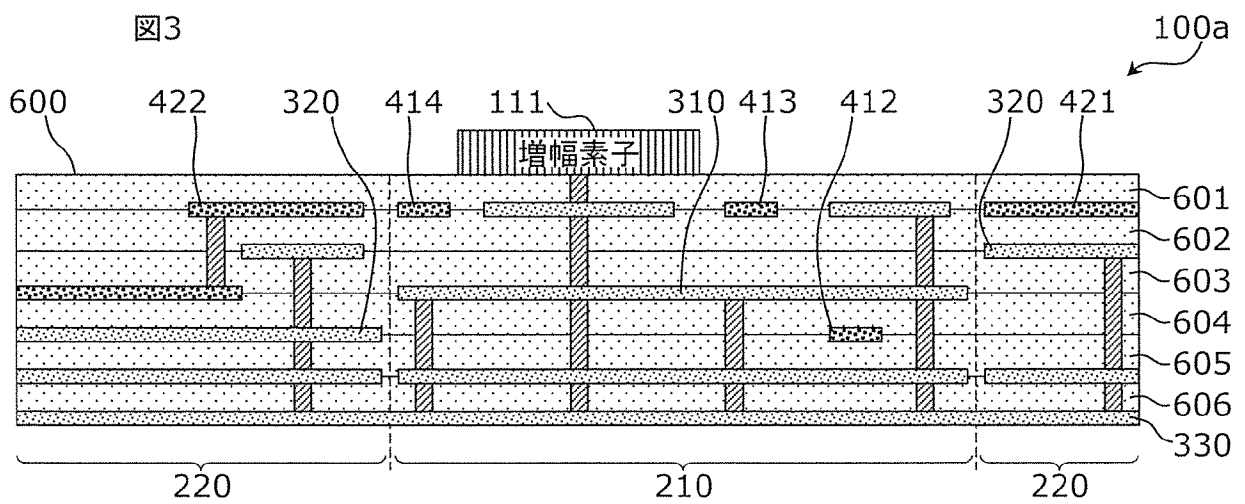
図1



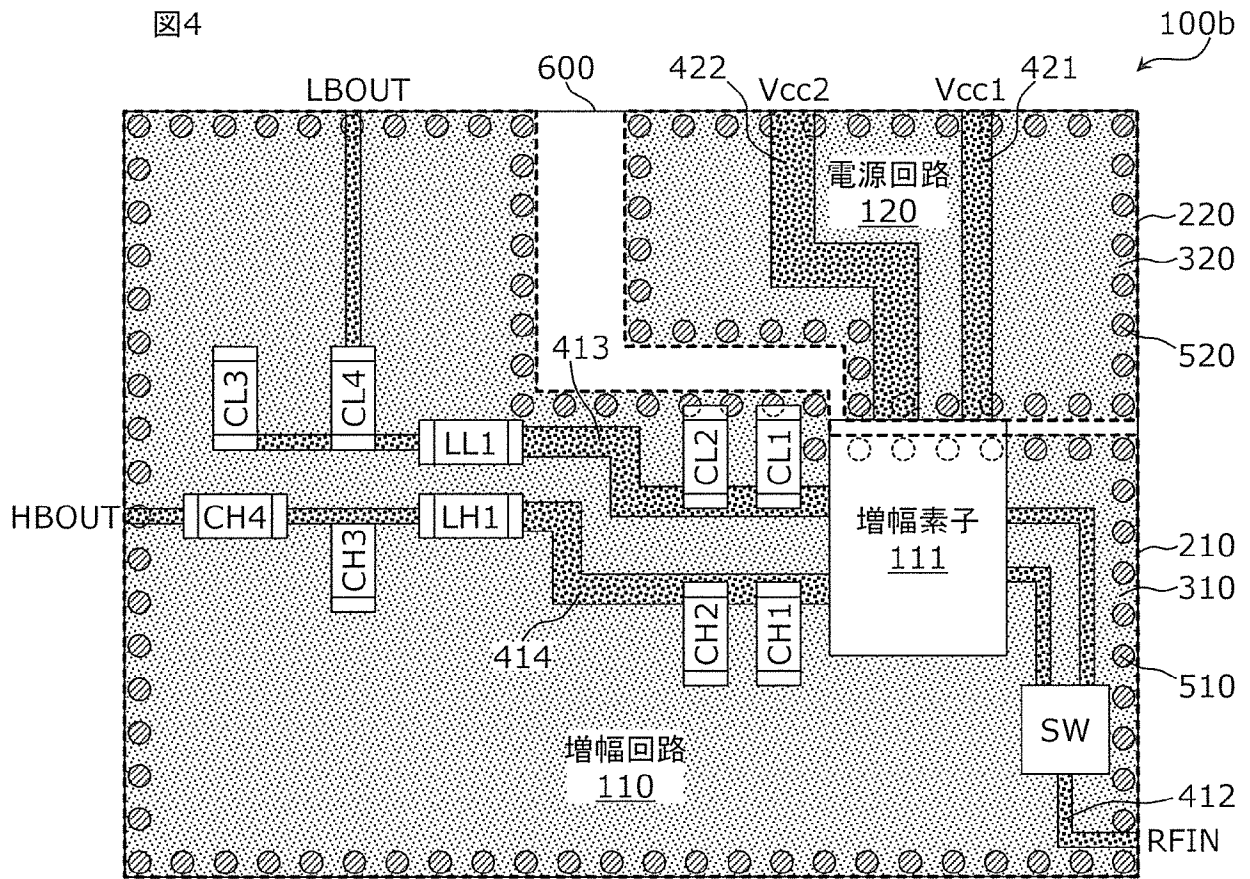
[図2]



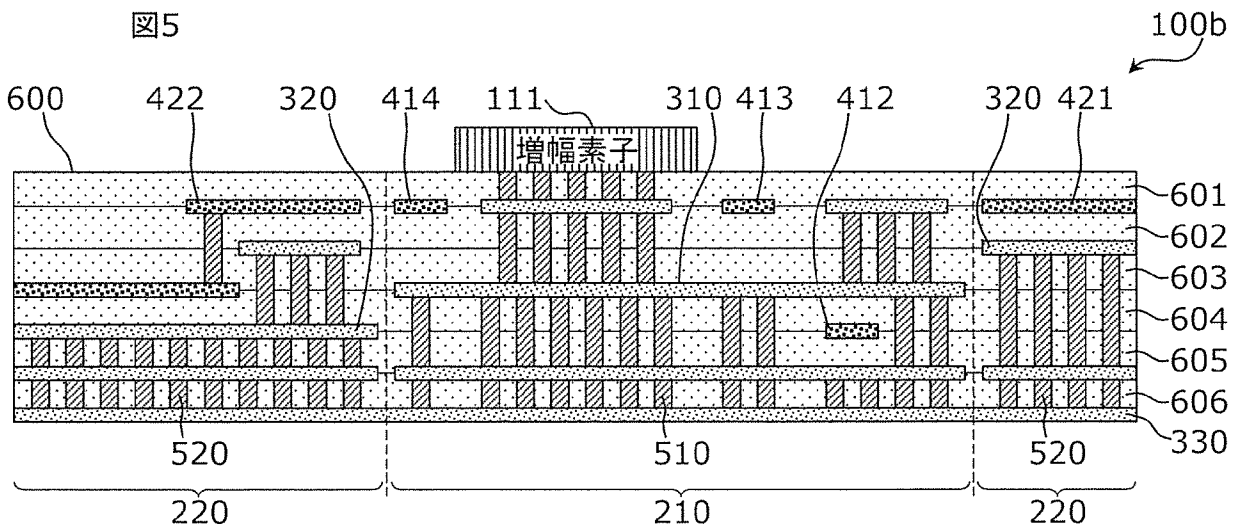
[図3]



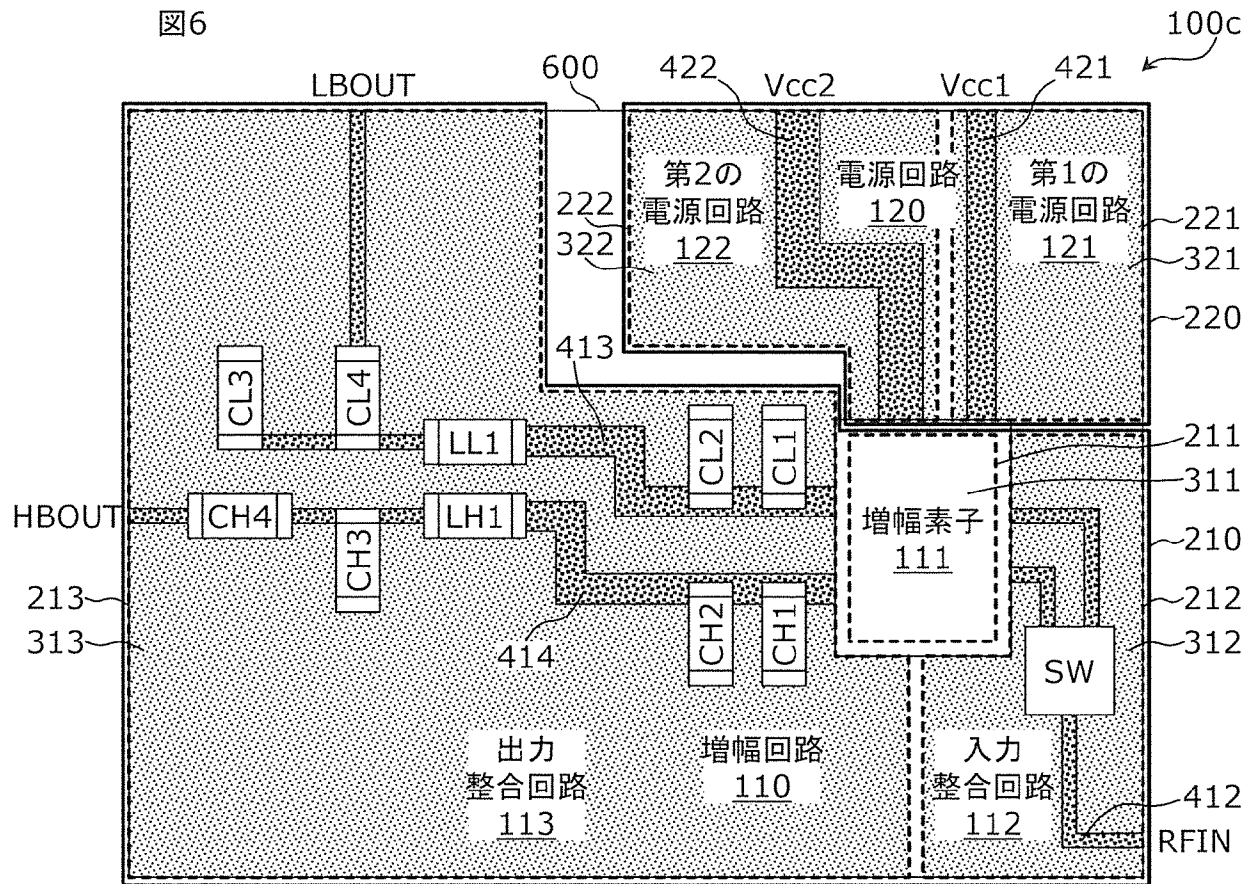
[図4]



[図5]



[図6]



[図7]

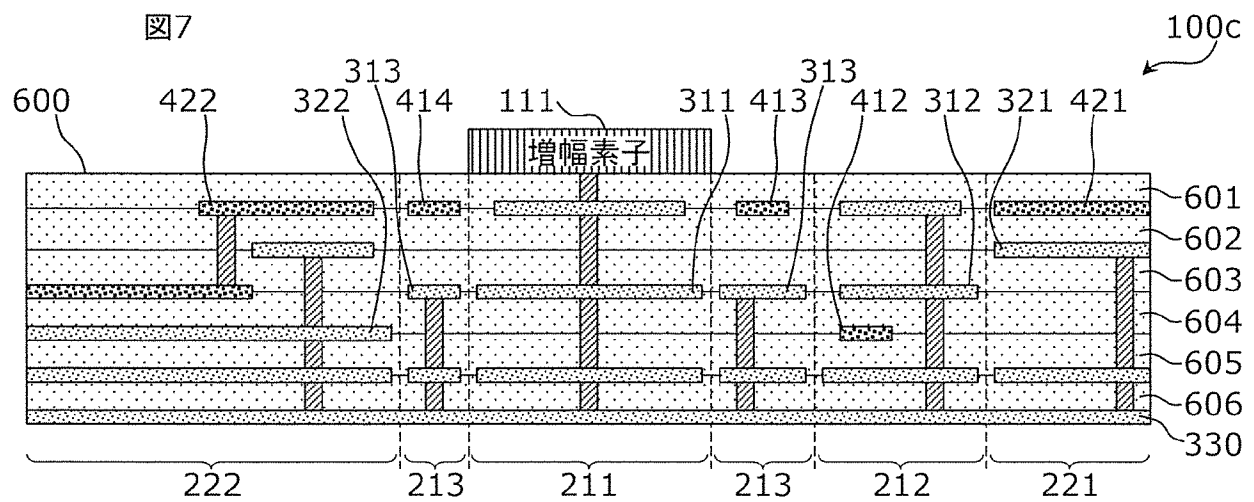
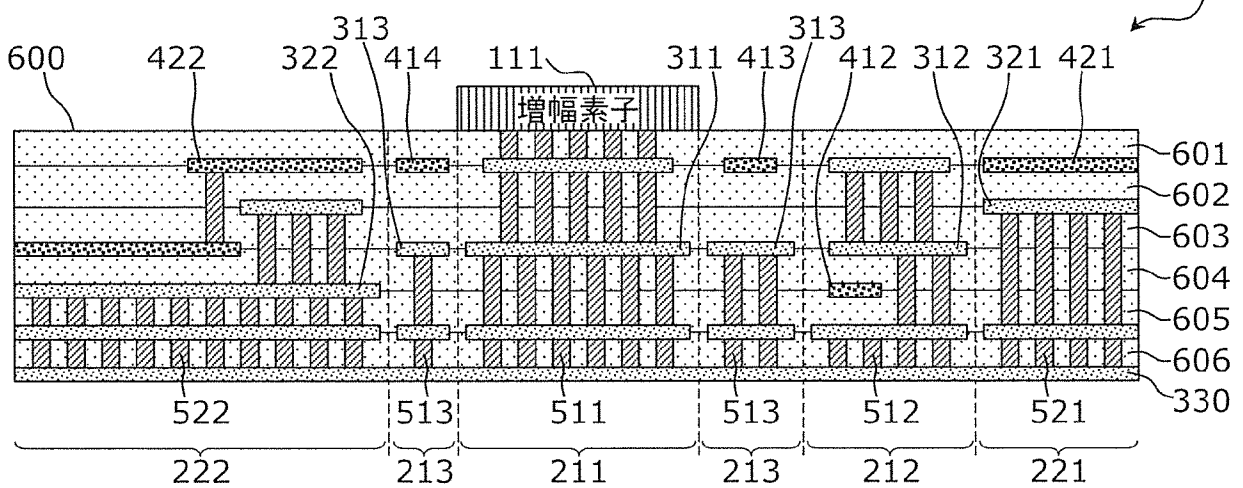


图8

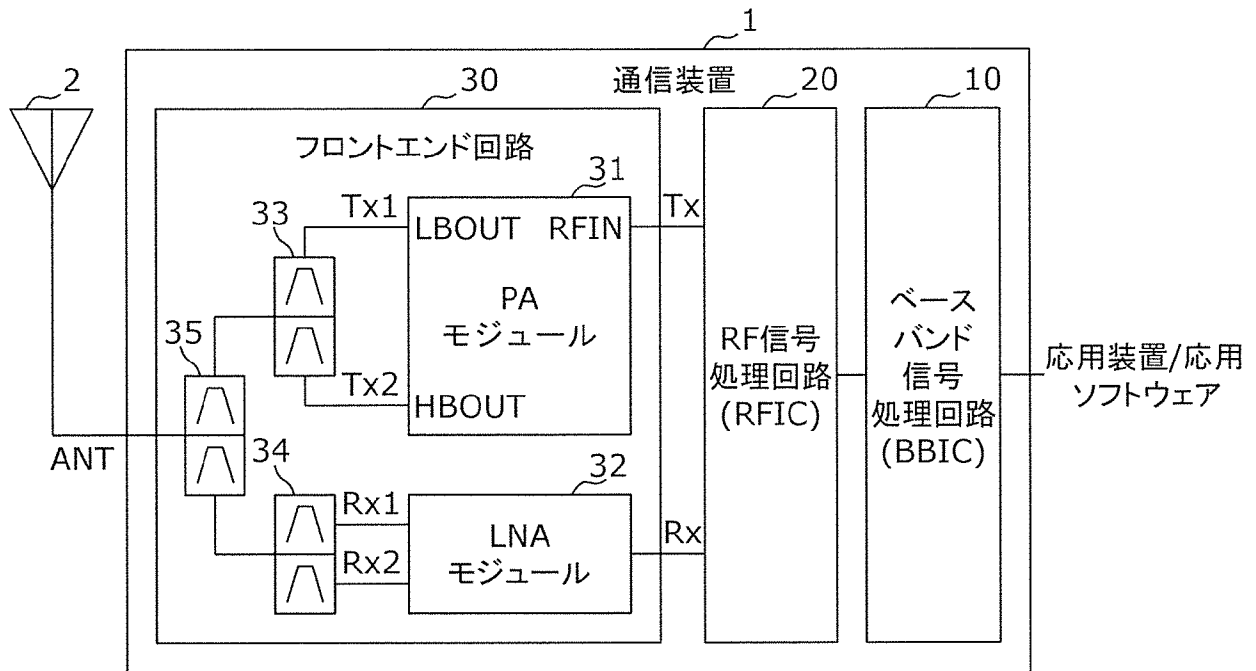


100d



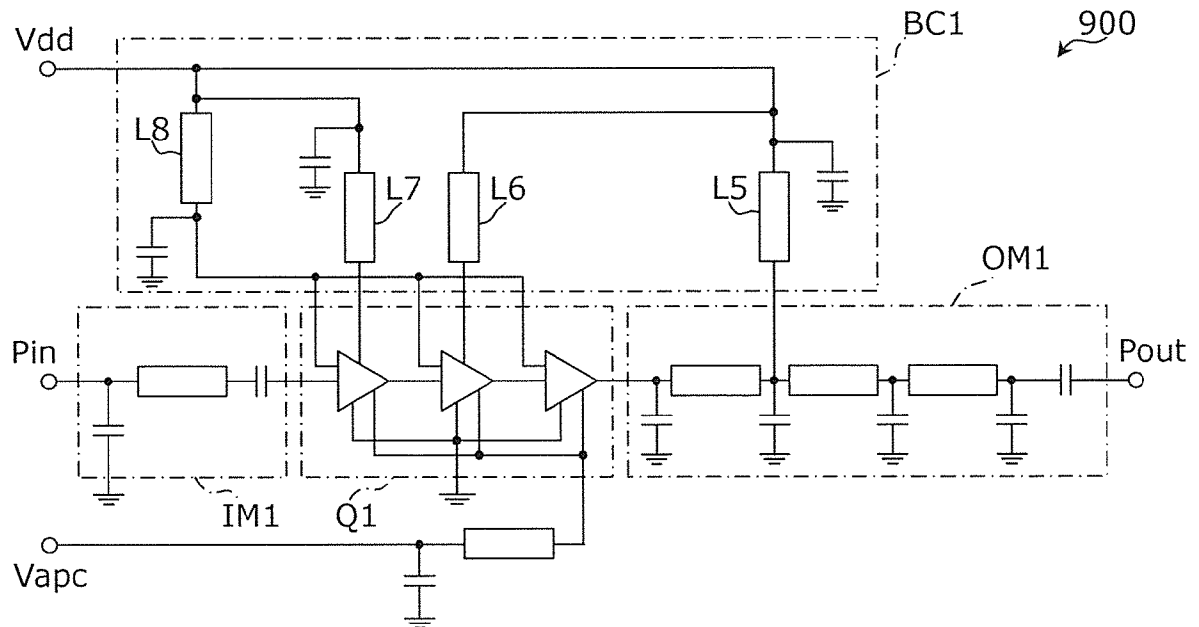
[図10]

図10



[図11]

図11



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/010638

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H05K3/46 (2006.01) i, H03F3/189 (2006.01) i, H05K1/02 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H05K3/46, H03F3/189, H05K1/02

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2016-171220 A (HONDA MOTOR CO., LTD.) 23	1-2
Y	September 2016, paragraphs [0004], [0005], [0006]-[0033], fig. 1-4 (Family: none)	3-6
Y	JP 2008-258369 A (RENESAS TECHNOLOGY CORP.) 23 October 2008, paragraphs [0004], [0029]-[0065], fig. 1-4 (Family: none)	3-4, 6
Y	JP 2011-003651 A (FUJITSU TEN LTD.) 06 January 2011, paragraphs [0022], [0026], fig. 3, 4 (Family: none)	5

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
14.05.2018

Date of mailing of the international search report
22.05.2018

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H05K3/46(2006.01)i, H03F3/189(2006.01)i, H05K1/02(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H05K3/46, H03F3/189, H05K1/02

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2018年
日本国実用新案登録公報	1996-2018年
日本国登録実用新案公報	1994-2018年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2016-171220 A（本田技研工業株式会社）2016.09.23, 段落 [0004]-[0005], [0006]-[0033], 図1-4（ファミリーなし）	1-2 3-6
Y	JP 2008-258369 A（株式会社ルネサステクノロジ）2008.10.23, 段 落[0004], [0029]-[0065], 図1-4（ファミリーなし）	3-4, 6
Y	JP 2011-003651 A（富士通テン株式会社）2011.01.06, 段落[0022], [0026], 図3-4（ファミリーなし）	5

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

14.05.2018

国際調査報告の発送日

22.05.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

石坂 博明

5D

3353

電話番号 03-3581-1101 内線 3551