(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0084270
(43) 공개일자 2016년07월13일

(51) 국제특허분류(Int. Cl.)
H03H 11/12 (2006.01) *G01P 15/125* (2006.01)
(52) CPC특허분류
H03H 11/1204 (2013.01)
G01P 15/125 (2013.01)
(21) 출원번호 10-2015-0010563
(22) 출원일자 2015년01월22일
심사청구일자 2015년01월22일
(30) 우선권주장
1020150000801 2015년01월05일 대한민국(KR)

(71) 출원인
한국기술교육대학교 산학협력단
충남 천안시 동남구 병천면 충절로 1600, 내 (한국기술교육대학교)
(72) 발명자
이병렬
경기도 용인시 수지구 진산로 90, 513동 1402호 (풍덕천동, 진산마을삼성래미안5차아파트)
남철
경기도 화성시 메타폴리스로 22, 301동 103호(반송동,시범다은마을다숲캐슬아파트)
(74) 대리인
남정길

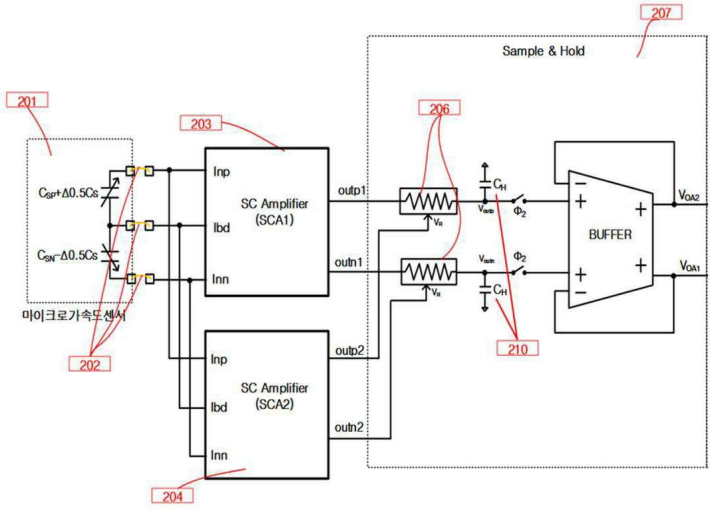
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 **능동 저항을 포함하는 필터 및 이를 이용하는 용량성 마이크로 가속도 센서의 시그마 델타 변조기 리플 평활 회로**

(57) 요 약

본 실시예에 의한 필터는 입력 신호를 인가받아 입력 신호의 레벨을 시프트 업(shift up)하여 형성되는 제어 전압을 제공하는 레벨 시프트 유닛(level shift unit)과, 제어 전압이 제어단에 인가되어 깊은 선형 영역(deep triode region)에서 동작하는 MOS 트랜지스터(Metal Oxide Semiconductor Transistor)를 포함하는 능동 저항 및 능동 저항과 연결된 커패시터(capacitor)를 포함한다.

대 표 도



(52) CPC특허분류
H03H 11/28 (2013.01)

이 발명을 지원한 국가연구개발사업
과제고유번호 10045088
부처명 미래창조과학부
연구관리전문기관 정보통신기술진흥센터
연구사업명 글로벌전문기술개발사업
연구과제명 지진 재해 대비 건물 진동 모니터링 시스템의 개발
기 여 율 1/1
주관기관 (주)이제이텍
연구기간 2013.06.01 ~ 2015.05.31

명 세 서

청구범위

청구항 1

입력 신호를 인가받아 상기 입력 신호의 레벨을 시프트 업(shift up)하여 형성되는 제어 전압을 제공하는 레벨 시프트 유닛(level shift unit)과, 상기 제어 전압이 제어단에 인가되어 깊은 선형 영역(deep triode region)에서 동작하는 MOS 트랜지스터(Metal Oxide Semiconductor Transistor)를 포함하는 능동 저항; 및

상기 능동 저항과 연결된 커패시터(capacitor)를 포함하는 필터.

청구항 2

제1항에 있어서,

상기 레벨 시프트 유닛은,

상기 입력전압 레벨을 시프트 업하는 레벨 시프트 MOS 트랜지스터; 및

제1 입력으로 상기 입력전압이 인가되고, 제2 입력은 상기 제1 입력과 가상 단락(virtual short)으로 미러링(mirroring)되어 상기 레벨 시프트 MOS 트랜지스터의 소스에 연결되어 상기 입력 전압을 제공하고, 출력은 상기 레벨 시프트 MOS 트랜지스터의 게이트에 연결되는 연산 증폭기(OP Amp, Operational Amplifier)를 포함하며, 상기 연산 증폭기는 상기 출력 전압을 출력하는 필터.

청구항 3

제2항에 있어서,

상기 레벨 시프트 MOS 트랜지스터의 소스와 연결되어 상기 입력 전압을 버퍼링하여 출력하는 버퍼를 더 포함하며,

상기 버퍼의 출력은 상기 능동 저항의 출력에 제공되는 필터.

청구항 4

제3항에 있어서,

상기 MOS 트랜지스터는 직렬로 연결된 복수의 NMOS 트랜지스터들을 포함하며, 상기 커패시터는 상기 NMOS 트랜지스터의 출력에 연결된 필터.

청구항 5

제2항에 있어서,

상기 제어 전압은 상기 입력 신호가 상기 레벨 시프트 MOS 트랜지스터의 게이트-소스간 전압만큼 시프트 업(shift up)되어 형성되는 필터.

청구항 6

커패시터를 포함하고, 가속도 변화에 상응하도록 커패시턴스 변화가 발생하는 가속도 센서;

상기 커패시턴스 변화에 상응하도록 등가 커패시턴스가 시그마 델타 변조되며, 상기 등가 커패시턴스에 상응하는 신호를 출력하는 제1 SCA(Switched Capacitor Amplifier);

상기 커패시턴스 변화에 상응하도록 등가 커패시턴스가 변화하는 거친 조정 커패시터 유닛과, 상기 거친 조정 커패시터 유닛의 상기 등가 커패시턴스에 상응하는 제어 신호를 출력하는 제2 SCA; 및

일단과 타단을 가지며, 상기 제어 신호를 입력받는 제어단을 가지는 능동 저항과, 상기 타단에 연결된 커패시터를 포함하는 필터를 포함하며,

상기 능동 저항의 저항값은 상기 제어단에 인가되는 상기 제어 신호에 의하여 결정되며, 상기 필터는 상기 등가

커패시턴스에 상응하는 신호에 포함된 상기 시그마 델타 변조에 의하여 발생하는 고주파 리플을 제거하는 는 시그마 델타 변조기의 리플 평활 장치.

청구항 7

제6항에 있어서,

상기 등가 커패시턴스에 상응하는 신호는 상기 시그마 델타 변조에 의하여 발생하는 고주파 리플을 포함하며,

상기 필터는 상기 고주파 리플을 제거하는 시그마 델타 변조기의 리플 평활 장치.

청구항 8

제6항에 있어서,

상기 능동 저항은

상기 제어 신호를 인가받아 상기 제어 신호의 레벨을 시프트 업(shift up)하여 제공하는 레벨 시프트 유닛(level shift unit)과,

레벨이 시프트 업된 제어 신호가 제어단에 인가되어 깊은 선형 영역(deep triode region)에서 동작하는 MOS 트랜지스터(Metal Oxide Semiconductor Transistor) 및

상기 제어 신호를 버퍼링하여 상기 능동 저항의 타단에 제공하는 버퍼를 포함하는 시그마 델타 변조기의 리플 평활 장치.

청구항 9

제8항에 있어서,

상기 레벨 시프트 유닛은,

상기 제어전압 레벨을 게이트-소스 전압만큼 시프트 업하는 레벨 시프트 MOS 트랜지스터; 및

제1 입력으로 상기 제어전압이 인가되고, 제2 입력은 상기 제1 입력과 가상 단락(virtual short)으로 미러링(mirroring)되어 상기 레벨 시프트 MOS 트랜지스터의 소스에 연결되고, 출력은 상기 레벨 시프트 MOS 트랜지스터의 게이트에 연결되는 연산 증폭기(OP Amp, Operational Amplifier)를 포함하는 시그마 델타 변조기의 리플 평활 장치.

청구항 10

제6항에 있어서,

상기 능동 저항은 직렬로 연결된 복수의 NMOS 트랜지스터(N type Metal Oxide Semiconductor Transistor)를 포함하며, 상기 NMOS 트랜지스터는 깊은 선형 영역(deep triode region)에서 동작하는 시그마 델타 변조기의 리플 평활 장치.

발명의 설명

기 술 분 야

[0001] 본 발명은 능동 저항을 포함하는 필터 및 이를 이용하는 용량성 마이크로 가속도 센서의 시그마 델타 변조기 리플 평활 회로에 관한 것이다.

배 경 기 술

[0002] 용량형 마이크로 가속도 센서의 정전 용량 값은 대략 수 pF 정도가 되며, 가속도의 변화에 따른 용량 값의 변화는 그 수십 분의 1의 값을 갖는다. 마이크로 가속도 센서의 가변 용량을 검지하기 위해서 본딩 와이어로 가속도 센서 다이(Die)와 검지회로(Readout IC) 다이를 연결한다.

발명의 내용

해결하려는 과제

[0003] 마이크로 센서의 크기가 점차 작아짐에 따라 센서 용량도 소형화 되어 본딩 와이어 연결에 따른 용량 부정합(capacitance mismatch)도 가속도 센서의 특성에 영향을 끼친다. 시그마 델타(Sigma-delta) 기법을 이용하는 회로를 이용하여 부정합(mismatch)을 제거할 수 있는데, 시그마 델타 방법에 의해 일련의 커패시터를 고속으로 스위칭함에 따라 발생하는 스위칭 신호가 노이즈로 출력에 유입이 되어 특성이 열화될 수 있다. 노이즈를 필터링하기 위해 1차 RC필터를 사용할 수 있으나, 커패시터와 저항을 구현하기 위해 큰 다이 면적이 필요하다.

[0004] 본 실시예는 상술한 종래 기술의 단점을 해결하기 위한 것으로, 능동 저항을 이용한 필터를 구현하여 적은 다이 면적을 차지하면서 목적하는 시정수로 노이즈를 제거하는 필터를 구현하는 것이 그 목적 중 하나이다.

[0005] 또한 본 실시예에 의하면 시그마 델타 변조를 통하여 가속도 센서의 커패시턴스 용량 오차를 보정할 수 있는 용량성 마이크로 가속도 센서의 시그마 델타 변조기 리플 평활 회로를 제공하는 것이 주된 목적 중 하나이다.

과제의 해결 수단

[0006] 본 실시예에 의한 필터는 입력 신호를 인가받아 입력 신호의 레벨을 시프트 업(shift up)하여 형성되는 제어 전압을 제공하는 레벨 시프트 유닛(level shift unit)과, 제어 전압이 제어단에 인가되어 깊은 선형 영역(deep triode region, deep linear region)에서 동작하는 MOS 트랜지스터(Metal Oxide Semiconductor Transistor)를 포함하는 능동 저항 및 능동 저항과 연결된 커패시터(capacitor)를 포함한다.

[0007] 본 실시예에 따른 시그마 델타 변조기의 리플 평활 장치는, 커패시터를 포함하고, 가속도 변화에 상응하도록 커패시턴스 변화가 발생하는 가속도 센서와, 커패시턴스 변화에 상응하도록 등가 커패시턴스가 시그마 델타 변조되며, 등가 커패시턴스에 상응하는 신호를 출력하는 제1 SCA(Switched Capacitor Amplifier)와, 커패시턴스 변화에 상응하도록 등가 커패시턴스가 변화하는 거친 조정 커패시터 유닛과, 거친 조정 커패시터 유닛의 등가 커패시턴스에 상응하는 제어 신호를 출력하는 제2 SCA 및 일단과 타단을 가지며, 제어 신호를 입력받는 제어단을 가지는 능동 저항과, 타단에 연결된 커패시터를 포함하는 필터를 포함하며, 능동 저항의 저항값은 제어단에 인가되는 제어 신호에 의하여 결정되며, 필터는 등가 커패시턴스에 상응하는 신호에 포함된 시그마 델타 변조에 의하여 발생하는 고주파 리플을 제거한다.

발명의 효과

[0008] 본 실시예에 의하면 용량성 가속도 센서의 용량 부정합을 제거할 수 있으며, 그 과정에서 발생하는 리플 노이즈를 효율적으로 제거할 수 있다는 장점이 제공된다.

[0009] 또한, 본 실시예에 의하면 리플 노이즈 제거하는 1차 RC필터를 적은 다이 면적을 소모하여 형성할 수 있다는 장점이 제공된다.

도면의 간단한 설명

[0010] 도 1은 본 실시예에 따른 용량성 마이크로 가속도 센서의 시그마 델타 변조기 리플 평활 회로의 개요를 도시한 회로도이다.

도 2는 시그마 델타 변조기(Sigma-Delta Modulator)를 포함하는 SCA1의 개요를 도시한 도면이다.

도 3은 시그마델타 변조기를 포함하지 않은 SCA2의 개요를 도시한 도면이다.

도 4는 능동저항의 일 예를 도시한 회로도이다.

도 5는 능동 저항을 포함하는 필터에 의하여 리플을 제거하는 것을 도시하는 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

[0011] 본 발명에 관한 설명은 구조적 내지 기능적 설명을 위한 실시예에 불과하므로, 본 발명의 권리범위는 본문에 설명된 실시예에 의하여 제한되는 것으로 해석되어서는 아니 된다. 즉, 실시예는 다양한 변경이 가능하고 여러 가지 형태를 가질 수 있으므로 본 발명의 권리범위는 기술적 사상을 실현할 수 있는 균등물들을 포함하는 것으로 이해되어야 한다.

[0012] 한편, 본 출원에서 서술되는 용어의 의미는 다음과 같이 이해되어야 할 것이다.

[0013] “제1”, “제2” 등의 용어는 하나의 구성요소를 다른 구성요소로부터 구별하기 위한 것으로 이들 용어들에 의해 권리범위가 한정되어서는 아니 된다. 예를 들어, 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다.

[0014] 어떤 구성요소가 다른 구성요소에 "상부에" 또는 “위에” 있다고 언급된 때에는, 그 다른 구성요소의 바로 위에 있을 수도 있지만, 중간에 다른 구성요소가 존재할 수도 있다고 이해되어야 할 것이다. 반면에, 어떤 구성요소가 다른 구성요소에 "접촉하여" 있다고 언급된 때에는, 중간에 다른 구성요소가 존재하지 않는 것으로 이해되어야 할 것이다. 한편, 구성요소들 간의 관계를 설명하는 다른 표현들, 즉 "개재하여"와 "바로 ~개재하여", "~사이에"와 "바로 ~ 사이에" 또는 "~에 이웃하는"과 "~에 직접 이웃하는" 등도 마찬가지로 해석되어야 한다.

[0015] 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한 복수의 표현을 포함하는 것으로 이해되어야 하고, "포함하다" 또는 "가지다" 등의 용어는 설시된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.

[0016] 각 단계들은 문맥상 명백하게 특정 순서를 기재하지 않은 이상 명기된 순서와 다르게 일어날 수 있다. 즉, 각 단계들은 명기된 순서와 동일하게 일어날 수도 있고 실질적으로 동시에 수행될 수도 있으며 반대의 순서대로 수행될 수도 있다.

[0017] 본 개시의 실시예들을 설명하기 위하여 참조되는 도면은 설명의 편의 및 이해의 용이를 위하여 의도적으로 크기, 높이, 두께 등이 과장되어 표현되어 있으며, 비율에 따라 확대 또는 축소된 것이 아니다. 또한, 도면에 도시된 어느 구성요소는 의도적으로 축소되어 표현하고, 다른 구성요소는 의도적으로 확대되어 표현될 수 있다.

[0018] 여기서 사용되는 모든 용어들은 다르게 정의되지 않는 한, 본 발명이 속하는 분야에서 통상의 지식을 가진 자에 의해 일반적으로 이해되는 것과 동일한 의미를 가진다. 일반적으로 사용되는 사전에 정의되어 있는 것과 같은 용어들은 관련 기술의 문맥상 가지는 의미와 일치하는 것으로 해석되어야 하며, 본 출원에서 명백하게 정의하지 않는 한 이상적이거나 과도하게 형식적인 의미를 지니는 것으로 해석될 수 없다.

[0019] 이하에서는 첨부된 도면을 참조하여 본 발명의 실시예에 따른 용량성 마이크로 가속도 센서의 시그마 델타 변조기 리플 평활 회로를 설명한다. 도 1은 본 실시예에 따른 용량성 마이크로 가속도 센서의 시그마 델타 변조기 리플 평활 회로의 개요를 도시한 회로도이다. 도 1을 참조하면, 마이크로 가속도 센서(201)의 용량은 양극 쪽의 정용량(C_{SP}+Δ0.5Cs)과 음극쪽의 부용량(C_{SN}-Δ0.5Cs)으로 나눌 수 있으며, 이 두 용량 값의 차인 가변용량 ΔCs를 검출하고 증폭하기 위해서 스위치드 커패시터 증폭기(SCA, Switched Capacitor Amplifier, 203, 204)를 사용한다.

[0020] 스위치드 커패시터 증폭기(SCA, 203, 204)는 마이크로 가속도 센서(201)와 본딩 와이어(202)로 물리적 및 전기적으로 연결된다. 스위치드 커패시터 증폭기(SCA, 203, 204)가 증폭기로 동작할 때에는 증폭을 담당하는 C_F 커패시터(도 2, 도 3 C_{F1},C_{F2} 참조)와 C_{RP}, C_{RN} 커패시터(도2 및 도 3 C_{RP}, C_{RN} 참조)는 각각 C_F 제어 블록(도 2 105, 도 3 105 참조), C_R 제어 블록(도2 104, 도 3 104 참조)가 제공하는 n-bit 디지털 값으로 제어되어 각 커패시터들의 커패시턴스 값들이 조정된다.

[0021] 커패시터 C_{F1}, C_{F2} 및 커패시터 C_{RP}, C_{RN}들은 각각 CF 제어 블록(105)과 CR 제어 블록(104)에 의해 마이크로 가속도 센서(201)의 정전용량 C_{SP}와 C_{SN}은 C_{RP}와 C_{RN}과 정합되도록 각각 조정된다. 정합시 버퍼(BUFFER)의 출력값은 아래의 수학식 1과 같이 C_F 커패시터와 가변용량 ΔCs의 비에 전원전압(VDD) 곱으로 표현된다.

수학식 1

[0022] $$\Delta V_{OA}=V_{OA2}-V_{OA1} = \Delta Cs/C_F * V_{DD}$$

[0023] 도 2는 시그마 델타 변조기(Sigma-Delta Modulator)를 포함하는 SCA1(도 1 203참조)의 개요를 도시한 도면이다. 도 2를 참조하면, C_R 제어 블록(104)만으로 C_{RP}, C_{RN} 커패시터와 마이크로 가속도 센서의 정용량(C_{SP})과 부용량(C_{SN})과의 미세한 커패시턴스 차이를 정확히 매칭하기 곤란할 수 있다. 시그마 델타 변조기(106)를 구동

(EN=1)하여 이러한 작은 커패시턴스 차이를 미세 조정(fine tuning)한다. 즉, 시그마 델타 변조기(106)는 C_R제어 블록(104)이 거친 조정(coarse tuning)을 수행한 후, 정용량 에러 $\Delta C_{p_err}=C_{SP}-C_{RP}$와 부용량 에러 $\Delta C_{n_err}=C_{SN}-C_{RN}$가 제거되어 정합되도록 가변 콘덴서($C_{11}$,$C_{21}$,$C_{31}$,$C_{12}$,$C_{22}$,$C_{32}$)들을 미세 조정한다.

[0024] 시그마 델타 변조기(106)는 입력 값 DIN[7:0]이 제공되면 클록(CLK) 입력에 동기하여 출력신호 SDP[2:0]를 출력하고, 이 출력신호는 C_{RP}, C_{RN}에 병렬로 연결된 가변콘덴서(C_{11},C_{21},C_{31},C_{12},C_{22},C_{32})에 제공되어 가변 콘덴서의 커패시턴스 값을 변화시킨다. 그러나, 인가된 출력 신호에 클록(CLK)의 고조파 성분이 SCA(102)의 출력 V_{OA2}, V_{OA1}에 나타난다(도 5 301참조). 안티앨리어싱 필터를 이용하여 클록(CLK)의 고조파 성분을 제거할 수 있으나, 시그마 델타 변조기에서 조정된 신호가 왜곡될 수 있어 그 사용이 제한된다. 출력 V_{OA2}(V_{OA1})에 나타난 클록(CLK)의 고조파 성분을 제거하는 회로는 후술한다.

[0025] 도 3은 시그마델타 변조기를 포함하지 않은 SCA2(도 1 204 참조)의 개요적 회로도이다. 도 3을 참조하면, 시그마델타 변조기를 포함하는 SCA1과 시그마델타 변조기를 포함하지 않은 SCA2는 같은 센서 입력 신호와, 클록 입력 신호(Φ_1,Φ_2) 및 제어 신호(con_cr<n-1:>, con_cf<n-1:0>)를 제공받으나, SCA2는 시그마델타 변조기가 없으므로 가변 콘덴서를 제어할 수 있는 제어 신호의 값을 SDP[2] = SDN[2] = 1, SDP[1] = SDN[1] = SDP[0] = SDN[0] = 0으로 유지한다. 이것은 가변 콘덴서(C_{11},C_{21},C_{31},C_{12},C_{22},C_{32})에 제공되는 3비트 값들이 000에서 111 까지 변화할 수 있으며 이들 중 중간값인 100을 제공하기 위한 것이다.

[0026] SCA2의 출력 신호($V_{R,p}$ $V_{R,n}$)는 가속도 센서의 커패시턴스 변화량을 추종(follow)하는 신호로, 능동저항의 제어단에 인가되어 능동 저항의 저항값을 조절한다. SCA2는 시그마델타 변조기를 포함하지 않아 SCA2의 출력 신호에는 클록신호(CLK)에 의한 노이즈가 추가되지 않는다.

[0027] 도 4는 도 1에 206으로 도시된 능동저항의 일 구현예를 도시한 회로도이다. 상술한 바와 같이, 시그마 델타 변조기(106)를 포함하는 SCA1(도 1 203 참조)는 커패시턴스의 미세 조정(fine tuning)을 수행할 수 있으나, 미세 조정을 위한 시그마델타 변조 과정에서 클록(CLK)의 고조파 성분이 SCA1의 출력 V_{OA1}, V_{OA2}에 나타난다.

[0028] 이를 여파하기 위하여 시그마델타 변조기(도 1의 106)가 포함된 SCA1와 시그마델타 변조기가 없이 가변 콘덴서의 입력을 고정한 SCA2(도 1 204 참조)를 병렬로 같이 두고, 샘플앤홀드 회로(도 1 207 참조)내에 능동 저항(206)과 커패시터(도 1 210 참조)를 포함하는 필터를 두어 고주파 노이즈를 제거한다.

[0029] 리플 신호(도 5 301참조)를 필터링 하기 위해서는 시정수(RC time constant)를 가지는 1차 RC필터를 사용할 수 있다. 그러나 집적회로에서는 큰 커패시턴스를 가지는 커패시터와 큰 저항을 구현하기 위해서 큰 면적이 소모되는 단점이 있어, 커패시터와 저항을 모두 사용하는 것은 다이 면적 측면에서 비경제적이다.

[0030] 큰 시정수를 갖는 회로를 구현하기 위해서는 면적이 부담 없는 작은 크기의 On-Chip 커패시터(210)를 사용하고, MOS 트랜지스터를 이용하는 능동 저항(206)을 사용할 수 있다. 능동저항(206)은 레벨 시프트 유닛(410), 버퍼(420) 및 직렬로 연결된 MOS트랜지스터(M_{2n}, M_{3n}, M_{4n}, 430)들을 포함한다. 레벨 시프트 유닛(410)에 포함된 연산 증폭기(411)은 일 입력으로 SCA2의 출력 신호(V_R)를 제공받는다. 입력된 전압(V_R)은 연산 증폭기(401)의 가상 접지(virtual short)에 의하여 타 입력으로 미러링(mirroring)되고, 미러링된 전압이 NMOS트랜지스터(M_{1n})의 게이트 소스간 전압만큼 시프트 업(shift up)되어 V_{CR}이 형성된다($V_{CR}=V_R+V_{gs_m1n}$).

[0031] 입력 전압(V_R)이 미러링된 전압은 버퍼(420)를 통해 버퍼링(buffering)되며, 버퍼링된 V_{RB}전압은 V_R와 같다($V_{RB}=V_R$). 버퍼(420)는 버퍼링된 전압(V_{RB})을 직렬로 연결된 MOS 트랜지스터들의 출력에 인가한다.

[0032] 직렬로 연결된 MOS 트랜지스터(430)의 입력측에 제공되는 전압인 Vin은 시그마델타 변조기의 출력 신호(V_R)와 시그마델타 모듈레이션된 작은 변화의 전압(V_Δ)이 중첩된 전압이며, MOS 트랜지스터(430)의 출력측에 제공되는 전압인 V_{RB}의 값은 V_R과 같다. 직렬로 연결된 복수의 MOS 트랜지스터 각각의 드레인, 소스 사이에 인가되는 전압 값은 V_Δ가 나뉜 전압이다. 일 예로, M_{2n}, M_{3n}, M_{4n} 의 사이즈가 모두 동일하면 M_{2n}, M_{3n}, M_{4n} 트랜지스터의 드레인-소스간 전압은 V_Δ가 균분된 전압인 $V_\Delta/3$이다. 각 MOS트랜지스터(M_{2n}, M_{3n}, M_{4n})의 드레인-소스 사이의 전압 차는 M1n 트랜지스터의 포화 문턱 전압보다 작기 때문에, 각각의 MOS 트랜지스터들(M_{2n}, M_{3n}, M_{4n})은 깊은 선형 영역

(deep triode region, deep linear region)에서 동작한다(수학식 2 참조).

수학식 2

$$V_{in} - V_{out} = (V_{ds,m4n} + V_{ds,m3n} + V_{ds,m2n}) = (V_{gs,m1n} - V_{th,m2n})$$

$$V_{in} - V_{out} = (V_{ds,m4n} + V_{ds,m3n} + V_{ds,m2n}) \ll 2 \cdot (V_{gs,m1n} - V_{th})$$

[0033]

[0034] 직렬로 연결된 MOS트랜지스터들(430)이 깊은 선형영역에서 동작할 때 등가 저항값(R_{eq})은 트랜지스터의 폭/길이 비(W/L)에 반비례하며 아래의 수학식 3으로 표현되는 저항값을 가진다.

수학식 3

$$R_{eq} = \frac{1}{\left(\mu_n C_{ox} \frac{W}{L}(V_{gs} - V_{th})\right)}$$

[0035]

[0036] 직렬로 연결된 MOS 트랜지스터들로부터 얻어진 능동 저항의 등가 저항과 온 칩 커패시터 C_H(도 1 210 참조)에 의해 1차 저역 통과 필터(Low-pass Filter)가 구현된다. 상술한 바와 같이 각각의 능동 저항에 제공되는 V_R 전압은 시그마델타 모듈레이션 되지 않고 센서의 커패시터 변화량을 추종(follow)하는 AC 신호가 되어야 하므로, SCA2의 출력신호($V_{R,p}$, $V_{R,n}$)를 사용한다.

[0037] 모의 실험예

[0038] 도 5는 SCA1의 출력 신호에서 리플을 제거하는 필터의 컴퓨터 모의 실험(computer simulation) 타이밍 도이다. 도 5를 참조하면, 검정색으로 도시된 SCA1의 출력신호(outp1)에는 시그마델타 변조에 의한 리플이 포함되어 있으나, 시그마 델타 변조를 수행하지 않는 SCA2의 출력 신호(outp2)에는 리플이 포함되지 않는 것을 확인할 수 있다. SCA2의 출력 신호(outp2)를 능동저항의 제어신호로 하고, 능동 저항과 온 칩 커패시터(도 210 참조)로 구현된 필터로 SCA1의 출력신호(outp1)를 여파한 결과는 Voutp에서 적색으로 도시되었으며, 리플이 제거되어 훆s의 평활된 값을 가지는 것을 확인할 수 있다. 또한, 버퍼(도 1 207 참조)의 출력인 V_{OA2}에서도 마찬가지로 리플이 제거된 것을 확인할 수 있다.

[0039] 본 발명에 대한 이해를 돕기 위하여 도면에 도시된 실시 예를 참고로 설명되었으나, 이는 실시를 위한 실시예로, 예시적인 것에 불과하며, 당해 분야에서 통상적 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호범위는 첨부된 특허청구범위에 의해 정해져야 할 것이다.

부호의 설명

[0040] 101, 201: 마이크로 가속도 센서 103, 202: 와이어

104: CR 제어 블록 105: CF제어 블록

106: 시그마 델타 변조기 102, 203: 제1 SCA

204: 제2 SCA 410: 레벨 시프트 유닛

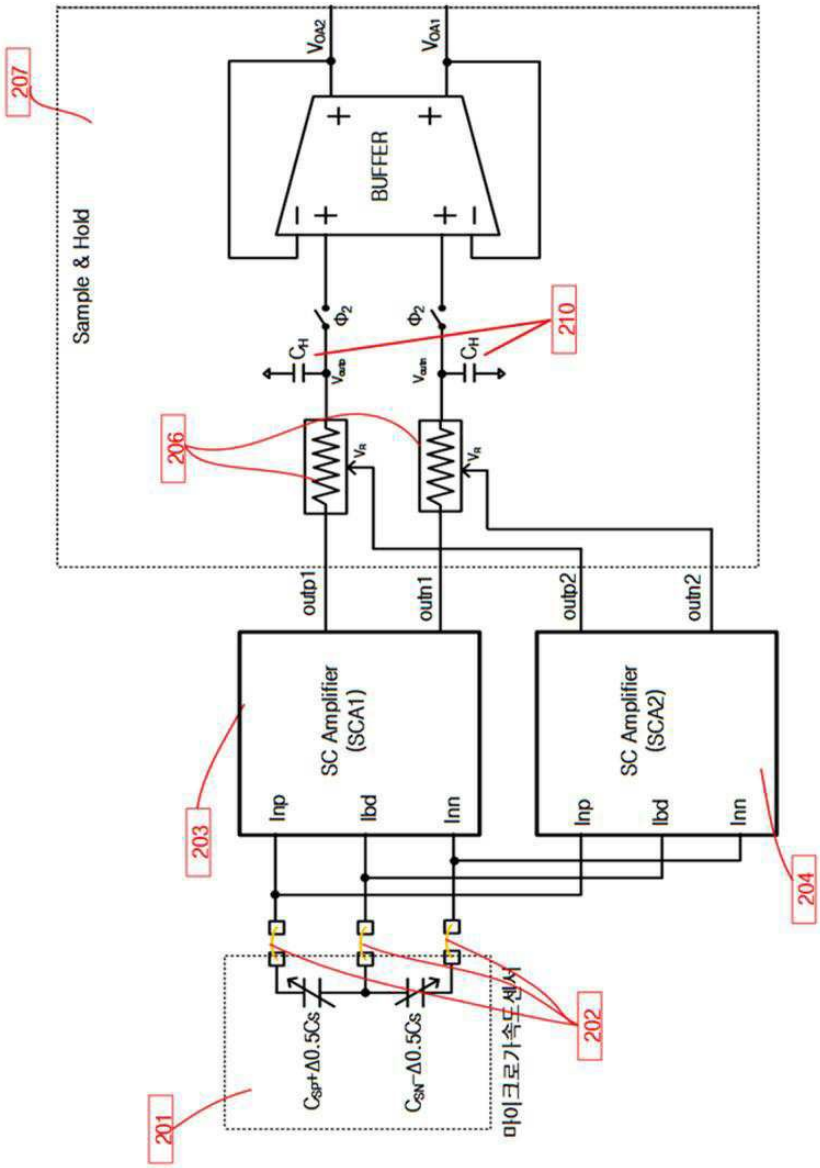
411: 연산 증폭기 420: 버퍼

421: 연산 증폭기 430: MOS트랜지스터들

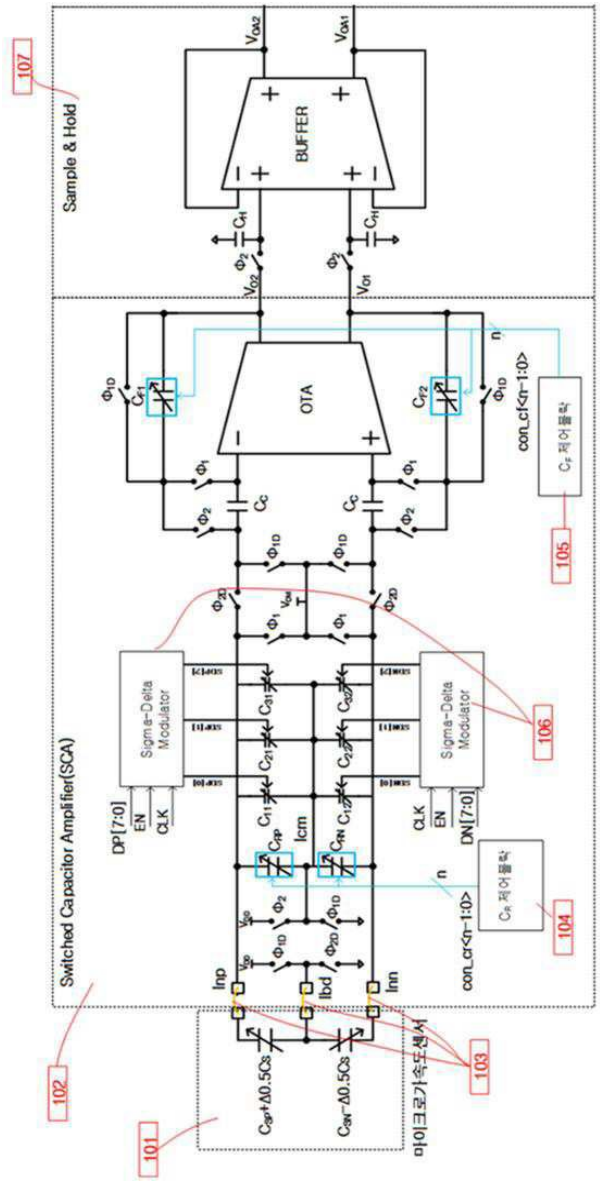
206: 능동 저항 210: 커패시터

도면

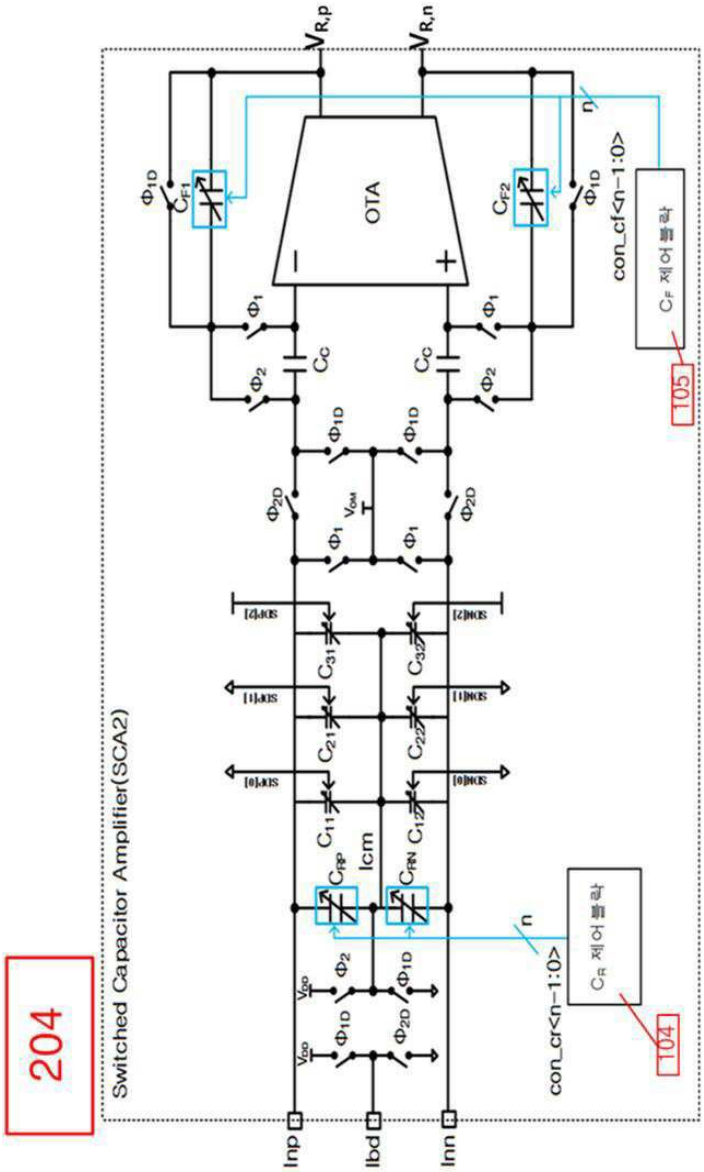
도면1


207
Sample & Hold
VOA2
VOA1
BUFFER
Φ2
Φ2
CH
CH
210
206
outp1
outn1
outp2
outn2
SC Amplifier (SCA1)
SC Amplifier (SCA2)
Inp
Ibd
Inn
203
204
202
201
마이크로가속도센서

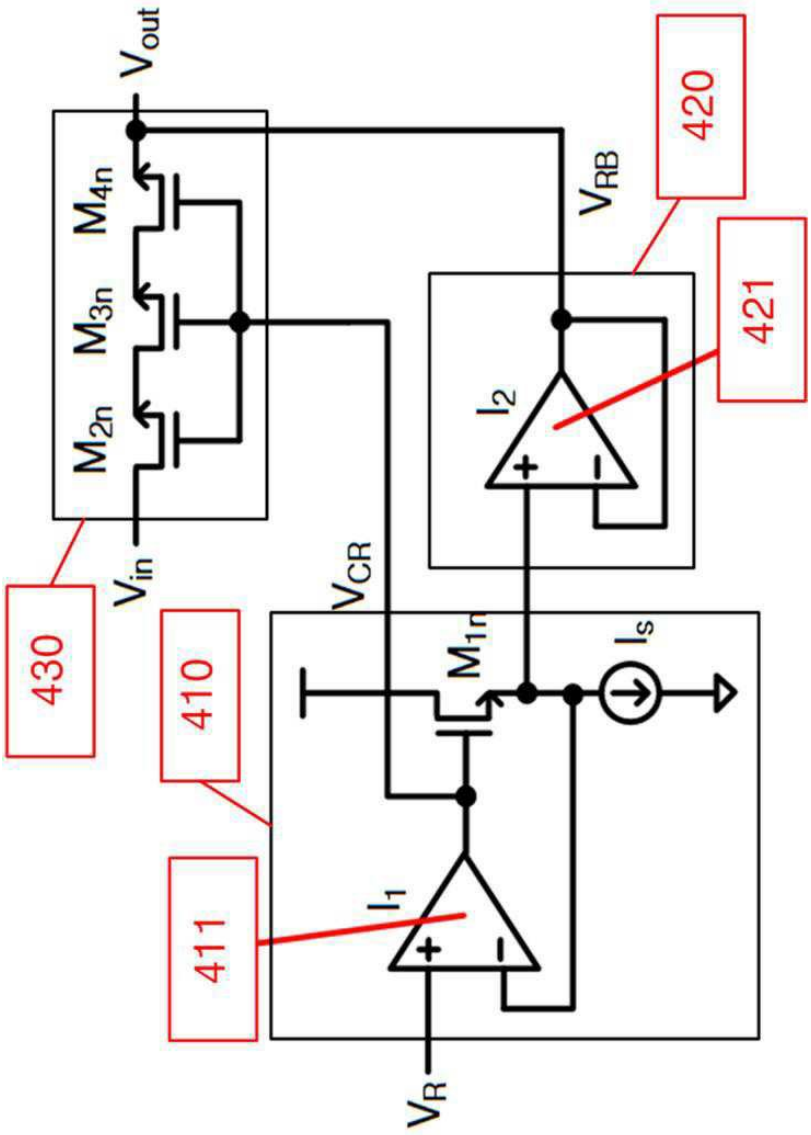
도면2


Sample & Hold
BUFFER
OTA
Switched Capacitor Amplifier(SCA)
Sigma-Delta Modulator
Sigma-Delta Modulator
DP[7:0]
DN[7:0]
EN
CLK
Icm
Inp
Inn
Ibd
con_cf<n-1:0>
con_cr<n-1:0>
Cf 제어블록
Cr 제어블록
마이크로가속도센서
101
102
103
104
105
106
107

도면3


204
Switched Capacitor Amplifier(SCA2)
OTA
Inp
Ibd
Inn
con_cf<n-1:0>
con_cr<n-1:0>
105
104

도면4



도면5

