



## (12) 发明专利申请

(10) 申请公布号 CN 102326159 A

(43) 申请公布日 2012.01.18

(21) 申请号 201080008737.8

(74) 专利代理机构 北京律盟知识产权代理有限公司 11287

(22) 申请日 2010.02.18

代理人 宋献涛

## (30) 优先权数据

12/389,200 2009.02.19 US

## (51) Int. Cl.

G06F 15/173(2006.01)

## (85) PCT申请进入国家阶段日

G06F 15/163(2006.01)

2011.08.19

G06F 15/167(2006.01)

## (86) PCT申请的申请数据

G06F 12/00(2006.01)

PCT/US2010/024600 2010.02.18

## (87) PCT申请的公布数据

W02010/096569 EN 2010.08.26

## (71) 申请人 美光科技公司

地址 美国爱达荷州

## (72) 发明人 戴维·R·雷斯尼克

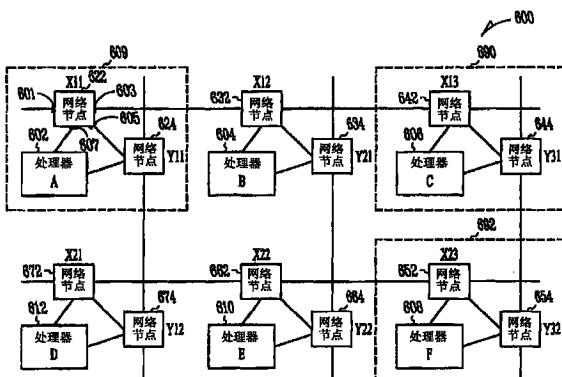
权利要求书 3 页 说明书 9 页 附图 5 页

## (54) 发明名称

存储器网络方法、设备及系统

## (57) 摘要

本发明揭示可包含第一节点群组的设备及系统，所述第一节点群组包含耦合到存储器的第一网络节点，所述第一网络节点包含第一端口、第二端口、处理器端口及跳跃端口。网络节点群组可包含耦合到存储器的第二网络节点，所述第二网络节点包含第一端口、第二端口、处理器端口及跳跃端口，所述第二网络节点的所述跳跃端口耦合到所述第一网络节点的所述跳跃端口且经配置以在所述第一网络节点与所述第二网络节点之间通信。网络节点群组可包含耦合到所述第一网络节点的所述处理器端口且耦合到所述第二网络节点的所述处理器端口的处理器，所述处理器经配置以通过所述第一网络节点存取第一存储器且通过所述第二网络节点存取第二存储器。还揭示其它设备、系统及方法。



1. 一种设备，其包括：

第一节点群组，其包含：

第一网络节点，其耦合到存储器，所述第一网络节点包含第一端口、第二端口、处理器端口及跳跃端口；

第二网络节点，其耦合到存储器，所述第二网络节点包含第一端口、第二端口、处理器端口及跳跃端口，所述第二网络节点的所述跳跃端口耦合到所述第一网络节点的所述跳跃端口且经配置以在所述第一网络节点与所述第二网络节点之间通信；及

处理器，其耦合到所述第一网络节点的所述处理器端口且耦合到所述第二网络节点的所述处理器端口，所述处理器经配置以通过所述第一网络节点存取第一存储器且通过所述第二网络节点存取第二存储器。

2. 根据权利要求 1 所述的设备，其经配置以通信地耦合到第二节点群组，所述第二节点群组包括：

第三网络节点，其耦合到存储器，所述第三网络节点包含第一端口、第二端口、处理器端口及跳跃端口；

第四网络节点，其耦合到存储器，所述第四网络节点包含第一端口、第二端口、处理器端口及跳跃端口，所述第四网络节点的所述跳跃端口耦合到所述第三网络节点的所述跳跃端口；及

第二处理器，其使用所述第三网络节点的所述处理器端口耦合到所述第三网络节点且使用所述第四网络节点的所述处理器端口耦合到所述第四网络节点，其中所述第三网络节点的所述第一及第二端口中的一者耦合到所述第一网络节点的所述第一及第二端口中的一者。

3. 根据权利要求 1 所述的设备，其中耦合到所述第一网络节点的所述存储器包括至少一个动态随机存取存储器 (DRAM) 阵列。

4. 根据权利要求 1 所述的设备，其中所述第一网络节点包括输入 / 输出驱动器电路。

5. 根据权利要求 1 所述的设备，其中所述第一网络节点及耦合到所述第一网络节点的所述存储器安置于单个封装中。

6. 根据权利要求 1 所述的设备，其中所述第一网络节点、耦合到所述第一网络节点的所述存储器及耦合到所述第一网络节点的所述处理器安置于单个封装中。

7. 根据权利要求 1 所述的设备，其中所述第二网络节点及耦合到所述第二网络节点的所述存储器安置于单个封装中。

8. 根据权利要求 1 所述的设备，其中所述第二网络节点、耦合到所述第二网络节点的所述存储器及耦合到所述第二网络节点的所述处理器安置于单个封装中。

9. 根据权利要求 1 所述的设备，其中所述第一网络节点经配置以在所述第一存储器与所述第一处理器之间的数据通信期间执行错误检查及校正 (ECC)。

10. 根据权利要求 1 所述的设备，其中耦合到所述第一网络节点的所述存储器包括 NAND 快闪存储器阵列。

11. 根据权利要求 1 所述的设备，其中耦合到所述第一网络节点的所述存储器包括 NOR 快闪存储器阵列。

12. 根据权利要求 1 所述的设备，其中耦合到所述第一网络节点的所述处理器包括单

核心处理器。

13. 根据权利要求 1 所述的设备，其中耦合到所述第一网络节点的所述处理器包括多核心处理器。

14. 根据权利要求 1 所述的设备，其中耦合到所述第一网络节点的所述处理器为多核心处理器的单个核心。

15. 根据权利要求 1 所述的设备，其中耦合到所述第一网络节点的所述处理器包括专用集成电路 (ASIC)。

16. 根据权利要求 1 所述的设备，其中耦合到所述第一网络节点的所述处理器包括具有若干嵌入式处理器的衬底。

17. 一种系统，其包括：

第一网络节点，其安置于 x 路径中，所述第一网络节点包含第一 x 路径端口、第二 x 路径端口、第一处理器端口、第一跳跃路径端口及第二跳跃路径端口；

第二网络节点，其安置于 y 路径中，所述第二网络节点包含第一 y 路径端口、第二 y 路径端口、第二处理器端口及第三跳跃路径端口以及第四跳跃路径端口；

第三网络节点，其安置于 z 路径中，所述第三网络节点包含第一 z 路径端口、第二 z 路径端口、第三处理器端口及第五跳跃路径端口以及第六跳跃路径端口；及

处理器，其使用所述第一处理器端口耦合到所述第一网络节点、使用所述第二处理器端口耦合到所述第二网络节点，且使用所述第三处理器端口耦合到所述第三网络节点；

其中所述第一网络节点耦合到第一存储器，所述第二网络节点耦合到第二存储器，且所述第三网络节点耦合到第三存储器；

其中所述第一跳跃路径端口及所述第二跳跃路径端口中的至少一者耦合到所述第三、第四、第五及第六跳跃路径端口中的至少一者；且

其中所述 x 路径、所述 y 路径及所述 z 路径相对于彼此处于不同维度中。

18. 根据权利要求 17 所述的系统，其中所述第一存储器包含 NOR 快闪存储器阵列，且所述第二存储器包含 NAND 快闪存储器阵列。

19. 根据权利要求 17 所述的系统，其中所述第一、所述第二及所述第三网络节点中的至少一者包含路由器。

20. 根据权利要求 17 所述的系统，其中对应于所述 x 路径、所述 y 路径及所述 z 路径的网络维度中的至少一者由至少一个输入 / 输出处理器使用。

21. 根据权利要求 17 所述的系统，其中所述处理器使用一个或一个以上链路耦合到所述第一网络节点。

22. 根据权利要求 17 所述的系统，其中所述第一网络节点及所述处理器安置于单个封装中。

23. 根据权利要求 17 所述的系统，其中所述第一网络节点、所述第二网络节点、所述第三网络节点及所述处理器布置为二维网状网络。

24. 根据权利要求 17 所述的系统，其中所述第一网络节点、所述第二网络节点、所述第三网络节点及所述处理器布置为超立方型网络。

25. 根据权利要求 17 所述的系统，其中所述第一网络节点、所述第二网络节点、所述第三网络节点及所述处理器布置为环面结构。

26. 根据权利要求 17 所述的系统, 其中所述第一网络节点、所述第二网络节点、所述第三网络节点及所述处理器布置为克劳斯网络。

27. 一种针对多维存储器网络路由数据的方法 :

在始发节点处接收存取耦合到目的地网络节点的第一存储器的请求, 所述请求包含对应于多个维度的多个索引;

在始发网络节点处确定所述请求是否包含与第一维度相关联的第一索引;

如果所述请求包含第一索引, 那么沿所述第一维度将所述请求发送到另一网络节点; 及

如果所述请求包含与第二维度相关联的第二索引, 那么将所述请求发送到跳跃路径。

28. 根据权利要求 27 所述的方法, 其中如果所述请求被提供到所述跳跃路径且不能够继续进行到所要维度中的特定节点, 那么将所述请求发送到下一节点。

29. 根据权利要求 28 所述的方法, 其进一步包括设定指示不返回到所述始发节点的旗标。

30. 根据权利要求 28 所述的方法, 其进一步包括设定所述旗标以指示在先前所使用的路线上无返回。

31. 根据权利要求 28 所述的方法, 其中如果所述请求指示所述请求应在所述网络的特定维度中流动, 那么将所述请求发送到所述特定维度中的下一节点。

32. 根据权利要求 28 所述的方法, 其进一步包括绕过出故障的网络节点来路由请求。

33. 根据权利要求 28 所述的方法, 其进一步包括绕过出故障的跳跃路径来路由请求。

34. 根据权利要求 27 所述的方法, 其中使用曼哈顿路由方案确定所述始发节点与所述目的地节点之间的最小路径长度路径。

35. 根据权利要求 27 所述的方法, 其进一步包括 :

从所述目的地节点存取数据, 其中如果所述数据在第一节点处不可用, 那么所述请求被自动发送到跳跃路径以循着另一维度中的网络路径行进直到其抵达目的地节点。

## 存储器网络方法、设备及系统

[0001] 相关申请案交叉参考

[0002] 本专利申请案主张 2009 年 2 月 19 日提出申请的第 12/389,200 号美国申请案的优先权权益，所述美国申请案以引用的方式并入本文中。

### 背景技术

[0003] 许多电子装置（例如个人计算机、工作站、计算机服务器、主机及其它计算机相关设备（包含打印机、扫描仪及硬盘驱动器））利用提供大的数据存储能力同时试图引发低功率消耗的存储器。极适合在前述装置中使用的一种类型的存储器为动态随机存取存储器（DRAM）。

[0004] 由于芯片大小限制提供限制性影响，因此在大的多处理器系统中对具有增加的容量的存储器装置的需求持续上升。个别存储器单元的组件所占用的表面积已稳定地减小，使得除减小栅极延迟之外，还可增加半导体衬底上存储器单元的填装密度。然而，缩减装置表面积可导致减小的制造合格率，且增加用于连接存储器装置的众多库与其它装置（例如处理器）的互连件的复杂性。另外，在小型化期间，互连件延迟不像栅极延迟一样按比例缩放。

### 附图说明

[0005] 在下文论述中且参考以下图式详细描述各种实施例。

[0006] 图 1 是根据各种实施例的存储器系统的桥接器架构的图解性框图。

[0007] 图 2 是根据各种实施例的存储器系统的共享总线架构的图解性框图。

[0008] 图 3 是根据各种实施例展示具有专用处理器的互连网络节点的存储器系统的网络架构的图解性框图。

[0009] 图 4 是根据各种实施例展示共享处理器的经互连网络节点的存储器系统的网络架构的图解性框图。

[0010] 图 5 是根据各种实施例展示置于共享处理器的不同几何平面中的网络节点的存储器系统的网络架构的图解性框图。

[0011] 图 6 是根据各种实施例展示置于彼此互连且共享处理器的不同空间平面中的网络节点的存储器系统的网络架构的图解性框图。

[0012] 图 7 是根据各种实施例展示彼此互连且共享处理器的网络节点的三维存储器系统的图解性框图。

[0013] 图 8 是根据各种实施例允许网络故障恢复同时恢复来自多维存储器网络中的存储器的数据的存储器系统的图解性框图。

[0014] 图 9 是根据各种实施例描述在多维存储器系统中路由数据的方法的流程图。

### 具体实施方式

[0015] 各种实施例包含处理系统、半导体模块、存储器系统及方法。在以下说明中且在图

1 到图 9 中阐述数个实施例的特定细节以提供对此些实施例的理解。然而，所属领域的技术人员将理解，可能有额外实施例且许多实施例可在不具有以下说明中所揭示的细节中的数个细节的情况下实践。还应理解，各种实施例可实施于包含物理组件（例如“硬件”）的物理电路内，或其可使用机器可读指令（例如，“软件”）实施，或以物理组件与机器可读指令的某一组合（例如，“固件”）来实施。

[0016] 存储器的表面积减小及随之发生的填装密度增加可通过减小存储器阵列及装置的水平特征大小来实现。在各种实施例中，此可通过形成显著三维的存储器系统使得所述存储器装置除大体延伸跨越衬底表面之外还垂直延伸到衬底中及衬底上面而发生。

[0017] 本文中所论述的存储器装置的实例描述于 2007 年 8 月 29 日提出申请且转让给美光科技公司 (Micron Technology, Inc) 的标题为“存储器装置接口方法、设备及系统 (MEMORY DEVICE INTERFACE METHODS, APPARATUS, AND SYSTEMS)” 的第 11/847,113 号美国专利申请案中。

[0018] 本文中所论述的网络节点（路由器）的实例描述于 2008 年 2 月 19 日提出申请且转让给美光科技公司的标题为“具有芯片上网络的存储器装置方法、设备及系统 (METHOD DEVICE WITH NETWORK ON CHIP METHODS, APPARATUS, AND SYSTEMS)” 的第 12/033,684 号美国专利申请案中。

[0019] 图 1 是根据各种实施例的存储器系统 100 的桥接器架构的图解性框图。在实例性实施例中，存储器系统 100 包含处理器 (104,114)、存储器 (110,120)、桥接器 (102,112) 及网络节点 101。在一些实施例中，处理器 104 耦合到专用存储器 110 及桥接器 102。架构 100 还包含耦合到专用存储器 120 及桥接器 112 的处理器 114。网络节点 101 可用于耦合桥接器 102 与桥接器 112。在各种实施例中，图 1 中所示的架构可结合本文中所揭示的其它存储器系统及架构使用。

[0020] 图 2 是根据各种实施例的存储器系统 200 的共享总线架构的图解性框图。共享总线架构 200 包含耦合到处理器 210,212,214 及 216、存储器 206 及桥接器 204 的共享总线 208。在一些实施例中，网络节点 202 耦合到桥接器 204 以将存储器系统 200 连接到其它类似存储器系统。在各种实施例中，图 2 中所示的架构可结合本文中所揭示的其它存储器系统及架构使用。

[0021] 可使用图 1 中所示的桥接器架构或图 2 中所示的共享总线架构来构建大的多处理器系统。在两种架构中，可使用网络结构及互连硬件来提供高性能连网系统。在一些实施例中，可使用多种标准输入 / 输出 (IO) 通道（例如，经提供作为 Infiniband™ 通信链路的一部分）及其它机构来耦合可容纳于特定母板或类似封装布置上的额外计算资源。

[0022] 在图 1 中所示的桥接器架构中，每一处理器 (104,114) 具有其自身的存储器 (110,120) 且可能具有其自身的 IO 能力。此意味着当处理器共享那些资源时可产生软件及性能问题。如果一个处理器（例如，104）需要来自另一处理器的存储器（例如，120）的数据，那么第一处理器 (104) 必须产生请求消息并将其发送到第二处理器 (114) 来索要其需要的数据，且接着等待第二处理器 (114) 停止其正在进行的操作以为所述请求服务且对第一处理器 (104) 做出回复。此意味着由于软件额外开销而可存在显著的性能损失，所述软件额外开销因等待返回所需数据的时间损失而确实直接引起计算额外开销。

[0023] 在图 2 中所示的共享总线架构中，可合理地形成群组的一部分的处理器的数目由

于构造总线中的电功率问题且在较大程度上由于是向所连接的处理器提供满意服务的一部分的存储器大小及带宽约束而有限。共享总线系统通常是自限制的,且因此通常使用网络或 I/O 通道互连件增长以针对较大系统来按比例缩放。此再引入上文针对桥接器构架所描述的相同损失及问题。

[0024] 在一些实施例中,组合用于支持构成分布式系统的多个处理器的网络结构及存储器允许设想新的系统构造方式。如果可实现此,那么可改进系统性能,从而使得执行数据共享较容易且较快。可使用网络请求存取数据,而不论所请求的数据驻存于网络内的何处。在一些实施例中,可构建使用类似于图 3 中所示的互连件的互连件的存储器系统。

[0025] 图 3 是根据各种实施例展示耦合到专用处理器 (322、324、326、328) 的经互连网络节点 (302、304、306、308) 的存储器系统 300 的网络架构的图解性框图。虽然此处展示二维网状网络,但所述概念容易扩展为三维或三维以上(例如,超立方体)、环面结构等。取决于系统要求且取决于可由网络节点逻辑支持的复杂性程度,还可使用其它种类的网络架构(例如,克劳斯 (Clos) 网络变型)。

[0026] 在一些实施例中,图 3 中所示的处理器可包含单个封装或裸片内的多个处理器(多核心或众核心处理器)或连接到单个网络节点(例如,302、304、306 及 308)的多个独立处理器。在一些实施例中,每一处理器 (322、324、326 及 328) 具有附接到其的存储器 (312、314、316 及 318)。此布置提供来自由特定处理器执行的计算的中间值的本地存储,所述中间值不可用于位于存储器系统 300 的其它部分中的处理器。然而,如果所述处理器中的一些处理器请求对分布于各种存储器 (312、314、316 及 318) 之间的数据的存取,那么可因使用存储器参考方案而产生各种数据管理问题。在各种实施例中,图 3 中所示的架构可结合本文中所揭示的其它存储器系统及架构使用。

[0027] 使用本文中所描述的分布式存储器网络的许多潜在益处中的一者是所有存储器可显现为所述网络中的单个地址集合;从而避免了对从一个过程到另一个过程构建存取数据的请求消息的需要。存储器时间等待(存取时间)在此等存储器结构中不一致,因此可能存在具有保持数据接近于使用所述数据的处理器的工作及数据管理软件的一性能益处。另外,不保持数据接近于处理器的影响小于针对图 1 中所示的网络-存储器结构的影响,这是因为不需要消息传递来发送及接收数据。

[0028] 有时,在使用多核心处理器集成电路 (IC) 时出现性能问题。随着单个 IC 内的核心的数目增加,所述布置实际上看起来越来越像图 2 中所示的总线架构。在此情况下,共享带宽,且随着核心及线程的数目增加,每核心或线程的可用带宽的分数可减小。

[0029] 图 4 是根据各种实施例展示共享处理器的经互连网络节点的存储器系统 400 的网络构架的图解性框图。存储器系统 400 包含网络节点 (412、414、416、418、422、424、426、428、432、434、436、438、442、444、446、448)、存储器 (413、415、417、419、423、425、427、429、433、435、437、439、443、445、447、449) 及处理器 (410、420、430、440)。

[0030] 如图 4 中所示,存储器 413 耦合到网络节点 412,存储器 415 耦合到网络节点 414,存储器 417 耦合到网络节点 416,且存储器 419 耦合到网络节点 418。处理器 410 耦合到网络节点 412、414、416 及 418。

[0031] 存储器 423 耦合到网络节点 422,存储器 425 耦合到网络节点 424,存储器 427 耦合到网络节点 426,且存储器 429 耦合到网络节点 428。处理器 420 耦合到网络节点 422、

424、426 及 428。

[0032] 存储器 433 耦合到网络节点 432，存储器 435 耦合到网络节点 434，存储器 437 耦合到网络节点 436，且存储器 439 耦合到网络节点 438。处理器 430 耦合到网络节点 432、434、436 及 438。

[0033] 存储器 443 耦合到网络节点 442，存储器 445 耦合到网络节点 444，存储器 447 耦合到网络节点 446，且存储器 449 耦合到网络节点 448。处理器 440 耦合到网络节点 442、444、446 及 448。

[0034] 在一些实施例中，针对处理器与多个路径的网络互连提供高速串行接口，每一串行接口均为可并行地运行的相当大带宽的串行接口。此意味着每一处理器封装可连接到多个网络节点，从而提供存储器存取并行性且允许增加此类结构胜过当前可用的大多数其它结构的益处的存储器 / 网络结构。

[0035] 在一些实施例中，图 4 中所示的存储器网络可为多维的，或许具有环面结构等。处理器 (410、420、430 及 440) 中的每一者可具有为图 3 中所示的存储器及网络节点的带宽的倍数的带宽。在其中可使用三维 (3D) 网络互连件的一些实施例中，存在以下选项：如图 4 中所示保持每一处理器连接到网络节点（因各种空间平面或维度可用于连接）或使一个或一个以上处理器在两个或两个以上空间平面或维度中连接到网络节点。关于开发具有多个维度（例如，如在克劳斯网络中，具有多个源及目的地）的网络结构的顾虑中的一者可为，所得的网络逻辑相当复杂，而所述复杂性有时随着穿过每一网络节点的路径数目的平方而增长。

[0036] 简化设计的一种方式是利用可以每一处理器 (410、420、430 及 440) 始发的多个路径，以便使得每一路径沿不同物理维度（例如，X、Y、Z 维度）去往单独的存储器网络。在一些实施例中，如果每一处理器 (410、420、430 及 440) 具有三个网络 - 存储器路径，那么可存在三个不同的二维 (2D) 网状网络（每一维度一个网络），而非单个 3D 网络。此布置可产生为大小的分数的若干个较小 2D 网络，且具有较小数目个穿过每一网络节点中的逻辑的路径。

[0037] 图 5 是根据各种实施例展示置于共享处理器的不同几何平面中的网络节点的存储器系统 500 的网络架构的图解性框图。图 5 展示通过处理器 (510、512、514 及 516) 互连以形成 2D 网络的一维网络集合。图 5 中所示的每一网络节点具有最多两个连接用于网络（因为每一网络节点仅处置单个维度），及若干个连接用于本地存储器及用于一处理器，而非两个连接用于每一网络维度以及所述存储器及处理器。在一个实施例中，存储器系统 500 包含集成式封装 501，所述集成式封装包括网络节点 502 及存储器 503。

[0038] 图 5 中所示的存储器网络类似于图 3 及图 4 中所示的网络按比例缩放，且可针对任一所规定的网络大小构建。在一些实施例中，可通过从每一处理器为每一所添加的维度添加一路径来合理地构造具有较大数目个维度的存储器网络。下文进一步描述此实施方案。

[0039] 在一些实施例中，复杂网络结构可经构建以使多处理器芯片连接到网络内的不同点。举例来说，考虑将处理器 510 连接到网络节点 502(X11) 及网络节点 518(Y11)，且将处理器 512 连接到网络节点 504(X12) 及网络节点 520(Y21)。在一些实施例中，此网络的特性中的一者可为网络通信及数据可通过处理器 (510、512、514 及 516) 来取得数据，所述数据

可分布于存储器网络上。

[0040] 举例来说,如果可以对存储器 503 及 519(分别耦合到网络节点 502(X11) 及 518(Y11)) 中的存储器数据进行直接存取的处理器 A(510) 想要来自存储器 505(耦合到网络节点 504(X12)) 的数据,那么请求信号穿过 X11 传送到 X12,在存取所述数据之后通过反转请求路径将所述数据返回。然而,如果需要来自网络节点 524(Y22) 的数据,那么可在以下路径上发送请求:

[0041] 处理器 A(510) → X11 → X12 → 处理器 B(512) → Y21 → Y22。

[0042] 在一些实施例中,如果所需的数据不在与请求处理器的路径相同的 X 或 Y 路径上,那么可穿过另一处理器发送请求(及响应)。具有经设计以仅使请求及响应通过的处理器的此布置通常并非是改进处理器性能、减小系统功率要求或简化封装的有效方式。

[0043] 在一些实施例中,可修改所述构架使得连接到同一处理器(例如同一处理器核心)的网络节点对还包含其之间的网络链路,从而提供“跳跃”路径。结果可有点类似于图 6 中所示的结果。

[0044] 图 6 是根据各种实施例展示置于彼此互连且共享处理器的不同几何平面中的网络节点的存储器系统 600 的网络架构的图解性框图。虽然图 6 并未展示连接到每一网络节点的存储器,但应理解为存在所述存储器。类似地,图 6 中所示的布置仅为许多可能布置中的一者。

[0045] 在一些实施例中,存储器系统 600 包含集成式封装 609,所述集成式封装包括网络节点 622 及处理器 602。在实例性实施例中,网络节点 622 包含左端口 601、右端口 603 及跳跃端口 605。图 6 中所示的配置添加到网络节点(622、624、632、634、642、644、652、654、662、664、672 及 674) 的额外链路,借此避免穿过处理器 602 到 612 路由网络业务。图 6 中的每一网络节点(例如网络节点 622) 具有用于耦合到其它网络节点的三个端口(例如,左端口 601、右端口 603 及跳跃端口 605) 及用以耦合到处理器(例如处理器 A(602)) 的端口(例如 607)。术语左端口、右端口并不表示节点上的任一特定物理位置,而是其仅指定装置上的两个端口中的一者。在使用此网络时,来自任一处理器(602、604、606、608、610 及 612) 的请求可由连接到其的对应网络节点中的任一者接收。最小长度路径可遵循曼哈顿(Manhattan) 路由方案,其具有最后路由维度应处于对应于网络节点放置的维度中的额外规则。举例来说,如果处理器 A(602) 想要取得来自网络节点 654(Y32) 的数据,那么请求路径可有点类似于以下路径:

[0046] X11 → X12 → X13 → Y31 → Y32。

[0047] 在一些实施例中,如果相反需要来自网络节点 652(X23) 的数据,那么路径可有点类似于以下路径:

[0048] Y11 → Y12 → X21 → X22 → X23。

[0049] 在一些实施例中,当请求由处理器注入到网络中时,消息在所注入维度中横过节点直到所述请求抵达对应于另一维度的正确地址。在一些实施例中,如果数据不在节点中,那么所述请求被沿“跳跃”路径向下自动发送到节点对中的另一节点且接着沿处于另一维度中的网络路径向下直到其抵达正确节点。举例来说,当在网络节点 X11 处请求来自连接到网络 X23 的存储器的数据时使用跳跃端口 605。

[0050] 图 6 中所示的配置包含耦合到节点群组 692 的节点群组 690。在一些实例中,节点

群组 690 包含网络节点 642、644 及处理器 606。在一些实例中，节点群组 692 包含网络节点 652 及 654 以及处理器 608。在一些实施例中，网络节点 642 耦合到第一存储器（图 6 中未展示），且网络节点 652 耦合到第二存储器（图 6 中未展示）。除用于耦合到处理器 606 及 608 的处理器端口之外，网络节点 642 及 652 中的每一者还分别包含左端口、右端口及跳跃端口。

[0051] 在一些实施例中，存储器系统 600 包含安置于 x 路径中的网络节点 622，网络节点 622 包含第一 x 路径端口 (601)、第二 x 路径端口 (603)、跳跃路径端口 (605) 及耦合到处理器 602 的处理器端口。在一些实施例中，存储器系统 600 包含安置于 y 路径中的网络节点 (624)，网络节点 624 包含第一 y 路径端口、第二 y 路径端口、处理器端口及跳跃路径端口。在一些实施例中，存储器系统 600 包含安置于 z 路径中的第三网络节点，所述第三网络节点包含第一 z 路径端口、第二 z 路径端口、处理器端口及两个跳跃路径端口。

[0052] 图 7 是根据各种实施例展示具有彼此互连且耦合到处理器 (702) 的网络节点 (704、706 及 708) 的节点群组 700 的三维存储器系统的图解性框图。处理器 702 沿使用处理器链路 705 的路径耦合到网络节点 704 (安置于 X 路径中)。处理器 702 沿使用处理器链路 706 的路径耦合到网络节点 708 (安置于 Y 路径中)。处理器 702 沿使用处理器链路 707 的路径耦合到网络节点 706 (安置于 Z 路径中)。

[0053] 因此，可注意，如果将图 6 中所示的架构扩展为三维，那么结果有点类似于图解说明单个网络节点群组的图 7 中所示的结果。以类似方式，举例来说，可使用用于每一所添加网络维度的额外处理器路径来更进一步扩展此概念以构造四维网络。可以此方式构造 N 维网络。

[0054] 在多维网络的大多数情况下，当采取跳跃路径来改变网络维度时，仅可采取去往一节点群组中的下一节点组件的单个跳跃。此活动将请求进行分布以最小化路径冲突及网络热点。如果将请求从 X 路径中的节点发送到 Y 路径中的节点，且最终目的地节点并不位于 Y 维度中，那么可将所述请求传送到下一维度 Z 上。

[0055] 图 8 是根据各种实施例允许网络故障恢复同时恢复来自多维存储器网络中的存储器的数据的存储器系统 800 的图解性框图。存储器系统 800 包含处理器 802、网络节点 (804、806、808 及 810) 及跳跃路径 812。处理器 802 耦合到网络节点 804、806、808 及 810。网络节点 804、806、808 及 810 连接到路径 815、817、819 及 821，路径 815、817、819 及 821 又可连接到其它网络节点。网络节点 804 安置于 W 路径 (814、815) 中，网络节点 806 安置于 X 路径 (816、817) 中，网络节点 808 安置于 Y 路径 (818、819) 中，且网络节点 810 安置于 Z 路径 (820、821) 中。在一些实施例中，处理器 802 包括具有一个以上嵌入式处理器的衬底。

[0056] 在图 8 中所示的网络结构的情况下，多维网络中的每一节点可具有任务是仅处置单个网络维度的组件，使得所得的网络结构具有大的弹性。返回参考图 6，如果处理器 D 想要取得来自附接到网络节点 644 (Y31) 的存储器的数据，那么所述请求将通常沿以下路径前进：处理器 D → X21 → X22 → X23 → Y32 → Y31。然而，如果 X22 与 X23 之间的路径在请求抵达无法从其采取所要路径的节点（例如 X22）时损坏（例如 X23 已完全出故障），那么本地逻辑仅将所述请求连同旗标一起发送到跳跃路径（例如，812），所述旗标含有指示优选路由维度（X 维度）将不用于下一网络跳跃的信息。在一些实施例中，所述旗标向处理器 802 提供确定关于何种新的最小路径将用于将来的请求的信息。因此，X22 将能够将请求发

送到 Y22。接着将抵达 Y22 的经重新路由的请求发送到 Y21。所述请求接着循着以下路径行进 :Y21 → X12 → X13 → Y31。

[0057] 在另一实例中,假设代替 X22 与 X23 之间的路径出故障,X23 与 Y32 之间的跳跃路径出故障。因此,将抵达 X23 的请求连同旗标一起发送到 X24(未展示)上,所述旗标指示优选维度将不用于下一跳跃。所述请求接着将被发送到 Y 维度中,从而在更多个跳跃之后到达 Y31。

[0058] 网络中的断开链路还可沿最终网络维度发生。举例来说,考虑处理器 D 想要来自 X23 的数据,且从 X21 到 X22 的链路损坏。节点 X21 使用如果所要路径损坏那么采取跳跃路径的先前规则将请求发送到 Y12,以及产生首先在非优选维度中实现路由的旗标。Y12 注意到零 Y 网络距离将被覆盖。因此,Y21 可将请求发送到 Y11 或发送到 Y13(未展示)。假设选择了 Y11,则所述请求将去往 Y11,其接着沿路径 Y11 → X11 → X12 → Y21 → Y22 → X22 → X23 发送所述请求。如果网络节点 X22 已出故障,那么所述路径在 Y22 到 X22 链路中断开。在所述情况下,所述请求将被发送到 Y23(未展示),从而在更多个跳跃之后到达 X23。此由于所述请求必须寻找在接近于 X23 的节点处或在 X23 处回到 X 维度中的另一路线而发生。

[0059] 图 9 是描述根据各种实施例在多维存储器系统中路由数据的方法 900 的流程图。如下文所示,可遵循各种网络路由规则来在本文中所描述的多维存储器网络中存取存储器。在本文中所描述的实施例中,“索引”表示在特定维度(例如,X、Y 或 Z 维度)中节点的位置。用于定位节点的索引的数目包含

[0060] 在框 902 处,方法 900 包含产生存取耦合到目的地网络节点的第一存储器的请求。

[0061] 在框 904 处,方法 900 包含将所述请求发送到始发网络节点,所述请求包含对应于多个维度的多个索引。

[0062] 在框 906 处,方法 900 包含在所述始发网络节点处确定所述请求是否包含与第一维度相关联的第一索引。

[0063] 在框 908 处,方法 900 包含如果所述请求包含第一索引,那么沿所述第一维度将所述请求发送到第一网络节点。

[0064] 在框 910 处,方法 900 包含如果所述请求包含与第二维度相关联的第二索引,那么将所述请求传送到跳跃路径。

[0065] 在一些实施例中,简单规则可通过自动地绕过出故障的网络组件及路径来路由请求而提供网络弹性。使用这些规则,可在每一网络节点内提供网络数据流管理。在一些实施例中,所述路由规则可包含以下规则中的至少一者:

[0066] 规则 -1:如果请求指示所述请求应在网络的特定维度(例如,沿 X 路径、Y 路径、Z 路径或 W 路径)中流动,那么将所述请求发送到所述维度中的下一节点。

[0067] 规则 -2:如果请求在所述网络维度的正确节点位置处(举例来说,所述请求正沿 X 维度行进且抵达对应于目的地节点的 Y 索引),但尚未抵达其目的地,那么将所述请求发送到本地跳跃路径。

[0068] 规则 -3:如果期望在当前网络路径维度中继续进行,但所述请求无法(例如,由于路径错误或故障)继续进行,那么将所述请求发送到跳跃路径且设定旗标来防止返回到非优选维度中的发送节点 / 路线)。

[0069] 规则 -4:如果所述请求使用跳跃路径,但发现不可能继续进行到驻存于所要维度

中的节点,那么仅将所述请求发送到下一节点且设定旗标来防止使用非优选维度的任一返回到发送节点 / 路线。

[0070] 规则 -5 :如果做出存储器请求,那么以特定维度次序横过网络,其中目的地节点的地址的维度是所规定的次序中的最后维度。因此,举例来说,如果将在其中选择维度的次序是  $X \rightarrow Y \rightarrow Z$  的 3D 网络中存取耦合到 Y21 的存储器,那么沿次序  $Z \rightarrow X \rightarrow Y$  发送经发送到请求处理器的本地 Z 节点的请求。此可导致跨越网络组件分布请求且最小化请求中的路径跳跃的数目。

[0071] 规则 -6 :不将对请求的回复约束为循着与请求相同的返回路径行进,而是其可以相反次序发生。此可帮助在网络内分布响应。

[0072] 在一些实施例中,由于网络节点变为此些网络的分布式实体,因此节点组件的损失将不损坏穿过出故障的节点的所有通信,而仅损坏沿对应于出故障组件的网络维度的路径的通信。如下所述,可管理避开此些故障。

[0073] 在一些实施例中,可使用单一种类的网络节点构建几乎任一维度及比例的网络。较高维网络可比较低维网络具有较短网络时间等待及较高双向带宽;在每一情况下,单一种类的网络存储器组件可为构建块。

[0074] 在一些实施例中,每一网络节点组件可经简化以含有五个或五个以下双向端口,其中的一者专用于处理器端口。在一些实施例中,每一网络组件内含有系统存储器,使得系统存储器取决于如何构建及配置所述网络而独立于网络处理器的数目及所述处理器的能力随着所述网络按比例缩放。可接着简化从网络错误的恢复并使所述恢复自动化进行。

[0075] 在针对较高维的网络多个网络 / 存储器节点连接到每一处理器 IC 的情况下,处理器可针对较高的本地存储器带宽及经减小的平均存储器时间等待而具有较高级的存储器及网络存取并行性。在其中处理器具有比设想的网络所需的维度的数目更多的可用路径的情形下,所述处理器可具有在相同维度中行进的两个或两个以上路径。

[0076] 在其中节点群组不包含任何处理器的一些实施例中,增加存储器大小及封装密度的一种方式包含添加增加总系统存储器的网络节点。这些所添加的节点可在不需要的情况下省去处理能力。举例来说,可提供网络群组使得其支持不同种类的 I/O 能力。网络节点可针对 I/O 功能而非针对计算加以优化或指定。

[0077] 在一些实施例中,可形成其中网络维度中的一者由 I/O 处理器或其它类型的特殊处理器使用的网络。举例来说,在 3D 网络中,处理器的一个平面可包括混合 I/O 及信号处理器。以此方式,可在 I/O 信号平面中移动数据,而不干涉计算节点之间的数据业务。

[0078] 在一些实施例中,本文中所描述的处理器可包括具有一个或一个以上处理单元(例如,核心)的单个集成电路。多个处理器可连接到每一网络节点,所述网络节点可包括在存储器与处理器之间路由数据的集成电路。处理器、网络节点及存储器可驻存于相同的集成电路封装上。在一些实施例中,此些处理器包括单核心处理器、多核心处理器或所述两者的组合。在一些实施例中,特定节点群组的处理器包含多核心处理器的一个或一个以上核心。在一些实施例中,处理器包含专用集成电路 (ASIC)。

[0079] 在一些实施例中,本文中所描述的网络节点包含 I/O 驱动器电路。在一些实施例中,网络节点及存储器安置于单个封装内。在一些实施例中,网络节点、存储器及处理器安置于单个封装中。在一些实施例中,网络节点经配置以在存储器与处理器之间的数据通信

期间执行错误检查及校正 (ECC)。网络节点可包含经提供以跨越存储器网络在存储器与处理器之间路由数据的路由器。在一些实施例中，网络节点包含具有多个路由元件的接口设备。

[0080] 在一些实施例中，本文中所论述的存储器包含动态随机存取存储器 (DRAM) 阵列。在一些实施例中，本文中所论述的存储器包含 NAND 快闪存储器阵列。在一些实施例中，本文中所论述的存储器包含 NOR 快闪存储器阵列。在一些实施例中，存储器大小可与网络维度成比例。本地存储器带宽也可与网络维度成比例。

[0081] 尽管已图解说明及描述了各种实施例（如上所述），但可在不背离本发明的情况下做出改变。形成本发明的一部分的附图以图解说明而非限制方式展示其中可实践标的物的各种实施例。足够详细地描述所图解说明的实施例旨在使所属领域的技术人员能够实践本文中所揭示的教示内容。由此可利用及导出其它实施例。因此，此具体实施方式不应被视为具有限制意义。

[0082] 虽然本文中已图解说明及描述了若干特定实施例，但应了解，经计算以实现相同目的的任一布置均可替代所示的各种实施例。此外，虽然各种实施例已描述了冗余信号传输系统，但应理解，可在不做修改的情况下在多种已知电子系统及装置中采用各种实施例。本发明打算涵盖各种实施例的任一及所有调适或变型。在审阅以上说明后，所属领域的技术人员将明了以上实施例的组合及本文中未具体描述的其它实施例。

[0083] 提供本发明的摘要以符合 37C. F. R. § 1. 72(b)，其需要将允许读者快速获取所述技术性发明的性质的摘要。提交本摘要是基于以下理解：其将不用于解释或限制权利要求书的意义。另外，在前述实施方式中可见，出于简化本发明的目的，可将各种特征共同集合于单个实施例中。此发明方法不应解释为反映以下意图：所主张的实施例需要比每一权利要求书中所明确陈述的特征更多的特征。而是，如以上权利要求书所反映：发明性标的物在于少于单个所揭示实施例的所有特征。因此，以上权利要求书特此被并入到实施方式中，其中每一权利要求本身作为单独实施例。

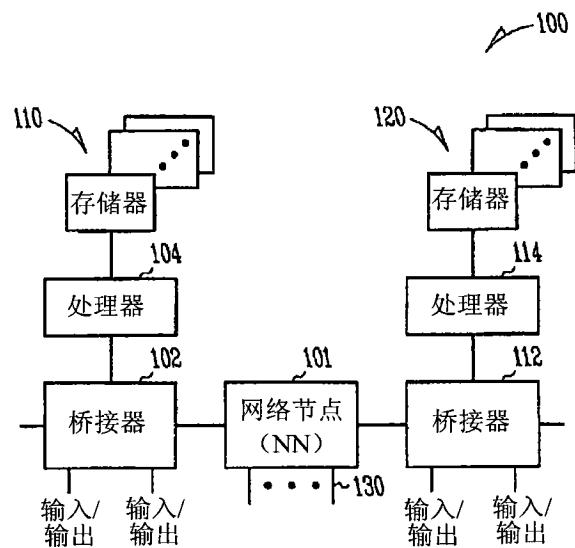


图 1

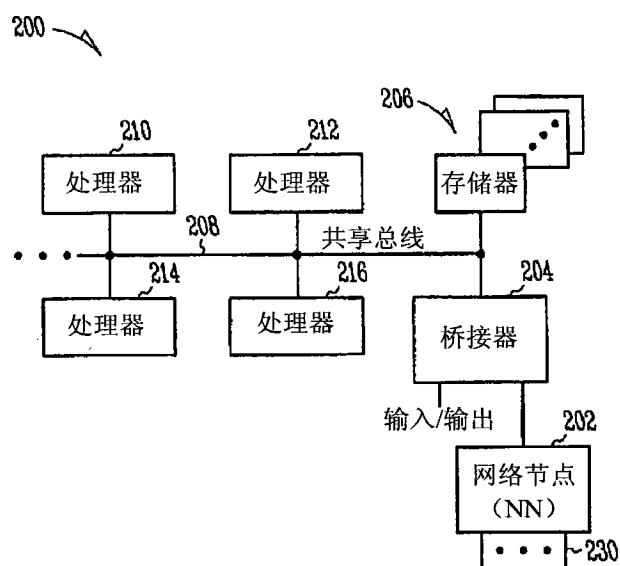


图 2

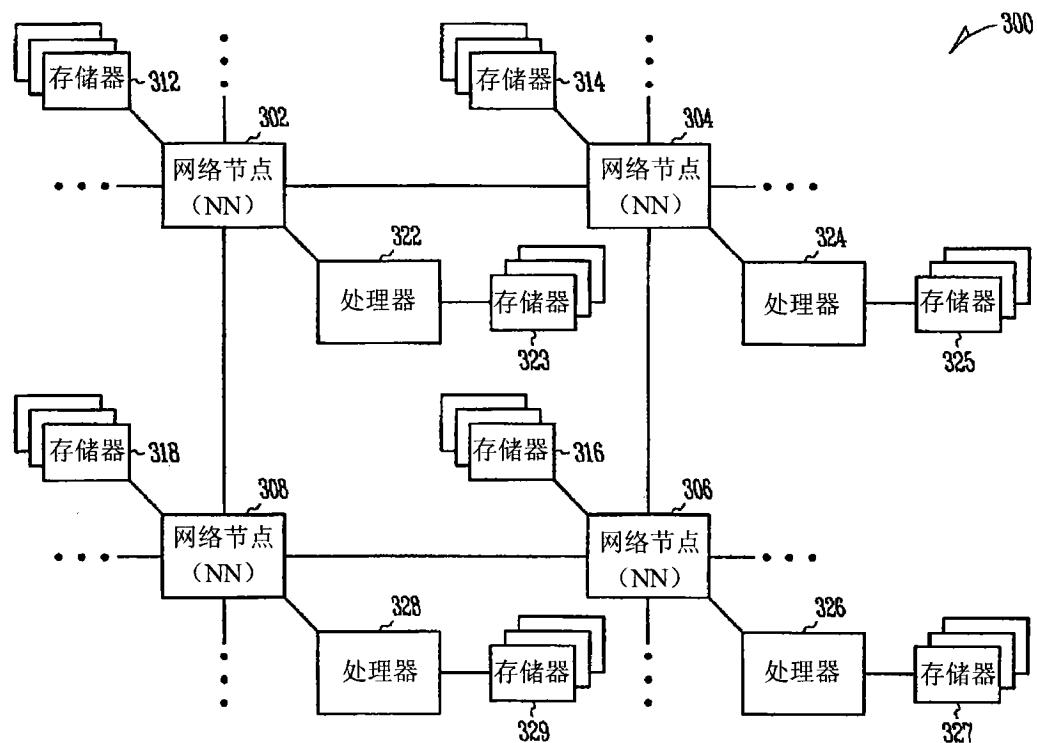


图 3

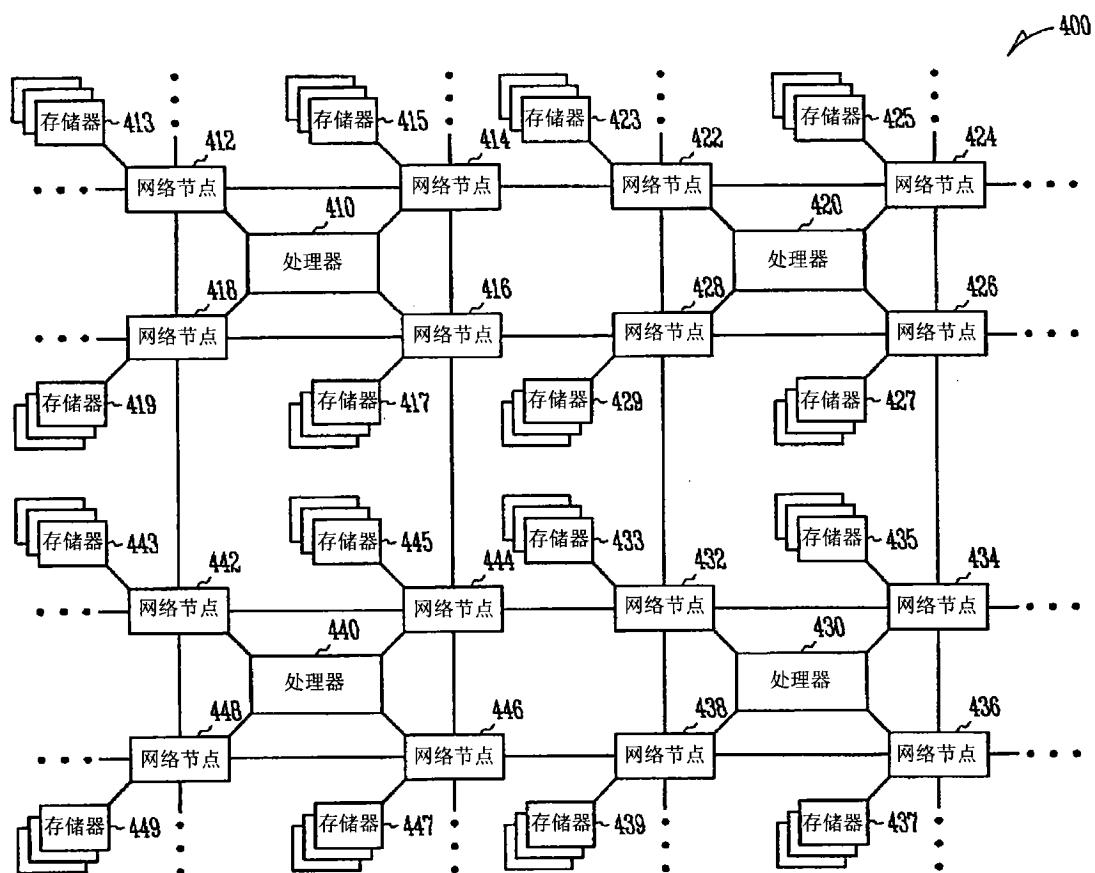


图 4

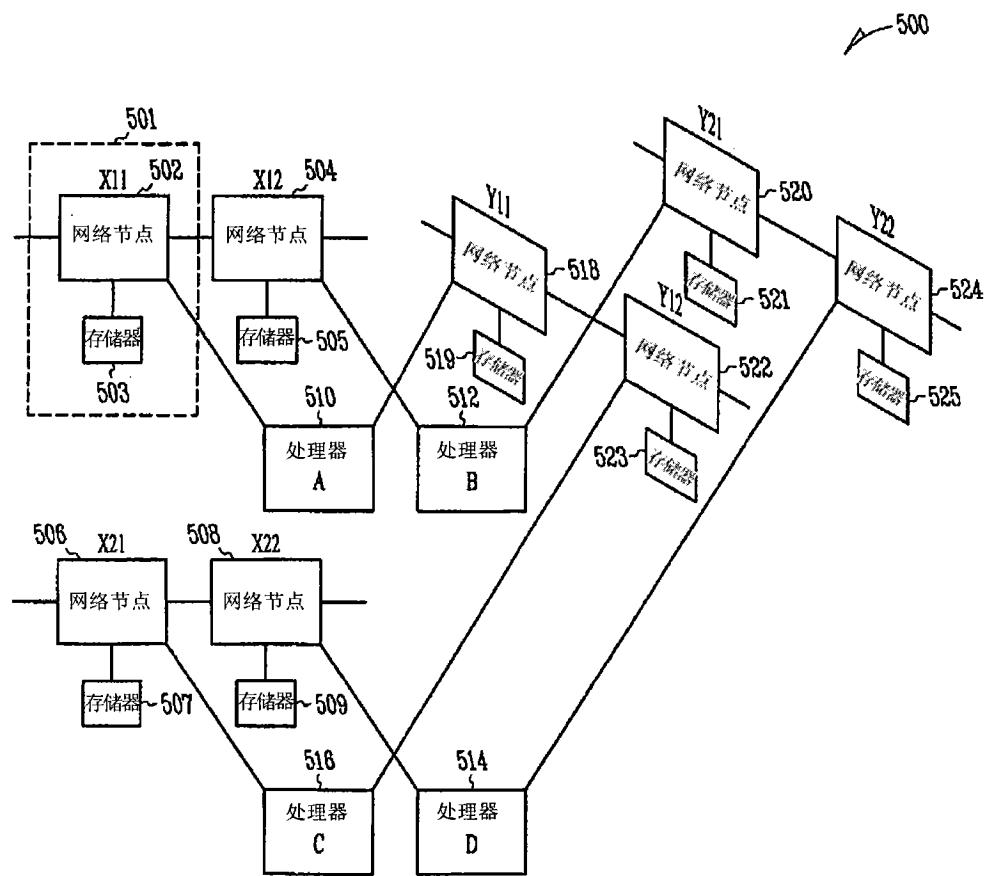


图 5

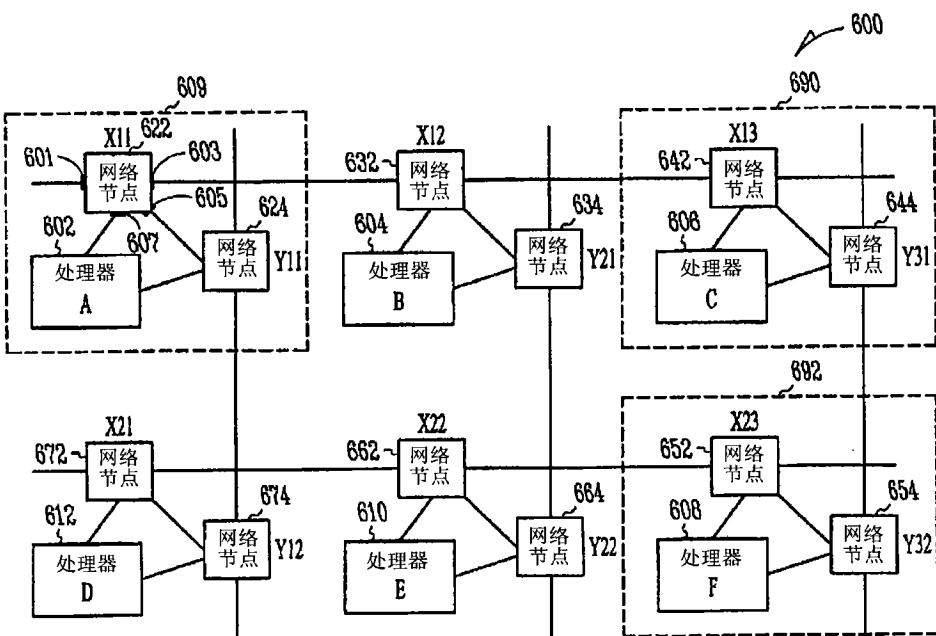


图 6

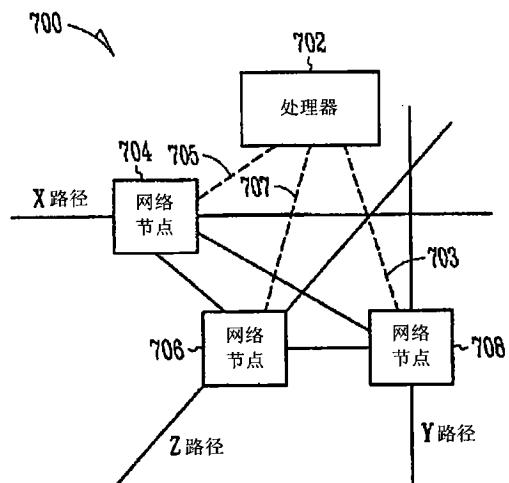


图 7

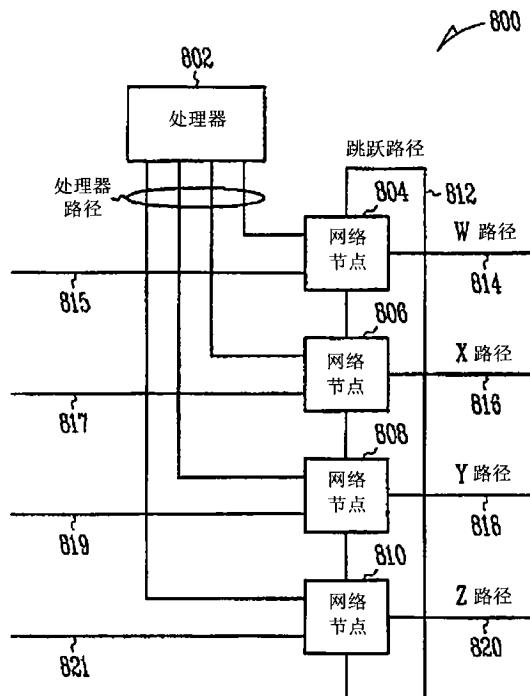


图 8

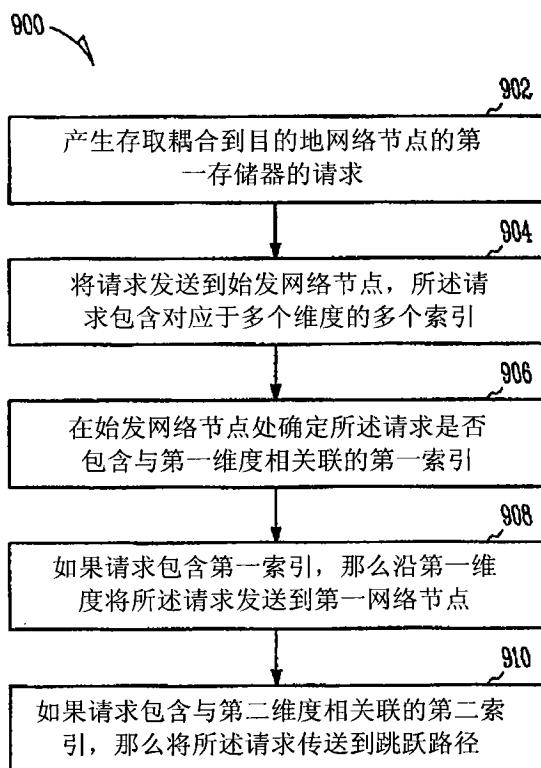


图 9