

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号
特許第5931998号
(P5931998)

(45) 発行日 平成28年6月8日(2016.6.8)

(24) 登録日 平成28年5月13日(2016.5.13)

(51) Int.Cl.

F I

HO 1 L 21/8242 (2006.01)

HO 1 L 27/108 (2006.01)

HO 1 L 27/10 3 2 1

請求項の数 6 (全 38 頁)

(21) 出願番号	特願2014-229469 (P2014-229469)	(73) 特許権者	000153878
(22) 出願日	平成26年11月12日 (2014.11.12)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2011-12628 (P2011-12628)		神奈川県厚木市長谷398番地
	の分割	(72) 発明者	高橋 康之
原出願日	平成23年1月25日 (2011.1.25)		神奈川県厚木市長谷398番地 株式会社
(65) 公開番号	特開2015-84422 (P2015-84422A)		半導体エネルギー研究所内
(43) 公開日	平成27年4月30日 (2015.4.30)	(72) 発明者	齋藤 利彦
審査請求日	平成26年11月12日 (2014.11.12)		神奈川県厚木市長谷398番地 株式会社
(31) 優先権主張番号	特願2010-19386 (P2010-19386)		半導体エネルギー研究所内
(32) 優先日	平成22年1月29日 (2010.1.29)		
(33) 優先権主張国	日本国 (JP)	審査官	上田 智志
		最終頁に続く	

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

第1乃至第3のトランジスタを有し、
前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と電気的に接続され、
前記第3のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電気的に接続され、
前記第3のトランジスタのソース又はドレインの他方は、前記第3のトランジスタのゲートと電気的に接続され、
前記第3のトランジスタは、酸化物半導体層にチャネル形成領域を有し、
前記酸化物半導体層は、スパッタリング法により形成されたものであり、
前記酸化物半導体層は、水素、水、水酸基又は水素化合物を除去し且つ酸素欠損を形成する第1の工程と、前記酸素欠損に酸素を供給する第2の工程と、を経て形成され、
前記酸化物半導体層は、第1の結晶を有し、
前記第1の結晶のc軸は、前記酸化物半導体層の表面に垂直な方向に沿うことを特徴とする半導体装置の作製方法。

【請求項2】

第1乃至第3のトランジスタを有し、
前記第1のトランジスタのソース又はドレインの一方は、前記第2のトランジスタのソース又はドレインの一方と電気的に接続され、

前記第3のトランジスタのソース又はドレインの一方は、前記第1のトランジスタのゲートと電氣的に接続され、

前記第3のトランジスタのソース又はドレインの他方は、前記第3のトランジスタのゲートと電氣的に接続され、

前記第1のトランジスタのソース又はドレインの他方には、第1の固定電位が入力され、

前記第3のトランジスタのソース又はドレインの他方には、第1の信号が入力され、

前記第3のトランジスタは、酸化物半導体層にチャネル形成領域を有し、

前記酸化物半導体層は、スパッタリング法により形成されたものであり、

前記酸化物半導体層は、水素、水、水酸基又は水素化合物を除去し且つ酸素欠損を形成する第1の工程と、前記酸素欠損に酸素を供給する第2の工程と、を経て形成され、

前記酸化物半導体層は、第1の結晶を有し、

前記第1の結晶のc軸は、前記酸化物半導体層の表面に垂直な方向に沿うことを特徴とする半導体装置の作製方法。

【請求項3】

請求項1又は請求項2において、

前記スパッタリング法に用いるターゲット中の金属酸化物の相対密度は、80%以上であることを特徴とする半導体装置の作製方法。

【請求項4】

請求項1乃至3のいずれか一項において、

前記第3のトランジスタのオフ電流は、 $1 \times 10^{-19} \text{ A} / \mu\text{m}$ 以下であることを特徴とする半導体装置の作製方法。

【請求項5】

請求項1乃至4のいずれか一項において、

前記酸化物半導体層は、キャリア密度が $5 \times 10^{14} / \text{cm}^3$ 未満である領域を有することを特徴とする半導体装置の作製方法。

【請求項6】

請求項1乃至5のいずれか一項において、

前記酸化物半導体層は、水素が $1 \times 10^{16} / \text{cm}^3$ 未満である領域を有することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体記憶装置およびその作製方法に関する。

【背景技術】

【0002】

近年、コンピュータなど様々な電子機器の多くは、様々なデータを用いることにより所望の動作をさせている。これらのデータは、例えば半導体記憶装置（メモリともいう。）などに保持することにより、一時的または永久的に用いることができる。

【0003】

半導体記憶装置とは、広義にはハードディスクや、フレキシブルディスクなどの外部記憶装置（補助記憶装置）も含むが、CPU（中央処理装置）などの半導体記憶装置のことを意味する場合がほとんどである。

【0004】

半導体記憶装置は、揮発性メモリ及び不揮発性メモリに分類することができる。揮発性メモリは、電源を切るとデータが失われる半導体記憶装置である。また、不揮発性メモリは、電源を切った後もデータを保持し続ける半導体記憶装置であり、データを書き込んだ後でそのデータを半永久的に保持できる。

【0005】

揮発性メモリは、データが失われてしまう可能性があるが、アクセス時間が短いという

10

20

30

40

50

メリットを有する。また、不揮発性メモリは、データを保持することはできるが、消費電力が高いというデメリットを有する。このように半導体記憶装置には、各々に特徴があり、各半導体記憶装置は扱うデータの種類又は用途に応じて使い分けられている。

【0006】

不揮発性メモリの中でも、書き込み不可のROM (Read Only Memory) や複数回書き込み、消去が可能なフラッシュメモリ、EEPROM (Electrically Erasable and Programmable Read Only Memory) などさまざまな種類があるが、中でも1回のみ書き込み可能であるライトワンスメモリは、データの改竄が行われにくくセキュリティの面からも好ましい。

【0007】

ライトワンスメモリの例として、アモルファスシリコンを用いた素子の両端に電圧を加え、電極をシリサイド化してショートさせるアンチヒューズタイプのメモリがある。また、フラッシュメモリ、EEPROMなどの書き換え可能メモリを用いながら、消去を行わないメモリ領域を設けることで、論理的にライトワンスメモリとして用いる場合もある (特許文献1参照。)。

【先行技術文献】

【特許文献】

【0008】

【特許文献1】特開平7-297293号公報

【発明の概要】

【発明が解決しようとする課題】

【0009】

しかしながら、従来のライトワンスメモリでは、高電圧の書き込みが必要という問題がある。ライトワンスメモリでは、メモリ素子に恒久的な変化を与えるために、読み出し動作で用いる電圧よりも大きい電圧を印加する必要がある。例えば、書き込み時において、シリサイドをメモリ素子として用いるシリサイド型のライトワンスメモリであれば6~8Vの電圧が必要であり、フラッシュメモリまたEEPROMをライトワンスメモリとして用いる場合は15~18Vの電圧が必要となる。このような高電位を生成するためには昇圧回路が必要となるため、書き込み時の消費電力が増大してしまう。また、メモリ素子に高電圧を印加するためには、書き込み時において、デコーダ等の周辺回路にも高電位電圧を印加する必要がある。この結果、周辺回路が高電圧に耐えられるよう耐圧を高めるために、チャンネル長の増大やLDD領域の形成等をしなければならず、作製工程数の増加及び高集積化の妨げとなる。

【0010】

また、シリサイド型のライトワンスメモリは、書き込み電圧の不足などにより、中途半端な反応で高抵抗 (読み出し動作にて、後述するデータ1として認識されない程度に抵抗が高い状態) であるショート状態となる場合がある。高抵抗であるショート状態となった素子は実質的には不良素子となる。

【0011】

また、シリサイド型のライトワンスメモリは、複数のメモリセルに同時に書き込むことができず、短時間で多くのメモリ素子に書き込むことは困難である。また、フラッシュメモリまたはEEPROMの場合は、同時に複数のメモリセルに書き込みが可能ではあるが、書き込み時間が100 μ s程度であり、書き込み時間が長い。

【0012】

ロジック回路の動作でライトワンスメモリとすることが可能なフラッシュメモリまたはEEPROMは、ロジック回路の誤作動によって、ライトワンスメモリに記録されていたデータが書き換わるおそれがある。特に、半導体記憶装置内に書換え可能なメモリ及びライトワンスメモリを同一構造のメモリセルで作製するような場合に、この問題は起こりやすい。また、悪意のあるユーザの操作によってロジック回路を誤作動させ、ライトワンスメモリのデータが改竄されるおそれがある。

10

20

30

40

50

【0013】

以上を鑑み、本発明の一形態は、コストを増大させずとも、書き込みに高電圧を必要とせず、不良が発生しにくく、書き込み時間が短く、データの書換えができない半導体記憶装置を提供することを課題とする。

【課題を解決するための手段】

【0014】

本発明の一形態は、ダイオード接続した第1のトランジスタと、ダイオード接続した第1のトランジスタのソース電極及びドレイン電極の一方の端子にゲートが接続する第2のトランジスタと、を有するメモリ素子を含む半導体記憶装置である。なお、第2のトランジスタのソース電極及びドレイン電極の一方の端子と、ダイオード接続した第1のトランジスタのソース電極及びドレイン電極の一方の端子とで寄生容量を形成する。

10

【0015】

また、本発明の一形態は、ダイオード接続した第1のトランジスタと、ダイオード接続した第1のトランジスタのソース電極及びドレイン電極の一方の端子にゲートが接続する第2のトランジスタと、ダイオード接続した第1のトランジスタのソース電極及びドレイン電極の一方の端子及び第2のトランジスタのゲートに接続する容量素子を有するメモリ素子を含む半導体記憶装置である。

【0016】

第2のトランジスタのオン状態のとき、即ちしきい値電圧より高い電圧がゲートに印加されている場合にデータの書込み状態とし、オフ状態のとき、即ちしきい値電圧より低い電圧がゲートに印加されている場合に、データの非書込み状態とする。ダイオード接続した第1のトランジスタのソース電極及びドレイン電極の一方の端子は、アノードとして機能する。また、ダイオード接続した第1のトランジスタのチャネル領域を酸化物半導体を用いて形成することで、 $1 \times 10^{-19} \text{ A} / \mu\text{m}$ 以下、さらには $1 \times 10^{-20} \text{ A} / \mu\text{m}$ 以下とオフ電流を低減することができる。このため、データの書込によって上昇した第2のトランジスタのゲートの電位、またはデータの書込によって上昇した第2のトランジスタのゲート及び容量素子の電位が、ダイオード接続した第1のトランジスタからリークしにくく、第2のトランジスタのゲートの電位を保持することができる。即ち、一度書き込んだデータを保持することができる。

20

【0017】

このため、書込み電圧を第2のトランジスタをオンできる程度の電圧、即ち、第2のトランジスタのしきい値電圧以上に設定することが可能であり、書込み電圧を低減することが可能である。また、書込み電圧用の昇圧回路を設けずともよく、書込み時の消費電力を低減することが可能であると共に、耐圧を高めるためのチャネル長の増大や、LDD領域形成が不要となり、メモリ素子の縮小化が可能であり、高集積化ができる。

30

【0018】

また、シリサイド型のライトワンスメモリと異なり、メモリ素子をトランジスタを用いて形成することができるため、書込み不良を低減することができる。

【0019】

また、本発明の一形態の半導体記憶装置において、書込み時間は、ダイオード接続した第1のトランジスタのオン電流及び容量素子の容量で決まり、第1のトランジスタのオン電流を 10^{-6} A 、容量素子の容量を 1 pF としても、 $1 \mu\text{s}$ 程度で書き込みが終了する。また、複数のメモリ素子に同時に書き込みを行なうことも可能である。このため、書き込み時間は大幅に短縮される。

40

【0020】

また、本発明の一形態の半導体記憶装置に含まれるメモリセルは、ライトワンスメモリであるため、ロジック回路の誤動作によるデータの書き換えは起こらない。また、ライトワンスメモリのメモリ素子の配線のレイアウトの変更のみで、書き換え可能なメモリも形成することができるため、書き換え可能なメモリ及びライトワンスメモリを混載した半導体記憶装置も作製することが可能である。これらのことから、半導体記憶装置のデータ保持

50

の安全性を高めることができる。

【発明の効果】

【0021】

書き込みに高電圧を必要とせず、不良が発生しにくく、書き込み時間が短く、データ書換えができない半導体記憶装置を、コストを増大させずに作製することができる。

【図面の簡単な説明】

【0022】

【図1】本発明の一形態に係る半導体記憶装置を説明する等価回路図である。

【図2】本発明の一形態に係る半導体記憶装置を説明する等価回路図である。

【図3】本発明の一形態に係る半導体記憶装置を説明する等価回路図である。

10

【図4】本発明の一形態に係る半導体記憶装置を説明する等価回路図である。

【図5】本発明の一形態に係る半導体記憶装置を説明する等価回路図である。

【図6】本発明の一形態に係る半導体記憶装置を説明する等価回路図である。

【図7】本発明の一形態に係る半導体記憶装置を説明する等価回路図である。

【図8】本発明の一形態に係る半導体記憶装置を説明する等価回路図である。

【図9】本発明の一形態に係る半導体記憶装置を説明する等価回路図である。

【図10】本発明の一形態に係る半導体記憶装置を説明するブロック図である。

【図11】本発明の一形態に係る半導体記憶装置を説明する等価回路図である。

【図12】本発明の一形態に係る半導体記憶装置を説明する等価回路図である。

【図13】本発明の一形態に係る半導体記憶装置を説明する等価回路図である。

20

【図14】本発明の一形態に係る半導体記憶装置を説明する上面図である。

【図15】本発明の一形態に係る半導体記憶装置を説明する断面図である。

【図16】本発明の一形態に係る半導体記憶装置の作製方法を説明する断面図である。

【図17】RFIDタグを説明する図である。

【図18】RFIDタグを説明する図である。

【図19】RFIDタグの使用例を説明する図である。

【図20】シミュレーションに用いた等価回路図及びその結果を示す図である。

【図21】酸化物半導体を用いたトランジスタの特性を示す図

【図22】酸化物半導体を用いたトランジスタの特性評価用回路図である。

【図23】酸化物半導体を用いたトランジスタの特性評価用タイミングチャートである。

30

【図24】酸化物半導体を用いたトランジスタの特性を示す図である。

【図25】酸化物半導体を用いたトランジスタの特性を示す図である。

【図26】酸化物半導体を用いたトランジスタの特性を示す図である。

【発明を実施するための形態】

【0023】

以下、本発明の実施の形態について、図面を用いて説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなく、その態様及び詳細をさまざまに変更し得ることは当業者であれば容易に理解される。したがって、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、図面を用いて本発明の構成を説明するにあたり、同じものを指す符号は異なる図面間でも共通して用い

40

【0024】

なお、各実施の形態の図面等において示す各構成の、大きさ、層の厚さ、または領域は、明瞭化のために誇張されて表記している場合がある。よって、必ずしもそのスケールに限定されない。

【0025】

なお、本明細書にて用いる第1、第2、第3といった序数を用いた用語は、構成要素を識別するために便宜上付したものであり、その数を限定するものではない。

【0026】

また、電圧とは、ある電位と、基準の電位（例えばグラウンド電位）との電位差のことを

50

示す場合が多い。よって、電圧、電位、電位差を、各々、電位、電圧、電圧差と言い換えることが可能である。

【0027】

なお、トランジスタにおけるソース電極とドレイン電極は、いずれも半導体層に接続するものであり、ゲート電極に電圧が印加された時にソース電極及びドレイン電極の間の電位差に応じて電流を流すため、ソース電極及びドレイン電極は動作によって入れ替わることがあり場所による特定が困難なケースがある。そこで、トランジスタの構造を説明する場合に、ソース電極、ドレイン電極と呼称する。または、ソース電極及びドレイン電極の一方、他方と呼称する。または、第1の電極、第2の電極と呼称する。なお、こうした呼称の仕方による意味の差は特にない。

10

【0028】

(実施の形態1)

本実施の形態では、本発明の一態様である半導体記憶装置の構成について、図面を用いて説明を行う。なお、本実施の形態では、電子を多数キャリアとするn型トランジスタ（nチャネル型トランジスタ）を用いる場合について説明するが、n型トランジスタに代えて、正孔を多数キャリアとするp型トランジスタを用いることができるのはいうまでもない。

【0029】

図1に本発明の一態様であるメモリ素子を示す。図1(A)に示すメモリ素子101は、ダイオード接続したトランジスタ102、トランジスタ103、及び容量素子104を有し、トランジスタ103のゲートが、容量素子104及びトランジスタ102の第1の電極と接続する。また、トランジスタ102の第2の電極及びゲートが接続する。ここで、トランジスタ103のゲート、容量素子104の第1の電極、及びトランジスタ102の第1の電極の接続領域をノードAとし、トランジスタ102の第2の電極及びゲートの接続領域をノードBとする。

20

【0030】

本実施の形態に示すメモリ素子は、ダイオード接続したトランジスタ102の第1の電極をアノードとして機能させる。また、ダイオード接続したトランジスタ102のチャネル領域を酸化物半導体で形成することを特徴とする。酸化物半導体をチャネル領域に有するトランジスタ102は、オフ電流が低い。また、トランジスタ102はダイオード接続されており、ゲート及び第2の電極が接続している。このため、トランジスタ102がオン状態のときは、ノードBからノードAへ電流が流れるが、オフ状態のときはノードAからノードBへ流れる電流が極めて少ない。

30

【0031】

ここで、メモリ素子101において、ノードAの電位が低い（即ち、トランジスタ103がオフする）状態をデータ0、ノードAの電位が高い（即ち、トランジスタ103がオンする）状態をデータ1とする。

【0032】

ダイオード接続したトランジスタ102をオン状態とし、容量素子104にトランジスタ103のしきい値電圧より高い電圧を充電することで、即ち、トランジスタ103がオン状態となる電圧をノードAに印加することで、メモリ素子101にデータ1を書き込むことができる。

40

【0033】

一方、データの書込み終了後、トランジスタ102をオフ状態とし、トランジスタ102のゲート及び第2の電極が接続するノードBの電位が低減しても、トランジスタ102は、オフ電流が極めて低く、且つダイオード接続されているため、トランジスタ102の第1の電極から第2の電極へは電流が流れにくい。このため、ノードAに充電された電圧が低減せず、ノードAの電圧を長期間保持することができる。この結果、書き込まれた情報（データ1）は書換えられず、メモリ素子101を実質的にライトワンスメモリとして動作させることができる。なお、容量素子104の容量は、必要とするデータの保持時間に

50

応じて適宜設計する。

【0034】

なお、トランジスタ103の第1の電極または第2の電極と、ダイオード接続したトランジスタ102の第1の電極において、寄生容量が形成される場合には、敢えて容量素子104を設ける必要はない。この場合のメモリ素子は、図1(B)に示すように、ダイオード接続したトランジスタ102及びトランジスタ103を有し、トランジスタ103のゲートが、トランジスタ102の第1の電極と接続する。また、トランジスタ102の第2の電極及びゲートが接続する。

【0035】

次に、図1(A)のメモリ素子を有するメモリセルをマトリクス状に配置したメモリセルアレイの形態を図2及び図3に示す。

10

【0036】

図2(A)は、NOR型のメモリセルアレイの一形態を示した図である。

【0037】

メモリセル110は、メモリ素子111と、ゲートが書込み用ワード線WL1に接続し、第1の電極がメモリ素子111に接続し、第2の電極が書込み用ビット線BL1に接続するトランジスタ115と、ゲートが読出し用ワード線WL2に接続し、第1の電極が読出し用ビット線BL2に接続し、第2の電極がメモリ素子111に接続するトランジスタ116とを有する。トランジスタ115は書込用の選択トランジスタとして機能し、トランジスタ116は読込み用の選択トランジスタとして機能する。

20

【0038】

メモリ素子111は、ダイオード接続したトランジスタ112、トランジスタ113、及び容量素子114を有する。トランジスタ112の第2の電極は、ゲートと接続するとともに、トランジスタ115の第1の電極に接続する。トランジスタ113のゲートは、容量素子114の第1の電極及びトランジスタ112の第1の電極に接続する。また、トランジスタ113の第1の電極はトランジスタ116の第2の電極に接続し、トランジスタ113の第2の電極は固定電位である。容量素子114の第2の電極は固定電位である。

【0039】

図2(B)は、図2(A)とは異なるNOR型のメモリセルアレイの一形態を示した図である。

30

【0040】

メモリセル130は、メモリ素子131と、ゲートが書込み用ワード線WL1に接続し、第1の電極がメモリ素子131に接続し、第2の電極が書込み用ビット線BL1に接続するトランジスタ135とを有する。トランジスタ135は書込み用の選択トランジスタとして機能する。

【0041】

メモリ素子131は、ダイオード接続したトランジスタ132、トランジスタ133、及び容量素子134を有する。トランジスタ132の第2の電極は、ゲートと接続すると共に、トランジスタ135の第1の電極に接続する。トランジスタ133のゲートは、容量素子134の第1の電極及びトランジスタ132の第1の電極に接続する。また、トランジスタ133の第1の電極は、読出し用のビット線BL2に接続し、第2の電極は固定電位である。容量素子134の第2の電極は読出し用のワード線WL2に接続する。

40

【0042】

図3は、NAND型のメモリセルアレイの一形態を示した図である。

【0043】

メモリセル120は、メモリ素子121と、ゲートが書込み用ワード線WLに接続し、第1の電極がメモリ素子121に接続し、第2の電極が書込み用ビット線BLに接続するトランジスタ125とを有する。トランジスタ125は書込用の選択トランジスタとして機能する。

【0044】

50

メモリ素子121は、ダイオード接続したトランジスタ122、トランジスタ123、及び容量素子124を有する。トランジスタ122の第2の電極は、ゲートと接続すると共に、トランジスタ125の第1の電極に接続する。トランジスタ123のゲートは、容量素子124の第1の電極及びトランジスタ122の第1の電極に接続する。また、トランジスタ123の第1の電極は読出し用のデータ線DLに接続し、トランジスタ123の第2の電極は次の列のトランジスタ123の第1の電極に接続する。容量素子124の第2の電極は固定電位である。

【0045】

ダイオード接続したトランジスタ112、122、132のチャネル領域を酸化物半導体で形成する。酸化物半導体をチャネル領域に有するトランジスタ112、122、132は、オフ電流が低い。また、トランジスタ112、122、132はダイオード接続されており、ゲート及び第2の電極が接続している。このため、トランジスタ112、122、132がオン状態のときは、ノードBからノードAへ電流が流れるが、オフ状態のときはノードAからノードBへ流れる電流が極めて少ない。

10

【0046】

トランジスタ113、115、116、123、125、133、135のチャネル領域を、非晶質シリコン層、微結晶シリコン層、多結晶シリコン層、または単結晶シリコン層で形成することができる。また、ダイオード接続したトランジスタ112、122、132と同様に、酸化物半導体で形成してもよい。

20

【0047】

本実施の形態に示す半導体記憶装置は、ダイオード接続した第1のトランジスタのチャネル領域を酸化物半導体を用いて形成することで、 $1 \times 10^{-19} \text{ A} / \mu\text{m}$ 以下、さらには $1 \times 10^{-20} \text{ A} / \mu\text{m}$ 以下とオフ電流を低減することができる。このため、データの書込によって上昇した第2のトランジスタのゲート及び容量素子の電位が、ダイオード接続した第1のトランジスタからリークしにくく、第2のトランジスタのゲートの電位を保持することができる。即ち、一度書き込んだデータを保持することができる。

【0048】

また、データの書込み電圧は、第2のトランジスタをオンできる程度の電圧、即ち、第2のトランジスタのしきい値電圧以上と設定することが可能であり、書込み電圧を低減することが可能である。また、書込み電圧用の昇圧回路を設けずともよく、書込み時の消費電力を低減することが可能であると共に、耐圧を高めるためのチャネル長の増大や、LDD領域形成が不要となり、メモリ素子の縮小化が可能であり、高集積化ができる。

30

【0049】

また、本実施の形態に示す半導体記憶装置の書込み時間は、ダイオード接続した第1のトランジスタのオン電流及び容量素子の容量で決まり、第1のトランジスタのオン電流を 10^{-6} A 、容量素子の容量を 1 pF としても、 $1 \mu\text{s}$ 程度で書き込みが終了する。また、複数のメモリ素子に同時に書き込みを行なうことも可能である。このため、書き込み時間は大幅に短縮することが可能である。

【0050】

また、本実施の形態に示す半導体記憶装置に含まれるメモリセルは、ライトワンスメモリであるため、ロジック回路の誤動作によるデータの書き換えは起こらない。このことから、半導体記憶装置のデータ保持の安全性を高めることができる。

40

【0051】

なお、本実施の形態に示すメモリセル及びメモリセルアレイの形態は一形態であって、構成を限定するものではない。

【0052】

(実施の形態2)

本実施の形態では、実施の形態1で示した半導体記憶装置のデータの書込み及び読出しについて、図面を用いて説明を行う。

【0053】

50

図2 (A) に示すNOR型のメモリセル110のデータの書込みについて、図4 (A) を用いて説明する。

【0054】

まず、書込みを行うメモリセル110に接続する書込み用のビット線BL1及び書込み用のワード線WL1に、第1の電位を印加し、読出し用のビット線BL2及び読出し用のワード線WL2を接地電位とする。第1の電位は、トランジスタ113、115をオン状態とする電位であり、トランジスタ113、115の閾値電圧より高い電位、ここでは2Vとする。

【0055】

書込み用のワード線WL1の電位が第1の電位となることによって、書込み用の選択トランジスタとして機能するトランジスタ115及びダイオード接続したトランジスタ112がオンし、ノードA、即ち容量素子114及びトランジスタ113のゲートの電位が書込み用のビット線BL1とほぼ同じ電位まで上昇し、トランジスタ113はオンする。以上の工程によりデータ1を書込むことができる。

【0056】

なお、データ1の書込みには、トランジスタ113がオンするだけの電荷がノードAに充電されればよいので、書込みを行なうための昇圧回路は不要であり、書込み電圧は、メモリセル110を駆動するロジック回路に電源から電圧が供給される。また、書込み時間は、容量素子104を充電するだけの時間で十分であるため、トランジスタ112、115のオン電流を 10^{-6} A、容量素子114の容量を1 pFとした場合、1 μ s程度の短時間で書込みが終了する。

【0057】

書込み終了後は、図4 (B) のように書込み用のビット線BL1及び書込み用のワード線WL1の電位を0Vとする。これにより書込み用の選択トランジスタとして機能するトランジスタ115及びダイオード接続したトランジスタ112がオフ状態となるが、酸化物半導体を用いて形成されたトランジスタ112のオフ電流は非常に小さいため、ノードAの電圧は長期間保持される。具体的には、酸化物半導体を用いて形成されたトランジスタ112のオフ電流が 1×10^{-19} A/ μ m以下、さらには 1×10^{-20} A/ μ m以下であるため、容量素子114に1 pFの容量を付加した場合、20～200日間データを保持することが可能であり、メモリ素子111はライトワンスメモリとして機能する。なお、ここでの「データの保持」とは、容量素子114の電位が、データ1書込み時の電位の90%以上、すなわち1.8V以上となる状態をいう。

【0058】

次に、図2 (A) に示すメモリセル110のデータの読出しについて、図5を用いて説明する。図5 (A) はデータ1の読出し方法、図5 (B) はデータ0の読出し方法を示したものである。データの読出しは、読出し用ワード線WL2の電位を変化させ、読出し用の選択トランジスタとして機能するトランジスタ116をオンし、読出し用のビット線BL2の電圧に応じて読出し回路117の出力を決定する。なお、読出し時には書込み用のビット線BL1及び書込み用のワード線WL1は接地電位とし、トランジスタ112、115はオフ状態である。

【0059】

データ1の読出しの場合、図5 (A) に示すように、読出しを行う列に属する読出し用ワード線WL2に第2の電位を印加し、トランジスタ116をオンさせる。また、読出しを行わない列に属する読出し用ワード線WL2に負の電位である第3の電位を印加する。第2の電位は、トランジスタ116をオン状態とする電位であり、トランジスタ116の閾値電圧より高い電位、ここでは2Vとする。データ1の場合、トランジスタ113がオンしているため、読出し回路117の出力は、トランジスタ113のオン抵抗及びトランジスタ116のオン抵抗の和と、読出し回路117に含まれる抵抗(R1と示す。)との比較により決定される。ここで、読出し回路内の抵抗R1を、トランジスタ113のオン抵抗及びトランジスタ116のオン抵抗の和よりも大きくしておくことで、読出し用のビッ

10

20

30

40

50

ト線B L 2のノードCにおける電位はほぼ0 Vとなる。ノードCにおける電位は、読出し回路1 1 7に含まれるインバータ1 1 8によって反転され、データ1として出力される。

【0 0 6 0】

データ0の読出しの場合、図5（B）に示すように、読出し用ワード線W L 2に第2の電位を印加し、トランジスタ1 1 6をオンさせる。データ0の場合、トランジスタ1 1 3がオフしているため、読出し回路1 1 7の出力はトランジスタ1 1 3のオフ抵抗及びトランジスタ1 1 6のオン抵抗の和と、読出し回路1 1 7に含まれる抵抗R 1との比較により決定される。ここで、読出し回路1 1 7に含まれる抵抗R 1を、トランジスタ1 1 3のオフ抵抗及びトランジスタ1 1 6のオン抵抗の和よりも小さくしておくことで、読出し用のビット線B L 2のノードCにおける電位は読出し回路1 1 7によってほぼ2 Vとなる。当該電位は、読出し回路1 1 7に含まれるインバータ1 1 8によって反転され、データ0として出力される。

10

【0 0 6 1】

なお、読出しを行わない列に属するメモリセルにおいて、読出し用ワード線W L 2には負の電位である第3の電位が印加される。第3の電位は、トランジスタ1 1 6をオフ状態とする電位であり、トランジスタ1 1 6の閾値電圧より低い負の電位、ここでは- 2 Vとする。トランジスタ1 1 6はオフする。したがって、読出しを選択しないメモリセルのデータが読み出されるおそれはない。

【0 0 6 2】

次に、実施の形態1で図2（B）に示したNOR型のメモリセル1 3 0のデータの書込み及び読出しについて、図面を用いて説明を行う。

20

【0 0 6 3】

はじめに、図2（B）に示すNOR型のメモリセル1 3 0のデータの書込みについて、図6を用いて説明する。

【0 0 6 4】

まず、書込みを行うメモリセル1 3 0に属する書込み用のビット線B L 1及び書込み用のワード線W L 1に、第1の電位を印加し、読出し用のワード線W L 2を接地電位とする。第1の電位は、トランジスタ1 3 3、1 3 5をオン状態とする電位であり、トランジスタ1 3 3、1 3 5の閾値電圧より高い電位、ここでは2 Vとする。

【0 0 6 5】

書込み用のワード線W L 1及び書込み用のビット線B L 1が第1の電位となることによってトランジスタ1 3 5がオンし、ダイオード接続したトランジスタ1 3 2がオンし、ノードA、即ち容量素子1 3 4及びトランジスタ1 3 3のゲートに電荷が充電され、書込み用のビット線B L 1とほぼ同じ電位まで上昇し、トランジスタ1 3 3はオンする。以上の工程によりデータ1を書込むことができる。

30

【0 0 6 6】

書込み終了後は、書込み用のビット線B L 1及び書込み用のワード線W L 1の電位を0 Vとする。これにより書込み用の選択トランジスタとして機能するトランジスタ1 3 5及びダイオード接続したトランジスタ1 3 2がオフ状態となるが、酸化物半導体を用いて形成されたトランジスタ1 3 2のオフ電流は非常に小さいため、ノードAの電圧は長期間保持される。この結果、メモリ素子1 3 1はライトワンスメモリとして機能する。

40

【0 0 6 7】

次に、図2（B）に示すメモリセル1 3 0のデータの読出しについて、図7を用いて説明する。図7（A）はデータ1の読出し方法、図7（B）はデータ0の読出し方法を示したものである。データの読出しは、読出し用ワード線W L 2の電位を変化させ、読出し用のビット線B L 2の電圧に応じて読出しを行う。

【0 0 6 8】

データ1の読出しの場合、図7（A）に示すように、読出しを行う列に属する読出し用ワード線W L 2を接地電位とし、それ以外の読出し用ワード線W L 2を負の電位である第3の電位とする。

50

【0069】

読出しを行うメモリセル130がデータ1、即ちメモリセル130の容量素子134に第1の電圧が充電されている場合、トランジスタ133はオンし、読出し用のビット線BL2のノードCにおける電位はほぼ0Vとなる。ノードCにおける電位は、読出し回路117に含まれるインバータによって反転され、データ1として出力される。

【0070】

データ0の読出しの場合、図7(B)に示すように、読出しを行う列に属する読出し用ワード線WL2を接地電位とし、それ以外の読出し用ワード線WL2を負の電位である第3の電位とする。

【0071】

読出しを行うメモリセル130がデータ0の場合、即ちメモリセル130の容量素子134に電荷が充電されていない場合、トランジスタ133はオフするため、読出し用のビット線BL2のノードCにおける電位は読出し回路117によってほぼ2Vとなる。当該電位は、読出し回路117に含まれるインバータによって反転され、データ0として出力される。

【0072】

なお、読出しを行わない列に属するメモリセルの読出し用ワード線WL2には、負の電位である第3の電位が印加される。メモリセルの容量素子134の電位は、ノードAに蓄えられている電位に第3の電位を加えた値となる。第3の電位は負の電位であるため、メモリセルの容量素子134の電位が低下し、メモリセルへの書込まれたデータに係わらず、トランジスタ133はオフする。したがって、選択しないメモリセルのデータが読み出されるおそれはない。

【0073】

次に、実施の形態1において図3に示したNAND型のメモリセル120のデータの書込み及び読出しについて、図面を用いて説明を行う。

【0074】

図3に示すNAND型のメモリセル120のデータの書込みについて、図8を用いて説明する。

【0075】

まず、書込みを行うメモリセル120に属するビット線BL及びワード線WLに、第1の電位を印加する。第1の電位は、トランジスタ123、125をオン状態とする電位である。また、容量素子124において、トランジスタ123、125と接続していない第2の電極を接地電位とする。

【0076】

書込み用のワード線WLが第1の電位となることによってトランジスタ125がオンし、ダイオード接続したトランジスタ122がオンし、ノードA、即ち容量素子124及びトランジスタ123のゲートの電位が書込み用のビット線BLとほぼ同じ電位まで上昇し、トランジスタ123はオンする。以上の工程によりデータ1を書込むことができる。

【0077】

書込み終了後は、書込み用のビット線BLの電位を0Vとする。これにより書込み用の選択トランジスタとして機能するトランジスタ125及びダイオード接続したトランジスタ122がオフ状態となるが、酸化物半導体を用いて形成されたトランジスタ122のオフ電流は非常に小さいため、ノードAの電位は長期間保持される。この結果、メモリ素子121はライトワンスメモリとして機能する。

【0078】

次に、図3に示すメモリセル120のデータの読出しについて、図9を用いて説明する。図9(A)はデータ1の読出し方法、図9(B)はデータ0の読出し方法を示したものである。データの読出しは、あるビット線に接続するメモリセル全て、即ち領域129に囲まれるメモリセル120に含まれる容量素子124において、トランジスタ123と接続していない第2の電極に電圧を印加することで行う。読出しを行う列に属するメモリセル

10

20

30

40

50

の容量素子 1 2 4 の第 2 の電極に接地電位を印加し、それ以外の領域 1 2 9 に含まれるメモリセルの容量素子 1 2 4 の第 2 の電極に第 4 の電位を印加し、読出し用のビット線 B L の電圧に応じて読出し回路 1 1 7 の出力を決定する。第 4 の電位は、トランジスタ 1 2 3 の閾値電圧より高い電位であり、ここでは、第 4 の電位を 2 V とする。

【0079】

データ 1 の読出しの場合、図 9 (A) に示すように、読出しを行うメモリセルの容量素子 1 2 4 に電荷が蓄えられ、第 1 の電極には第 1 の電位が印加されている。このため、容量素子 1 2 4 の第 2 の電極を接地電位とすることで、トランジスタ 1 2 3 がオンする。一方、領域 1 2 9 であって、読出しを行わないメモリセルの容量素子 1 2 4 の第 2 の電極に第 4 の電位を印加することで、容量素子 1 2 4 の第 1 の電極の電位が押し上げられるため、トランジスタ 1 2 3 がオンする。この結果、データ線 D L に接続するトランジスタ 1 2 3 全てがオン状態となり、データ線 D L におけるノード C の電位が 0 V となる。ノード C における電位は、読出し回路 1 1 7 に含まれるインバータによって反転され、データ 1 として出力される。

10

【0080】

データ 0 の読出しの場合、図 9 (B) に示すように、読出しを行うメモリセル 1 2 0 の容量素子 1 2 4 の第 1 の電極は 0 V である。このため、読出しを行うメモリセルのトランジスタ 1 2 3 はオフ状態である。一方、領域 1 2 9 であって、読出しを行わないメモリセルの容量素子 1 2 4 の第 2 の電極に第 4 の電位を印加することで、容量素子 1 2 4 の第 1 の電極の電位が押し上げられるため、トランジスタ 1 2 3 がオンする。この結果、データ線 D L のノード C における電位は、読出し回路 1 1 7 によってほぼ 2 V となる。

20

【0081】

本実施の形態により、書き込みに高電圧を必要とせず、不良が発生しにくく、書き込み時間が短く、データ書換えができない半導体記憶装置を提供することができる。

【0082】

(実施の形態 3)

本実施の形態では、実施の形態 1 及び実施の形態 2 で示した半導体記憶装置の一形態について、図面を用いて説明を行う。

【0083】

図 10 (A) は実施形態 1 で示したメモリセルアレイを有する半導体記憶装置の例である。半導体記憶装置 3 0 0 は、メモリセルアレイ 3 0 1、コラムデコーダ 3 0 2、ローデコーダ 3 0 3、インターフェース回路 3 0 4 を有する。メモリセルアレイ 3 0 1 は、マトリクス状に配置された複数のメモリセル 3 0 5 を有する。

30

【0084】

インターフェース回路 3 0 4 は、外部信号からコラムデコーダ 3 0 2 及びローデコーダ 3 0 3 を駆動するための信号を生成すると共に、読出したメモリセル 3 0 5 のデータを外部に出力する。

【0085】

コラムデコーダ 3 0 2 は、インターフェース回路 3 0 4 からメモリセル 3 0 5 を駆動するための信号を受け取り、書込みまたは読出しを行うためのビット線に送る信号を生成する。ローデコーダ 3 0 3 は、インターフェース回路 3 0 4 からメモリセル 3 0 5 を駆動するための信号を受け取り、書込みもしくは読出しを行うためのワード線に送る信号を生成する。コラムデコーダ 3 0 2 からビット線へ出力する信号及びローデコーダ 3 0 3 からワード線へ出力する信号により、メモリセルアレイ 3 0 1 の中においてアクセスを行うメモリセルが一意に定まる。

40

【0086】

また、図 10 (B) に示すように、実施の形態 1 及び実施の形態 2 に示すライトワンメモリと、書き換え可能なメモリとを混載したメモリセルアレイを有する半導体記憶装置を作製ことも可能である。図 10 (B) に示す半導体記憶装置 3 1 0 は、第 1 のメモリセルアレイ 3 1 1、第 2 のメモリセルアレイ 3 1 2、コラムデコーダ 3 0 2、ローデコーダ 3

50

03、インターフェース回路304を有し、第1のメモリセルアレイ311には、実施の形態1及び実施の形態2に示すライトワンスメモリ素子を有するメモリセル313がマトリクス状に配置され、第2のメモリセルアレイ312には、書き換え可能なメモリ素子を有するメモリセル314がマトリクス状に配置されている。

【0087】

書き換え可能なメモリ素子は、実施の形態1及び実施の形態2に示すライトワンスメモリ素子と同一のプロセスで作製することが可能である。書き換え可能なメモリ素子の構成を図11(A)及び図11(B)を用いて説明する。

【0088】

図11(A)は、NOR型の書き換え可能なメモリ素子を有するメモリセル及びメモリセルアレイを示した図である。メモリセル400は、メモリ素子401と、ゲートが書込み用ワード線WL1に接続し、第1の電極がメモリ素子401に接続し、第2の電極が書込み用ビット線BL1に接続するトランジスタ402と、ゲートが読出し用ワード線WL2に接続し、第1の電極が読出し用ビット線BL2に接続し、第2の電極がメモリ素子401に接続するトランジスタ406を有する。トランジスタ406は、読み出し用の選択トランジスタとして機能する。

10

【0089】

メモリ素子401は、トランジスタ403及び容量素子404を有する。トランジスタ403のゲートは、容量素子404の第1の電極及びトランジスタ402の第1の電極に接続する。また、トランジスタ403の第1の電極は、トランジスタ406の第2の電極に接続し、トランジスタ403の第2の電極は固定電位である。容量素子404の第2の電極は固定電位である。

20

【0090】

トランジスタ402は、実施の形態1に示すトランジスタ102と同様に酸化物半導体を用いて作製する。トランジスタ403、406は、実施の形態1に示すトランジスタ103と同様に作製することができる。

【0091】

図11(A)に示すNOR型のメモリセル400のデータの書込みについて、図12を用いて説明する。図12(A)はデータ1の書込み方法、図12(B)はデータ0の書込み方法を示したものである。

30

【0092】

データ1の書込みの場合、図12(A)に示すように、書込みを行うメモリセル400に接続する書込み用のビット線BL1及び書込み用のワード線WL1に、第1の電位を印加し、読出し用のワード線WL2を接地電位とする。第1の電位は、トランジスタ402、403をオン状態とする電位であり、トランジスタ402、403の閾値電圧より高い電位、ここでは2Vとする。

【0093】

書込み用のワード線WL1の電位が第1の電位となることによって、トランジスタ402がオンし、ノードA、即ち容量素子404及びトランジスタ403のゲートの電位が書込み用のビット線BL1とほぼ同じ電位まで上昇し、トランジスタ403はオンする。以上の工程によりデータ1を書込むことができる。

40

【0094】

データ0の書込みの場合、図12(B)に示すように、書込みを行うメモリセル400に接続する書込み用のビット線BL1を接地電位とし、書込み用のワード線WL1に第1の電位を印加し、読出し用のワード線WL2を接地電位とする。第1の電位は、トランジスタ402をオン状態とする電位であり、トランジスタ402の閾値電圧より高い電位、ここでは2Vとする。

【0095】

書込み用のワード線WL1の電位が第1の電位となることによって、トランジスタ402がオンし、ノードA、即ち容量素子404及びトランジスタ403のゲート電位は接地電

50

位である書込み用ビット線BL1の電位まで下降する。これによってトランジスタ403はオフし、データ0を書込みすることができる。なお、意図しないデータの読出しを防ぐため、書込み期間中に、読出し用ワード線WL2は接地電位にして、トランジスタ406をオフするようにする。

【0096】

次に、図11(A)に示すメモリセル400のデータの読出しについて、図13を用いて説明する。図13(A)はデータ1の読出し方法、図13(B)はデータ0の読出し方法を示したものである。データの読出しは、読出し用ワード線WL2の電位を変化させ、読出し用の選択トランジスタとして機能するトランジスタ406をオンし、読出し用のビット線BL2の電圧に応じて読出し回路117の出力を決定する。

10

【0097】

データ1の読出しの場合、図13(A)に示すように、読出しを行う列に属する読出し用ワード線WL2に第2の電位を印加し、トランジスタ406をオンさせる。データ1の場合、トランジスタ403がオンしているため、実施の形態2の図2(A)で示すNOR型の読出し方法と同様に、読出し用ビット線BL2のノードCは接地電位となる。ノードCにおける電位は、読出し回路117に含まれるインバータによって反転され、データ1として出力される。

【0098】

データ0の読出しの場合、図13(B)に示すように、読出し用ワード線WL2に第2の電位を印加し、トランジスタ406をオンさせる。データ0の場合、トランジスタ403がオフしているため、読出し用ビット線BL2は読出し回路117によってほぼ2Vとなる。当該電位は、読出し回路117に含まれるインバータによって反転され、データ0として出力される。

20

【0099】

なお、読出しを行わない列のメモリセルにおいて、読出し用ワード線WL2には負の電位である第3の電位が印加される。第3の電位は、トランジスタ406をオフ状態とする電位であり、トランジスタ406の閾値電圧より低い負の電位、ここでは-2Vとする。トランジスタ406はオフする。したがって、読出しを選択しないメモリセルのデータが読み出されるおそれはない。

【0100】

図11(B)は、図11(A)とは異なるNOR型の書き換え可能なメモリ素子を有するメモリセルを示した図である。図11(B)に示すメモリセルは、図11(A)に示すトランジスタ402と書込み用のビット線BL1の間にトランジスタ405を有する構成である。この構成は、実施形態1で示しているトランジスタ112のゲートの接続を変えたものであり、ゲートが書き込み用ワード線WL1へ接続しているだけである。つまり、配線のわずかな変更によってライトワンスメモリから書き換え可能なメモリへ、あるいはその逆へと入れ替えることが可能となる。データの書込み方法及び読出し方法は図11(A)と共通であるため省略する。

30

【0101】

なお、本実施の形態では、ライトワンスメモリ素子及び書き換え可能なメモリ素子をNOR型で示したが、適宜NAND型を用いることができる。

40

【0102】

このようにライトワンスメモリと書き換え可能なメモリを同一の半導体記憶装置上に搭載することが可能である。書き換え可能なメモリは、実施の形態1及び実施の形態2に示すライトワンスメモリと同一のプロセスで作製することが可能であり、かつロジック信号による操作によらず、ライトワンスメモリはライトワンスメモリとして、書き換え可能なメモリは書き換え可能なメモリとして扱うことが可能である。そのため、ロジック回路の誤動作によるデータの書き換えは原理的に起こらない半導体記憶装置を提供することが可能となる。

【0103】

50

(実施の形態４)

本実施の形態では、実施の形態１乃至実施の形態３に示す半導体記憶装置の構成及びその作製方法を、図１４乃至図１６を用いて説明する。

【０１０４】

本実施の形態では、実施の形態１に示す半導体記憶装置の構成について、上面図及び断面図を用いて説明するが、実施の形態２及び実施の形態３に適宜適用することができる。

【０１０５】

図１４は、実施の形態１に示す半導体記憶装置のメモリセル１１０の上面図の一形態であり、図１４のＡ－Ｂ、Ｃ－Ｄ、及びＥ－Ｆの断面図を図１５に示す。

【０１０６】

図１４に示すトランジスタ５０２は、図２（Ａ）に示すトランジスタ１１３に相当し、トランジスタ５０３は図２（Ａ）に示すトランジスタ１１６に相当し、ダイオード接続したトランジスタ５０５は図２（Ａ）に示すダイオード接続したトランジスタ１１２に相当し、トランジスタ５０６は図２（Ａ）に示すトランジスタ１１５に相当する。また、容量素子５０４は図２（Ａ）に示す容量素子１１４に相当する。

【０１０７】

なお、上記トランジスタは、いずれもｎチャネル型トランジスタであるものとして説明するが、ｐチャネル型トランジスタを用いることができるのはいうまでもない。また、開示する発明の技術的な本質は、ダイオード接続するトランジスタ５０５のチャネル領域を酸化物半導体層で形成することにあるから、半導体記憶装置の具体的な構成をここで示すものに限定する必要はない。

【０１０８】

図１５に示すように、基板５０８上に積層された絶縁層５１０及び絶縁層５１２上にトランジスタ５０２及び容量素子５０４が設けられ、積層された絶縁層５１０、絶縁層５１２、絶縁層５３６、絶縁層５３８、絶縁層５４０上にトランジスタ５０５が設けられる。

【０１０９】

本実施の形態に示す半導体記憶装置は、下部にトランジスタ５０２、トランジスタ５０３（図示しない。）、容量素子５０４、及びトランジスタ５０６（図示しない。）を有し、上部にダイオード接続したトランジスタ５０５を有する。なお、容量素子５０４は、下部に設けず、上部に設けてもよい。

【０１１０】

トランジスタ５０２は、絶縁層５１２上に形成される半導体層５１９と、半導体層５１９上に設けられたゲート絶縁層５２２と、ゲート絶縁層５２２上に設けられたゲート電極５２６と、半導体層５１９と電気的に接続する配線５３４ａ、５３４ｂとを有する。半導体層５１９は、チャネル領域５１４と、チャネル領域５１４を挟むように設けられた低濃度不純物領域５１６及び高濃度不純物領域５１８（これらをあわせて単に不純物領域ともいう。）とで構成される。

【０１１１】

ここで、ゲート電極５２６の側面にはサイドウォール絶縁層５３０が設けられている。また、低濃度不純物領域５１６はサイドウォール絶縁層５３０と重畳する。

【０１１２】

容量素子５０４は、絶縁層５１２上に形成される高濃度不純物領域で構成される半導体層５２０と、半導体層５２０上に設けられたゲート絶縁層５２４と、ゲート絶縁層５２４上に設けられた容量電極５２８と、半導体層５２０と電気的に接続する配線５３４ｃと、容量電極５２８に接続する配線５３４ｂとを有する。ここで、容量電極５２８の側面にはサイドウォール絶縁層５３２が設けられている。

【０１１３】

トランジスタ５０２及び容量素子５０４を覆うように、絶縁層５３６、絶縁層５３８及び絶縁層５４０が設けられている。

【０１１４】

10

20

30

40

50

ダイオード接続したトランジスタ505は、絶縁層540上に設けられた配線534c及び配線534dと電氣的に接続されている酸化半導体層542と、配線534c、配線534d、及び酸化半導体層542を覆うゲート絶縁層544と、ゲート絶縁層544上において酸化半導体層542と重畳するように設けられたゲート電極546aとを有する。また、ゲート電極546aは、ゲート絶縁層544に形成された開口を封じて、配線534dと電氣的に接続されることで、ダイオード接続される。

【0115】

トランジスタ505を覆うように、絶縁層552及び絶縁層554が設けられている。

【0116】

また、図14に示すように、接地配線として機能する配線546bは、ゲート絶縁層544に形成された開口を通じて、トランジスタ502の配線534aと電氣的に接続される。容量電極528は配線534aと電氣的に接続されているため、容量素子504の容量電極528は配線546bと電氣的に接続される。

10

【0117】

配線534aは、絶縁層536、絶縁層538及び絶縁層540に形成された開口を通じて、高濃度不純物領域518及び容量素子504の容量電極528と電氣的に接続されている。配線534bは、絶縁層536、絶縁層538及び絶縁層540に形成された開口を通じて、高濃度不純物領域518と電氣的に接続されている。配線534cは、絶縁層536、絶縁層538及び絶縁層540に形成された開口を通じて、高濃度不純物半導体である半導体層520及びトランジスタ502のゲート電極526（図14参照。）と電氣的に接続されている。

20

【0118】

また、図14に示すように、配線534dは、絶縁層536、絶縁層538及び絶縁層540に形成された開口を通じて、トランジスタ506の高濃度不純物領域と電氣的に接続されており、トランジスタ505の酸化半導体層542と電氣的に接続されている。配線534eは、絶縁層536、絶縁層538及び絶縁層540に形成された開口を通じて、トランジスタ506の高濃度不純物領域と電氣的に接続されている。配線534fは、絶縁層536、絶縁層538及び絶縁層540に形成された開口を通じて、トランジスタ503の高濃度不純物領域と電氣的に接続されている。

【0119】

30

基板508は、少なくとも、後の加熱処理に耐えうる程度の耐熱性を有している基板であることが必要となる。基板508としてガラス基板を用いる場合、歪み点が730℃以上のものを用いることが好ましい。ガラス基板には、例えば、アルミノシリケートガラス、アルミノホウケイ酸ガラス、バリウムホウケイ酸ガラスなどのガラス材料が用いられる。なお、 B_2O_3 よりBaOを多く含むガラス基板を用いることが好ましい。

【0120】

なお、上記のガラス基板に代えて、セラミック基板、石英基板、サファイア基板などの絶縁体となる基板を用いることができる。また、結晶化ガラスなどを用いることができる。また、シリコンウェハ等の半導体基板の表面や金属材料よりなる導電性の基板の表面に絶縁層を形成したものをを用いることもできる。また、プラスチック基板を用いることもできる。なお、基板508としてプラスチック基板を用いる場合、基板508及び絶縁層510の間に接着材を設けてもよい。

40

【0121】

絶縁層510は、窒化絶縁層で形成することが好ましく、絶縁層512は酸化絶縁層で形成することが好ましい。窒化絶縁層としては、窒化シリコン層、窒化酸化シリコン層、窒化アルミニウム層等がある。酸化絶縁層としては、酸化シリコン層、酸化窒化シリコン層、酸化アルミニウム層等がある。

【0122】

トランジスタ502の半導体層519、及び容量素子504の高濃度不純物半導体である半導体層520は、非晶質シリコン層、微結晶シリコン層、多結晶シリコン層、または単

50

結晶シリコン層で形成することができる。なお、単結晶シリコン層をチャネル領域に用いたトランジスタとしては、単結晶半導体基板をチャネル領域に用いたトランジスタの他、絶縁領域上にチャネル領域となる単結晶シリコン層が形成される、いわゆるSOI (Silicon on Insulator) 基板を用いたトランジスタを用いることができる。また、トランジスタ502の半導体層519に、ダイオード接続したトランジスタ505で説明する酸化物半導体層と同様の酸化物半導体層を形成してもよい。

【0123】

ゲート絶縁層522及びゲート絶縁層524は、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、または酸化アルミニウム層を、単層でまたは積層して形成することができる。

10

【0124】

また、ゲート絶縁層522及びゲート絶縁層524は、ハフニウムシリケート (HfSiO_x)、窒素が添加されたハフニウムシリケート ($\text{HfSi}_x\text{O}_y\text{N}_z$)、窒素が添加されたハフニウムアルミネート ($\text{HfAl}_x\text{O}_y\text{N}_z$)、酸化ハフニウム、酸化イットリウムなどのhigh-k材料を用いることで、ゲートリーク電流を低減できる。さらには、high-k材料と、酸化シリコン層、窒化シリコン層、酸化窒化シリコン層、窒化酸化シリコン層、または酸化アルミニウム層のいずれか一以上の積層構造とすることができる。ゲート絶縁層522及びゲート絶縁層524の厚さは、10nm以上300nm以下とすることができる。

【0125】

20

ゲート電極526及び容量電極528は、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金などを用いて形成することができる。また、マンガン、マグネシウム、ジルコニウム、ベリリウムのいずれか一または複数から選択された金属元素を用いてもよい。また、ゲート電極526及び容量電極528は、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム層の単層構造、アルミニウム層上にチタン層を積層する二層構造、窒化チタン層上にチタン層を積層する二層構造、窒化チタン層上にタングステン層を積層する二層構造、窒化タンタル層上にタングステン層を積層する二層構造、チタン層と、そのチタン層上にアルミニウム層を積層し、さらにその上にチタン層を形成する三層構造などがある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素の層、または複数組み合わせ合わせた合金層、もしくは窒化物層を用いてもよい。

30

【0126】

また、ゲート電極526及び容量電極528は、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

40

【0127】

サイドウォール絶縁層530及びサイドウォール絶縁層532は、ゲート絶縁層522及びゲート絶縁層524と同様の材料を用いて形成することができる。なお、トランジスタ及び容量素子の集積化などのため、サイドウォール絶縁層が形成されない場合もある。

【0128】

絶縁層536及び絶縁層540は、ゲート絶縁層522及びゲート絶縁層524と同様に形成することができる。絶縁層538は、有機樹脂層を用いて形成することができる。有機樹脂層としては、例えばアクリル、エポキシ、ポリイミド、ポリアミド、ポリビニルフェノール、ベンゾシクロブテンなどを用いることができる。また、シロキサンポリマーを用いることができる。

50

【0129】

配線534a乃至配線534fは、アルミニウム、クロム、銅、タンタル、チタン、モリブデン、タングステンから選ばれた金属元素、上述した金属元素を成分とする合金、または上述した金属元素を組み合わせた合金などを用いて形成することができる。また、マンガ、マグネシウム、ジルコニウム、ベリリウムのいずれか一または複数から選択された金属元素を用いてもよい。また、配線534a乃至配線534fは、単層構造でも、二層以上の積層構造としてもよい。例えば、シリコンを含むアルミニウム層の単層構造、アルミニウム層上にチタン層を積層する二層構造、窒化チタン層上にチタン層を積層する二層構造、窒化チタン層上にタングステン層を積層する二層構造、窒化タンタル層上にタングステン層を積層する二層構造、チタン層と、そのチタン層上にアルミニウム層を積層し、さらにその上にチタン層を形成する三層構造などがある。また、アルミニウムに、チタン、タンタル、タングステン、モリブデン、クロム、ネオジム、スカンジウムから選ばれた元素の層、または複数組み合わせ合わせた合金層、もしくは窒化物層を用いてもよい。

10

【0130】

また、配線534a乃至配線534fは、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を適用することもできる。また、上記透光性を有する導電性材料と、上記金属元素の積層構造とすることもできる。

20

【0131】

なお、トランジスタ505及びトランジスタ506は、トランジスタ502と同様の構成とすることができる。

【0132】

酸化物半導体層542は、四元系金属酸化物である $In-Sn-Ga-Zn-O$ 系金属酸化物や、三元系金属酸化物である $In-Ga-Zn-O$ 系金属酸化物、 $In-Sn-Zn-O$ 系金属酸化物、 $In-Al-Zn-O$ 系金属酸化物、 $Sn-Ga-Zn-O$ 系金属酸化物、 $Al-Ga-Zn-O$ 系金属酸化物、 $Sn-Al-Zn-O$ 系金属酸化物や、二元系金属酸化物である $In-Zn-O$ 系金属酸化物、 $Sn-Zn-O$ 系金属酸化物、 $Al-Zn-O$ 系金属酸化物、 $Zn-Mg-O$ 系金属酸化物、 $Sn-Mg-O$ 系金属酸化物、 $In-Mg-O$ 系金属酸化物などを用いることができる。ここでは、 n 元系金属酸化物は n 種類の金属酸化物で構成される。なお、酸化物半導体層には、不純物として、主成分とする金属酸化物以外の元素が1%以下、好ましくは0.1%以下入ってもよい。

30

【0133】

また、酸化物半導体層542は、三元系金属酸化物であり、 $InM_xZn_yO_z$ ($Y=0.5\sim 5$) で表現される金属酸化物を用いてもよい。ここで、 M は、ガリウム (Ga) やアルミニウム (Al) や硼素 (B) などの13族元素から選択される一または複数種類の元素を表す。なお、 In 、 M 、 Zn 、及び O の含有量は任意であり、 M の含有量がゼロ (即ち、 $x=0$) の場合を含む。一方、 In 及び Zn の含有量はゼロではない。すなわち、上述の表記には、 $In-Ga-Zn-O$ 系金属酸化物や $In-Zn-O$ 系金属酸化物などが含まれる。

40

【0134】

また、酸化物半導体層542を形成する金属酸化物は、エネルギーギャップが2eV以上、好ましくは2.5eV以上、より好ましくは3eV以上である。

【0135】

酸化物半導体層542は、非晶質構造、微結晶構造、多結晶構造、または単結晶構造の酸化物半導体を適宜用いることができる。また、表面に垂直な方向に c 軸がほぼ平行な結晶を有する酸化物半導体を用いることができる。

【0136】

酸化物半導体層542は、 i 型化または実質的に i 型化された酸化物半導体層で形成され

50

る。i型化または実質的にi型化された酸化物半導体層は、キャリア密度が $5 \times 10^{14} / \text{cm}^3$ 未満、好ましくは $1 \times 10^{12} / \text{cm}^3$ 未満、より好ましくは $1 \times 10^{11} / \text{cm}^3$ 以下である。また、ドナーとして寄与する水素や酸素欠陥は少ないことが好ましく、水素濃度が $1 \times 10^{16} / \text{cm}^3$ 以下が好ましい。なお、キャリア密度は、ホール効果測定により得られる。また、より低濃度のキャリア密度の測定は、C V測定 (Capacitance-Voltage-Measurement) の測定結果により得られる。また、酸化物半導体層中の水素濃度測定は、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectroscopy) により得られる。

【0137】

i型化または実質的にi型化された酸化物半導体層542をチャネル領域に用いたトランジスタ505は、オフ電流が $1 \times 10^{-19} \text{ A} / \mu\text{m}$ 以下、さらには $1 \times 10^{-20} \text{ A} / \mu\text{m}$ 以下と低くすることができる。これは、i型化または実質的にi型化された酸化物半導体層は、バンドギャップが広く、電子の励起のために大きな熱エネルギーが必要であるため、直接再結合及び間接再結合が生じにくい。このため、ゲート電極に負の電位が印加された状態 (オフ状態) では、少数キャリアであるホールは実質的にゼロであるため、直接再結合及び間接再結合が生じにくく、電流は限りなく低くなる。この結果、トランジスタの非導通 (オフ、OFFともいう。) 状態において、酸化物半導体層は絶縁体とみなせて回路設計を行うことができる。一方で、i型化または実質的にi型化された酸化物半導体層は、トランジスタの導通状態においては、非品質シリコンで形成される半導体層よりも高い電流供給能力を見込むことができる。このため、トランジスタ505は、オフ状態では極めてリーク電流の低いノーマリーオフ状態となり、優れたスイッチング特性を有する。

【0138】

ゲート絶縁層544は、ゲート絶縁層522及びゲート絶縁層524に示す材料を適宜用いることができる。なお、ゲート絶縁層544が積層構造の場合、酸化物半導体層542に接する側の層を酸化絶縁層で形成することで、酸化物半導体層542に含まれる酸素欠損に酸素を供給することが可能であり、酸化物半導体層542をi型化または実質的にi型化にすることができる。

【0139】

絶縁層552及び絶縁層554は、絶縁層536、絶縁層538または絶縁層540と同様に形成することができる。

【0140】

本実施の形態では、ダイオード接続したトランジスタ505のチャネル領域を、i型化または実質的にi型化された酸化物半導体層で形成するため、オフ電流を極めて低減することができる。このため、容量素子504に印加された電圧を長時間保持することができる。

【0141】

次に、図15に示す半導体記憶装置において、トランジスタ505の作製工程について、図16を用いて説明する。なお、トランジスタ502、トランジスタ503、及びトランジスタ506の作製工程は、公知のトランジスタの作製工程を適宜用いればよい。

【0142】

図16 (A) に示すように、絶縁層540上に、トランジスタ505のソース電極及びドレイン電極として機能する配線534c及び配線534dを形成する。

【0143】

絶縁層540は、スパッタリング法、CVD法、印刷法、塗布法等により形成することができる。または、 μ 波 (例えば、周波数2.45 GHz) を用いた高密度プラズマCVDにより、緻密で絶縁耐圧の高い高品質な絶縁層540を形成できる。酸化物半導体層と高品質な絶縁層540とが密接することにより、界面準位を低減して界面特性を良好とすることができる。また、高密度プラズマCVDにより得られた絶縁層540は、一定の厚さで形成できるため、段差被覆性に優れている。また、高密度プラズマCVDにより得られ

る絶縁層 540 は、厚さを精密に制御することができる。なお、i 型化または実質的に i 型化された酸化物半導体層は、界面準位、界面電荷に対して極めて敏感であるため、絶縁層 540 を、 μ 波を用いた高密度プラズマ CVD で形成することで、界面準位を低減して界面特性を良好とすることができる。

【0144】

なお、絶縁層 540 を形成する際に、基板 508 を加熱することで、絶縁層 540 に含まれる水素、水、水酸基、水素化物などを低減することができる。

【0145】

また、絶縁層 540 に含まれる水素、水、水酸基、水素化物などを低減するため、スパッタリング法で絶縁層 540 を形成する場合は、処理室内に残留する水素、水、水酸基または水素化物などを除去しつつ絶縁層 540 を形成することが好ましい。処理室内に残留する水素、水、水酸基、水素化物などを除去するためには、吸着型の真空ポンプを用いることが好ましい。吸着型の真空ポンプの代表例は、クライオポンプ、イオンポンプ、チタンサブリメーションポンプである。また、排気手段としては、ターボポンプにコールドトラップを加えたものを用いることができる。

10

【0146】

また、絶縁層 540 を形成する際に用いるスパッタリングガスの純度を、6N (99.9999%) 以上、好ましくは 7N (99.99999%) 以上、(即ち不純物濃度を 1 ppm 以下、好ましくは 0.1 ppm 以下) とすることで、絶縁層 540 に含まれる水素、水、水酸基、水素化物などを低減することができる。

20

【0147】

配線 534c 及び配線 534d は、印刷法、インクジェット法等を用いて作製することで、工程数を削減することができる。または、絶縁層 540 上に、スパッタリング法、CVD 法、蒸着法等により導電層を形成した後、フォトリソグラフィ工程により形成したレジストをマスクとして上記導電層をエッチングして、配線 534c 及び配線 534d を形成することができる。

【0148】

次に、図 16 (B) に示すように、絶縁層 540、配線 534c 及び配線 534d 上に、酸化物半導体層 541 を形成する。酸化物半導体層 541 は、印刷法、インクジェット法等を用いて形成することができる。または、絶縁層 540 上に、スパッタリング法、CVD 法、塗布法、パルスレーザー蒸着法等により酸化物半導体層を形成し、フォトリソグラフィ工程により形成したレジストをマスクとして上記酸化物半導体層をエッチングして、島状の酸化物半導体層 541 を形成することができる。

30

【0149】

酸化物半導体層のキャリア密度は、成膜条件における原料ガス及びターゲットの水素濃度及び酸素濃度、成膜する材料及びその組成、加熱処理条件などに依存する。酸化物半導体層の水素濃度を低くする、または、酸化物半導体層の酸素濃度を高くし酸素欠損を低減させることで、酸化物半導体層は、i 型または実質的に i 型となる。本実施の形態では、酸化物半導体層を i 型化または実質的に i 型化する処理を後に行うため、酸化物半導体層 541 は i 型でも n 型でもよい。

40

【0150】

なお、酸化物半導体層をスパッタリング法で形成する場合、基板を加熱することで、酸化物半導体層に含まれる水素、水、水酸基、水素化物などの不純物を低減することができる。また、第 1 の加熱処理において、結晶成長を促すことができる。

【0151】

また、酸化物半導体層をスパッタリング法で形成する場合、金属酸化物ターゲット中の金属酸化物の相対密度を 80% 以上、好ましくは 95% 以上、さらに好ましくは 99.9% 以上とすることで、酸化物半導体層中の不純物濃度を低減することができ、電気特性または信頼性の高いトランジスタを得ることができる。

【0152】

50

また、酸化物半導体層を形成する前にプレヒート処理を行うことで、スパッタリング装置内壁や、ターゲット表面やターゲット材料中に残存している水素、水、水酸基、水素化物等を除去できるため、酸化物半導体層に含まれる水素、水、水酸基、水素化物などの不純物を低減することができる。

【0153】

また、絶縁層540と同様に、酸化物半導体層を形成する前、または形成中、または形成後に、スパッタリング装置内に残存している水素、水、水酸基、水素化物などを除去するために、吸着型の真空ポンプを用いることが好ましい。この結果、水素、水、水酸基、水素化物などが排気されるため、酸化物半導体層に含まれる水素、水、水酸基、水素化物などの濃度を低減できる。

10

【0154】

次に、第1の加熱処理を行い、酸化物半導体層541に含まれる水素、水、水酸基、水素化物などの不純物を除去する。即ち、脱水化及び脱水素化の少なくとも一方を行うことができる。なお、第1の加熱処理において、酸化物半導体層541に酸素欠損が形成される。

【0155】

第1の加熱処理の温度は、400℃以上750℃以下、好ましくは400℃以上基板の歪み点未満とする。第1の加熱処理に用いる加熱処理装置は特に限られず、抵抗発熱体などの発熱体からの熱伝導または熱輻射によって、被処理物を加熱する装置を備えていてもよい。例えば、加熱処理装置として、電気炉や、GRTA (Gas Rapid Thermal Anneal) 装置、LRTA (Lamp Rapid Thermal Anneal) 装置等のRTA (Rapid Thermal Anneal) 装置を用いることができる。LRTA装置は、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、高圧水銀ランプなどのランプから発する光(電磁波)の輻射により、被処理物を加熱する装置である。GRTA装置は、高温のガスを用いて加熱処理を行う装置である。

20

【0156】

第1の加熱処理においては、窒素、またはヘリウム、ネオン、アルゴンなどの希ガスに、水素、水、水酸基または水素化物などが含まれないことが好ましい。または、加熱処理装置に導入する窒素、またはヘリウム、ネオン、アルゴンなどの希ガスの純度を、6N (99.9999%)以上、好ましくは7N (99.99999%)以上、(即ち不純物濃度を1ppm以下、好ましくは0.1ppm以下)とすることが好ましい。

30

【0157】

また、第1の加熱処理において、昇温時には炉の内部を窒素雰囲気とし、冷却時には炉の内部を酸素雰囲気として雰囲気を切り替えてもよく、窒素雰囲気で脱水または脱水素化が行われた後、雰囲気を切り替えて酸素雰囲気にし、酸化物半導体層内部に酸素を補給することで、水素濃度が低減され、且つ酸素欠損が形成された酸化物半導体層の酸素欠損に酸素を供給することが可能であり、i型化または実質的にi型化された酸化物半導体層を形成することができる。

【0158】

また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、酸化物半導体層は結晶化し、結晶を有する酸化物半導体層となる場合もある。例えば、結晶化率が90%以上、または80%以上の結晶を有する酸化物半導体層となる場合もある。

40

【0159】

また、第1の加熱処理の条件、または酸化物半導体層の材料によっては、非晶質の酸化物半導体層の表層部に、表面に垂直な方向にc軸がほぼ平行な結晶が形成される酸化物半導体層となる場合もある。

【0160】

ここでは、電気炉に基板を導入し、窒素、希ガスなどの不活性ガス雰囲気において450℃で1時間の加熱処理を行う。

50

【0161】

次に、図16（C）に示すように、ゲート絶縁層544を形成する。

【0162】

ゲート絶縁層544は、絶縁層540と同様に形成することができる。なお、ゲート絶縁層544として、スパッタリング法により酸化シリコン層を形成すると、酸化シリコン層から第1の加熱処理で発生した酸化物半導体層541に含まれる酸素欠損に酸素を供給することが可能であり、ドナーとして寄与する酸素欠損を低減し、化学量論比を満たす構成とすることが可能である。この結果、i型化または実質的にi型化された酸化物半導体層542を形成することができる。また、酸化物半導体層と高品質な絶縁層540とが密接することにより、界面準位を低減して界面特性を良好とすることができる。

10

【0163】

なお、i型化または実質的にi型化された酸化物半導体層は界面準位、界面電荷に対して極めて敏感であるため、絶縁層540を、 μ 波を用いた高密度プラズマCVDで形成することで、界面準位を低減して界面特性を良好とすることができる。

【0164】

次に、不活性ガス雰囲気、または酸素ガス雰囲気、第2の加熱処理（好ましくは200℃以上400℃以下、例えば250℃以上350℃以下）を行う。第2の加熱処理は、ゲート絶縁層544上に保護絶縁層や平坦化絶縁層を形成してから行ってもよい。当該加熱処理により、ゲート絶縁層544の酸化絶縁層から第1の加熱処理で発生した酸化物半導体層に含まれる酸素欠損に酸素を供給することが可能であり、ドナーとして寄与する酸素欠損を低減し、化学量論比を満たす構成とすることが可能である。この結果、よりi型化または実質的にi型化された酸化物半導体層542を形成することができる。

20

【0165】

本実施の形態では、窒素雰囲気において250℃で1時間の第2の加熱処理を行う。

【0166】

次に、図16（D）に示すように、ゲート絶縁層544に開口を形成した後、ゲート絶縁層544及び配線534d上にゲート電極546aを形成する。以上の工程により、ゲート電極546a及び配線534dがダイオード接続したトランジスタを作製することができる。ゲート電極546aは、配線534c及び配線534dと同様に形成することができる。

30

【0167】

次に、図16（E）に示すように、ゲート絶縁層544及びゲート電極546a上に絶縁層552及び絶縁層554を形成する。

【0168】

さらに、大気中で100℃以上200℃以下の加熱処理を1時間以上30時間以下、行ってもよい。当該加熱処理により、トランジスタの信頼性を高めることができる。

【0169】

なお、図16においては、配線534c及び配線534dを形成した後、酸化物半導体層541を形成したが、絶縁層540上に酸化物半導体層541を形成した後、配線534c及び配線534dを形成してもよい。

40

【0170】

また、図16においては、絶縁層540上にゲート電極546aを形成し、ゲート電極546a上にゲート絶縁層544を形成し、ゲート絶縁層544上に酸化物半導体層541を形成し、酸化物半導体層541上にソース電極及びドレイン電極として機能する配線を形成してもよい。この場合、ソース電極及びドレイン電極として機能する配線の一方と、配線534cとが電氣的に接続する。また、ソース電極及びドレイン電極として機能する配線他方と、ゲート電極546aとが電氣的に接続する。

【0171】

以上の工程により、i型化または実質的にi型化された酸化物半導体層をチャネル領域に有し、オフ電流が極めて低いトランジスタ505を作製することができる。

50

【0172】

(実施の形態5)

本実施の形態では実施の形態1乃至実施の形態4で示した半導体記憶装置を有するRFIDタグの形態について、図面を用いて説明を行う。

【0173】

図17で示す回路はRFIDタグである。RFID(Radio Frequency Identification:無線周波数による非接触自動識別技術)は、非接触で記録情報が読み取れ、無電池で動作し、耐久性、耐候性に優れるなどの特徴を有する。無電池で動作が可能なのは、RFIDタグが有するアンテナが受信する電波(これには動作命令等が含まれる)を回路内で整流することにより、電力を発生させることができるためである。RFIDタグには、機能向上のためにユーザによって書込み、あるいは書き換えが可能なメモリを搭載することがしばしば行われている。

10

【0174】

RFIDタグ1520は、アンテナ回路1521及び信号処理回路1522を有する。信号処理回路1522は、整流回路1523、電源回路1524、復調回路1525、発振回路1526、論理回路1527、メモリコントロール回路1528、メモリ回路1529、論理回路1530、アンプ1531、変調回路1532を有する。メモリ回路1529は上記実施形態の半導体記憶装置を有する。

【0175】

アンテナ回路1521によって受信された通信信号は復調回路1525に入力される。受信される通信信号、すなわちアンテナ回路1521とリーダ/ライタ間で送受信される信号の周波数は極超短波帯においては13.56MHz、915MHz、2.45GHzなどがあり、それぞれISO規格などで規定される。もちろん、アンテナ回路1521とリーダ/ライタ間で送受信される信号の周波数はこれに限定されず、例えばサブミリ波である300GHz~3THz、ミリ波である30GHz~300GHz、マイクロ波である3GHz~30GHz、極超短波である300MHz~3GHz、超短波である30MHz~300MHzのいずれの周波数も用いることができる。また、アンテナ回路1521とリーダ/ライタ間で送受信される信号は、搬送波を変調した信号である。搬送波の変調方式は、アナログ変調またはデジタル変調であり、振幅変調、位相変調、周波数変調及びスペクトラム拡散のいずれかでよい。好ましくは、振幅変調または周波数変調である。

20

30

【0176】

発振回路1526から出力された発振信号は、クロック信号として論理回路1527に供給される。また、変調された搬送波は復調回路1525で復調される。復調後の信号も論理回路1527に送られ解析される。論理回路1527で解析された信号はメモリコントロール回路1528に送られる。メモリコントロール回路1528はメモリ回路1529を制御し、メモリ回路1529に記憶されたデータを取り出し、論理回路1530に送る。論理回路1530に送られた信号は、論理回路1530でエンコード処理された後、アンプ1531で増幅される。アンプ1531で増幅された信号によって、変調回路1532は搬送波に変調をかける。この変調された搬送波により、リーダ/ライタがRFIDタグ1520からの信号を認識する。

40

【0177】

整流回路1523に入った搬送波は整流された後、電源回路1524に入力される。このようにして得られた電源電圧を、電源回路1524より復調回路1525、発振回路1526、論理回路1527、メモリコントロール回路1528、メモリ回路1529、論理回路1530、アンプ1531、変調回路1532などに供給する。

【0178】

信号処理回路1522とアンテナ回路1521におけるアンテナとの接続については特に限定されない。例えばアンテナと信号処理回路1522をワイヤボンディング接続やバンパ接続を用いて接続する、あるいはチップ化した信号処理回路1522の一面を電極にしてアンテナに貼り付ける。信号処理回路1522とアンテナとの貼り付けにはACF(a

50

n i s o t r o p i c c o n d u c t i v e f i l m ; 異方性導電性フィルム) を用いることができる。

【0179】

アンテナは、信号処理回路1522と共に同じ基板上に積層して設けるか、外付けのアンテナを用いる。もちろん、信号処理回路の上部もしくは下部にアンテナが設けられる。

【0180】

整流回路1523は、アンテナ回路1521が受信する搬送波により誘導される交流信号を直流信号に変換する。

【0181】

R F I D タグ1520は、図18に示すように、バッテリー1581を有してもよい。整流回路1523から出力される電源電圧が、信号処理回路1522を動作させるのに十分でないときには、バッテリー1581からも信号処理回路1522を構成する各回路、例えば復調回路1525、発振回路1526、論理回路1527、メモリコントロール回路1528、メモリ回路1529、論理回路1530、アンプ1531、変調回路1532などに電源電圧を供給する。

10

【0182】

また、整流回路1523から出力される電源電圧のうちの余剰分をバッテリー1581に充電することができる。R F I D タグにアンテナ回路1521及び整流回路1523とは別にさらにアンテナ回路及び整流回路を設けることにより、無作為に生じている電磁波等からバッテリー1581に蓄えるエネルギーを得ることができる。

20

【0183】

バッテリーに電力を充電することでR F I D タグを連続的に使用できる。バッテリーはシート状に形成された電池を用いることができる。例えば、ゲル状電解質を用いるリチウムポリマー電池や、リチウムイオン電池、リチウム2次電池等を用いると、バッテリーの小型化が可能である。また、バッテリーとして、ニッケル水素電池、ニッケルカドミウム電池、または大容量のコンデンサーなどを用いることができる。

【0184】

(実施の形態6)

本実施形態では、実施の形態5で示したR F I D タグ1520の使用例について、図面を用いて説明を行う。

30

【0185】

R F I D タグ1520の用途は広範にわたるが、例えば、紙幣、硬貨、有価証券類、無記名債券類、証書類(運転免許証や住民票等(図19(A)参照。))、記録媒体(DVDソフトやビデオテープ等(図19(B)参照。))、包装用容器類(包装紙やボトル等(図19(C)参照。))、乗り物類(自転車等(図19(D)参照。))、身の回り品(靴や眼鏡等)、食品類、植物類、動物類、人体、衣類、生活用品類、または電子機器(液晶表示装置、E L 表示装置、テレビジョン装置、または携帯電話)等の物品、若しくは各物品に取り付ける荷札(図19(E)及び図19(F)参照。)等に設けて使用することができる。

【0186】

40

R F I D タグ1520は、プリント基板に実装、表面に貼る、または埋め込むことにより、物品に固定される。例えば、本であれば紙に埋め込む、または有機樹脂からなるパッケージであれば当該有機樹脂に埋め込み、各物品に固定される。R F I D タグ1520は、小型、薄型、軽量を実現するため、物品に固定した後もその物品自体のデザイン性を損なうことがない。また、紙幣、硬貨、有価証券類、無記名債券類、または証書類等にR F I D タグ1520を設けることにより、認証機能を設けることができ、この認証機能を活用すれば、偽造を防止することができる。また、包装用容器類、記録媒体、身の回り品、食品類、衣類、生活用品類、または電子機器等に本発明のR F I D タグを取り付けることにより、検品システム等のシステムの効率化を図ることができる。また、乗り物類であっても、R F I D タグ1520を取り付けることにより、盗難などに対するセキュリティ性を

50

高めることができる。

【実施例 1】

【0187】

本実施例では、実施の形態 1 乃至実施の形態 3 に示すメモリ素子のデータ保持時間を回路シミュレーションにより検証した結果を示す。

【0188】

図 20 に、シミュレーション用の回路図、及びその結果を示す。図 20 (A) に示す回路は本発明の一態様であるメモリ素子であり、ダイオード接続したトランジスタ 601、トランジスタ 602、及び容量素子 603 を有する。この回路と等価なシミュレーション用の回路を図 20 (B) に示す。図 20 (B) に示す回路は抵抗 611、トランジスタ 612、容量 613、抵抗 614、抵抗 615 を有する。抵抗 611 はオフ状態のダイオード接続したトランジスタ 601 と等価であり、抵抗 614 はトランジスタ 612 のゲートリーク成分を示し、抵抗 615 は容量 613 の電極間リーク成分を示す。

10

【0189】

書き込み直後の状態を想定し、ノード A の初期電圧を 2 V としてシミュレーションを行った。シミュレーションソフトとしては SIMUCAD DESIGN AUTOMATION 社の Gateway、Version 2.6.12.R を用いた。ノード A の電位は、ダイオード接続したトランジスタ 601 のオフ電流を想定した抵抗 611、トランジスタ 612 のゲートリーク成分を想定した抵抗 614、容量 613 の電極間リーク成分を想定した抵抗 615 それぞれによって、時間経過に従い単調減少する。電位が下がり、トランジスタ 612 のオフ状態を保てなくなる時点までがデータの保持可能な時間となる。本実施例では電圧が 10% 低下、即ち 1.8 V まで下がるまでの期間をデータ 1 が保持可能な期間、すなわちデータ 1 保持時間と定義する。

20

【0190】

条件 1 及び条件 2 は、抵抗 611 の抵抗値を、ダイオード接続したトランジスタ 601 のチャネル領域を酸化物半導体層で形成したトランジスタのオフ電流の値とした。条件 3 は、抵抗 611 の抵抗値を、ダイオード接続したトランジスタ 601 のチャネル領域を酸化物半導体層で形成しなかったトランジスタのオフ電流の値とした。条件 1： $2 \times 10^{20} \Omega$ (オフ電流換算で 10^{-20} A)、条件 2： $2 \times 10^{19} \Omega$ (オフ電流換算で 10^{-19} A)、条件 3： $2 \times 10^9 \Omega$ (オフ電流換算で 10^{-9} A)。抵抗 614 と抵抗 615 の抵抗値は、抵抗 611 の 10 倍であると仮定した。

30

【0191】

図 20 (C) にシミュレーション結果を示す。図 20 (C) は、経過時間を横軸にノード A の電圧を縦軸にとったグラフである。条件 3 ではデータ 1 保持時間は $176.3 \mu\text{s}$ であったのに対し、条件 1 ではデータ 1 保持時間は $17.63 \times 10^6 \text{ s}$ (約 200 日間)、条件 2 ではデータ 1 保持時間は $1.763 \times 10^6 \text{ s}$ (約 20 日間) となった。この結果より、ダイオード接続したトランジスタ 601 のチャネル領域を酸化物半導体層で形成することで、格段に長い期間データ 1 を保持することが可能であることがわかった。

【実施例 2】

【0192】

本実施例では、i 型化または実質的に i 型化された酸化物半導体層をチャネル領域に用いたトランジスタのオフ電流を求めた結果について説明する。

40

【0193】

まず、i 型化または実質的に i 型化された酸化物半導体層をチャネル領域に用いたトランジスタのオフ電流が十分に小さいことを考慮して、チャネル幅 W が 1 m と十分に大きいトランジスタを用意してオフ電流の測定を行った。チャネル幅 W が 1 m のトランジスタのオフ電流を測定した結果を図 21 に示す。図 21 において、横軸はゲート電圧 V_G 、縦軸はドレイン電流 I_D である。ドレイン電圧 V_D が +1 V または +10 V の場合、ゲート電圧 V_G が -5 V から -20 V の範囲では、トランジスタのオフ電流は、 $1 \times 10^{-12} \text{ A}$ 以下であることがわかった。また、トランジスタのオフ電流 (ここでは、単位チャネル幅 (

50

1 μm) あたりの値) は $1 \text{ aA} / \mu\text{m}$ ($1 \times 10^{-18} \text{ A} / \mu\text{m}$) 以下となることがわかった。

【0194】

次に、i 型化または実質的に i 型化された酸化物半導体層を用いたトランジスタのオフ電流をさらに正確に求めた結果について説明する。上述したように、i 型化または実質的に i 型化された酸化物半導体層をチャネル領域に用いたトランジスタのオフ電流は、 $1 \times 10^{-12} \text{ A}$ 以下であることがわかった。そこで、特性評価用素子を作製し、より正確なオフ電流の値 (上記測定における測定器の検出限界以下の値) を求めた結果について説明する。

【0195】

はじめに、電流測定方法に用いた特性評価用素子について、図 22 を参照して説明する。

【0196】

図 22 に示す特性評価用素子は、測定系 800 が 3 つ並列に接続されている。測定系 800 は、容量素子 802、トランジスタ 804、トランジスタ 805、トランジスタ 806、トランジスタ 808 を有する。トランジスタ 804、トランジスタ 805、トランジスタ 806 には、i 型化または実質的に i 型化された酸化物半導体層をチャネル領域に用いたトランジスタを適用した。

【0197】

測定系 800 において、トランジスタ 804 のソース端子およびドレイン端子の一方と、容量素子 802 の端子の一方と、トランジスタ 805 のソース端子およびドレイン端子の一方は、電源 (V2 を与える電源) に接続されている。また、トランジスタ 804 のソース端子およびドレイン端子の他方と、トランジスタ 808 のソース端子およびドレイン端子の一方と、容量素子 802 の端子の他方と、トランジスタ 805 のゲート端子とは、接続されている。また、トランジスタ 808 のソース端子およびドレイン端子の他方と、トランジスタ 806 のソース端子およびドレイン端子の一方と、トランジスタ 806 のゲート端子は、電源 (V1 を与える電源) に接続されている。また、トランジスタ 805 のソース端子およびドレイン端子の他方と、トランジスタ 806 のソース端子およびドレイン端子の他方とは、接続され、出力端子 Vout となっている。

【0198】

なお、トランジスタ 804 のゲート端子には、トランジスタ 804 のオン状態と、オフ状態を制御する電位 Vext_b2 が供給され、トランジスタ 808 のゲート端子には、トランジスタ 808 のオン状態と、オフ状態を制御する電位 Vext_b1 が供給される。また、出力端子からは電位 Vout が出力される。

【0199】

次に、上記の特性評価用素子を用いた電流測定方法について説明する。

【0200】

まず、オフ電流を測定するために電位差を付与する初期化期間の概略について説明する。初期化期間においては、トランジスタ 808 のゲート端子に、トランジスタ 808 をオン状態とする電位 Vext_b1 を入力して、トランジスタ 804 のソース端子またはドレイン端子の他方と接続されるノード (つまり、トランジスタ 808 のソース端子およびドレイン端子の一方、容量素子 802 の端子の他方、およびトランジスタ 805 のゲート端子に接続されるノード) であるノード A に電位 V1 を与える。ここで、電位 V1 は、例えば高電位とする。また、トランジスタ 804 はオフ状態としておく。

【0201】

その後、トランジスタ 808 のゲート端子に、トランジスタ 808 をオフ状態とする電位 Vext_b1 を入力して、トランジスタ 808 をオフ状態とする。トランジスタ 808 をオフ状態とした後に、電位 V1 を低電位とする。ここでも、トランジスタ 804 はオフ状態としておく。また、電位 V2 は電位 V1 と同じ電位とする。以上により、初期化期間が終了する。初期化期間が終了した状態では、ノード A とトランジスタ 804 のソース端子及びドレイン端子の一方との間に電位差が生じ、また、ノード A とトランジスタ 808

10

20

30

40

50

のソース端子及びドレイン端子の他方との間に電位差が生じることになるため、トランジスタ804およびトランジスタ808には僅かに電荷が流れる。つまり、オフ電流が発生する。

【0202】

次に、オフ電流の測定期間の概略について説明する。測定期間においては、トランジスタ804のソース端子またはドレイン端子の一方の端子の電位（つまりV2）、および、トランジスタ808のソース端子またはドレイン端子の他方の端子の電位（つまりV1）は低電位に固定しておく。一方で、測定期間中は、上記ノードAの電位は固定しない（フローティング状態とする）。これにより、トランジスタ804に電荷が流れ、時間の経過と共にノードAに保持される電荷量の変動する。そして、ノードAに保持される電荷量の変動に伴って、ノードAの電位が変動する。つまり、出力端子の出力電位Voutも変動する。

10

【0203】

上記電位差を付与する初期化期間、および、その後の測定期間における各電位の関係の詳細（タイミングチャート）を図23に示す。

【0204】

初期化期間において、まず、電位Vext_b2を、トランジスタ804がオン状態となるような電位（高電位）とする。これによって、ノードAの電位はV2すなわち低電位（VSS）となる。その後、電位Vext_b2を、トランジスタ804がオフ状態となるような電位（低電位）として、トランジスタ804をオフ状態とする。そして、次に、電位Vext_b1を、トランジスタ808がオン状態となるような電位（高電位）とする。これによって、ノードAの電位はV1、すなわち高電位（VDD）となる。その後、電位Vext_b1を、トランジスタ808がオフ状態となるような電位とする。これによって、ノードAがフローティング状態となり、初期化期間が終了する。

20

【0205】

その後の測定期間においては、電位V1および電位V2を、ノードAに電荷が流れ込み、またはノードAから電荷が流れ出すような電位とする。ここでは、電位V1および電位V2を低電位（VSS）とする。ただし、出力電位Voutを測定するタイミングにおいては、出力回路を動作させる必要が生じるため、一時的にV1を高電位（VDD）とすることがある。なお、V1を高電位（VDD）とする期間は、測定に影響を与えない程度の短期間とする。

30

【0206】

上述のようにして電位差を与え、測定期間が開始されると、時間の経過と共にノードAに保持される電荷量の変動し、これに従ってノードAの電位が変動する。これは、トランジスタ805のゲート端子の電位が変動することを意味するから、時間の経過と共に、出力端子の出力電位Voutの電位も変化することとなる。

【0207】

得られた出力電位Voutから、オフ電流を算出する方法について、以下に説明する。

【0208】

オフ電流の算出に先だって、ノードAの電位VAと、出力電位Voutとの関係を求めておく。これにより、出力電位VoutからノードAの電位VAを求めることができる。上述の関係から、ノードAの電位VAは、出力電位Voutの関数として次式のように表すことができる。

40

【0209】

【数1】

$$V_A = F(V_{out})$$

【0210】

また、ノードAの電荷QAは、ノードAの電位VA、ノードAに接続される容量CA、定

50

数 (const) を用いて、次式のように表される。ここで、ノード A に接続される容量 C_A は、容量素子 802 の容量と他の容量の和である。

【0211】

【数2】

$$Q_A = C_A V_A + \text{const}$$

【0212】

ノード A の電流 I_A は、ノード A に流れ込む電荷（またはノード A から流れ出る電荷）の時間微分であるから、ノード A の電流 I_A は次式のように表される。

10

【0213】

【数3】

$$I_A \equiv \frac{\Delta Q_A}{\Delta t} = \frac{C_A \cdot \Delta F(V_{out})}{\Delta t}$$

【0214】

このように、ノード A に接続される容量 C_A と、出力端子の出力電位 V_{out} から、ノード A の電流 I_A を求めることができる。

【0215】

20

以上に示す方法により、オフ状態においてトランジスタのソースとドレイン間を流れるリーク電流（オフ電流）を測定することができる。

【0216】

本実施例では、チャンネル長 L = 10 μm、チャンネル幅 W = 50 μm の、高純度化した酸化物半導体を用いてトランジスタ 804、トランジスタ 805、トランジスタ 806、トランジスタ 808 を作製した。また、並列された各測定系 800 において、容量素子 802 a ~ 802 c の容量値をそれぞれ、容量素子 802 a を 100 fF、容量素子 802 b を 1 pF、容量素子 802 c を 3 pF とした。

【0217】

なお、本実施例に係る測定では、V_{DD} = 5 V、V_{SS} = 0 V とした。また、測定期間においては、電位 V₁ を原則として V_{SS} とし、10 ~ 300 sec ごとに、100 msec の期間だけ V_{DD} として V_{out} を測定した。また、素子に流れる電流 I の算出に用いられる Δt は、約 30000 sec とした。

30

【0218】

図 24 に、上記電流測定に係る経過時間 Time と、出力電位 V_{out} との関係を示す。図 24 より、時間の経過にしたがって、電位が変化している様子が確認できる。

【0219】

図 25 には、上記電流測定によって算出された室温（25℃）におけるオフ電流を示す。なお、図 25 は、ソースドレイン電圧 V と、オフ電流 I との関係を表すものである。図 25 から、ソースドレイン電圧が 4 V の条件において、オフ電流は約 40 zA / μm であることが分かった。また、ソースドレイン電圧が 3.1 V の条件において、オフ電流は 10 zA / μm 以下であることが分かった。なお、1 zA は 10⁻²¹ A を表す。

40

【0220】

さらに、上記電流測定によって算出された 85℃ の温度環境下におけるオフ電流について図 26 に示す。図 26 は、85℃ の温度環境下におけるソースドレイン電圧 V と、オフ電流 I との関係を表すものである。図 26 から、ソースドレイン電圧が 3.1 V の条件において、オフ電流は 100 zA / μm 以下であることが分かった。

【0221】

以上、本実施例により、i 型化または実質的に i 型化された酸化物半導体層をチャンネル領域に用いたトランジスタでは、オフ電流が十分に小さくなることが確認された。また、実

50

施の形態 1 乃至実施の形態 3 に示すような、i 型化または実質的に i 型化された酸化物半導体層をチャネル領域に用い、且つダイオード接続したトランジスタ 1 0 2、1 1 2、1 2 2、1 3 2 も、オフ電流が十分に小さくなることがわかる。

【符号の説明】

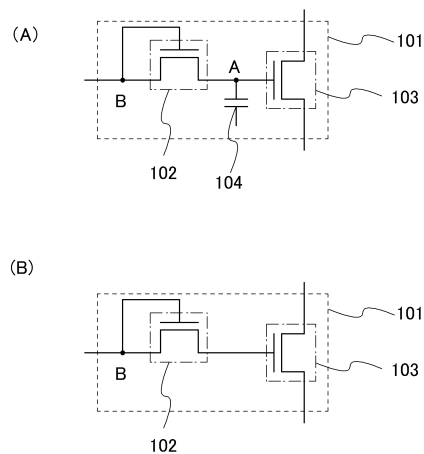
【0 2 2 2】

1 0 1	メモリ素子	
1 0 2	トランジスタ	
1 0 3	トランジスタ	
1 0 4	容量素子	
1 1 0	メモリセル	10
1 1 1	メモリ素子	
1 1 2	トランジスタ	
1 1 3	トランジスタ	
1 1 4	容量素子	
1 1 5	トランジスタ	
1 1 6	トランジスタ	
1 1 7	回路	
1 1 8	インバータ	
1 2 0	メモリセル	
1 2 1	メモリ素子	20
1 2 2	トランジスタ	
1 2 3	トランジスタ	
1 2 4	容量素子	
1 2 5	トランジスタ	
1 2 9	領域	
1 3 0	メモリセル	
1 3 1	メモリ素子	
1 3 2	トランジスタ	
1 3 3	トランジスタ	
1 3 4	容量素子	30
1 3 5	トランジスタ	
3 0 0	半導体記憶装置	
3 0 1	メモリセルアレイ	
3 0 2	コラムデコーダ	
3 0 3	ローデコーダ	
3 0 4	インターフェース回路	
3 0 5	メモリセル	
3 1 0	半導体記憶装置	
3 1 1	メモリセルアレイ	
3 1 2	メモリセルアレイ	40
3 1 3	メモリセル	
3 1 4	メモリセル	
4 0 0	メモリセル	
4 0 1	メモリ素子	
4 0 2	トランジスタ	
4 0 3	トランジスタ	
4 0 4	容量素子	
4 0 5	トランジスタ	
4 0 6	トランジスタ	
5 0 2	トランジスタ	50

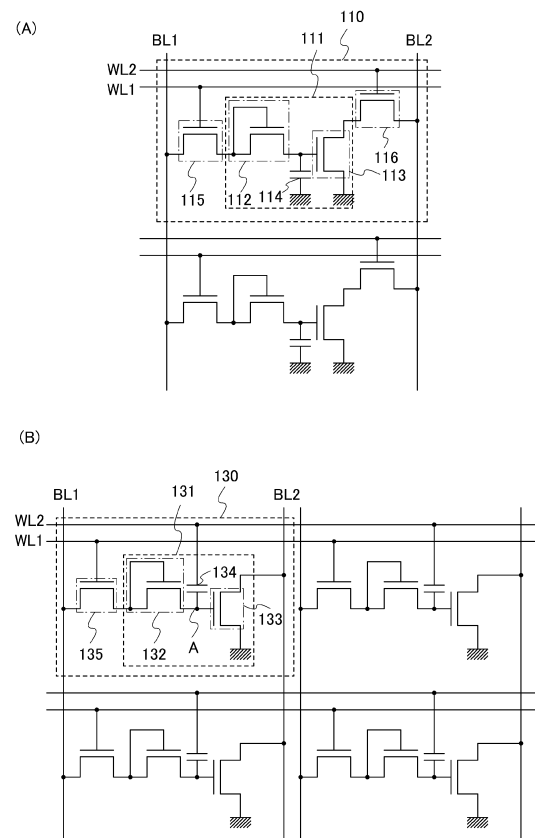
5 0 3	トランジスタ	
5 0 4	容量素子	
5 0 5	トランジスタ	
5 0 6	トランジスタ	
5 0 8	基板	
5 1 0	絶縁層	
5 1 2	絶縁層	
5 1 4	チャネル領域	
5 1 6	低濃度不純物領域	
5 1 8	高濃度不純物領域	10
5 1 9	半導体層	
5 2 0	半導体層	
5 2 2	ゲート絶縁層	
5 2 4	ゲート絶縁層	
5 2 6	ゲート電極	
5 2 8	容量電極	
5 3 0	サイドウォール絶縁層	
5 3 2	サイドウォール絶縁層	
5 3 4 a	配線	
5 3 4 b	配線	20
5 3 4 c	配線	
5 3 4 d	配線	
5 3 4 e	配線	
5 3 4 f	配線	
5 3 6	絶縁層	
5 3 8	絶縁層	
5 4 0	絶縁層	
5 4 1	酸化物半導体層	
5 4 2	酸化物半導体層	
5 4 4	ゲート絶縁層	30
5 4 6 a	ゲート電極	
5 4 6 b	配線	
5 5 2	絶縁層	
5 5 4	絶縁層	
6 0 1	トランジスタ	
6 0 2	トランジスタ	
6 0 3	容量素子	
6 1 1	抵抗	
6 1 2	トランジスタ	
6 1 3	容量	40
6 1 4	抵抗	
6 1 5	抵抗	
8 0 0	測定系	
8 0 2	容量素子	
8 0 2 a	容量素子	
8 0 2 b	容量素子	
8 0 2 c	容量素子	
8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	50

8 0 8	トランジスタ
1 5 2 0	R F I D タグ
1 5 2 1	アンテナ回路
1 5 2 2	信号処理回路
1 5 2 3	整流回路
1 5 2 4	電源回路
1 5 2 5	復調回路
1 5 2 6	発振回路
1 5 2 7	論理回路
1 5 2 8	メモリコントロール回路
1 5 2 9	メモリ回路
1 5 3 0	論理回路
1 5 3 1	アンプ
1 5 3 2	変調回路
1 5 8 1	バッテリー

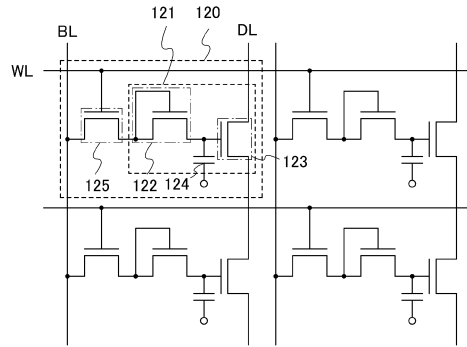
【図 1】



【図 2】

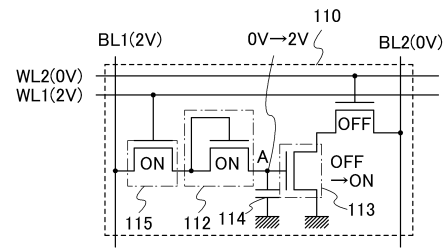


【図 3】

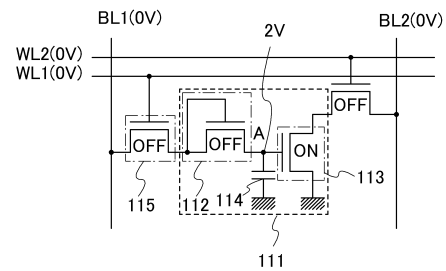


【図 4】

(A) 書込み

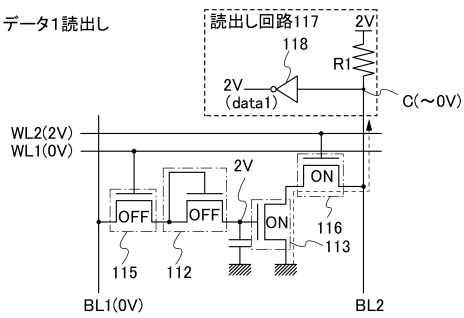


(B) 書込み終了、データ保持

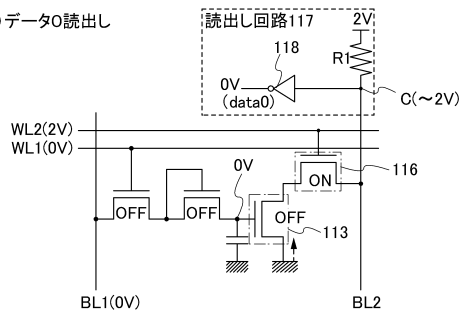


【図 5】

(A) データ1読出し

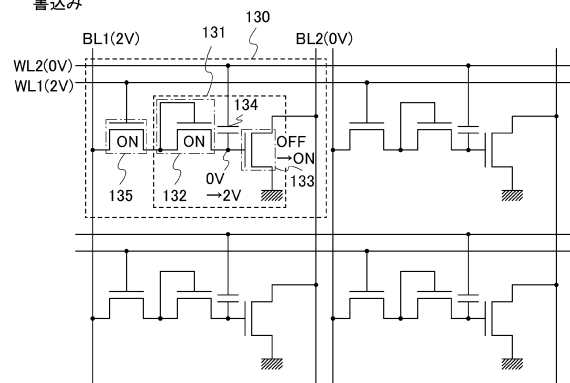


(B) データ0読出し

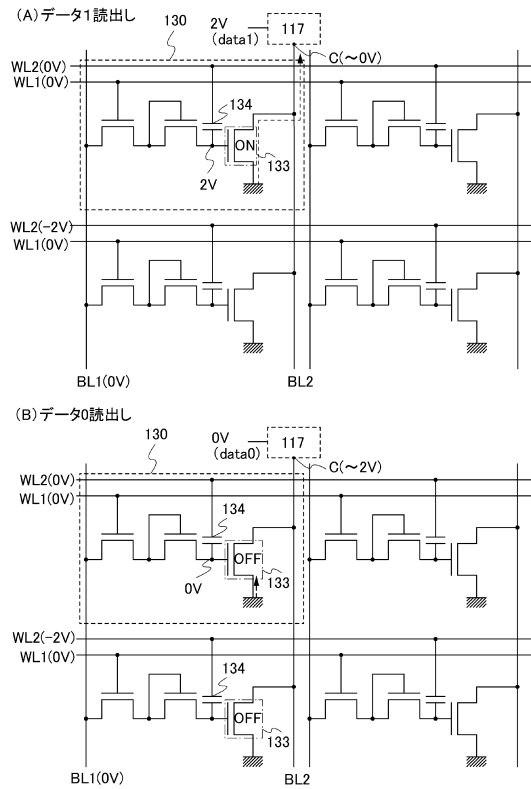


【図 6】

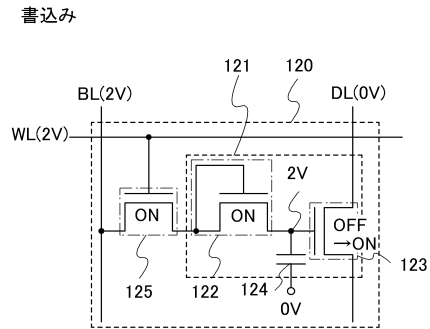
書込み



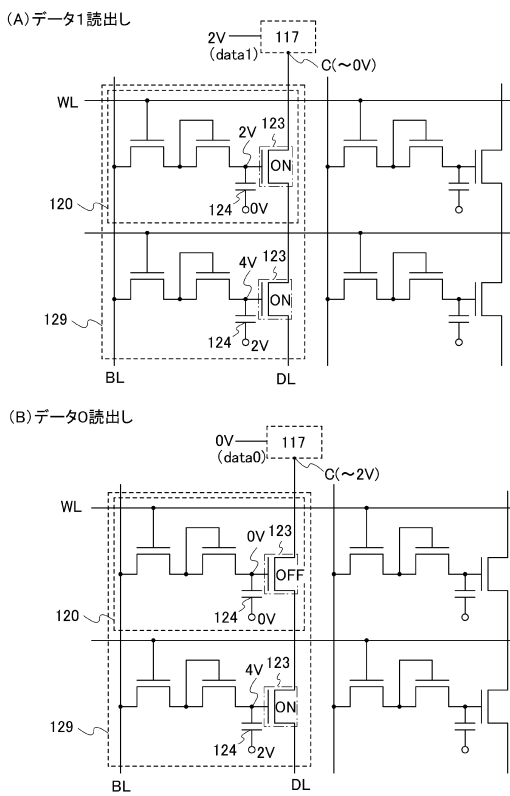
【図 7】



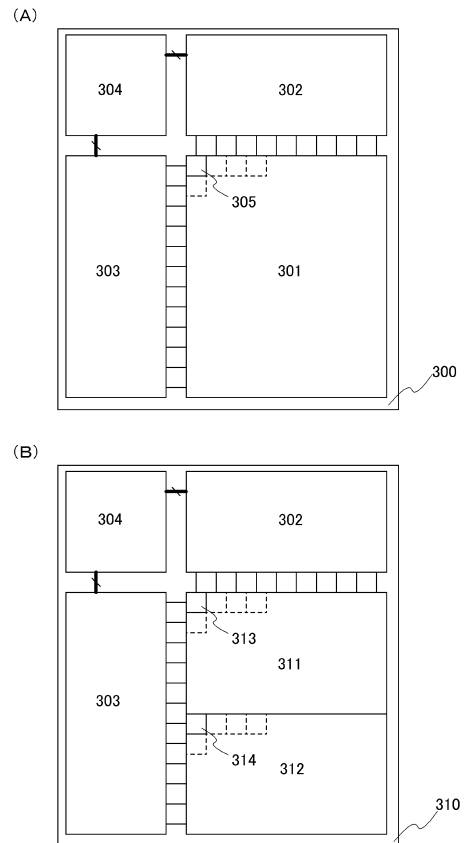
【図 8】



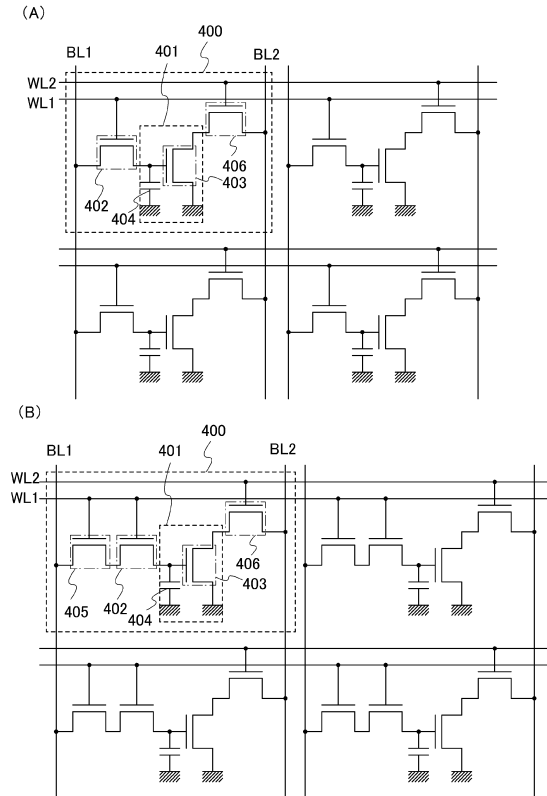
【図 9】



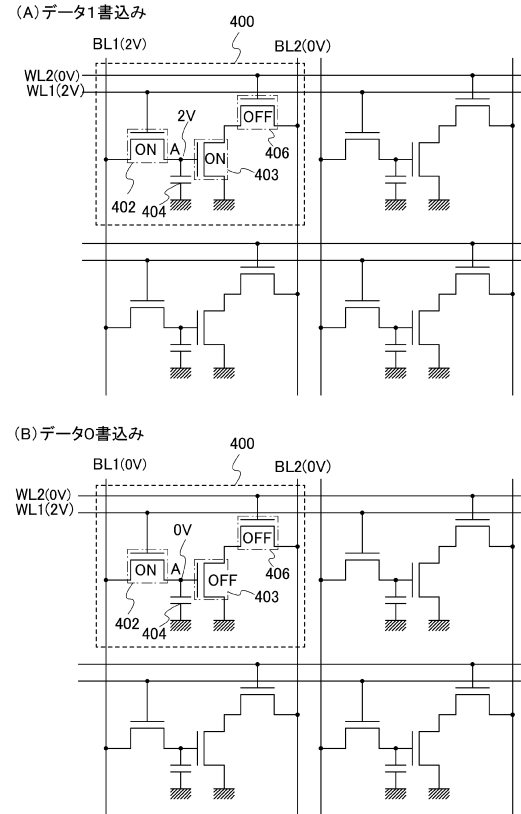
【図 10】



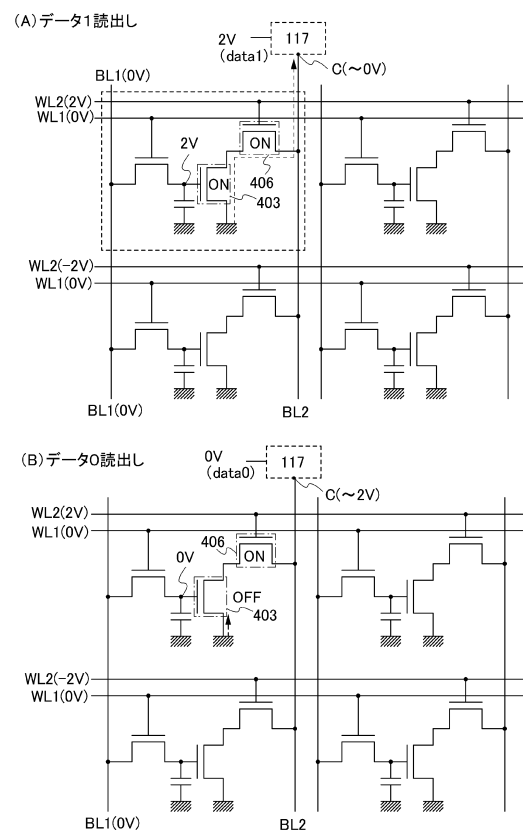
【図 1 1】



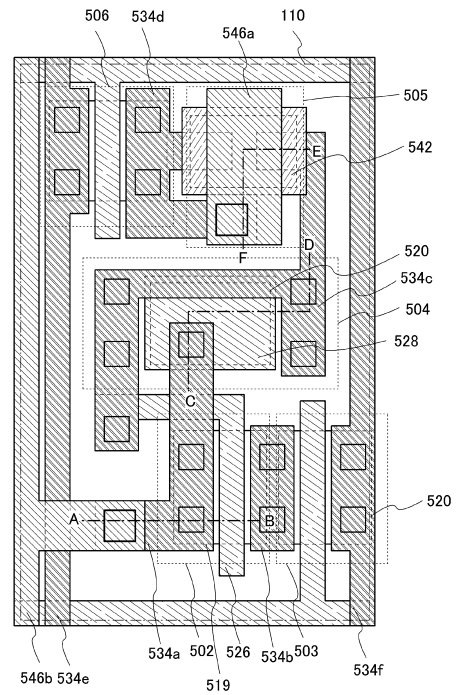
【図 1 2】



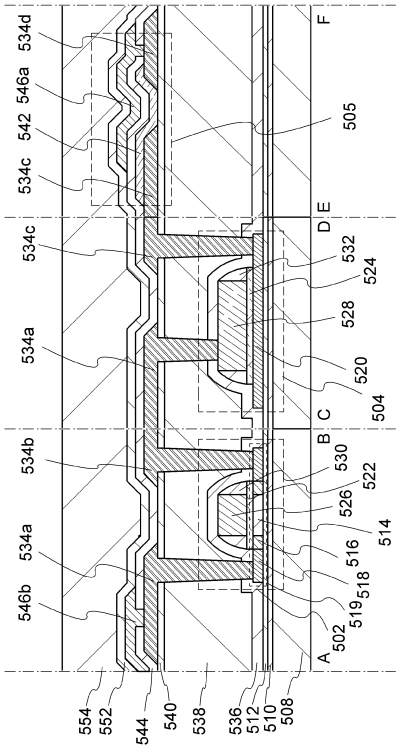
【図 1 3】



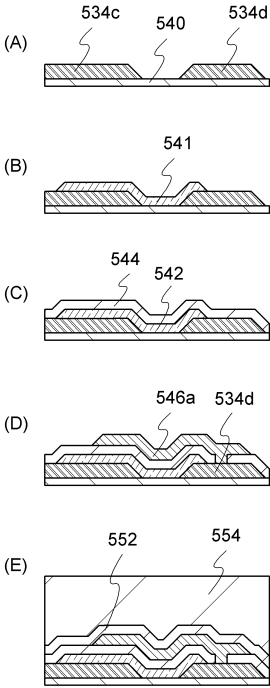
【図 1 4】



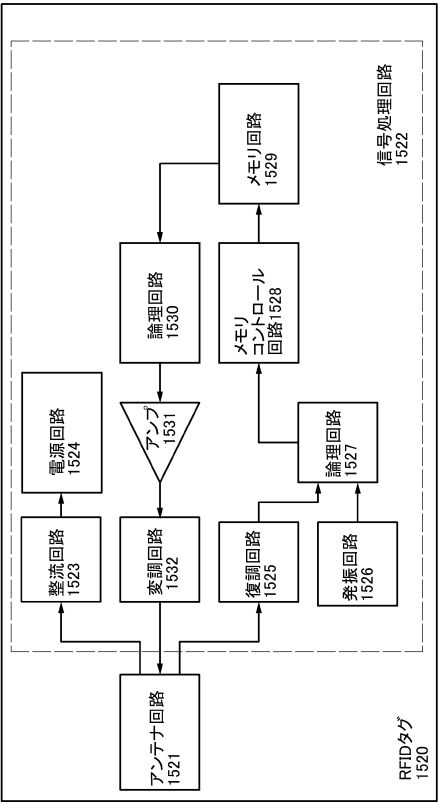
【図 15】



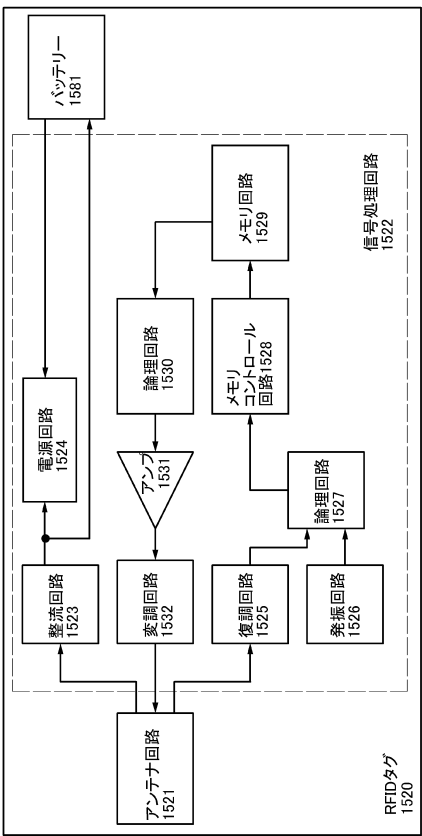
【図 16】



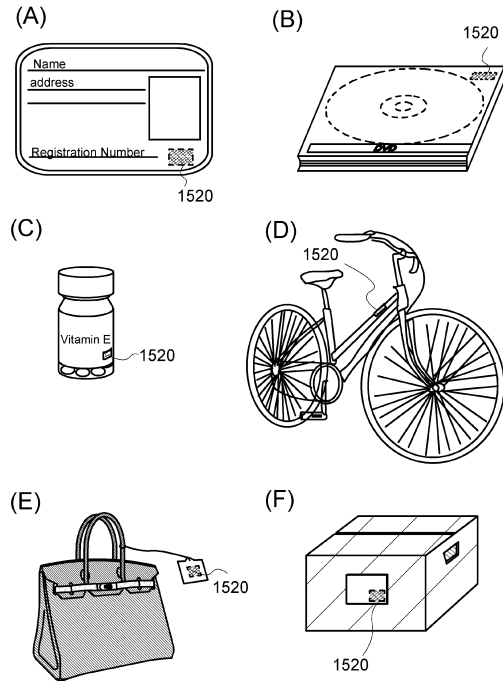
【図 17】



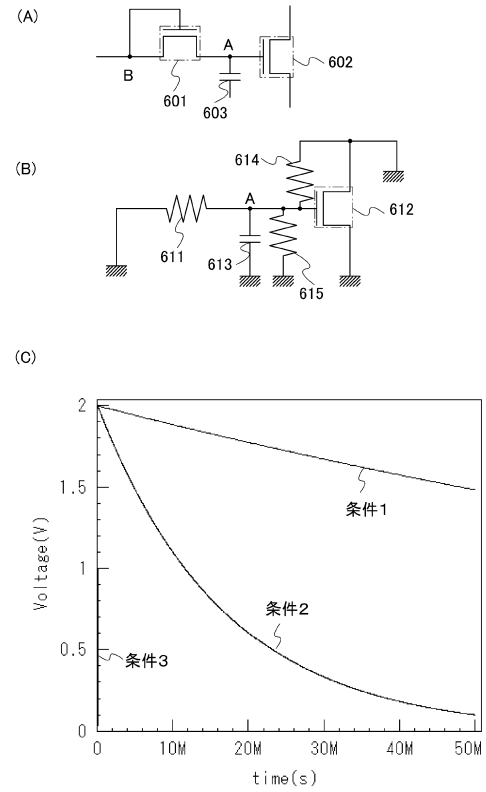
【図 18】



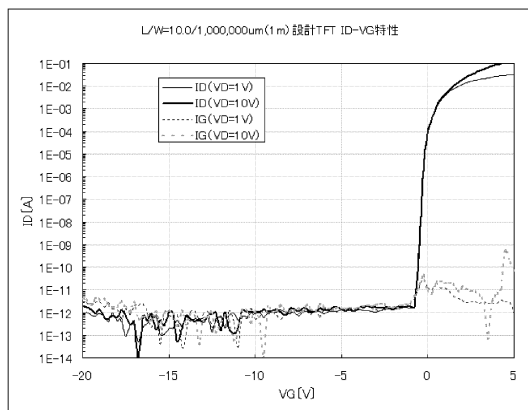
【図 19】



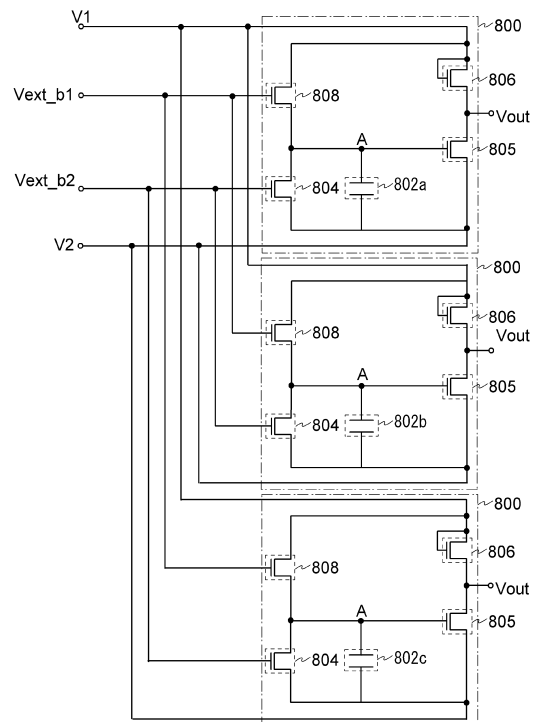
【図 20】



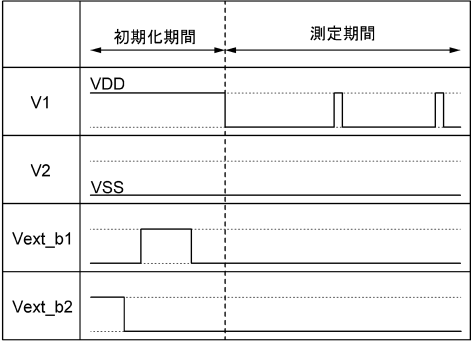
【図 21】



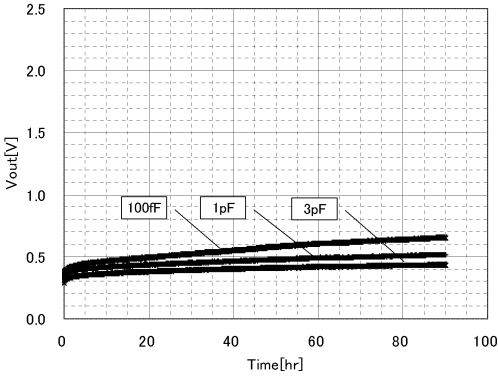
【図 22】



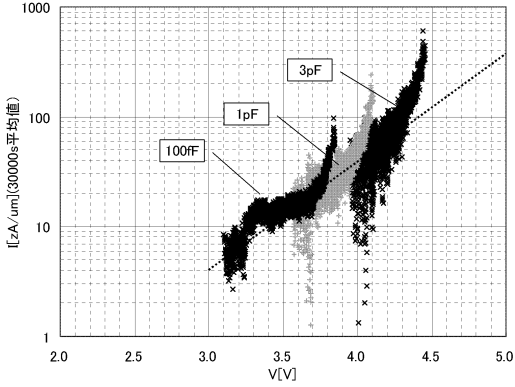
【図 2 3】



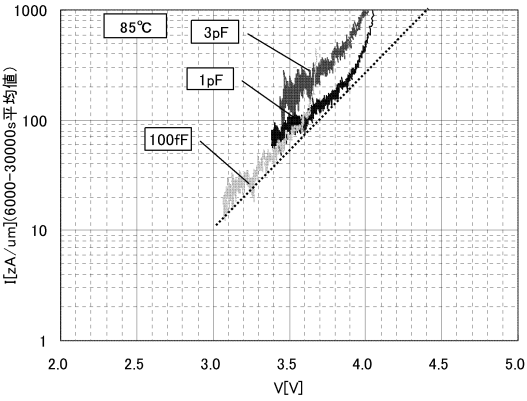
【図 2 4】



【図 2 5】



【図 2 6】



フロントページの続き

- (56)参考文献 特開2008-089915 (JP, A)
特表2009-528670 (JP, A)
特開2009-212443 (JP, A)
国際公開第2007/139009 (WO, A1)
国際公開第2009/075281 (WO, A1)
特開2007-103918 (JP, A)
特開2009-167087 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
H01L 21/8242
H01L 27/108