

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2017-509293

(P2017-509293A)

(43) 公表日 平成29年3月30日 (2017.3.30)

(51) Int.Cl.	F I	テーマコード (参考)
<b>H02M 1/08 (2006.01)</b>	H02M 1/08 C	5H740
<b>H03K 17/687 (2006.01)</b>	H02M 1/08 A	5J055
<b>H03K 17/16 (2006.01)</b>	H03K 17/687 F	5J056
<b>H03K 19/00 (2006.01)</b>	H03K 17/16 L	
<b>H03K 19/094 (2006.01)</b>	H03K 19/00 A	

審査請求 有 予備審査請求 未請求 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2016-548089 (P2016-548089)  
 (86) (22) 出願日 平成26年1月28日 (2014.1.28)  
 (85) 翻訳文提出日 平成28年9月12日 (2016.9.12)  
 (86) 国際出願番号 PCT/US2014/013358  
 (87) 国際公開番号 WO2015/116031  
 (87) 国際公開日 平成27年8月6日 (2015.8.6)

(71) 出願人 501439828  
 シュナイダー エレクトリック アイティ  
 ー コーポレーション  
 アメリカ合衆国 ロードアイランド州 O  
 2892 ウェスト キングストン フェ  
 アグラウンズ ロード 132  
 (74) 代理人 100177426  
 弁理士 粟野 晴夫  
 (72) 発明者 ミリンダ ダイラスカー  
 インド国 カルナータカ バンガロール  
 560 032 マノラヤンパルヤ アー  
 ル. ティー. ナガー ネイチャービュー  
 シュルティ アpartment フラト  
 ナンバー-エイ

最終頁に続く

(54) 【発明の名称】 バイポーラゲートドライバ

(57) 【要約】

一つの態様によれば、本発明の実施形態はゲートドライバを提供し、ゲートドライバは、コントローラに結合され、コントローラから各々が制御グラウンドに対する電圧を有する制御信号を受信し、各制御信号の電圧をチップグラウンドに対して再設定し、再設定された制御信号を発生するレベルシフト回路と、レベルシフト回路に結合されたゲートドライバチップであって、少なくとも一つの半導体デバイスに結合されるように構成され、更に少なくとも一つの半導体デバイスに再設定された制御信号に基づいてバイポーラ制御信号を供給するように構成されたゲートドライバチップと、ゲートドライバチップ及びチップグラウンドに結合された少なくとも一つの電源であって、少なくとも一つの正電源電圧をゲートドライバチップに供給するとともに、少なくとも一つの負電源電圧をゲートドライバチップ及びチップグラウンドに供給するように構成された少なくとも一つの電源とを備える。

【選択図】 図2

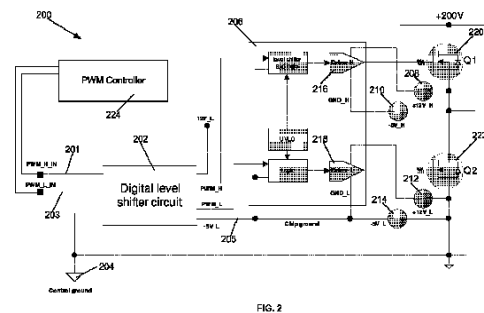


FIG. 2

**【特許請求の範囲】****【請求項 1】**

コントローラに結合され、前記コントローラから各々が制御グランドに対する電圧を有する制御信号を受信し、各制御信号の前記電圧をチップグランドに対して再設定し、再設定された制御信号を発生するレベルシフト回路と、

前記レベルシフト回路に結合されたゲートドライバチップであって、少なくとも一つの半導体デバイスに結合されるように構成され、更に前記少なくとも一つの半導体デバイスに前記再設定された制御信号に基づいてバイポーラ制御信号を供給するように構成されたゲートドライバチップと、

前記ゲートドライバチップ及び前記チップグランドに結合された少なくとも一つの電源であって、少なくとも一つの正電源電圧を前記ゲートドライバチップに供給するとともに、少なくとも一つの負電源電圧を前記ゲートドライバチップ及び前記チップグランドに供給するように構成された少なくとも一つの電源と、  
を備える、ゲートドライバ。

10

**【請求項 2】**

前記少なくとも一つの電源は、

前記ゲートドライバチップに結合され、前記少なくとも一つの正電源電圧を前記ゲートドライバチップに供給するように構成された少なくとも一つの正電源と、

前記ゲートドライバチップ及び前記チップグランドに結合され、前記少なくとも一つの負電源電圧を前記ゲートドライバチップと前記チップグランドに供給するように構成された少なくとも一つの負電源と、

を含む、請求項 1 記載のゲートドライバ。

20

**【請求項 3】**

前記ゲートドライバチップは、

前記レベルシフト回路に結合されたハイサイドドライバであって、第 1 の半導体デバイスに結合されるように構成され、更に前記第 1 の半導体デバイスに前記再設定された制御信号に基づいて第 1 のバイポーラ制御信号を供給するように構成されたハイサイドドライバと、

前記レベルシフト回路に結合されたローサイドドライバであって、第 2 の半導体デバイスに結合されるように構成され、更に前記第 2 の半導体デバイスに前記再設定された制御信号に基づいて第 2 のバイポーラ制御信号を供給するように構成されたローサイドドライバと、

を含む、請求項 2 記載のゲートドライバ。

30

**【請求項 4】**

前記少なくとも一つの正電源は、前記ハイサイドドライバに結合され、前記ハイサイドドライバに第 1 の正電源電圧を供給するように構成された第 1 の正電源と、前記ローサイドドライバに結合され、前記ローサイドドライバに第 2 の正電源電圧を供給するように構成された第 2 の正電源とを含み、

前記少なくとも一つの負電源は、前記ハイサイドドライバに結合され、前記ハイサイドドライバに第 1 の負電源電圧を供給するように構成された第 1 の負電源と、前記ローサイドドライバと前記チップグランドに結合され、前記ローサイドドライバと前記チップグランドに第 2 の負電源電圧を供給するように構成された第 2 の負電源とを含む、請求項 3 記載のゲートドライバ。

40

**【請求項 5】**

前記少なくとも一つの電源は、

前記ゲートドライバチップに結合され、前記ゲートドライバチップに前記少なくとも一つの正電源電圧を供給するように構成された少なくとも一つの正電源と、

前記少なくとも一つの正電源、前記ゲートドライバチップ、及び前記チップグランドに結合され、前記少なくとも一つの正電源電圧から第 1 の負電源電圧を発生し、前記第 1 の負電源電圧を前記ゲートドライバチップと前記チップグランドに供給するように構成され

50

た第 1 のチャージポンプ回路と、  
を含む、請求項 1 記載のゲートドライバ。

【請求項 6】

前記ゲートドライバチップは、

前記レベルシフト回路に結合されたハイサイドドライバであって、第 1 の半導体デバイスに結合されるように構成された第 1 の出力端子を有し、更に前記第 1 の出力端子から前記第 1 の半導体デバイスに前記再設定された制御信号に基づく第 1 のバイポーラ制御信号を供給するように構成されたハイサイドドライバと、

前記レベルシフト回路に結合されたローサイドドライバであって、第 2 の半導体デバイスに結合されるように構成された第 2 の出力端子を有し、更に前記第 2 の出力端子から前記第 2 の半導体デバイスに前記再設定された制御信号に基づく第 2 のバイポーラ制御信号を供給するように構成されたローサイドドライバと、を含み、

前記第 1 のチャージポンプ回路は前記ローサイドドライバに結合され、前記第 1 の負電源電圧を前記ローサイドドライバに供給するように構成されている、請求項 5 記載のゲートドライバ。

【請求項 7】

前記少なくとも一つの電源は更に、前記少なくとも一つの正電源と前記ハイサイドドライバに結合された第 2 のチャージポンプ回路を含み、前記第 2 のチャージポンプ回路は前記少なくとも一つの正電源電圧から第 2 の負電源電圧を発生し、前記第 2 の負電源電圧を前記ハイサイドドライバに供給するように構成されている、請求項 6 記載のゲートドライバ。

【請求項 8】

前記第 1 のチャージポンプ回路は第 1 の正電源に結合され、且つ前記第 1 の正電源により供給される第 1 の正電源電圧から前記第 1 の負電源電圧を発生するように構成され、前記第 2 のチャージポンプ回路は第 2 の正電源に結合され、且つ前記第 2 の正電源により供給される第 2 の正電源電圧から前記第 2 の負電源電圧を発生するように構成されている、請求項 7 記載のゲートドライバ。

【請求項 9】

前記第 1 のチャージポンプ回路は正電源に結合され、且つ前記正電源により供給される正電源電圧から前記第 1 の負電源電圧を発生するように構成され、前記第 2 のチャージポンプ回路は前記正電源に結合され、且つ前記正電源により供給される前記正電源電圧から前記第 2 の負電源電圧を発生するように構成されている、請求項 7 記載のゲートドライバ。

【請求項 10】

前記第 1 のチャージポンプ回路は、

前記第 2 の出力端子に結合された第 1 のキャパシタと、

前記第 2 の出力端子と前記第 1 のキャパシタとの間に結合されたスイッチと、

前記第 1 のキャパシタと前記チップグラウンドに結合された第 2 のキャパシタとを備え、

第 1 の動作モードにおいて、前記スイッチが前記第 2 の出力端子のハイ制御信号によりターンオフされ、前記第 1 のキャパシタが前記ハイ制御信号により充電され、

第 2 の動作モードにおいて、前記スイッチが前記第 2 の出力端子のロー制御信号によりターンオンされ、前記第 1 のキャパシタが放電され、前記第 1 のキャパシタから放電されたエネルギーが前記第 2 のキャパシタを充電し、前記第 1 の負電源電圧を前記チップグラウンドに発生する、

請求項 7 記載のゲートドライバ。

【請求項 11】

前記第 1 のチャージポンプ回路は、

前記少なくとも一つの正電源に結合された発振器と、

前記発振器に結合された第 1 のキャパシタと、

前記第 1 のキャパシタと前記チップグラウンドに結合された第 2 のキャパシタとを備え、

第 1 の動作モードにおいて、前記発振器がハイパルス信号を前記第 1 のキャパシタに供給し、前記第 1 のキャパシタが前記ハイパルス信号により充電され、

第 2 の動作モードにおいて、前記発振器がローパルス信号を前記第 1 のキャパシタに供給し、前記第 1 のキャパシタを放電し、前記第 1 のキャパシタから放電されたエネルギーが前記第 2 のキャパシタを充電し、前記第 1 の負電源電圧を前記チップグラウンドに発生する、

請求項 7 記載のゲートドライバ。

【請求項 1 2】

少なくとも一つの半導体デバイスに結合されたゲートドライバチップを動作させる方法であって、前記方法は、

コントローラから各々が制御グラウンドに対する電圧を有する制御信号を受信するステップと、

各制御信号の前記電圧をチップグラウンドに対して再設定し、再設定された制御信号を発生させるステップと、

前記ゲートドライバチップによって前記再設定された制御信号に基づいてバイポーラ制御信号を発生させるステップと、

前記バイポーラ制御信号を前記少なくとも一つの半導体デバイスに供給するステップと

、  
少なくとも一つの電源によって、少なくとも一つの正電源電圧を前記ゲートドライバチップに供給するとともに、少なくとも一つの負電源電圧を前記ゲートドライバチップ及び前記チップグラウンドに供給するステップと、  
を含む方法。

【請求項 1 3】

前記少なくとも一つの正電源電圧を前記ゲートドライバチップに供給するステップは、第 1 の正電源電圧を前記ゲートドライバチップのハイサイドドライバに供給するステップと、第 2 の正電源電圧を前記ゲートドライバチップのローサイドドライバに供給するステップとを含む、請求項 1 2 記載の方法。

【請求項 1 4】

前記第 1 の正電源電圧を前記ゲートドライバチップの前記ハイサイドドライバに供給するステップは、前記第 2 の正電源電圧をブートストラップして前記第 1 の正電源電圧を発生させるステップを含む、請求項 1 3 記載の方法。

【請求項 1 5】

前記少なくとも一つの負電源電圧を前記ゲートドライバチップ及び前記チップグラウンドに供給するステップは、第 1 の負電源電圧を前記ゲートドライバチップの前記ハイサイドドライバに供給するステップと、第 2 の負電源電圧を前記ゲートドライバチップの前記ローサイドドライバと前記チップグラウンドに供給するステップとを含む、請求項 1 3 記載の方法。

【請求項 1 6】

前記第 2 の負電源電圧を前記ゲートドライバチップの前記ローサイドドライバと前記チップグラウンドに供給するステップは、前記第 2 の正電源電圧から前記第 2 の負電源電圧を発生させるためにチャージポンプ回路を動作させるステップを含む、請求項 1 5 記載の方法。

【請求項 1 7】

前記チャージポンプ回路を動作させるステップは、

第 1 の動作モードにおいて、前記チャージポンプ回路内の第 1 のキャパシタを充電するステップと、

第 2 の動作モードにおいて、前記第 1 のキャパシタを放電させるステップと、

前記第 2 の動作モードにおいて、前記チャージポンプ回路内の第 2 のキャパシタを前記第 1 のキャパシタからの放電エネルギーで充電するステップと、

前記充電された第 2 のキャパシタによって前記第 2 の負電源電圧を発生させるステップ

10

20

30

40

50

と、  
を含む請求項 16 記載の方法。

【請求項 18】

前記チャージポンプ回路内の前記第 1 のキャパシタを充電するステップは、前記第 1 のキャパシタを前記ローサイドドライバの出力からのエネルギーで充電するステップを含む、請求項 17 記載の方法。

【請求項 19】

前記チャージポンプ回路内の前記第 1 のキャパシタを充電するステップは、前記第 1 のキャパシタを前記チャージポンプ回路内の発振器からのエネルギーで充電するステップを含む、請求項 17 記載の方法。

【請求項 20】

コントローラに結合されるように構成され且つ少なくとも一つの半導体デバイスに結合されるように構成されたゲートドライバチップと、

前記ゲートドライバチップを、前記コントローラから受信されるユニポーラ制御信号に基づいて前記少なくとも一つの半導体デバイスにバイポーラ制御信号を供給するように動作させるとともに、単一の電源からの電圧から導出した少なくとも一つの正電源電圧及び少なくとも一つの負電源電圧を前記ゲートドライバチップに供給する手段と、  
を備えるゲートドライバ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は概してゲートドライバに関する。

【背景技術】

【0002】

ゲートドライバはコントローラからの低電力入力を受け取り、絶縁ゲートバイポーラトランジスタ (IGBT) 又は金属 - 酸化物 - 半導体電界効果トランジスタ (MOSFET) などのトランジスタのゲートのための高電流駆動入力を発生する電力増幅器である。ゲートドライバはハーフ/フルブリッジインバータ及びハーフ/フルコンバータなどの電力変換装置用に広く使用されている。

【発明の概要】

【0003】

本発明の少なくとも一つの態様はゲートドライバであり、前記ゲートドライバは、コントローラに結合され、前記コントローラから各々が制御グランドに対する電圧を有する制御信号を受信し、各制御信号の前記電圧をチップグランドに対して再設定し、再設定された制御信号を発生するレベルシフト回路と、前記レベルシフト回路に結合されたゲートドライバチップであって、少なくとも一つの半導体デバイスに結合されるように構成され、更に前記少なくとも一つの半導体デバイスに前記再設定された制御信号に基づいてバイポーラ制御信号を供給するように構成されたゲートドライバチップと、前記ゲートドライバチップ及び前記チップグランドに結合された少なくとも一つの電源であって、少なくとも一つの正電源電圧を前記ゲートドライバチップに供給するとともに、少なくとも一つの負電源電圧を前記ゲートドライバチップ及び前記チップグランドに供給するように構成された少なくとも一つの電源とを備える。

【0004】

一実施形態によれば、前記少なくとも一つの電源は、前記ゲートドライバチップに結合され、前記少なくとも一つの正電源電圧を前記ゲートドライバチップに供給するように構成された少なくとも一つの正電源と、前記ゲートドライバチップ及び前記チップグランドに結合され、前記少なくとも一つの負電源電圧を前記ゲートドライバチップと前記チップグランドに供給するように構成された少なくとも一つの負電源とを含む。一実施形態では、前記ゲートドライバチップは、前記レベルシフト回路に結合されたハイサイド (高圧側) ドライバであって、第 1 の半導体デバイスに結合されるように構成され、更に前記第 1

10

20

30

40

50

の半導体デバイスに前記再設定された制御信号に基づいて第1のバイポーラ制御信号を供給するように構成されたハイサイドドライバと、前記レベルシフタ回路に結合されたローサイド（低圧側）ドライバであって、第2の半導体デバイスに結合されるように構成され、更に前記第2の半導体デバイスに前記再設定された制御信号に基づいて第2のバイポーラ制御信号を供給するように構成されたローサイドドライバとを含む。

【0005】

一実施形態によれば、前記少なくとも一つの正電源は、前記ハイサイドドライバに結合され、前記ハイサイドドライバに第1の正電源電圧を供給するように構成された第1の正電源と、前記ローサイドドライバに結合され、前記ローサイドドライバに第2の正電源電圧を供給するように構成された第2の正電源とを含み、前記少なくとも一つの負電源は、前記ハイサイドドライバに結合され、前記ハイサイドドライバに第1の負電源電圧を供給するように構成された第1の負電源と、前記ローサイドドライバと前記チップグラウンドに結合され、前記ローサイドドライバと前記チップグラウンドに第2の負電源電圧を供給するように構成された第2の負電源とを含む。

10

【0006】

別の実施形態によれば、前記少なくとも一つの電源は、前記ゲートドライバチップに結合され、前記ゲートドライバチップに前記少なくとも一つの正電源電圧を供給するように構成された少なくとも一つの正電源と、前記少なくとも一つの正電源、前記ゲートドライバチップ、及び前記チップグラウンドに結合され、前記少なくとも一つの正電源電圧から第1の負電源電圧を発生し、前記第1の負電源電圧を前記ゲートドライバチップと前記チップグラウンドに供給するように構成された第1のチャージポンプ回路とを含む。一実施形態では、前記ゲートドライバチップは、前記レベルシフタ回路に結合されたハイサイドドライバであって、第1の半導体デバイスに結合されるように構成された第1の出力端子を有し、更に前記第1の出力端子から前記第1の半導体デバイスに前記再設定された制御信号に基づく第1のバイポーラ制御信号を供給するように構成されたハイサイドドライバと、前記レベルシフタ回路に結合されたローサイドドライバであって、第2の半導体デバイスに結合されるように構成された第2の出力端子を有し、更に前記第2の出力端子から前記第2の半導体デバイスに前記再設定された制御信号に基づく第2のバイポーラ制御信号を供給するように構成されたローサイドドライバとを含み、前記第1のチャージポンプ回路は前記ローサイドドライバに結合され、前記第1の負電源電圧を前記ローサイドドライバに供給するように構成される。

20

30

【0007】

一実施形態によれば、前記少なくとも一つの電源は更に、前記少なくとも一つの正電源と前記ハイサイドドライバに結合された第2のチャージポンプ回路を含み、前記第2のチャージポンプ回路は前記少なくとも一つの正電源電圧から第2の負電源電圧を発生し、前記第2の負電源電圧を前記ハイサイドドライバに供給するように構成される。一実施形態では、前記第1のチャージポンプ回路は第1の正電源に結合され、且つ前記第1の正電源により供給される第1の正電源電圧から前記第1の負電源電圧を発生するように構成され、前記第2のチャージポンプ回路は第2の正電源に結合され、且つ前記第2の正電源により供給される第2の正電源電圧から前記第2の負電源電圧を発生するように構成される。別の実施形態では、前記第1のチャージポンプ回路は正電源に結合され、且つ前記正電源により供給される正電源電圧から前記第1の負電源電圧を発生するように構成され、前記第2のチャージポンプ回路は前記正電源に結合され、且つ前記正電源により供給される前記正電源電圧から前記第2の負電源電圧を発生するように構成される。

40

【0008】

一実施形態では、前記第1のチャージポンプ回路は、前記第2の出力端子に結合された第1のキャパシタと、前記第2の出力端子と前記第1のキャパシタとの間に結合されたスイッチと、前記第1のキャパシタと前記チップグラウンドに結合された第2のキャパシタとを備え、第1の動作モードにおいて、前記スイッチが前記第2の出力端子のハイ制御信号によりターンオフされ、前記第1のキャパシタが前記ハイ制御信号により充電され、第2

50

の動作モードにおいて、前記スイッチが前記第2の出力端子のロー制御信号によりターンオンされ、前記第1のキャパシタが放電され、前記第1のキャパシタから放電されたエネルギーが前記第2のキャパシタを充電し、前記第1の負電源電圧を前記チップグラウンドに発生する。別の実施形態では、前記第1のチャージポンプ回路は、前記少なくとも一つの正電源に結合された発振器と、前記発振器に結合された第1のキャパシタと、前記第1のキャパシタと前記チップグラウンドに結合された第2のキャパシタとを備え、第1の動作モードにおいて、前記発振器がハイパルス信号を前記第1のキャパシタに供給し、前記第1のキャパシタが前記ハイパルス信号により充電され、第2の動作モードにおいて、前記発振器がローパルス信号を前記第1のキャパシタに供給し、前記第1のキャパシタを放電し、前記第1のキャパシタから放電されたエネルギーが前記第2のキャパシタを充電し、前記第1の負電源電圧を前記チップグラウンドに発生する。

10

## 【0009】

本発明の別の態様は少なくとも一つの半導体デバイスに結合されたゲートドライバチップを動作させる方法を対象とし、前記方法は、コントローラから各々が制御グラウンドに対する電圧を有する制御信号を受信するステップと、各制御信号の前記電圧をチップグラウンドに対して再設定し、再設定された制御信号を発生させるステップと、前記ゲートドライバチップによって前記再設定された制御信号に基づいてバイポーラ制御信号を発生させるステップと、前記バイポーラ制御信号を前記少なくとも一つの半導体デバイスに供給するステップと、少なくとも一つの電源によって、少なくとも一つの正電源電圧を前記ゲートドライバチップに供給するとともに、少なくとも一つの負電源電圧を前記ゲートドライバチップ及び前記チップグラウンドに供給するステップとを含む。

20

## 【0010】

一実施形態によれば、前記少なくとも一つの正電源電圧を前記ゲートドライバチップに供給するステップは、第1の正電源電圧を前記ゲートドライバチップのハイサイドドライバに供給するステップと、第2の正電源電圧を前記ゲートドライバチップのローサイドドライバに供給するステップとを含む。一実施形態では、前記第1の正電源電圧を前記ゲートドライバチップの前記ハイサイドドライバに供給するステップは、前記第2の正電源電圧をブートストラップして前記第1の正電源電圧を発生させるステップを含む。別の実施形態では、前記少なくとも一つの負電源電圧を前記ゲートドライバチップ及び前記チップグラウンドに供給するステップは、第1の負電源電圧を前記ゲートドライバチップの前記ハイサイドドライバに供給するステップと、第2の負電源電圧を前記ゲートドライバチップの前記ローサイドドライバと前記チップグラウンドに供給するステップとを含む。

30

## 【0011】

別の実施形態によれば、前記第2の負電源電圧を前記ゲートドライバチップの前記ローサイドドライバと前記チップグラウンドに供給するステップは、前記第2の正電源電圧から前記第2の負電源電圧を発生させるためにチャージポンプ回路を動作させるステップを含む。一実施形態では、前記チャージポンプ回路を動作させるステップは、第1の動作モードにおいて、前記チャージポンプ回路内の第1のキャパシタを充電するステップと、第2の動作モードにおいて、前記第1のキャパシタを放電させるステップと、前記第2の動作モードにおいて、前記チャージポンプ回路内の第2のキャパシタを前記第1のキャパシタからの放電エネルギーで充電するステップと、前記充電された第2のキャパシタによって前記第2の負電源電圧を発生させるステップとを含む。一実施形態では、前記チャージポンプ回路内の前記第1のキャパシタを充電するステップは、前記第1のキャパシタを前記ローサイドドライバの出力からのエネルギーで充電するステップを含む。別の実施形態では、前記チャージポンプ回路内の前記第1のキャパシタを充電するステップは、前記第1のキャパシタを前記チャージポンプ回路内の発振器からのエネルギーで充電するステップを含む。

40

## 【0012】

本発明の一つの態様はゲートドライバを対象とし、前記ゲートドライバは、コントローラに結合されるように構成され且つ少なくとも一つの半導体デバイスに結合されるように

50

構成されたゲートドライバチップと、前記ゲートドライバチップを、前記コントローラから受信されるユニポーラ制御信号に基づいて前記少なくとも一つの半導体デバイスにバイポーラ制御信号を供給するように動作させるとともに、単一の電源からの電圧から導出した少なくとも一つの正電源電圧及び少なくとも一つの負電源電圧を前記ゲートドライバチップに供給する手段とを備える。

【0013】

添付の図面は一定の寸法比で描かれていない。図面において、様々な図に示される同一もしくはほぼ同一の各コンポーネントは同等の番号で示されている。明瞭のために、すべてのコンポーネントがすべての図で番号付けされているわけではない。

【図面の簡単な説明】

【0014】

【図1】コモンゲートドライバのブロック図である。

【図2】本発明の実施形態によるバイポーラゲートドライバのブロック図である。

【図3】本発明の実施形態によるチャージポンプ回路のブロック図である。

【図4】本発明の実施形態による発振器ベースのチャージポンプ回路のブロック図である。

【図5】本発明の実施形態による単一電源バイポーラゲートドライバのブロック図である。

【発明を実施するための形態】

【0015】

本明細書で検討される方法及びシステムの例はその適用が、以下に詳細に記載され、図面に示されるコンポーネントの構成及び配置の詳細に限定されるものではない。本発明の方法及びシステムは他の実施形態が可能であり、様々に実施又は実行することができる。特定の実施形態の様々な例は本明細書中に説明のためにのみ示され、限定を意図するものではない。特に、任意の一つ以上の例と関連して記載される、作用、コンポーネント、要素及び機能は他の例における類似の役割から除外されることを意図するものではない。

【0016】

また、本明細書で使用する語句及び用語は説明を目的とし、限定とみなすべきではない。本明細書で単数で言及されるシステム及び方法の例、実施形態、コンポーネント、要素又は作用への任意の言及はその何れかを複数含む実施形態を含んでもよく、本明細書で複数で言及される実施形態、コンポーネント、要素又は作用への任意の言及はその何れかを単数含む実施形態を含んでもよい。単数又は複数での言及は開示のシステム又は方法、それらのコンポーネント、作用又は要素を限定する意図はない。本明細書における「含む」「備える」「有する」「包含する」及びそれらの活用形の使用は、その前に列挙される要素のみからなる代替実施形態に加えて、その前に列挙される要素、その等価物及び追加の要素を含むことを意図している。「又は」への言及は包括的として解釈し、「又は」を用いて記述された用語のすべては、記載された用語の1つ、2つ以上又はすべてを示すものと解釈してよい。更に、本明細書と参照することにより本明細書に援用される文献との間で用語の使用法に一貫性がない場合には、援用文献における用語の使用法は本明細書の使用法を補足し、相いれない不一致の場合には本明細書での用語の使用法が優先する。

【0017】

上述したように、ゲートドライバはハーフ/フルブリッジインバータ及びハーフ/フルブリッジコンバータなどの変換装置用に広く使用されている。例えば、図1はコモンゲートドライバ100のブロック図である。コモンゲートドライバ100は、コンバータ/インバータレグの2つの半導体デバイス(Q1)102及び(Q2)104を標準の(比較的安価な)ハイサイド及びローサイドドライバチップ106で駆動する。ゲートドライバ100は単一電源108(グランドに対して+12V)を利用する。半導体デバイス(Q2)104に必要とされるDC電圧は電源108から直接供給される。半導体デバイス(Q1)102に必要とされるDC電圧は電源108からブートストラップ技術を用いて供給

10

20

30

40

50

される。ドライバチップ106は各半導体デバイス(Q1)102及び(Q2)104のゲートとソースの間にユニポーラパルス幅変調(PWM)パルス(+12V/0V)を供給する。例えば、ドライバチップ106は半導体デバイスをターンオンするために+12Vゲート電圧を供給し、半導体デバイスをターンオフする(及びオフに維持する)ためにゼロゲート電圧を供給する。半導体デバイスをターンオン及びオフすることによって、ドライバチップ106はコンバータ/インバータの出力を制御する。

#### 【0018】

電力半導体デバイス技術の発展とともに、新世代の電力スイッチングデバイス、例えば金属-酸化物-半導体電界効果トランジスタ(MOSFET)、クールMOSトランジスタ、スーパー接合MOSFET、及び炭化ケイ素(SiC)/窒化ガリウム(GaN)高電子移動度トランジスタ(HEMT)、は極めて低いゲート閾値電圧(例えば、1V~2V)を有するとともに、極めて高いスイッチング速度のドレイン-ソース電圧の変化(dv/dt)を有する。高速度のドレイン-ソース電圧の変化(dv/dt)は相補デバイスのスイッチング(オン/オフ)によってオフ半導体デバイスのゲート電圧に振動を生じ得る。ゲート電圧はオフデバイスではゼロであるため、この振動によりゲート電圧がゲート閾値電圧(例えば<2V)を超えて、コンバータ/インバータのオフレグに短絡障害が生じ得る。

10

#### 【0019】

本明細書に記載される少なくともいくつかの実施形態ではコンバータ/インバータの適切なデバイスターンオフ及び高信頼動作を確実にするために負のゲート電圧が使用される。比較的安価な標準のハイ及びローサイドドライバチップを利用するバイポーラゲートデバイスが本明細書に記載される。少なくとも一つの実施形態によれば、バイポーラゲートドライバは正電源から負電源電圧を発生するためにチャージポンプ回路を利用する。

20

#### 【0020】

図2はバイポーラゲートドライバ200のブロック図である。バイポーラゲートドライバ200は、ハイ及びローサイドドライバチップ206、デジタルレベルシフト回路202、制御グランド204、チップグランド205、ハイサイド+12V電源208、ローサイド-5V電源210、ローサイド+12V電源212、及びローサイド-5V電源214を含む。一実施形態によれば、ハイ及びローサイドドライバチップ206は、カリフォルニア州サンノゼ所在のフェアチャイルド社製のFAN7390MXゲートドライバICである。別の実施形態では、ハイ及びローサイドドライバチップ206は、カリフォルニア州エルセガンド所在のインターナショナルレクティフィア社製のIRS2001(S)PbFハイアンドローサイドドライバである。他の実施形態では、別のタイプのハイ及びローサイドドライバチップを利用してよい。

30

#### 【0021】

デジタルレベルシフト回路202はPWMハイサイド制御ライン201及びPWMローサイド制御ライン203を介してPWMコントローラに結合されるよう構成される。デジタルレベルシフト回路202は制御グランド204及びチップグランド205にも結合される。ドライバチップ206のハイサイド入力及びローサイド入力はデジタルレベルシフト回路202に結合される。ドライバチップ206のハイサイドドライバ216の出力はコントローラ/インバータレグの半導体デバイス(Q1)220のゲート端子に結合される。ドライバチップ206のローサイドドライバ218の出力はコントローラ/インバータレグの半導体デバイス(Q2)222のゲート端子に結合される。

40

#### 【0022】

ハイサイド+12V電源208の正端子はドライバチップ206のハイサイドドライバ216の電源入力に結合され、その電源入力に+12Vを供給する。ハイサイド-5V電源の負端子はハイサイドドライバ216のグランド入力に結合され、そのグランド入力に-5Vを供給する。ハイサイド+12V電源208の負端子及びハイサイド-5V電源の正端子は半導体デバイス(Q1)220のソース端子に結合される。ローサイド+12V電源212の正端子はドライバチップ206のローサイドドライバ218の電源入力に結合され、その電源入力に+12Vを供給する。ローサイド-5V電源214の負端子は口

50

ーサイドドライバ 218 のグランド入力に結合され、そのグランド入力に - 5 V を供給する。ローサイド + 12 V 電源 212 の負端子及びローサイド - 5 V 電源 214 の正端子は半導体デバイス ( Q 2 ) 222 のソース端子に結合される。

【 0 0 2 3 】

図 1 のコモンゲートドライバトランジスタ異なり、ゲートドライバ 200 のチップグランド 205 は制御グランド 204 に接続されないで、ローサイド - 5 V 電源 214 に接続される。一実施形態によれば、ハイサイド + 12 V 電源 208、ハイサイド - 5 V 電源 210、ローサイド + 12 V 電源 212、及び / 又はローサイド - 5 V 電源 214 は別個の電源であるが、他の実施形態では、ハイサイド及び / 又はローサイド電源は以下で詳細に説明されるように発生させることができる。

10

【 0 0 2 4 】

PWM コントローラ 224 は、ゲートドライバ 200 の出力 ( 及び対応するコントローラ / インバータの出力 ) を制御するために、PWM 制御信号 ( 制御グランド 204 ( 例えば 0 V ) に対して決定される ) を PWM ハイサイド制御ライン 201 及び PWM ローサイド制御ライン 203 に供給する。デジタルレベルシフト回路 202 が PWM コントローラ 224 からの PWM 制御信号を受信し、PWM 制御信号をチップグランド 205 ( 例えば - 5 V ) に対して再設定し、再設定した PWM 制御信号をドライバチップ 206 に供給する。

【 0 0 2 5 】

一実施形態によれば、デジタルレベルシフト回路 202 は比較器チップを含む。例えば、一実施形態では、デジタルレベルシフト回路 202 は、テキサス州ダラス所在のテキサスインスツルメント社製の LM339 クワッド差動比較器を含むが、他の実施形態では他の比較器を利用してよい。別の実施形態では、デジタルレベルシフト回路 202 はアナログ MUX チップを含む。例えば、一実施形態では、デジタルレベルシフト回路 202 は、テキサス州ダラス所在のテキサスインスツルメント社製の CD4051 / 2 / 3 CMOS アナログマルチプレクサを含むが、他の実施形態では他のアナログ MUX チップを利用してよい。他の実施形態によれば、PWM 制御信号をチップグランド 205 に対して再設定するために他のレベルシフト回路を利用してしてもよい。

20

【 0 0 2 6 】

ドライバチップ 206 は、所望の制御パルスを各半導体デバイス 220, 222 のゲート端子に供給するために、デジタルレベルシフト回路 202 から受信される再設定された PWM 制御信号に基づいてハイサイドドライバ 216 及びローサイドドライバ 218 を動作させる。ドライバチップ 206 をチップグランド 205 に対して再設定された PWM 制御信号で動作させると、ドライバチップ 206 ( 典型的にはユニポーラパルス ( + 12 V / 0 V ) を供給する ) は代わりにバイポーラパルス ( + 12 V / - 5 V ) を各半導体デバイス ( Q 1 ) 220 及び ( Q 2 ) 222 のゲート及びソース端子間に供給するように駆動される。例えば、デジタルレベルシフト回路 202 から受信される再設定された PWM 制御信号 ( PWM コントローラ 224 から受信された原 PWM 制御信号に基づく ) に応答して、ドライバチップ 206 は、+ 12 V を半導体デバイス 220, 222 のゲート端子に供給して半導体デバイス 220, 222 をターンオンするように、又は - 5 V を半導体デバイス 220, 222 のゲート端子に供給して半導体デバイス 220, 222 をターンオフ ( 及びキープオフ ) するようにドライバ 216, 218 を動作させる。

30

40

【 0 0 2 7 】

半導体デバイス 220, 222 を ( + 12 V 及び - 5 V で ) ターンオン及びオフすることによって、ドライバチップ 206 はコンバータ / インバータの出力を制御する。半導体デバイス 220, 222 の状態を制御するためにバイポーラゲート電圧を利用することによって、ドライバチップ 206 は半導体デバイスのゲート電圧の振動に起因してコンバータ / インバータのオフレグに生じる短絡障害を防止することができる。オフ半導体デバイスのゲート電圧は - 5 V に維持されるため、半導体デバイスのゲート電圧の振動がゲート閾値電圧 ( 例えば、2 V ) を超えることはあり得ない。

50

## 【 0 0 2 8 】

上述したように、一実施形態では、ハイ及び/又はローサイド - 5 V 電源 2 1 0 , 2 1 4 は別個の電源であるが、他の実施形態では、これらの - 5 V 電源電圧は別の電源から発生させてもよい。例えば、図 3 は、- 5 V 電源電圧を少なくとも一つの実施形態で使用される + 1 2 V 電源から発生するように構成されたチャージポンプ回路 3 0 0 のブロック図である。

## 【 0 0 2 9 】

チャージポンプ回路 3 0 0 は、抵抗 3 0 2、第 1 ダイオード 3 0 4、第 2 ダイオード 3 0 6、第 3 ダイオード 3 0 8、スイッチ 3 1 0、第 1 キャパシタ 3 1 2、及び第 2 キャパシタ 3 1 4 を含む。抵抗 3 0 2 はハイ又はローサイドドライバチップのハイ又はローサイドドライバ（例えば、図 2 について上述したハイ及びローサイドドライバチップ 2 0 6 のハイサイドドライバ 2 1 6）の出力 3 0 1 に結合される。ドライバ 2 1 6 の出力 3 0 1 は半導体デバイス（例えば、図 2 について上述した半導体デバイス（Q 1）2 2 0）のゲート端子 3 0 3 にも結合される。

10

## 【 0 0 3 0 】

第 1 ダイオード 3 0 4 は抵抗 3 0 2 と第 1 キャパシタ 3 1 2 の正端子との間に結合される。スイッチ 3 1 0 はグランド 3 1 6 と第 1 キャパシタ 3 1 2 の正端子との間に結合される。一実施形態では、スイッチ 3 1 0 は P チャネル電界効果トランジスタ（FET）であるが、他の実施形態では、任意の他のスイッチ 3 1 0 又はトランジスタを利用してもよい。第 2 ダイオード 3 0 6 は第 1 キャパシタ 3 1 2 の負端子とグランド 3 1 6 との間に結合される。グランド 3 1 6 は電源キャパシタ 3 1 7 の負端子にも結合される。電源キャパシタ 3 1 7 の正端子は + 1 2 V 電源（例えば、図 2 について上述したハイサイド + 1 2 V 電源 2 0 8）に結合される。ハイサイド + 1 2 V 電源 2 0 8 はハイサイドドライバ 2 1 6 の電源入力 3 1 8 にも結合される。第 3 ダイオード 3 0 8 は第 1 キャパシタ 3 1 2 の負端子とハイサイドドライバ 2 1 6 のグランド入力 3 2 0 との間に結合される。第 2 キャパシタ 3 1 4 の正端子はグランド 3 1 6 に結合される。第 2 キャパシタ 3 1 4 の負端子はハイサイドドライバ 2 1 6 のグランド入力 3 2 0 に結合される。

20

## 【 0 0 3 1 】

チャージポンプ回路 3 0 0 は、+ 1 2 V 電源 2 0 8 により供給される利用可能な + 1 2 V から第 2 キャパシタ 3 1 4 の両端間に - 5 V 電源電圧を発生する。最初に、PWM コントローラ 2 2 4 からの PWM 制御信号（従ってデジタルレベルシフト回路 2 0 2 からの再設定された PWM 制御信号）がない場合、第 2 キャパシタの電圧はゼロであり、ドライバチップ 2 0 6 に対する実効バイアス電圧は + 1 2 V（例えば、+ 1 2 V 電源 2 0 8 からの）である。PWM コントローラ 2 2 4 からの PWM 制御信号はデジタルレベルシフト回路 2 0 2 に供給され、再設定された PWM 制御信号がデジタルレベルシフト回路 2 0 2 からドライバチップ 2 0 6（従ってハイサイドドライバ 2 1 6）に供給されるので、ハイサイドドライバ 2 1 6 は出力 3 0 1 から、半導体デバイス 2 2 0 のゲート端子 3 0 3 にユニポーラ PWM パルスを供給するように動作する。

30

## 【 0 0 3 2 】

ハイサイドドライバ 2 1 6 の出力 3 0 1 のハイゲート駆動パルス（例えば、ハイサイドドライバ 2 1 6 に供給される + 1 2 V 電源 2 0 8 からの + 1 2 V パルス）の一部が抵抗 3 0 2 及び第 1 ダイオード 3 0 4 を経て第 1 キャパシタ 3 1 2 に供給され、第 1 キャパシタ 3 1 2 を充電する。第 1 キャパシタ 3 1 2 を充電している間、FET 3 1 0 はオフのままである。一実施形態によれば、チャージポンプ回路 3 0 0 は第 1 キャパシタ 3 1 2 の正端子と第 1 キャパシタ 3 1 2 の負端子との間に結合された任意選択のツェナーダイオード 3 2 2 も含む。ツェナーダイオード 3 2 2 は第 1 キャパシタ 3 1 2 の両端間電圧、従って第 2 キャパシタ 3 1 4 の両端間電圧を所要の電圧（例えば 5 V）に制限するために使用し得る。

40

## 【 0 0 3 3 】

ハイサイドドライバ 2 1 6 の出力 3 0 1 のローゲート駆動パルスは FET 3 1 0 をター

50

ンオンし、それによって第1キャパシタ312を放電し、第2キャパシタ314を充電する。この第1キャパシタ312の放電及び第2キャパシタ314の充電は、第1キャパシタ312の正端子、FET310、グランド316、第2キャパシタ314、第3ダイオード308及び第1キャパシタ312の負端子を含む通路を経て行われる。第1ダイオード304は第1キャパシタ312がハイサイドドライバ216を経て逆方向に放電するのを阻止する。

#### 【0034】

このように第1キャパシタを充電し、それを第2キャパシタ314へと放電することによって、-5V電源電圧が第2キャパシタ314の負端子に発生する。この-5V電源電圧がハイサイドドライバ216のグランド入力320に供給され、ハイサイドドライバ216によってバイポーラパルス(+12V/-5V)を半導体デバイス220のゲート端子303に供給するために利用される。ハイサイドドライバ216からの小数の初期ゲート駆動パルスは、(例えば、第1キャパシタ312及び第2キャパシタ314の両端間の初期電圧はゼロであるため)比較的短時間の間、ユニポーラ(+12V/0V)であるが、ドライバ216の最終的駆動パルスはバイポーラになる。

10

#### 【0035】

上述したように、チャージポンプ回路300は-5V電源電圧をハイサイドドライバ216に供給するが、チャージポンプ回路300は-5V電源電圧をローサイドドライバ218にも供給することができる。このような実施形態では、チャージポンプ回路300はローサイド+12V電源212から-5V電源電圧を発生させることができる。また、このような実施形態では、第2キャパシタ314の負端子に発生される-5V電源電圧は、ローサイドドライバ218のグランド入力320に供給するのに加えて、チップグランド205を-5Vに維持するためにチップグランド205にも供給する。

20

#### 【0036】

図4は、+12V電源から-5V電源電圧を発生するように構成された別のチャージポンプ回路400のブロック図である。チャージポンプ回路400は図3について上述したチャージポンプ回路300と、チャージポンプ回路400では、抵抗302、第1ダイオード304及びスイッチ310が発振器402及び抵抗404と置き換えられている点を除いて、ほぼ同じである。発振器402はハイサイド+12V電源208に結合され、抵抗404は発振器402と第1キャパシタ312の正端子との間に結合される。一実施形態によれば、発振器402は555タイマベースの方形波発振器であるが、他の実施形態では、別の適切なタイプの発振器を利用してもよい。

30

#### 【0037】

チャージポンプ回路300と異なり、チャージポンプ回路400による負電源電圧の発生はドライバ216により出力されるゲート駆動パルスに依存しない。代わりに、発振器402がユニポーラ高周波数パルス(例えば、12V/0V)をチャージポンプ回路400に供給する。

#### 【0038】

発振器402からのハイパルス(例えば、発振器402に供給された+12V電源208からの+12Vパルス)が抵抗404を経て第1キャパシタ312に供給され、第1キャパシタ312を充電する。発振器のローパルスによって第1キャパシタ312の放電及び第2キャパシタ314の充電が生じる。第1キャパシタ312の放電及び第2キャパシタの充電は、キャパシタ312の正端子、抵抗404、発振器402、グランド316、第2キャパシタ314、第3ダイオード308及び第1キャパシタ312の負端子を含む通路を経て行われる。

40

#### 【0039】

第1キャパシタを充電し、それを第2キャパシタ314へと放電することによって、-5V電源電圧が第2キャパシタ314の負端子に発生する。この-5V電源電圧がハイサイドドライバ216のグランド入力320に供給され、ハイサイドドライバ216によってバイポーラパルス(+12V/-5V)を半導体デバイス220のゲート端子303に

50

供給するために利用される。

【0040】

上述したように、チャージポンプ回路400は-5V電源電圧をハイサイドドライバ216に供給するが、チャージポンプ回路400は-5V電源電圧をローサイドドライバ218に供給することもできる。このような実施形態では、チャージポンプ回路400はローサイド+12V電源212から-5V電源電圧を発生させることができる。また、このような実施形態では、第2キャパシタ314の負端子に発生される-5V電源電圧は、ローサイドドライバ218のグランド入力320に供給するのに加えて、チップグランド205を-5Vに維持するためにチップグランド205にも供給する。

【0041】

チャージポンプ回路300, 400は+12V電源から-5V電源電圧を発生させるために利用し得る。同じ+12V電源から-5V電源電圧と+12V電源電圧の両方を発生させることによって、このようなチャージポンプ回路を使用するゲートドライバ(例えば、ゲートドライバ200)のコストは、1つのサイドにつき1つの電源(例えば、ドライバチップ206のハイサイドにつき1つ及びローサイドにつき1つ)が必要とされるだけであるので、低減することができる。

【0042】

上述したように、チャージポンプ回路(例えば、図3及び図4につき記載されている)を含むゲートドライバは、ハイサイド電源を含み、その電源から正及び負のハイサイド電源電圧を発生するとともに、ローサイド電源を含み、その電源から正及び負のローサイド電源電圧を発生するようにできる。少なくとも一つの他の実施形態では、ゲートドライバは、単一の正の電源からバイポーラハイサイド電源電圧とバイポーラローサイド電源電圧の両方を発生するようにできる。例えば、図5及び図6は単一電源バイポーラゲートドライバ500のブロック図である。

【0043】

単一電源のバイポーラゲートドライバ500は、図2について上述したバイポーラゲートドライバ200と、単一電源のバイポーラドライバ500では、ハイサイド+12V電源208、ハイサイド-5V電源210、及びローサイド-5V電源214が、ハイサイドチャージポンプ回路502(例えば、図3及び図4について上述したチャージポンプ回路300、400の一つ)、ローサイドチャージポンプ回路504(例えば、図3及び図4について上述したチャージポンプ回路300、400の一つ)、ブートストラップダイオード508、及びブートストラップキャパシタ510と置き換えられている点を除いて、ほぼ同じである。

【0044】

ローサイドチャージポンプ回路504はローサイド+12V電源212の正及び負端子、チップグランド205、及びハイ及びローサイドドライバチップ206のローサイドドライバ218の出力507に結合される。ローサイド+12V電源212の正端子はブートストラップダイオード508を経てハイサイドドライバ216の電源入力に結合される。ハイサイドドライバ216の電源入力はブートストラップキャパシタ510を経てハイサイドチャージポンプ回路502にも結合される。ハイサイドチャージポンプ回路502はハイサイドドライバの電源入力、ハイサイドドライバ216の出力506、及びハイサイドドライバ216のグランド入力にも結合される。

【0045】

ローサイド+12V電源212は+12V電源電圧をローサイドドライバ218に供給する。ローサイドチャージポンプ回路504は(図3及び図4について上述したように)ローサイド+12V電源212により供給される+12Vから-5Vの負電源電圧を発生し、-5V電源電圧をチップグランド205に(従ってローサイドドライバ218のグランド入力に)供給する。

【0046】

ハイサイドドライバ216の電源入力に供給される+12V電源電圧は、ローサイド+

10

20

30

40

50

12V電源212から、ブートストラップダイオード508によるブートストラップ技術を用いてブートストラップキャパシタ510の両端間に発生される。ハイサイドチャージポンプ回路502は、(図3及び図4について上述したように)ブートストラップキャパシタ510の両端間に発生される+12V電源電圧から-5Vの負電源電圧を発生し、その-5V電源電圧をハイサイドドライバ216のグランド入力に供給する。各ゲートドライバ216, 218はバイポーラゲート駆動電圧(例えば+12V正駆動電圧及び-5V負駆動電圧)をそれぞれの半導体デバイス220, 222に供給する。

【0047】

バイポーラハイサイド電源電圧及びバイポーラローサイド電源電圧を単一の正電源から発生させることによって、一つの電源を使用するのみとなるので、ゲートドライバのコストを低減することができる。

10

【0048】

本明細書に記載したように、ゲートドライバはコンバータ/インバータのレグ内の半導体デバイスのゲート端子にバイポーラパルスを出力するように構成されるが、他の実施形態では、このゲートドライバはパルス幅変調を利用する任意の他の用途で使用される半導体デバイスのゲート端子にバイポーラパルスを出力するように構成してもよい。また、他の実施形態によれば、このゲートドライバは任意の他のタイプのスイッチングデバイスにバイポーラパルスを出力するように構成してもよい。

【0049】

本明細書に記載したように、ゲートドライバは+12V及び-5Vパルスを出力するように構成されるが、他の実施形態では、このゲートドライバは異なる振幅を有するパルスを出力するように構成してもよい。また、本明細書に記載したように、このゲートドライバは+12V及び-5Vの電源電圧を使用するように構成されるが、他の実施形態では、このゲートドライバは異なる振幅を有する電源で動作するように構成してもよい。

20

【0050】

本明細書に記載したように、バイポーラゲートドライバは2つの半導体デバイスに制御信号を供給するが、他の実施形態では、このバイポーラゲートドライバは任意の数のハードウェアデバイスに制御信号を供給するように構成してもよい。また、本明細書に記載したように、このバイポーラゲートドライバは2つの出力(ハイサイド出力及びローサイド出力)を含むが、他の実施形態では、このバイポーラゲートドライバは任意の数の出力を含んでもよい。また、本明細書に記載したように、このバイポーラゲートドライバは単一のゲートドライバチップを使用するが、他の実施形態では任意の数のドライバチップを使用してもよい。

30

【0051】

本明細書に記載した少なくともいくつかの実施形態は比較的安価で標準的なハイ及びローサイドドライバチップを使用するバイポーラゲートドライバを提供する。少なくとも一つの実施形態では、このバイポーラゲートドライバはもとのPWM制御信号を負のチップグランドに対して再設定する。PWM制御信号を再設定することによって、(典型的にはユニポーラパルスを供給する)ドライバチップを半導体デバイスのゲート端子にバイポーラPWMパルスを供給するように動作させることができる。半導体デバイスの状態を制御するためにバイポーラゲート電圧を使用することによって、ドライバチップはオフ半導体デバイスのゲート電圧の振動に起因する偶発的な短絡障害を防止することができる。

40

【0052】

少なくとも一つの実施形態によれば、バイポーラゲートドライバは正電源から負の電源電圧を発生するように構成された少なくとも一つのチャージポンプ回路も含む。少なくとも一つのチャージポンプ回路を使用することによって、バイポーラゲートドライバを給電するために必要とされる個別の電源の数を低減することができる。

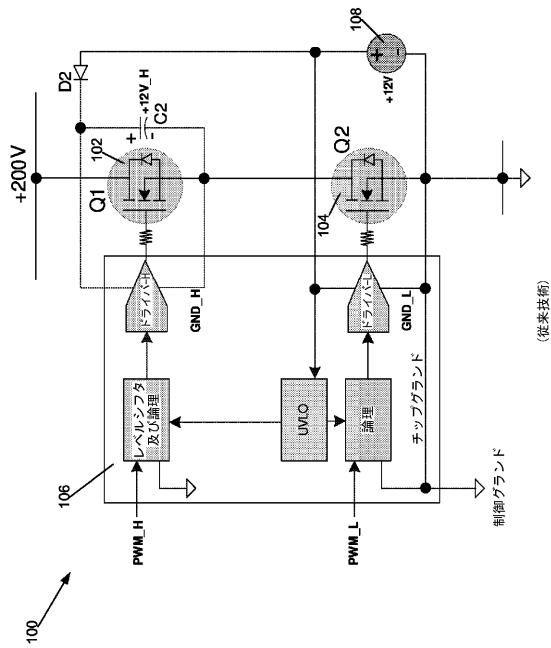
【0053】

本発明の少なくとも一つの実施形態のいくつかの態様を記載したが、様々な変更、修正及び改良が当業者に容易に想到し得ることを理解されたい。このような変更、修正、改良

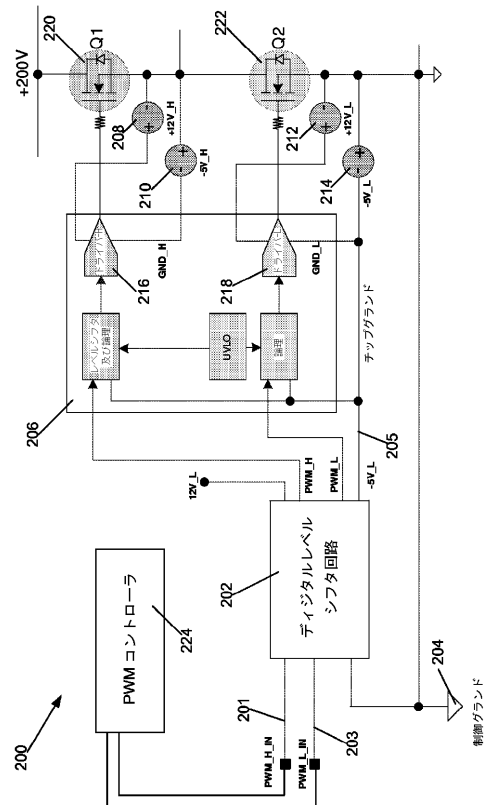
50

は本開示の一部であり、本発明の精神及び範囲に包含されることが意図される。従って、以上の詳細な説明及び図面はほんの一例に過ぎない。

【 図 1 】



【 図 2 】





## 【 国際調査報告 】

INTERNATIONAL SEARCH REPORT		International application No. PCT/US14/13358
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC(8) - G11C 7/00; H03B 1/00 (2014.01) USPC - 327/57; 327/108 According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC(8): G11C 7/00; H03B 1/00; H02M 3/335; H01L 29/74 (2014.01) USPC: 327/57, 108; 363/17; 257/107 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) MicroPatent (US-G, US-A, EP-A, EP-B, WO, JP-bib, DE-C.B, DE-A, DE-T, DE-U, GB-A, FR-A); Google Patents; Google; Google Scholar; IP.com; Proquest; Keywords: gate driver, controller, semiconductor device, bipolar control signal, unipolar control signals		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 8,427,235 B2 (WILLIAMS, R.) April 23, 2013; figures 6A-8C, 9A-10, 12A-12C, 14B, 15, and 17-18D; column 10, lines 36-49; column 12, lines 16-28; column 17, lines 13-24; column 21, lines 20-68; column 22, lines 1-68; column 23, line 5- column 24, line 60; column 28, lines 60-68; column 29, lines 1-56	1-6, 12-13, 15, 20 ----- 7-11, 14, 16-19
Y	US 5,483,486 A (JAVANIFARD, J. et al.) January 9, 1996; figures 17-19; column 20, lines 62-68; column 21, lines 1-21 and 53-68.	7-11
Y	US 7,259,613 B2 (MEEK, S. et al.) August 21, 2007; figure 2; column 2, lines 15-66; column 3, line 55- column 4, line 11.	11
Y	US 2009/0085648 A1 (MAES, D. et al.) April 2, 2009; figure 1; paragraph [0026].	14
Y	US 2012/0189139 A1 (OHARA, K. et al.) July 26, 2012; figures 3-4; paragraphs [0135-0137].	16-19
Y	US 5,532,653 A (ADKINS, K.) July 2, 1996; figure 3; column 5; lines 30-40.	19
A	US 6,759,692 B1 (OCHI, S.) July 6, 2004; entire document.	1-20
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/>		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 1 May 2014 (01.05.2014)		Date of mailing of the international search report <b>19 MAY 2014</b>
Name and mailing address of the ISA/US Mail Stop PCT, Attn: ISA/US, Commissioner for Patents P.O. Box 1450, Alexandria, Virginia 22313-1450. Facsimile No. 571-273-3201		Authorized officer: Shane Thomas PCT Helpdesk: 571-272-4300 PCT QSP: 571-272-7774

## フロントページの続き

(51)Int.Cl. F I テーマコード(参考)  
H 0 3 K 19/094 C

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 マヘンドラクマ ハリブハ リパレ  
インド国 バンガロール 5 6 0 0 9 2 バイアタラヤナプラ カシーナガー アムルータハリ  
プラクルーティ チャンダーナ ナンバー 2 0 2

(72)発明者 ラジェシ ゴーシュ  
インド国 バンガロール 5 6 0 0 5 4 エム.エス. ラマイア ロード ディヴァナ ポリ  
ア シンドフ レジデンス エフ - 2 0 4

Fターム(参考) 5H740 BA12 BB05 BC01 BC02 HH07 KK01  
5J055 AX25 AX66 BX16 CX08 CX10 DX13 DX22 DX59 EY01 EY10  
EY12 EY13 EY21 EZ20 EZ23 EZ28 EZ55 GX01 GX02  
5J056 AA05 BB55 CC16 CC29 CC30 DD13 DD26 DD51 DD55 DD56  
FF08 GG09