

公告本

739949

申請日期	90 年 3 月 7 日
案 號	90105343
類 別	H01L 29/786, G02F 1/136

A4
C4

519767

(以上各欄由本局填註)

發明專利說明書

一、發明 名稱	中 文	液晶顯示裝置及其製造方法
	英 文	Liquid crystal display device and method of manufacturing the same
二、發明 創作人	姓 名	(1) 山崎舜平 (2) 平形吉晴
	國 籍	(1) 日本 (2) 日本
	住、居所	(1) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內 (2) 日本國神奈川縣厚木市長谷三九八番地 半導體能源研究所股份有限公司內
三、申請人	姓 名 (名稱)	(1) 半導體能源研究所股份有限公司 株式会社半導体エネルギー研究所
	國 籍	(1) 日本
	住、居所 (事務所)	(1) 日本國神奈川縣厚木市長谷三九八番地
	代 表 人 姓 名	(1) 山崎舜平

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6
B6

本案已向：

國(地區) 申請專利，申請日期： 案號： ，☐有 ☐無主張優先權日本 2000 年 3 月 16 日 2000-073577 ☒有主張優先權

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部智慧財產局員工消費合作社印製

五、發明說明(1)

[本發明的領域]

本發明係有關於一種主動陣列型液晶顯示裝置，並特別有關於一種 I P S (In-Plane switching) 系統 (二橫互電場系統) 之主動陣列型液晶顯示裝置。

[習知技術的描述]

已知一種主動陣列型液晶顯示裝置係利用活動元素，例如薄膜電晶體 (T F T) 。主動陣列型液晶顯示裝置可增加像素密度，小而輕，並且較不耗功率，以致可取代 C R T ，已經發展出一種產品，例如個人電腦或液晶電視之螢幕。

特別地，一利用聚晶矽代表的微晶半導體膜形成 T F T 之活動層之技術將可形成相同基質上之像素部之驅動電路以及開關 T F T (此後稱為像素 T F T) ，並且此技術有助於液晶顯示裝置之小型化並減輕重量。

於液晶顯示裝置中，液晶係密封於一對基質之間，並且液晶分子藉由電場定位，該電場係施加於一基質之像素電極 (個別電極) 與另一基質之相對電極 (共同電極) 之間並且幾乎垂直於基質平面。然而，此液晶驅動方法之缺點在於，視角狹窄，換言之，雖然當沿著垂直基質平面之方向觀看時得到正常顯示狀態，但是當沿著傾斜方向觀看時，色調將改變。

I P S 系統可克服此缺點。此系統之特性在於，像素電極和共同接線係形成於一基質上，並且電場係改變至橫

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(2)

向，並且液晶分子並未升高但是它們的定位係被控制平行於基質平面之方向。藉此操作原則，視角可加寬。

[本發明欲解決之問題]

液晶顯示裝置之使用已經變寬，並且於 I P S 系統中，藉由螢幕尺寸之放大，針對高精細度，高孔徑比以及高可靠度之要求將可增加。同時，亦可改良生產率並減少成本。

爲了改良生產率和產量，步驟之減少可視爲有效手段。

特別地，必須減少生產 T F T 所需之光罩數目。光罩係使用於照相平版印刷技術，以形成光保護圖案，其係成爲基質上之蝕刻處理罩。

藉由利用光罩，可實施步驟，例如施加保護，預烘乾，曝光，顯像，後烘乾，薄膜沉澱，以及前後之蝕刻，並且可加入去皮，清洗以及乾燥之步驟。因此，整個過程變得複雜而造成問題。

更者，因爲基質爲絕緣體，所以製造過程因爲摩擦而產生靜電。假如產生靜電，基質上形成的接線之相交部分將產生短路，並且因爲靜電造成 T F T 之破壞或故障將導致光電裝置之影像品質之顯示錯誤或破壞。特別地，於液晶定位過程造成之摩擦將產生靜電，並造成問題。

本發明可解決上述問題，並且本發明之目的係可減少 T F T 之製造步驟，降低生產成本，並改良 I P S 系統之

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(3)

液晶顯示裝置。

更者，本發明之目的係可提供一種可解決因為靜電造成 T F T 之傷害以及 T F T 特徵之破壞之問題之結構以及製造該結構之方法。

[解決問題之手段]

為了解決上述問題，本發明之特徵在於利用溝道蝕刻型底閘 T F T 結構，並且源極區和汲極區之圖案以及源極接線和像素電極之圖案可藉由相同光罩而實施。

一種製造本發明之方法描述如下。

首先，閘極接線 1 0 2 和共同接線 1 0 3 a (以及共同電極 1 0 3 b) 係利用第一光罩 (光罩數目一) 形成。

其次，絕緣薄膜 (閘極絕緣薄膜) 1 0 4 a ，第一無定形半導體薄膜 1 0 5 ，包含 n 型雜質元素之第二無定形半導體薄膜 1 0 6 以及第一導電膜 1 0 7 係依序層疊 (第 2 (A) 圖) 。微晶半導體薄膜可取代無定形半導體薄膜，並且包含 n 型雜質元素之微晶半導體薄膜可取代包含 n 型雜質元素之第二無定形半導體薄膜。此外，該等薄膜 (1 0 4 a ， 1 0 5 ， 1 0 6 和 1 0 7) 係連續製成，並適當改變目標或噴射氣體。此時可於噴濺裝置中利用相同反應室或多個反應室，並可連續堆疊此等薄膜而不外露於大氣中。因為此等薄膜不外露於大氣中，可防止混合雜質。

其次，利用第二光罩 (光罩數目二) ：第一導電膜 1 0 7 係形成圖案，從第一導電膜形成接線 1 1 4 (其後

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (4)

成為源極接線和像素電極)；第二無定形半導體薄膜

1 0 6 係形成圖案，形成包含 n 型雜質元素之第二無定形半導體薄膜 1 1 2；並且第一無定形半導體薄膜 1 0 5 係形成圖案，形成第一無定形半導體薄膜 1 1 0 (第 2 (B) 圖)。

其後，第二導電膜 1 1 6 形成於整面 (第 2 (C) 圖)。第二導電膜 1 1 6，透明導電膜或具有反射性之導電膜可被使用。第二導電膜可防止靜電損害，保護接線，並可電連接終端部。

其次，利用第三光罩 (光罩數目三)：第二導電膜 1 1 6 係形成圖案，接線 1 1 4 係形成圖案，形成源極接線 1 2 1 和像素電極 1 2 2，包含 n 型雜質元素之第二無定形半導體薄膜 1 1 2 係形成圖案，從包含 n 型雜質元素之第二無定形半導體薄膜形成源極區 1 1 9 和汲極區 1 2 0；並且第一無定形半導體薄膜 1 1 0 之一部分被移除，形成第一無定形半導體薄膜 1 1 8 (第 3 (A) 圖)。

利用此種結構，當製造像素 T F T 部時，照相平版印刷技術使用之光罩數設定為三。

本發明之結構如下：

一種液晶顯示裝置，包括一對基質以及一保持於基質間之液晶，其中液晶顯示裝置之特徵在於：

閘極接線 1 0 2 以及共同電極 1 0 3 b 形成於一基質上，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (5)

絕緣膜 1 0 4 b 形成於閘極接線 1 0 2 以及共同電極上 1 0 3 b ,

無定形半導體薄膜 1 1 8 形成於絕緣膜上 ,

源極區 1 1 9 以及汲極區 1 2 0 形成於無定形半導體薄膜上 ,

源極接線 1 2 1 或像素電極 1 2 2 形成於源極區 1 1 9 或汲極區 1 2 0 上 ,

像素電極 1 2 2 和共同電極 1 0 3 b 設置成可產生一平行於一基質之基質平面之電場 , 並且

源極區 1 1 9 或汲極區 1 2 0 之一端面係與無定形半導體薄膜 1 1 8 之端面以及像素電極 1 2 2 之端面實質一致。

更者 , 本發明之另一結構如下 :

一種液晶顯示裝置 , 包括一對基質以及一保持於基質間之液晶 , 其中液晶顯示裝置之特徵在於 :

閘極接線 1 0 2 以及共同電極 1 0 3 b 形成於一基質上 ,

絕緣膜 1 0 4 b 形成於閘極接線 1 0 2 以及共同電極上 1 0 3 b ,

無定形半導體薄膜 1 1 8 形成於絕緣膜上 ,

源極區 1 1 9 以及汲極區 1 2 0 形成於無定形半導體薄膜上 ,

源極接線 1 2 1 或像素電極 1 2 2 形成於源極區 1 1 9 或汲極區 1 2 0 上 ,

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(6)

像素電極 1 2 2 和共同電極 1 0 3 b 設置成可產生一平行於一基質之基質平面之電場，並且

源極區 1 1 9 或汲極區 1 2 0 之一端面係與無定形半導體薄膜 1 1 8 之端面以及像素電極 1 2 2 之端面實質一致，並且另一端面係與源極接線 1 2 2 之端面實質一致。

更者，本發明之另一結構如下：

一種液晶顯示裝置，包括一對基質以及一保持於基質間之液晶，其中液晶顯示裝置之特徵在於：

閘極接線 1 0 2 以及共同電極 1 0 3 b 形成於一基質上，

絕緣膜 1 0 4 b 形成於閘極接線 1 0 2 以及共同電極上 1 0 3 b，

無定形半導體薄膜 1 1 8 形成於絕緣膜上，

源極區 1 1 9 以及汲極區 1 2 0 形成於無定形半導體薄膜上，

源極接線 1 2 1 或像素電極 1 2 2 形成於源極區 1 1 9 或汲極區 1 2 0 上，

像素電極 1 2 2 和共同電極 1 0 3 b 設置成可產生一平行於一基質之基質平面之電場，並且

該無定形半導體薄膜 1 1 8 以及一包含 n 型雜質元素之無定形半導體薄膜係層疊於源極接線之下方。

更者，分別於上述結構中，液晶顯示裝置之特徵在於，該源極區和汲極區係由一包含 n 型雜質元素之無定形半導體薄膜製成。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明(7)

更者，分別於上述結構中，液晶顯示裝置之特徵在於，該閘極接線 1 0 2 可由一元素薄膜製成，該元素薄膜可從 A l，C u，T i，M o，W，T a，N d 或 C r 中選出之一元素，或包含以上元素之合金，或包含以上元素之疊片。

更者，分別於上述結構中，液晶顯示裝置之特徵在於，該源極區 1 1 9 和汲極區 1 2 0 與像素電極 1 2 2 由相同光罩構成。更者，該源極區 1 1 9 和汲極區 1 2 0 與源極接線 1 2 1 由相同光罩構成。

更者，分別於上述結構中，液晶顯示裝置之特徵在於，於無定形半導體薄膜中，一接觸源極區和汲極區之區域之薄膜厚度係厚於一介於該接觸源極區之區域與該接觸汲極區之區域之間的區域之薄膜厚度。

更者，分別於上述結構中，液晶顯示裝置之特徵在於，該像素電極係由透明導電膜包覆。此外，該源極接線以及源極接線之延長線上之一端子係由透明導電膜包覆。

更者，本發明提供一種液晶顯示裝置之製造方法，其特徵在於該方法包括：

第一步驟：利用一第一光罩將閘極接線 1 0 2 以及共同電極 1 0 3 b（和共同接線 1 0 3 a）形成於一絕緣表面上，

第二步驟：形成絕緣膜 1 0 4 a 包覆閘極接線 1 0 2 以及共同電極 1 0 3 b，

第三步驟：形成第一無定形半導體薄膜 1 0 5 於絕緣

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(8)

膜 1 0 4 a 上，

第四步驟：形成一包含 n 型雜質元素之第二無定形半導體薄膜 1 0 6 於第一無定形半導體薄膜 1 0 5 上，

第五步驟：形成一第一導電膜 1 0 7 於第二無定形半導體薄膜 1 0 6 上，

第六步驟：利用一第二光罩於第一無定形半導體薄膜 1 0 5 上形成圖案；利用第二光罩於第二無定形半導體薄膜 1 0 6 上形成圖案；利用第二光罩於第一導電膜 1 0 7 上形成圖案；並從第一導電膜形成一接線 1 1 4，以及

第七步驟：利用第三光罩於接線 1 1 4 上形成圖案，形成源極接線 1 2 1 以及像素電極 1 2 2；利用第三光罩於第二無定形半導體薄膜 1 1 2 上形成圖案，從第二無定形半導體薄膜中形成源極區 1 1 9 以及汲極區 1 2 0；並且利用第三光罩將第一無定形半導體薄膜之一部分移除。

更者，本發明提供另一種液晶顯示裝置之製造方法，其特徵在於該方法包括：

第一步驟：利用一第一光罩將閘極接線 1 0 2 以及共同電極 1 0 3 b（和共同接線 1 0 3 a）形成於一絕緣表面上，

第二步驟：形成絕緣膜 1 0 4 a 包覆閘極接線 1 0 2 以及共同電極 1 0 3 b，

第三步驟：形成第一無定形半導體薄膜 1 0 5 於絕緣膜 1 0 4 a 上，

第四步驟：形成一包含 n 型雜質元素之第二無定形半

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明(9)

導體薄膜 1 0 6 於第一無定形半導體薄膜 1 0 5 上，

第五步驟：形成一第一導電膜 1 0 7 於第二無定形半導體薄膜 1 0 6 上，

第六步驟：利用一第二光罩於第一無定形半導體薄膜 1 0 5 上形成圖案；利用第二光罩於第二無定形半導體薄膜 1 0 6 上形成圖案；利用第二光罩於第一導電膜 1 0 7 上形成圖案；並從第一導電膜形成一接線 1 1 4，

第七步驟：形成第二導電膜 1 1 6 接觸並重疊該接線 1 1 4，以及

第八步驟：利用第三光罩於第二導電膜 1 1 6 上形成圖案，形成一由第二導電膜製成之電極；利用第三光罩於接線 1 1 4 上形成圖案，形成一源極接線 1 2 1 以及一像素電極 1 2 2；利用第三光罩於第二無定形半導體薄膜上形成圖案，從第二無定形半導體薄膜 1 1 6 中形成一源極區 1 1 9 以及一汲極區 1 2 0；並且利用第三光罩將第一無定形半導體薄膜之一部分移除。

上述結構之特徵在於，該第二導電膜 1 1 6 係為透明導電膜。

更者，分別於上述結構中，特徵在於，該像素電極和共同電極設置成可產生一平行於絕緣表面之電場。

[本發明之實施例模式]

以下將描述本發明之實施例模式。

第一圖顯示本發明之 I P S 系統之像素結構，並基於

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (10)

簡化，只顯示一像素結構。第二和三圖顯示製造步驟。

如第一圖所示，主動陣列基質包括多個互相平行之閘極接線以及多個垂直閘極接線之源極接線。此外，亦包括多個與閘極接線同一層之共同接線。

此外，一像素電極 1 2 2 設置於閘極接線 1 0 2 和源極接線 1 2 1 包圍之區域中。此外，兩互相平行之共同電極 1 0 3 b 設置於像素電極 1 2 2 兩側。液晶係藉由像素電極 1 2 2 和共同電極 1 0 3 b 之間形成之橫向電場而驅動。此外，爲了減少共同電極和源極接線之間形成之間隙產生之輕微洩漏，它們可部分重疊。

更者，T F T 形成於閘極接線 1 0 2 和源極接線 1 2 1 之相交部分附近。此 T F T 係爲逆交錯式 T F T（溝道蝕刻式），其具有溝道形成區係從具有無定形結構之半導體膜形成（此後稱爲第一無定形半導體薄膜）。

更者，T F T 係藉由閘極電極（與閘極接線 1 0 2 一體成型），閘極絕緣膜，第一無定形半導體薄膜，由包含 n 型雜質元素之第二無定形半導體薄膜製成之源極區和汲極區，源極電極（與源極接線 1 2 1 一體成型）以及像素電極 1 2 2 之疊層構成。

更者，一介於該接觸源極區之區域與該接觸汲極區之區域之間的區域之薄膜厚度係小於第一無定形半導體薄膜之其他區域。薄膜厚度變小之理由在於，當藉由分隔包含 n 型雜質元素之第二無定形半導體薄膜形成源極區和汲極區時，第一無定形半導體薄膜之一部分亦被移除。更者，

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (13)

- 1 4 : 第四容室
- 1 5 : 負載鎖緊容室
- 2 0 : 共同容室
- 2 1 : 機械臂
- 2 2 : 閘閥
- 2 3 : 閘閥
- 2 4 : 閘閥
- 2 5 : 閘閥
- 2 6 : 閘閥
- 2 7 : 閘閥
- 2 8 : 盒體
- 2 9 : 盒體
- 3 0 : 處理基質
- 4 0 : 處理基質
- 4 2 : 盒體
- 4 3 : 盒體
- 4 4 : 負載鎖緊容室
- 4 5 : 容室
- 4 6 : 負載鎖緊容室
- 5 0 : 共同容室
- 1 0 0 : 半透明基質
- 1 0 1 : 端子
- 1 0 2 : 閘極接線
- 1 0 3 a : 公共接線

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (14)

- 1 0 3 b : 公共電極
- 1 0 4 : 絕緣薄膜
- 1 0 4 a : 絕緣薄膜
- 1 0 4 b : 絕緣薄膜
- 1 0 5 : 第一無定形半導體薄膜
- 1 0 6 : 第二無定形半導體薄膜
- 1 0 7 : 第一導電膜
- 1 0 8 : 保護罩
- 1 0 9 : 保護罩
- 1 1 0 : 第一無定形半導體薄膜
- 1 1 1 : 第一無定形半導體薄膜
- 1 1 2 : 第二無定形半導體薄膜
- 1 1 3 : 第二無定形半導體薄膜
- 1 1 3 a : 保護罩
- 1 1 3 b : 保護罩
- 1 1 3 c : 保護罩
- 1 1 4 : 導電金屬膜
- 1 1 5 : 導電金屬膜
- 1 1 6 : 第二導電膜
- 1 1 7 a : 保護罩
- 1 1 7 b : 保護罩
- 1 1 7 c : 保護罩
- 1 1 8 : 第一無定形半導體薄膜
- 1 1 9 : 源極區

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (15)

- 1 2 0 : 汲極區
- 1 2 1 : 源極接線
- 1 2 2 : 像素電極
- 1 2 3 : 第二導電膜
- 1 2 4 : 第二導電膜
- 1 2 5 : 對準膜
- 1 2 6 : 對準膜
- 1 2 7 : 相對基質
- 1 2 8 : 液晶材料
- 1 2 9 : 黏劑
- 1 3 0 : 質點
- 1 3 1 : 銅線
- 1 3 2 : 有機樹脂膜
- 1 3 3 : 樹脂層
- 2 0 1 : T F T
- 2 0 2 : 儲存電容器
- 2 0 3 : 輸入端部
- 2 0 4 : 連接線
- 2 0 5 : 輸入端部
- 2 0 6 : 連接線
- 2 0 7 : 源極接線
- 2 0 8 : 閘極接線
- 2 0 9 : 共同接線
- 2 1 0 : 基質

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (16)

- 2 1 1 : 像素部
- 2 1 2 : 輸入端部
- 2 1 3 : 連接線
- 3 0 1 : 基質
- 3 0 2 : 輸入端部
- 3 0 3 : 端子
- 3 0 4 : 相對基質
- 3 0 5 : 密封件
- 3 0 6 : 間隔件
- 3 0 7 : 偏光板
- 3 0 8 : 濾色器
- 3 0 9 : 有機樹脂膜
- 3 1 0 : 銅線
- 3 1 1 : 黏劑
- 3 1 2 : 質點
- 3 1 3 : 晶片
- 3 1 4 : 凸耳
- 3 1 5 : 樹脂材料
- 3 1 6 : 連接端子
- 3 1 7 : 印刷基質
- 3 1 8 : 樹脂層
- 3 1 9 : 光源
- 3 2 0 : 光導
- 3 2 1 : 殼體

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (17)

- 3 2 2 : 間隔件
- 4 0 1 : 無機絕緣膜
- 4 0 2 : 無機絕緣膜
- 5 0 1 : 閘極接線終端部
- 5 0 2 : 源極接線終端部
- 5 0 3 : 連接電極
- 5 0 4 : 絕緣膜
- 5 0 5 : 第一無定形半導體薄膜
- 5 0 6 : 第二無定形半導體薄膜
- 6 0 2 : 閘極接線
- 6 0 3 a : 共同接線
- 6 0 3 b : 共同電極
- 6 2 1 : 源極接線
- 6 2 2 : 像素電極
- 7 0 1 : 電極 (接線)
- 8 0 0 : 第一基質
- 8 0 1 : 區域
- 8 0 2 : 區域
- 8 0 3 : 像素區
- 8 0 4 : 外輸入輸出端子
- 8 0 5 : 連接線
- 8 0 6 : I C 晶片
- 8 0 7 : I C 晶片
- 8 0 8 : 第二基質

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (18)

- 8 0 9 : 相 對 電 極
- 8 1 0 : 密 封 材 料
- 8 1 1 : 液 晶 層
- 8 1 2 : 撓 性 印 刷 電 路
- 8 1 3 : 強 化 板
- 9 0 1 : 第 一 基 質
- 9 0 2 : 像 素 區
- 9 0 4 : 密 封 材 料
- 9 0 5 : 液 晶 層
- 9 0 6 : 導 線
- 9 0 7 : 輸 入 輸 出 端 子
- 9 0 8 : I C 晶 片
- 9 0 9 : 輸 入 輸 出 端 子
- 9 1 0 : 導 電 質 點
- 9 1 1 : 樹 脂
- 9 1 2 : 撓 性 印 刷 電 路
- 9 1 4 : 導 電 質 點
- 9 1 6 : 黏 性 材 料
- 9 1 7 : 導 線
- 9 1 8 : 樹 脂
- 2 0 0 1 : 主 體
- 2 0 0 2 : 影 像 輸 入 部
- 2 0 0 3 : 顯 示 部
- 2 0 0 4 : 鍵 盤

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (19)

- 2 1 0 1 : 主 體
- 2 1 0 2 : 顯 示 部
- 2 1 0 3 : 語 音 輸 入 部
- 2 1 0 4 : 操 作 開 關
- 2 1 0 5 : 電 池
- 2 1 0 6 : 影 像 接 收 部
- 2 2 0 1 : 主 體
- 2 2 0 2 : 相 機 部
- 2 2 0 3 : 影 像 接 收 部
- 2 2 0 4 : 操 作 開 關
- 2 2 0 5 : 顯 示 部
- 2 4 0 1 : 主 體
- 2 4 0 2 : 顯 示 部
- 2 4 0 3 : 話 筒 部
- 2 4 0 4 : 記 錄 媒 體
- 2 4 0 5 : 操 作 開 關
- 2 5 0 1 : 主 體
- 2 5 0 2 : 顯 示 部
- 2 5 0 3 : 目 鏡 部
- 2 5 0 4 : 操 作 開 關
- 2 9 0 1 : 主 體
- 2 9 0 2 : 語 音 輸 出 部
- 2 9 0 3 : 語 音 輸 入 部
- 2 9 0 4 : 顯 示 部

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (20)

2 9 0 5 : 操 作 開 關

2 9 0 6 : 天 線

3 0 0 1 : 主 體

3 0 0 2 : 顯 示 部

3 0 0 3 : 顯 示 部

3 0 0 4 : 記 錄 媒 體

3 0 0 5 : 操 作 開 關

3 0 0 6 : 天 線

3 1 0 1 : 主 體

3 1 0 2 : 支 撐 座

3 1 0 3 : 顯 示 部

A : 導 電 層

B : 導 電 層

C : 導 電 層

[較佳實施例的詳細說明]

[實施例一]

本發明之實施例藉由第一至七圖而被描述。該實施例顯示液晶顯示裝置之製造方法，並且根據使用之方法詳細解釋一種藉由逆交錯式 T F T (溝道蝕刻式) 於基質上形成像素之 T F T 之方法，並製造一連接至 T F T 之儲存電容器。更者，圖中亦顯示基質邊緣形成之終端之製造方法，以及可電連通至其他基質形成之電路之接線之製造方法。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (21)

於第 2 A 圖中，包含鋇或鋁光學玻璃 (Corning Corp. #7059 或 #1737) 之玻璃基質可使用為具半透明性之基質 1 0 0。此外，可使用石英或塑膠基質之半透明基質。

其次，基質之整面形成導電層之後，可實施一第一照相平版印刷處理，形成保護罩，不需要部分藉由蝕刻移除，並形成接線和電極 (閘極接線 1 0 2 包括閘極電極，公共接線 1 0 3 a 包括公共電極 1 0 3 b 和端子 1 0 1)，此時可實施蝕刻以於閘極電極至少一邊緣形成錐狀部。此步驟之頂視圖顯示於第四圖。

包括閘極電極，公共接線 1 0 3 a 和終端部之端子 1 0 1 之閘極接線 1 0 2 可由低電阻導電材料製成，例如鋁，銅或類似物，但是鋁之熱阻較低並容易腐蝕，因此必須結合熱阻導電材料。更者，可使用低電阻導電材料之 A g P d C u 合金。從鈦，鉬，鎢，鉕，鉻，釹中選出之一元素，或包含以上元素之合金，或包含以上元素之硝酸鹽化合物可構成熱阻導電材料。例如，已知鈦和銅之疊片或 T a N 和銅之疊片。更者，可結合熱阻導電材料，例如鈦，矽，鉻或釹。更者，只有此熱阻導電材料亦可被形成，例如，結合鉕和鎢。

於實施液晶顯示裝置時，藉由熱阻導電材料和低電阻導電材料之組合可構成閘極電極和閘極接線。

假設螢幕對角線尺寸小於 5 英吋，藉由熱阻導電材料製成之氮化合物構成之導電層 (A) 與藉由熱阻導電材料構成之導電層 (B) 組成之兩層疊片結構可被使用。導電

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (22)

層 (B) 可從 A l , C u , T a , T i , W , N d 和 C r 中選出之一元素構成，或包含以上元素之合金構成，或由以上元素組合成之合金薄膜，並且導電層 (A) 係由薄膜製成，例如 T a N 薄膜，W N 薄膜或 T i N 薄膜。例如，可使用 C r 作為導電層 (A) 以及含 N d 之 A l 作為導電層 (B)。導電層 (A) 厚度為 1 0 到 1 0 0 n m (較佳地，2 0 到 5 0 n m)，並且導電層 (B) 厚度為 2 0 0 到 4 0 0 n m (較佳地，2 5 0 到 3 5 0 n m)。

另外，為了應用於大螢幕，將可使用藉由熱阻導電材料構成之導電層 (A)，藉由低電阻導電材料構成之導電層 (B)，與藉由熱阻導電材料構成之導電層 (C) 組成之三層疊片結構。藉由低電阻導電材料構成之導電層 (B) 係藉由包含 A l 之材料製成，並且除了純 A l 之外，可使用 A l 包含 0 . 0 1 % 到 5 % 之元素，例如 S c , T i , N d 或 S i。導電層 (C) 能有效防止導電層 (B) 之 A l 產生小丘。導電層 (A) 厚度為 1 0 到 1 0 0 n m (較佳地，2 0 到 5 0 n m)，導電層 (B) 厚度為 2 0 0 到 4 0 0 n m (較佳地，2 5 0 到 3 5 0 n m)，並且導電層 (C) 厚度為 1 0 到 1 0 0 n m (較佳地，2 0 到 5 0 n m)。導電層 (A) 由厚度為 5 0 n m 之 T i 薄膜構成，導電層 (B) 由厚度為 2 0 0 n m 之 A l 薄膜構成，並且導電層 (C) 由厚度為 5 0 n m 之 T i 薄膜構成。

其次，絕緣薄膜 1 0 4 a 形成於整面。絕緣薄膜 1 0 4 a 係利用噴濺方式製成，並且厚度為 5 0 到 2 0 0

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (23)

n m。

例如，氮化矽薄膜可使用絕緣薄膜 1 0 4 a，並且厚度為 1 5 0 n m。閘極絕緣薄膜並未受限於此型的氮化矽薄膜，並且其他的絕緣薄膜可被使用，例如氧化矽薄膜，氮氧化矽薄膜或氧化鋁薄膜，並且閘極絕緣薄膜可由此等材料之單層或疊層構成。例如可使用氮化矽薄膜作為下層以及氧化矽薄膜作為上層之疊片結構。

其次，厚度為 5 0 到 2 0 0 n m（較佳地，1 0 0 到 1 5 0 n m）之第一無定形半導體薄膜 1 0 5 係利用例如電漿 C V D 或噴濺（圖中未示）之已知方法形成於絕緣薄膜 1 0 4 a 之整面上。傳統地，無定形矽薄膜（a - S i）係利用噴濺方式而具有 1 0 0 n m 之厚度。此外，亦可利用微晶半導體薄膜，或具有無定形結構之化合物半導體薄膜，例如無定形矽鍺薄膜（S i_x G e_(1-x)，0 < x < 1），以及無定形碳化矽（S i_x C_y），於第一無定形半導體薄膜。

其次，可形成厚度為 2 0 到 8 0 n m 之包含雜質元素分子一導電型式（n 型或 p 型）之第二無定形半導體薄膜。該包含雜質元素分子一導電型式（n 型或 p 型）之第二無定形半導體薄膜 1 0 6 係利用例如電漿 C V D 或噴濺之已知方法形成於整面上。該包含 n 型雜質元素之第二無定形半導體薄膜 1 0 6 係利用矽附加磷（P）而沉澱。該包含雜質元素之第二無定形半導體薄膜 1 0 6 亦可藉由氫微晶矽薄膜（μ c - S i : H）構成。

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (24)

其次，一包含金屬材料之第一導電膜 1 0 7 係藉由噴濺或真空蒸發製成。第一導電膜 1 0 7 之材料並無特別限制，該材料為金屬材料，其可與第二無定形半導體薄膜 1 0 6 形成歐姆接觸，並可從 A l , C r , T a 和 T i 中選出之一元素構成，或包含以上元素之合金構成，或由以上元素組合成之合金薄膜構成。利用噴濺方式，T i 薄膜厚度為 5 0 到 1 5 0 n m ，薄膜厚度為 3 0 0 到 4 0 0 n m 之 A l 薄膜係疊於 T i 薄膜上，並且位於 A l 薄膜上之薄膜厚度為 1 0 0 到 1 5 0 n m 之 T i 薄膜係構成為第一導電膜 1 0 7 。

絕緣薄膜 1 0 4 a ，第一無定形半導體薄膜 1 0 5 ，該包含 n 型雜質元素之第二無定形半導體薄膜 1 0 6 以及第一導電膜 1 0 7 皆由已知方法製成，並可由電漿 C V D 或噴濺製成。該等薄膜 (1 0 4 a , 1 0 5 , 1 0 6 和 1 0 7) 係由噴濺方式連續製成，並適當改變目標或噴射氣體。此時可於噴濺裝置中利用相同反應室或多個反應室，並可連續堆疊此等薄膜而不外露於大氣中。因為此等薄膜不外露於大氣中，可防止混合雜質。

其次，可實施一第二照相平版印刷處理，形成保護罩 1 0 8 和 1 0 9 ，不需要部分藉由蝕刻移除，並形成接線 (其可形成源極接線和像素電極) 。此時，蝕刻處理可利用溼蝕刻或乾蝕刻。第一無定形半導體薄膜 1 0 5 ，該包含 n 型雜質元素之第二無定形半導體薄膜 1 0 6 以及第一導電膜 1 0 7 皆被蝕刻，並且第一無定形半導體薄膜

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (25)

1 1 0，包含 n 型雜質元素之第二無定形半導體薄膜

1 1 2 以及導電金屬膜 1 1 4 係形成於像素 T F T 部分。因此該等薄膜之邊緣表面幾乎重合。第一無定形半導體薄膜 1 1 1，包含 n 型雜質元素之第二無定形半導體薄膜

1 1 3 以及導電金屬膜 1 1 5 係形成於電容器部分。相同地，該等薄膜之邊緣表面幾乎重合。第一導電膜 1 0 7 係由 T i 薄膜和 A l 薄膜疊成，並且 T i 薄膜係藉由蝕刻並利用 S i C l₄，C l₂ 和 B C l₃ 之混合氣體之反應氣體而被蝕刻，並且第一無定形半導體薄膜 1 0 5 和包含 n 型雜質元素之第二無定形半導體薄膜 1 0 6 係藉由改變反應氣體至混合氣體 C F₄ 和 O₂ 而選擇式移除。終端部保持端子和絕緣膜 1 0 4 a。

其次，移除保護罩 1 0 8 和 1 0 9 之後，一保護罩係藉由蔭罩形成，藉由選擇性將覆蓋終端部之墊部之絕緣膜 1 0 4 a 移除將可形成絕緣膜 1 0 4 b，並且保護罩被移除。保護罩可藉由網版印刷形成以取代蔭罩並可使用為蝕刻罩。

其次，包含透明導電膜之第二導電膜 1 1 6 係沉澱於整面。此狀態之頂視圖顯示於第五圖。然而，基於簡化，第五圖並未顯示沉澱於整面之第二導電膜 1 1 6。

第二導電膜 1 1 6 係利用噴濺或真空蒸發之方法而可由 I n₂O₃ 或 I n₂O₃ - S n O₂ (簡寫為 I T O) 合金構成。此種材料之蝕刻處理係利用氫氟酸型式之溶液而實施。然而，容易產生殘留物，特別是藉由 I T O 蝕刻，因

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (26)

此可利用 $\text{In}_2\text{O}_3 - \text{ZnO}$ 合金以增進蝕刻效率。

$\text{In}_2\text{O}_3 - \text{ZnO}$ 合金與 ITO 比較係具有較佳表面光滑特徵，並具有較佳熱穩定性，因此即使與第二導電膜

116 接觸之接線 111 係由 Al 薄膜製成，將可防止腐蝕反應。 ZnO 亦為適當材料，此外，為了增加可見光之傳輸率並增加導電性，可使用例如 ZnO 之材料 ($\text{ZnO} : \text{Ga}$)，其係加入 Ga 。

其次，可實施一第三照相平版印刷處理以形成保護罩 117a 和 117b。不需要部分藉由蝕刻移除，並形成第一無定形半導體薄膜 118，源極區 119，汲極區 120，源極接線 121 和像素電極 122，以及第二導電膜 123 和 124。

第三照相平版印刷處理於第二導電膜 116 形成圖案，同時藉蝕刻移除一部分接線 114，該包含 n 型雜質元素之第二無定形半導體薄膜 112 以及第一無定形半導體薄膜 110，形成開口。包含 ITO 之第二導電膜 116 首先藉由溼蝕刻利用氮酸和氫氟酸之混合溶液或氯化鐵溶液而選擇性移除，藉由溼蝕刻移除接線之後，該包含 n 型雜質元素之第二無定形半導體薄膜 112 以及第一無定形半導體薄膜 110 之一部分係經由乾蝕刻處理。溼蝕刻和乾蝕刻於此實施例使用，但是操作者可適當選擇反應氣體而只實施乾蝕刻，並且操作者可適當選擇反應溶液而只實施溼蝕刻。

更者，開口之下半部到達第一無定形半導體薄膜，並

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (29)

區域並未作用。於 I P S 方法中使用之已知 n 型液晶或 p 型液晶可應用於液晶材料 1 2 8。

該實施例可使用 p 型液晶材料 Z L I - 4 7 9 2 (由 Merck 製造) , 其中一對基質係保持 3 到 5 μ m 之距離。使用 Z L I - 2 8 0 6 (由 Merck 製造) 時, 一對基質係保持 6 到 8 μ m 之距離, 並且傳遞光和回應速度可最佳化。因為使用 p 型液晶材料, 所以像素電極和摩擦方向間形成之角度較佳設定為 0 . 5 度到 4 0 度, 並且此實施例設定為 1 5 度。另外, 使用 n 型液晶材料時, 像素電極和摩擦方向 (相對於與像素電極垂直相交之軸線) 間形成之角度設定為 0 . 5 度到 4 0 度之間。

其次, 於噴入液晶材料之後, 噴射開口係藉由樹脂材料而被密封。

其次, 撓性印刷電路 (F P C) 係連接至終端部之輸入端 1 0 1。F P C 係藉由有機樹脂膜 1 3 2 (例如聚脂) 上之銅線 1 3 1 構成, 並且連接至透明導電膜, 透明導電膜藉由各向異性導電黏劑而覆蓋輸入端。各向異性導電黏劑包含黏劑 1 2 9 和質點 1 3 0, 直徑為數十 μ m 到數百 μ m, 並具有一電鍍導電表面, 其係混合於其中。質點 1 3 0 藉由將透明導電膜連接於輸入端 1 0 1 和銅線 1 3 1 而形成電氣連接。此外, 為了增加此區域之機械強度, 可形成樹脂層 1 3 3。

第一圖係為像素之頂視圖以及沿著第 (3 C) 圖線段 A - A ' 和 B - B ' 方向之剖面圖。為了簡化, 圖中未示相對

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (31)

2 0 3 , 2 0 5 和 2 1 2 可由操作者決定設置成任何數目。

[實施例二]

第八圖為安裝液晶顯示裝置之方法之實例。液晶顯示裝置具有輸入端部 3 0 2 形成於基質 3 0 1 (T F T 形成於基質上) 之邊緣部，並且由相同材料構成之端子 3 0 3 作為閘極接線。相對基質 3 0 4 藉由一包含間隔件 3 0 6 之密封件 3 0 5 而接合於基質 3 0 1，並且設置偏光板 3 0 7 和濾色器 3 0 8。一偏光板可調整至液晶分子之長軸並且另一偏光板可調整至液晶分子之短軸。然後藉由間隔件 3 2 2 固定於殼體 3 2 1。

實施例一所得之具有由無定形矽膜形成之活動層之 T F T 係具有低電場效應移動性，並且大約只得到 $1 \text{ cm}^2 / \text{V s e c}$ 。因此，用以實施影像顯示之驅動電路由 I C 晶片構成並由 T A B (tape automated bonding) 方法或 C O G (chip on glass) 方法安裝。此實例顯示驅動電路由 I C 晶片 3 1 3 構成，並利用 T A B 方法安裝。可使用撓性印刷電路 (F P C)，並且 F P C 係藉由有機樹脂膜 3 0 9 (例如聚脂) 上之銅線 3 1 0 構成，並且藉由各向異性導電黏劑連接至輸入端 3 0 2。輸入端 3 0 2 係為形成於並接觸接線 3 0 3 之透明導電膜。各向異性導電黏劑包含黏劑 3 1 1 和質點 3 1 2，直徑為數十 μm 到數百 μm ，並具有一電鍍導電表面，其係混合於其中。質點

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (33)

由第四照相平版印刷處理從終端部移除，露出第二導電膜，其包含形成於終端部之端子之透明導電膜。

因此，由無機絕緣膜保護之逆交錯式（n溝道式）T F T和儲存電容器可藉由實施照相平版印刷處理並利用四光罩總共四次而能夠完成。藉由將像素部排列成矩陣狀態，將可造成一可製造主動陣列光電裝置之基質。

可自由將本實施例與實施例一和二結合。

[實施例四]

實施例主要藉由噴濺方式層疊絕緣膜，第一無定形半導體薄膜，包含n型雜質元素之第二無定形半導體薄膜，以及第一導電膜，但是此實施例係利用電漿C V D以形成薄膜。

此實例中，絕緣膜，第一無定形半導體薄膜，以及包含n型雜質元素之第二無定形半導體薄膜係利用電漿C V D形成。

此實例中，氮氧化矽膜使用為絕緣膜，並利用電漿C V D形成之150nm厚度。於電漿C V D裝置可實施沉澱，供電頻率為13到70MHz，較佳介於27和60MHz之間。利用供電頻率介於27到60MHz之間，可形成密度大的絕緣膜，並且電壓電阻可增加為閘極絕緣膜。藉由加入N₂O到SiH₄和NH₃製成之氮氧化矽膜之電荷密度係固定減小，並因此可較佳使用。閘極絕緣膜並未受限於氮氧化矽膜，並且利用其他絕緣膜可形成

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (34)

單層或疊層結構，例如氮化矽薄膜，氧化矽薄膜，或氧化鋁薄膜。氮化矽薄膜可作為下層，並且氧化矽薄膜可作為上層。

例如，使用氧化矽薄膜時，可藉由電漿 C V D 並利用 T E O S 和 O_2 之混合物而形成，反應壓力設定為 4 0 P a，基質溫度為 2 5 0 到 3 5 0 ° C，並且高頻放電 (1 3 . 5 6 M H z)，功率密度為 0 . 5 到 0 . 8 W / c m²。隨後於 3 0 0 到 4 0 0 ° C 進行熱退火可針對氧化矽薄膜得到閘極絕緣膜之良好特徵。

傳統上，氫化無定形矽膜 (a - S i : H) 係藉由電漿 C V D 形成具有 1 0 0 n m 之厚度而成為第一無定形半導體薄膜。於電漿 C V D 裝置可實施沉澱，供電頻率為 1 3 到 7 0 M H z，較佳介於 2 7 和 6 0 M H z 之間。利用供電頻率介於 2 7 到 6 0 M H z 之間，將可增加薄膜沉澱速度，並因為沉澱膜成為具有低不良密度之 a - S i 膜而較佳。亦可應用微晶半導體膜和具有無定形結構之複合半導體膜，例如無定形矽鍺膜，而成為第一無定形半導體薄膜。

假如 1 0 0 到 1 0 0 k H z 脈衝調諧放電實施於絕緣膜和第一無定形半導體薄膜之電漿 C V D 膜沉澱，將可防止因為電漿 C V D 氣相反應之質點產生，並且亦可防止薄膜沉澱之針孔產生，並因此較佳。

更者，包含 n 型雜質元素之第二無定形半導體薄膜係具有 2 0 到 8 0 n m 之厚度而成為包含單導電型雜質元素

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (35)

之半導體膜。例如，可形成包含 n 型雜質元素之 a - S i : H 膜，並可將 0 . 1 到 5 % 之濃度之三氫化磷 (P H ₃) 加入四氫化矽 (S i H ₄) 。氫化微晶矽膜亦可使用為包含 n 型雜質元素之第二無定形半導體薄膜 1 0 6 之基質。

該等薄膜係藉由適當改變反應氣體而連續製成。可利用相同反應室或多個反應室連續堆疊此等薄膜而不外露於大氣中。藉由連續沉澱該等薄膜而不外露於大氣中，將可防止雜質混入第一無定形半導體薄膜。

可將此實施例與實施例一至三之任一者結合。

〔實施例五〕

實施例一和四顯示層疊絕緣膜，第一無定形半導體薄膜，包含 n 型雜質元素之第二無定形半導體薄膜，以及第一導電膜。第十圖顯示具有多個反應室之裝置，以及實施此型連續薄膜沉澱之情況。

第十圖顯示一裝置之外觀。第十圖之標號 1 0 到 1 5 表示具有氣密特徵之容室。真空幫浦和惰性氣體導入系統係裝設於每一容室中。

標號 1 0 和 1 5 表示之容室係為可將測試片（處理基質）3 0 帶入系統之負載鎖緊容室。標號 1 1 表示之容室係為可沉澱絕緣膜之第一容室。標號 1 2 表示之容室係為可沉澱第一無定形半導體薄膜 1 0 5 之第二容室。標號 1 3 表示之容室係為可沉澱包含 n 型雜質元素之第二無定形半導體薄膜 1 0 6 之第三容室。標號 1 4 表示之容室係

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (36)

為可沉澱第一導電膜 1 0 7 之第四容室。標號 2 0 表示測試片之共同容室。

操作實例如下。

首先，所有容室處於高度真空之後，利用惰性氣體，氮氣而成為清除狀態（正常壓力）。更者，所有閘閥 2 2 到 2 7 皆處於關閉狀態。

首先，裝載多個處理基質之盒體 2 8 係置入負載鎖緊容室 1 0 中。盒體置入之後，負載鎖緊容室 1 0 之門（圖中未示）關閉。於此狀態，閘閥 2 2 打開，並且處理基質 3 0 之一者可從盒體移除，並藉由機械臂 2 1 而被取出至共同容室 2 0。此時，共同容室實施位置對準。形成接線 1 0 1，1 0 2，1 0 3 a 和 1 0 3 b 之基質 3 0 可被使用。

閘閥 2 2 隨後關閉，並且閘閥 2 3 被打開。處理基質 3 0 隨後移入第一容室 1 1。第一容室於 1 5 0 到 3 0 0 °C 之溫度下實施沉澱處理，並可得到絕緣膜 1 0 4。一薄膜，例如氮化矽薄膜，氧化矽薄膜，氮氧化矽薄膜或此等薄膜之疊膜，可使用為絕緣膜。此實施例使用單層氮化矽薄膜，但是雙層，三層或更多層之疊片結構亦可使用。容室可利用電漿 C V D，但是容室亦可利用噴濺。

完成絕緣膜之沉澱後，處理基質藉由機械臂而被取出並進入共同容室，並輸送至第二容室 1 2。第二容室於 1 5 0 到 3 0 0 °C 之溫度下實施沉澱處理，並且第一無定形半導體薄膜 1 0 5 可藉由電漿 C V D 得到。一薄膜，例

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (37)

如微晶半導體膜，無定形銻膜，無定形矽銻膜，或此等膜之疊膜，可使用成為第一無定形半導體薄膜。針對第一無定形半導體薄膜之 350 到 500 °C 之形成溫度，用以減少氫濃度之熱處理將可省略。容室可利用電漿 C V D，但是容室亦可利用噴濺。

完成第一無定形半導體薄膜之沉澱後，處理基質被拉出並進入共同容室，並輸送至第三容室 13。第三容室於 150 到 300 °C 之溫度下實施沉澱處理，並且包含 n 型雜質元素之第二無定形半導體薄膜 106 可藉由電漿 C V D 得到。容室可利用電漿 C V D，但是容室亦可利用噴濺。

完成包含 n 型雜質元素之第二無定形半導體薄膜 106 之沉澱後，處理基質被拉出並進入共同容室，並輸送至第四容室 14。藉由噴射並利用金屬目標可於第四容室得到第一導電膜 107。

連續形成四層之後，處理基質藉由機械臂而被輸送到負載鎖緊容室 15，並包含於盒體 29 中。

第十圖所示之裝置僅為一實例。可自由將此實施例與實施例一至四結合。

〔實施例六〕

於實施例五，利用多個容室形成連續疊層，但是於本實施例，第十一圖所示之裝置係利用一種可於高度真空容室形成連續疊層之方法。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (38)

第十一圖所示之裝置系統係被使用。於第十一圖，標號 40 表示處理基質，標號 50 表示共同容室，標號 44 和 46 表示負載鎖緊容室，標號 45 表示容室，並且標號 42 和 43 表示盒體。爲了防止輸送基質發生污染，疊層係實施於相同容室。

可自由將此實施例與實施例一至四結合。

然而，當應用於實施例一時，多個目標係準備於容室 45 中，並且絕緣薄膜 104，第一無定形半導體薄膜 105，該包含 n 型雜質元素之第二無定形半導體薄膜 106 以及第一導電膜 107 可藉由改變反應氣體之順序而層疊。

更者，當應用於實施例四時，絕緣薄膜 104，第一無定形半導體薄膜 105，以及包含 n 型雜質元素之第二無定形半導體薄膜 106 可藉由改變反應氣體之順序而層疊。

〔實施例七〕

於實施例一，一用以形成包含 n 型雜質元素之第二無定形半導體薄膜之實施例被顯示，但是利用電漿 CVD 之實施例係被顯示。除了形成包含 n 型雜質元素之第二無定形半導體薄膜之方法外，此實施例相同於實施例一，因此，以下只描述不同點。

假如將 0.1 到 5 % 之濃度之三氫化磷 (PH_3) 加入四氫化矽 (SiH_4) 成爲利用電漿 CVD 之反應氣體，將

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (40)

和掃描線端。I C 晶片安裝於第一基質。F P C 8 1 2 (撓性印刷電路)係附接於外輸入輸出端子8 0 4以從外部輸入電源並控制信號。爲了增加F P C 8 1 2之黏合強度，可形成強化板8 1 3。因此可完成光電裝置。假如將I C 晶片安裝於第一基質之前實施電檢測，可改進光電裝置之最終加工效率，並可增加可靠度。

更者，一利用各向異性導電材料之連接方法或黏線方法可使用爲將I C 晶片安裝於第一基質之方法。第十三圖顯示此一實例。第1 3 (A) 圖顯示一實例，其中I C 晶片9 0 8係利用各向異性導電材料安裝於第一基質。像素區9 0 2，導線9 0 6，連接線以及輸入輸出端子9 0 7係形成於第一基質9 0 1。第二基質係利用密封材料9 0 4黏合於第一基質9 0 1，以及液晶層9 0 5形成於其間。

更者，F P C 9 1 2利用各向異性導電材料黏合於連接線和輸入輸出端子9 0 7之一邊。各向異性導電材料由樹脂和導電質點9 1 4製成，其具有數十到數百 μm 之直徑，並由A u材料電鍍，並且具有F P C 9 1 2之連接線以及該連接線和輸入輸出端子9 0 7係藉由導電質點9 1 4而電連接。I C 晶片9 0 8係利用各向異性導電材料黏合於第一基質。裝設有I C 晶片9 0 8和導線9 0 6之輸入輸出端子9 0 9，或連接線和輸入輸出端子9 0 7係藉由混合於樹脂9 1 1之導電質點9 1 0而電連接。

更者，如第1 3 (B) 圖所示，I C 晶片可利用黏性

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (41)

材料 9 1 6 固定於第一基質，並且 I C 晶片之輸入輸出端子和導線或連接線可藉由 A u 導線 9 1 7 連接。隨後，可由樹脂 9 1 8 密封。

I C 晶片之安裝方法並未受限於第十二和三圖所示之方法，並且亦可使用已知方法，例如 C O G 方法，黏線方法或 T A B 方法。

可自由將此實施例與實施例一，三或五結合。

[實施例十]

於實施例一，雖然實例描述包覆像素電極之透明導電膜及源極電極之形成，於此實施例，第十五圖顯示並未形成透明導電膜。

根據實施例一，第 2 (C) 圖之狀態，可得到閘極接線 6 0 2，共同接線 6 0 3 a，共同電極 6 0 3 b 和接線 (其於隨後步驟成為源極接線和像素電極)。

其次，可實施一第三照相平版印刷處理以形成保護罩。不需要部分藉由蝕刻移除，並形成第一無定形半導體薄膜，源極區，汲極區，源極接線 6 2 1 和像素電極 6 2 2。

第三照相平版印刷處理藉蝕刻移除接線，該包含 n 型雜質元素之第二無定形半導體薄膜以及一部份的第一無定形半導體薄膜，形成開口。於實施例一，藉由溼蝕刻選擇性移除接線 1 1 1 並形成源極接線 6 2 1 和像素電極

6 2 2 之後，該包含 n 型雜質元素之第二無定形半導體薄

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (42)

膜以及第一無定形半導體薄膜之一部分係經由乾蝕刻處理。溼蝕刻和乾蝕刻於此實施例使用，但是操作者可適當選擇反應氣體而只實施乾蝕刻，並且操作者可適當選擇反應溶液而只實施溼蝕刻。

更者，開口之下半部到達第一無定形半導體薄膜，並且第一無定形半導體薄膜具有凹部。接線由開口分成源極接線 6 2 1 和像素電極 6 2 2，並且該包含 n 型雜質元素之第二無定形半導體薄膜分成源極區和汲極區。

假如隨後步驟根據實施例一實施，可得到主動陣列基質。

可自由將實施例六與實施例一至九結合。

〔實施例十一〕

本實施例利用塑膠基質（或塑膠薄膜）作為基質。因為本實施例幾乎相同於實施例一，其並未利用塑膠基質作為基質，所以只描述不同點。

P E S，P C，P E T 和 P E N 可作為塑膠基質材料。

假如根據實施例一實施製造，可利用塑膠基質完成主動陣列基質。較佳地，可在相對低的薄膜沉澱溫度下藉由噴濺形成絕緣膜，第一無定形半導體薄膜，以及包含 n 型雜質元素之第二無定形半導體薄膜。

一具有良好特徵之 T F T 可形成於塑膠基質，並且形成之顯示裝置具有低重量。更者，可因為塑膠基質而形成

（請先閱讀背面之注意事項再填寫本頁）

訂

線

五、發明說明 (44)

裝置)。換言之，本發明可於所有電子設備實施，其中光電裝置可構成顯示部。

此等電子設備如下：影像照相機，數位相機，投影機（後形或前型），頭戴式顯示器（護目鏡型顯示器），汽車導航系統，汽車立體音響，個人電腦以及手提資料終端機（例如行動電腦，手提電話或電子書）。此等實例顯示於第十七和八圖。

第 1 7 (A) 圖為個人電腦，包括主體 2 0 0 1，影像輸入部 2 0 0 2，顯示部 2 0 0 3，以及鍵盤 2 0 0 4。本發明可應用於顯示部 2 0 0 3。

第 1 7 (B) 圖為影像照相機，包括主體 2 1 0 1，顯示部 2 1 0 2，語音輸入部 2 1 0 3，操作開關 2 1 0 4，電池 2 1 0 5，以及影像接收部 2 1 0 6。本發明可應用於顯示部 2 1 0 2。

第 1 7 (C) 圖為行動電腦，包括主體 2 2 0 1，相機部 2 2 0 2，影像接收部 2 2 0 3，操作開關 2 2 0 4，以及顯示部 2 2 0 5。本發明可應用於顯示部 2 2 0 5。

第 1 7 (D) 圖為利用記錄媒體之遊戲機，其中軟體記錄於記錄媒體上，並且遊戲機包括主體 2 4 0 1，顯示部 2 4 0 2，話筒部 2 4 0 3，記錄媒體 2 4 0 4，以及操作開關 2 4 0 5。遊戲機使用之記錄媒體為 D V D 或 C D，並且可實施音樂，底片，遊戲和上網。本發明可應用於顯示部 2 4 0 2。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (45)

第 1 7 (E) 圖為數位相機，並包括主體 2 5 0 1，顯示部 2 5 0 2，目鏡部 2 5 0 3，操作開關 2 5 0 4 以及影像接收部 (圖中未示)。本發明可應用於顯示部 2 5 0 2。

第 1 8 (A) 圖為手提電話，並包括主體 2 9 0 1，語音輸出部 2 9 0 2，語音輸入部 2 9 0 3，顯示部 2 9 0 4，操作開關 2 9 0 5 以及天線 2 9 0 6。本發明可應用於顯示部 2 9 0 4。

第 1 8 (B) 圖為手提書 (電子書)，並包括主體 3 0 0 1，顯示部 3 0 0 2 和 3 0 0 3，記錄媒體 3 0 0 4，操作開關 3 0 0 5 以及天線 3 0 0 6。本發明可應用於顯示部 3 0 0 2。

第 1 8 (C) 圖為顯示器，並包括主體 3 1 0 1，支撐座 3 1 0 2 以及顯示部 3 1 0 3。本發明可應用於顯示部 3 1 0 3。本發明之顯示部特別有利於大尺寸螢幕，並有利於沿相對角度等於或大於 1 0 英吋之顯示器 (特別等於或大於 3 0 英吋)。

因此，本發明之適用範圍相當廣泛，並可將本發明應用於所有領域之電子設備。更者，實施例十三之電子設備可利用實施例一至十二之任一組合結構實施。

〔本發明之功效〕

藉由本發明，具有逆交錯式 n 溝道 T F T 之備有像素 T F T 部之 I P S 系統之光電裝置，以及儲存電容器係可

(請先閱讀背面之注意事項再填寫本頁)

訂

線

五、發明說明 (46)

經由三照相平版印刷處理並利用三光罩而實施。

更者，當形成保護膜時，具有逆交錯式 n 溝道 T F T
(由無機絕緣膜保護)之備有像素 T F T 部之 I P S 系統
之光電裝置，以及儲存電容器係可經由四照相平版印刷處
理並利用四光罩而實施。

(請先閱讀背面之注意事項再填寫本頁)

訂

線

四、中文發明摘要（發明之名稱：液晶顯示裝置及其製造方法）

一種 IPS 系統之液晶顯示裝置，可藉由減少 TFT 之製造步驟而減少製造成本並改良產品。

〔解決手段〕本發明採用溝道蝕刻型底閘 TFT 結構，其特徵在於，源極區 119 和汲極區 120 之圖案以及源極接線 121 和像素電極 122 之圖案可藉由相同光罩而實施。

英文發明摘要（發明之名稱：Liquid crystal display device and method of manufacturing the same

[Name of Document] Abstract

[Abstract]

[Object] In a liquid crystal display device of an IPS system, to realize reduction of manufacturing cost and improvement of yield by decreasing the number of steps for manufacturing a TFT.

[Means for Solving] The present invention adopts a channel etch type bottom gate TFT structure, and is characterized in that patterning of a source region 119 and a drain region 120 and patterning of a source wiring 121 and a pixel electrode 122 are carried out by the same photomask.

[Selected Drawing] Fig. 3

（請先閱讀背面之注意事項再填寫本頁各欄）

裝

訂

線

五、發明說明()11

像素電極之端面以及汲極區之端面一致。此逆交錯式 T F T 稱之為溝道蝕刻式 T F T。

更者，於源極接線（包括源極電極）和像素電極 1 2 2 之下，開極絕緣膜，第一無定形半導體薄膜，以及包含 n 型雜質元素之第二無定形半導體薄膜係依序疊於絕緣基質上。

此外，一儲存電容器係由共同接線 1 0 3 a，像素電極 1 2 2（或包含 n 型雜質元素之第二無定形半導體薄膜，第一無定形半導體薄膜）以及絕緣膜 1 0 4 b 構成。

一藉由透明電極製成並與源極接線接觸之第二導電膜 1 2 4 以及一藉由透明電極製成並與像素電極接觸之第二導電膜 1 2 3 可防止隨後製造步驟產生靜電，特別於摩擦處理時。此外，當與 F P C 於終端部連接時，第二導電膜 1 2 4 有利於電連接。

此外，雖然 I P S 系統通常為傳輸型式，假如形成絕緣多層膜之金屬或絕緣基質使用為相對基質並且基質間隔為傳輸型之一半的話，亦可製造反射型顯示裝置。

〔圖式簡略說明〕

第 1 圖：係為根據本發明之一頂視圖。

第 2 A - D 圖：係為剖面圖，顯示主動陣列基質之製造過程。

第 3 A - C 圖：係為剖面圖，顯示主動陣列基質之製造過程。

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

91-11-26
五、發明說明 (12)

第 4 圖：係為頂視圖，顯示主動陣列基質之製造過程。

第 5 圖：係為頂視圖，顯示主動陣列基質之製造過程。

第 6 圖：係為液晶顯示裝置之剖面圖。

第 7 圖：係為頂視圖，解釋液晶顯示裝置之像素部和輸入端部之裝設。

第 8 圖：係為液晶顯示裝置之實施結構之剖面圖。

第 9A 及 9B 圖：係分別為輸入端部之頂視圖和剖面圖。

第 10 圖：係為製造裝置之頂視圖。

第 11 圖：係為製造裝置之頂視圖。

第 12 圖：係為液晶顯示裝置之實施圖。

第 13 A - B 圖：係為液晶顯示裝置之實施結構之剖面圖。

第 14 圖：係為液晶顯示裝置之實施結構之剖面圖。

第 15 圖：係為根據本發明之一頂視圖。

第 16 A - B 圖：係為保護電路之電路圖之頂視圖。

第 17 A - E 圖：係為電子設備之實例圖。

第 18 A - C 圖：係為電子設備之實例圖。

元件對照表

10：容室

11：第一容室

12：第二容室

13：第三容室

9/1 年 7 月 修正
補充

A7

B7

五、發明說明 (27)

且無定形半導體薄膜 1 1 8 具有凹部。接線 1 1 4 由開口分成源極接線 1 2 1 和像素電極 1 2 2，並且該包含 n 型雜質元素之第二無定形半導體薄膜 1 1 2 分成源極區

1 1 9 和汲極區 1 2 0。接觸源極接線 1 2 1 之第二導電膜 1 2 4 係覆蓋源極接線 1 2 1，並於隨後之製造過程，特別是摩擦過程，將可防止靜電之發生。如第九圖所示，第二導電膜 1 2 4 與終端部之 F P C 形成連接。同時，第二導電膜 1 2 4 可保護源極接線 1 2 1。

更者，於第三照相平版印刷處理中，儲存電容器形成於共同接線 1 0 3 a 與像素電極 1 2 2 之間，並使絕緣膜 1 0 4 b 位於電容器中供絕緣之用。

於第三照相平版印刷處理中，藉由保護罩 1 1 7 c 之覆蓋，包含透明導電膜（形成於端部中）之第二導電膜可保留。

其次，保護罩 1 1 7 a 到 1 1 7 c 被移除。此狀態之剖面顯示於第 3 (B) 圖。

更者，第 9 (A) 圖顯示閘極接線終端部 5 0 1 和源極接線終端部 5 0 2。標號與第一至三圖相同。第 9 (B) 圖相當於第 9 (A) 圖線段 E - E' 和 F - F' 方向之剖面圖。第 9 (A) 圖中包含透明導電膜之標號 5 0 3 表示連接電極，其作為輸入端，並容易電氣連接。第 9 (B) 圖中標號 5 0 4 表示絕緣膜（從 1 0 4 b 延伸），標號 5 0 5 表示第一無定形半導體薄膜（從 1 1 8 延伸），並且標號 5 0 6 表示一包含 n 型雜質元素之第二無定形半導

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

體薄膜 (從 1 1 9 延伸) 。

因此，藉由利用三光罩並實施三照相平版印刷處理，可完成具有逆交錯式 (n 溝道式) T F T 2 0 1 之像素之 T F T 部分以及儲存電容器 2 0 2 。藉由將它們對應每一像素而放置於矩陣狀態並因此構成像素部分，可製成一基質以製造主動陣列型式之光電裝置。方便起見，於說明書中，此型式之基質將稱之為主動陣列基質。

其次，一對準膜 1 2 5 選擇性形成於主動陣列基質之像素部。網版印刷可用以選擇性形成對準膜 1 2 5 ，並且可使用一移除方法，其中於應用對準膜 1 2 5 之後，可利用蔭罩形成保護罩。通常，聚脂經常使用於液晶顯示元件之對準膜。A L 3 0 4 6 (由 J S R 公司製造) 係使用為對準膜。

其次，一摩擦處理係實施於對準膜 1 2 5 ，可將液晶顯示元件定位，以具有一固定之預先傾斜角。於 I P S 方法中，預先傾斜角大約為 0 . 5 度到 3 度，以防止著色並可得到良好的視角，並且設定為 1 . 5 度。

該主動陣列基質以及其上形成有對準膜 1 2 6 之相對基質 1 2 7 藉由密封間接合同時利用間隔件於該等基質之間保持間隙之後，液晶材料 1 2 8 噴入主動陣列基質以及相對基質間之空間。可使用球形或柱形間隔件。當使用柱形間隔件時，光罩數目可減少一個，主動陣列基質以及相對基質間之空間可更均勻並且可省略噴射處理。雖然圖中未示，相對基質具有一區域，當顯示區域包覆黑色光罩時，該

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (30)

基質以及液晶。

第六圖係沿著第一圖線段 X - X' 方向之剖面圖。共同接線 1 0 3 a 被分成分部並且分部稱之為共同電極

1 0 3 b 並且平行於閘極接線之部分稱之為共同接線

1 0 3 a。像素電極 1 2 2 設置於共同電極 1 0 3 b 之間。像素電極 1 2 2 和共同電極 1 0 3 b 設置於不同層。電場施加於一基質上的像素電極 1 2 2 和共同電極 1 0 3 b 之間，並且方向平行於基質表面。

第七圖解釋主動陣列基質之像素部和終端部之設置。

像素部 2 1 1 設置於基質 2 1 0 上，閘極接線 2 0 8 和源極接線 2 0 7 於像素部相交，並且 n 溝道 T F T 2 0 1 係對應每一像素。像素電極和儲存電容器 2 0 2 連接至 n 溝道 T F T 2 0 1 之汲極端並且儲存電容器 2 0 2 之另一端連接至共同接線 2 0 9。n 溝道 T F T 2 0 1 和儲存電容器 2 0 2 之結構相同於第 3 (B) 圖所示之 n 溝道 T F T 2 0 1 和儲存電容器 2 0 2。

一輸入掃描信號之輸入端部 2 0 5 形成於基質之一邊緣部並藉由連接線 2 0 6 連接至閘極接線 2 0 8。一輸入影像信號之輸入端部 2 0 3 形成於基質之另一邊緣部並藉由連接線 2 0 4 連接至源極接線 2 0 7。閘極接線 2 0 8，源極接線 2 0 7 和共同接線 2 0 9 係對應像素密度而設置。可設置輸入影像信號之輸入端 2 1 2 和連接線 2 1 3，並連接至源極接線而與輸入端部 2 0 3 交錯。輸入端部

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

修正
補正
A7
B7

A7
B7

(請先閱讀背面之注意事項再填寫本頁)

五、發明說明 (b2)

3 1 2 藉由連接於輸入端輸入端 3 0 2 和銅線 3 1 0 而形成電氣連接。此外，爲了增加此區域之機械強度，可形成樹脂層 3 1 8。

I C 晶片 3 1 3 由凸耳 3 1 4 連接至銅線 3 1 0，並由樹脂材料 3 1 5 密封。銅線 3 1 0 隨後經由連接端子 3 1 6 連接至印刷基質 3 1 7，其中其他電路係形成於印刷基質 3 1 7 上，例如信號處理電路，放大電路，以及供電電路。光源 3 1 9 和光導 3 2 0 形成於相對基質 3 0 4 並且於傳輸型液晶顯示裝置中作爲後照光。

[實施例三]

第十四圖顯示形成保護膜之實例。此實施例相同於第 3 (B) 圖所示之實施例一，因此只解釋不同點。標號與第 3 (B) 圖所示相同。

根據實施例一形成第 3 (B) 圖之狀態後，無機絕緣薄膜形成於整面。

利用電漿 C V D 或噴濺形成之無機絕緣膜可使用爲無機絕緣薄膜，例如氮化矽薄膜，氧化矽薄膜，氮氧化矽薄膜或氧化鋇薄膜，並且可形成由此等材料製成之單層或疊層結構。

接下來，可實施一第四照相平版印刷處理，形成保護罩，並且不需要部分藉由蝕刻移除，於像素 T F T 部形成絕緣膜 4 0 1，並於終端部形成無機絕緣膜 4 0 2。無機絕緣膜 4 0 1 和 4 0 2 作用爲鈍化膜。無機絕緣膜 4 0 1 藉

裝

訂

線

8147 修正
補充

A7

B7

五、發明說明 (39)

可得到包含 n 型雜質元素之第二無定形半導體薄膜。

於實施例七，一利用電漿 C V D 之用以形成包含 n 型雜質元素之第二無定形半導體薄膜之實施例被顯示，並且一利用包含 n 型雜質元素之微晶半導體薄膜之實施例被顯示。

將沉澱溫度設定為 80 到 300 °C，較佳介於 140 和 200 °C 之間，以藉由氫稀釋 ($\text{SiH}_4 : \text{H}_2 = 1 : 10$ 到 $1 : 100$) 之四氫化矽 (SiH_4) 和三氫化磷 (PH_3) 之氣體混合物為反應氣體，將氣體壓力設定為 0.1 到 10 Torr，並將放電功率設定為 10 到 300 Mw / cm^2 ，將可得到微晶矽膜。在微晶矽膜沉澱後，磷可藉由電漿塗料而加入。

[實施例九]

第十二圖顯示藉由利用 COG 方法構成光電顯示裝置之狀態。像素區 803，外輸入輸出端子 804，以及連接線 805 係形成於第一基質。虛線包圍之區域表示用以附接掃描線端 IC 晶片之區域 801，以及用以附接資料線端 IC 晶片之區域 802。相對電極形成於第二基質 808，並且係利用密封材料 810 接合於第一基質 800。液晶層 811 係藉由噴射液晶形成於密封材料 810 內部。第一和第二基質之接合具有預定間隙，並且針對絲狀液晶，間隙設定為 3 到 8 μm 。

IC 晶片 806 和 807 之電路結構不同於資料線端

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (43)

撓性光電裝置。更者，容易組裝。

可自由將本實施例與實施例一至三，九和十結合。

〔實施例十二〕

如第十六圖所示，可於不同於像素部之區域形成保護電路，其中包覆像素電極和源極接線之第二導電膜 1 2 3 和 1 2 4 可於相同方法形成。

於第 1 6 (A) 圖，標號 7 0 1 表示接線，並顯示從像素部延伸之閘極接線，源極接線和共同接線。更者，電極 7 0 2 係放置於接線 7 0 1 並未形成之區域，並且不與接線 7 0 1 重疊。本實施例形成保護電路而不增加光罩數目，但是不需限制如第 1 6 (A) 圖所示之結構。例如，可增加光罩數目，可藉由保護二極體或 T F T 形成保護電路。

更者，第 1 6 (B) 圖顯示相等電路圖。

藉由此一結構，將可防止生產過程於生產裝置和絕緣基質之間因為摩擦產生靜電。特別地，製造過程實施摩擦之液晶定位處理過程中，T F T 可被保護不致於發生靜電。

可自由將本實施例與實施例一至十一之任一者結合。

〔實施例十三〕

藉由完成實施例一至十二之任一者形成之底閘型

T F T 可使用於各種光電裝置 (例如主動陣列型液晶顯示

六、申請專利範圍

1 . 一種液晶顯示裝置，包括一對基質以及一保持於基質間之液晶，其中液晶顯示裝置之特徵在於：

一閘極接線以及一共同電極形成於一基質上，

一絕緣膜形成於閘極接線以及共同電極上，

一無定形半導體薄膜形成於絕緣膜上，

一源極區以及一汲極區形成於無定形半導體薄膜上，

一源極接線或一像素電極形成於源極區或汲極區上，

該像素電極和共同電極設置成可產生一平行於一基質之基質平面之電場，並且

該源極區或汲極區之一端面係與無定形半導體薄膜之端面以及像素電極之端面實質一致。

2 . 一種液晶顯示裝置，包括一對基質以及一保持於基質間之液晶，其中液晶顯示裝置之特徵在於：

一閘極接線以及一共同電極形成於一基質上，

一絕緣膜形成於閘極接線以及共同電極上，

一無定形半導體薄膜形成於絕緣膜上，

一源極區以及一汲極區形成於無定形半導體薄膜上，

一源極接線或一像素電極形成於源極區或汲極區上，

該像素電極和共同電極設置成可產生一平行於一基質之基質平面之電場，並且

該源極區或汲極區之一端面係與無定形半導體薄膜之端面以及像素電極之端面實質一致，並且另一端面係與源極接線之端面實質一致。

3 . 一種液晶顯示裝置，包括一對基質以及一保持於

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

基質間之液晶，其中液晶顯示裝置之特徵在於：

- 一 閘極接線以及一共同電極形成於一基質上，
- 一 絕緣膜形成於閘極接線以及共同電極上，
- 一 無定形半導體薄膜形成於絕緣膜上，
- 一 源極區以及一汲極區形成於無定形半導體薄膜上，
- 一 源極接線或一像素電極形成於源極區或汲極區上，

該像素電極和共同電極設置成可產生一平行於一基質之基質平面之電場，並且

該無定形半導體薄膜以及一包含 n 型導電性的雜質元素之無定形半導體薄膜係層疊於源極接線之下方。

4．如申請專利範圍第 1 至 3 項之任一項所述之液晶顯示裝置，其中該源極區和汲極區係由一包含 n 型導電性的雜質元素之無定形半導體薄膜製成。

5．如申請專利範圍第 1 至 3 項之任一項所述之液晶顯示裝置，其中該絕緣膜，無定形半導體薄膜，源極區和汲極區係連續形成而不外露於大氣中。

6．如申請專利範圍第 1 至 3 項之任一項所述之液晶顯示裝置，其中該絕緣膜，無定形半導體薄膜，源極區或汲極區係由噴濺形成。

7．如申請專利範圍第 1 至 3 項之任一項所述之液晶顯示裝置，其中該絕緣膜，無定形半導體薄膜，源極區或汲極區係由電漿 C V D 形成。

8．如申請專利範圍第 1 至 3 項之任一項所述之液晶顯示裝置，其中該閘極接線可由一元素薄膜製成，該元素

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

薄膜可從 A l , C u , T i , M o , W , T a , N d 或 C r 中選出之一元素，或包含以上元素之合金，或包含以上元素之疊片。

9 . 如申請專利範圍第 1 至 3 項之任一項所述之液晶顯示裝置，其中該源極區和汲極區係利用與像素電極相同光罩來形成。

1 0 . 如申請專利範圍第 1 至 3 項之任一項所述之液晶顯示裝置，其中該源極區和汲極區與源極接線由相同光罩構成。

1 1 . 如申請專利範圍第 1 至 3 項之任一項所述之液晶顯示裝置，其中該源極區和汲極區與源極接線和像素電極由相同光罩構成。

1 2 . 如申請專利範圍第 1 至 3 項之任一項所述之液晶顯示裝置，其中，於無定形半導體薄膜中，一接觸源極區和汲極區之區域之薄膜厚度係厚於一介於該接觸源極區之區域與該接觸汲極區之區域之間的區域之薄膜厚度。

1 3 . 如申請專利範圍第 1 至 3 項之任一項所述之液晶顯示裝置，其中該像素電極係由透明導電膜包覆。

1 4 . 如申請專利範圍第 1 至 3 項之任一項所述之液晶顯示裝置，其中該源極接線以及源極接線之延長線上之一端子係由透明導電膜包覆。

1 5 . 如申請專利範圍第 1 至 3 項之任一項所述之液晶顯示裝置，其中該液晶顯示裝置係為個人電腦，影像照相機，手提資料終端機，數位相機，數位影碟遊戲機，或

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

電子娛樂裝置。

16. 一種液晶顯示裝置之製造方法，其特徵在於：

第一步驟：利用一第一光罩將一閘極接線以及一共同電極形成於一絕緣表面上，

第二步驟：形成一絕緣膜包覆閘極接線以及共同電極，

第三步驟：形成一第一無定形半導體薄膜於絕緣膜上，

第四步驟：形成一包含 n 型雜質元素之第二無定形半導體薄膜於第一無定形半導體薄膜上，

第五步驟：形成一第一導電膜於第二無定形半導體薄膜上，

第六步驟：利用一第二光罩於第一無定形半導體薄膜上形成圖案；利用第二光罩於第二無定形半導體薄膜上形成圖案；利用第二光罩於第一導電膜上形成圖案；並從第一導電膜形成一接線，以及

第七步驟：利用第三光罩於接線上形成圖案，形成一源極接線以及一像素電極；利用第三光罩於第二無定形半導體薄膜上形成圖案，從第二無定形半導體薄膜中形成一源極區以及一汲極區；並且利用第三光罩將第一無定形半導體薄膜之一部分移除。

17. 一種液晶顯示裝置之製造方法，其特徵在於：

第一步驟：利用一第一光罩將一閘極接線以及一共同電極形成於一絕緣表面上，

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

第二步驟：形成一絕緣膜包覆閘極接線以及共同電極

第三步驟：形成一第一無定形半導體薄膜於絕緣膜上

第四步驟：形成一包含 n 型雜質元素之第二無定形半導體薄膜於第一無定形半導體薄膜上，

第五步驟：形成一第一導電膜於第二無定形半導體薄膜上，

第六步驟：利用一第二光罩於第一無定形半導體薄膜上形成圖案；利用第二光罩於第二無定形半導體薄膜上形成圖案；利用第二光罩於第一導電膜上形成圖案；並從第一導電膜形成一接線，

第七步驟：形成一第二導電膜接觸並重疊該接線，以及

第八步驟：利用第三光罩於第二導電膜上形成圖案，形成一由第二導電膜製成之電極；利用第三光罩於接線上形成圖案，形成一源極接線以及一像素電極；利用第三光罩於第二無定形半導體薄膜上形成圖案，從第二無定形半導體薄膜中形成一源極區以及一汲極區；並且利用第三光罩將第一無定形半導體薄膜之一部分移除。

18．如申請專利範圍第 17 項所述之液晶顯示裝置之製造方法，其中該第二導電膜係為透明導電膜。

19．如申請專利範圍第 16 至 18 項之任一項所述之液晶顯示裝置之製造方法，其中該像素電極和共同電極

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

設置成可產生一平行於絕緣表面之電場。

20. 一種液晶顯示裝置，包括一對基質以及一保持於基質間之液晶，其中液晶顯示裝置之特徵在於：

一閘極接線以及一共同電極形成於一基質上，

一絕緣膜形成於閘極接線以及共同電極上，

一無定形半導體薄膜形成於絕緣膜上，

一源極區以及一汲極區形成於無定形半導體薄膜上，

至少一源極接線及一像素電極形成於源極區或汲極區上，

該像素電極和共同電極設置成可產生一平行於一基質之基質平面之電場，並且

該源極區或汲極區之至少一端面係與無定形半導體薄膜之端面以及像素電極之至少一端面實質一致。

21. 一種液晶顯示裝置，包括一對基質以及一保持於基質間之液晶，其中液晶顯示裝置之特徵在於：

一閘極接線以及一共同電極形成於一基質上，

一絕緣膜形成於閘極接線以及共同電極上，

一無定形半導體薄膜形成於絕緣膜上，

一源極區以及一汲極區形成於無定形半導體薄膜上，

至少一源極接線及一像素電極形成於源極區或汲極區上，

該像素電極和共同電極設置成可產生一平行於一基質之基質平面之電場，並且

該無定形半導體薄膜以及一包含 n 型導電性的雜質元

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

素之無定形半導體薄膜係層疊於源極接線之下方。

2 2 . 一種液晶顯示裝置，包括一對基質以及一保持於基質間之液晶，其中液晶顯示裝置之特徵在於：

一閘極接線以及一共同電極形成於一基質上，

一絕緣膜形成於閘極接線以及共同電極上，

一無定形半導體薄膜形成於絕緣膜上，

一源極區以及一汲極區形成於無定形半導體薄膜上，

至少一源極接線及一像素電極形成於源極區或汲極區上，

該源極區或汲極區之至少一端面係與無定形半導體薄膜之端面以及像素電極之至少一端面實質一致，及

該源極接線與一在該源極接線的延長部上的一端子被覆蓋一透明的導電膜層。

2 3 . 如申請專利範圍第 2 0 至 2 2 項之任一項所述之液晶顯示裝置，其中該源極區和汲極區係由一包含 n 型導電性的雜質元素之無定形半導體薄膜製成。

2 4 . 如申請專利範圍第 2 0 至 2 2 項之任一項所述之液晶顯示裝置，其特徵在於，該絕緣膜，無定形半導體薄膜，源極區和汲極區係連續形成而不外露於大氣中。

2 5 . 如申請專利範圍第 2 0 至 2 2 項之任一項所述之液晶顯示裝置，其中該絕緣膜，無定形半導體薄膜，源極區及汲極區中的至少一者係由噴濺形成。

2 6 . 如申請專利範圍第 2 0 至 2 2 項之任一項所述之液晶顯示裝置，其中該絕緣膜，無定形半導體薄膜，源

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

極區及汲極區中的至少一者係由電漿 C V D 形成。

27. 如申請專利範圍第 20 至 22 項之任一項所述之液晶顯示裝置，其中該閘極接線可由一元素薄膜製成，該元素薄膜可從 Al, Cu, Ti, Mo, W, Ta, Nd 或 Cr 中選出之一元素，或包含以上元素之合金，或包含以上元素之疊片。

28. 如申請專利範圍第 20 至 22 項之任一項所述之液晶顯示裝置，其中該源極區和汲極區係利用與像素電極相同光罩來形成。

29. 如申請專利範圍第 20 至 22 項之任一項所述之液晶顯示裝置，其中該源極區和汲極區係利用與該源極接線相同光罩來形成。

30. 如申請專利範圍第 20 至 22 項之任一項所述之液晶顯示裝置，其中該源極區和汲極區係利用與該源極接線及像素電極相同光罩來形成。

31. 如申請專利範圍第 20 至 22 項之任一項所述之液晶顯示裝置，其特徵在於，於無定形半導體薄膜中，一接觸源極區和汲極區之區域之薄膜厚度係厚於一介於該接觸源極區之區域與該接觸汲極區之區域之間的區域之薄膜厚度。

32. 如申請專利範圍第 20 至 22 項之任一項所述之液晶顯示裝置，其中該像素電極係由透明導電膜包覆。

33. 如申請專利範圍第 20 至 21 項之任一項所述之液晶顯示裝置，其中該源極接線以及源極接線之延長線

(請先閱讀背面之注意事項再填寫本頁)

訂

線

六、申請專利範圍

上之一端子係由透明導電膜包覆。

3 4 . 如申請專利範圍第 2 0 至 2 2 項之任一項所述之液晶顯示裝置，其特徵在於，該液晶顯示裝置係為個人電腦，影像照相機，手提資料終端機，數位相機，數位影碟遊戲機，或電子娛樂裝置。

(請先閱讀背面之注意事項再填寫本頁)

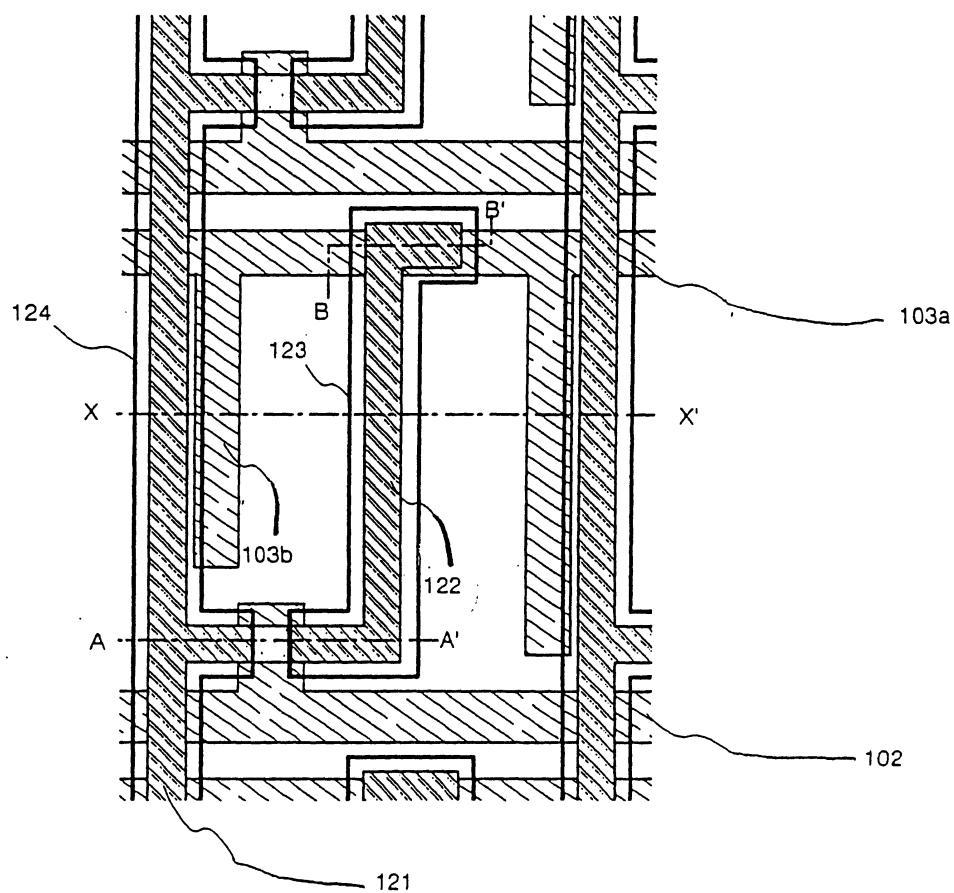
裝

訂

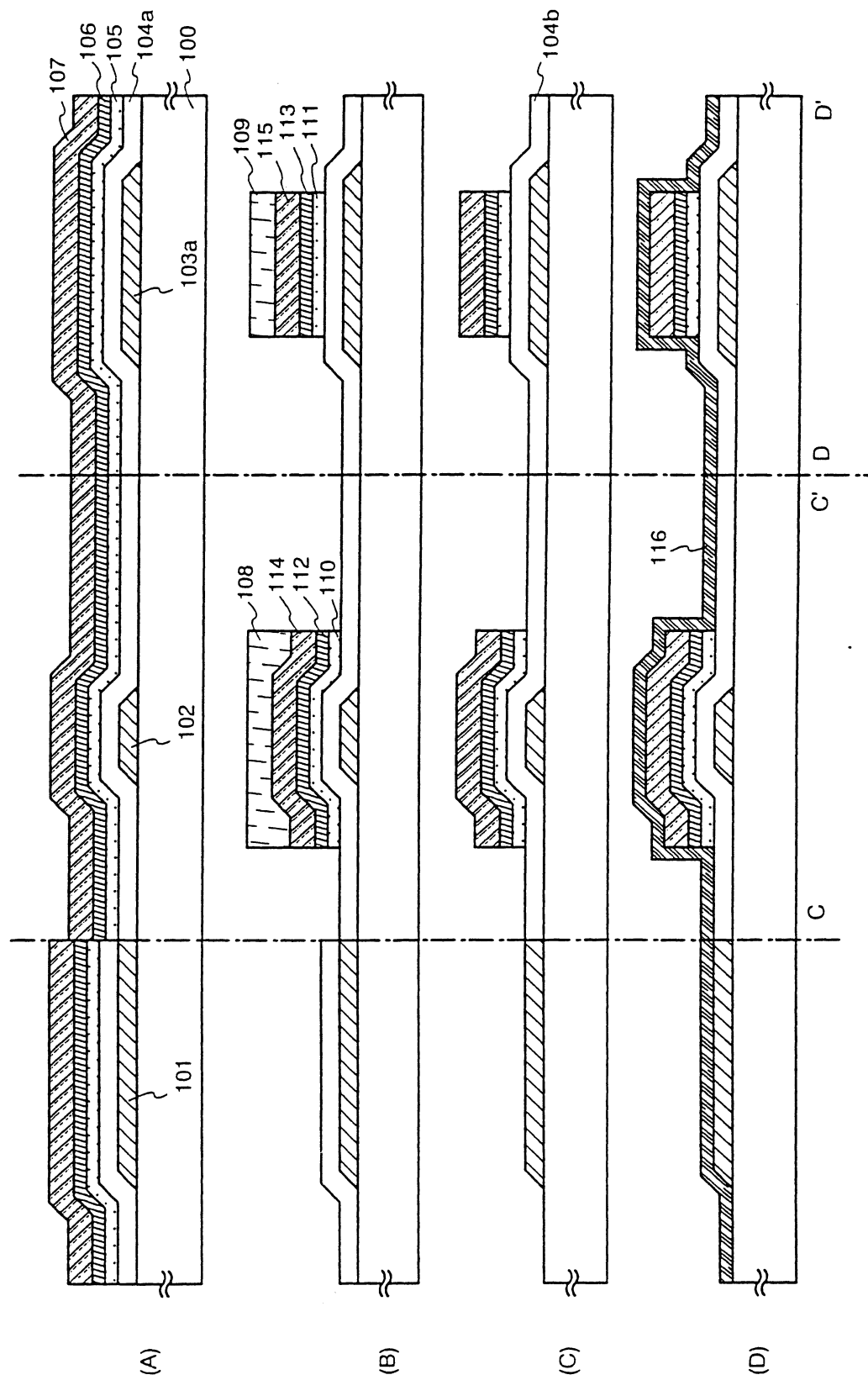
線

修正
補充
91年11月26日

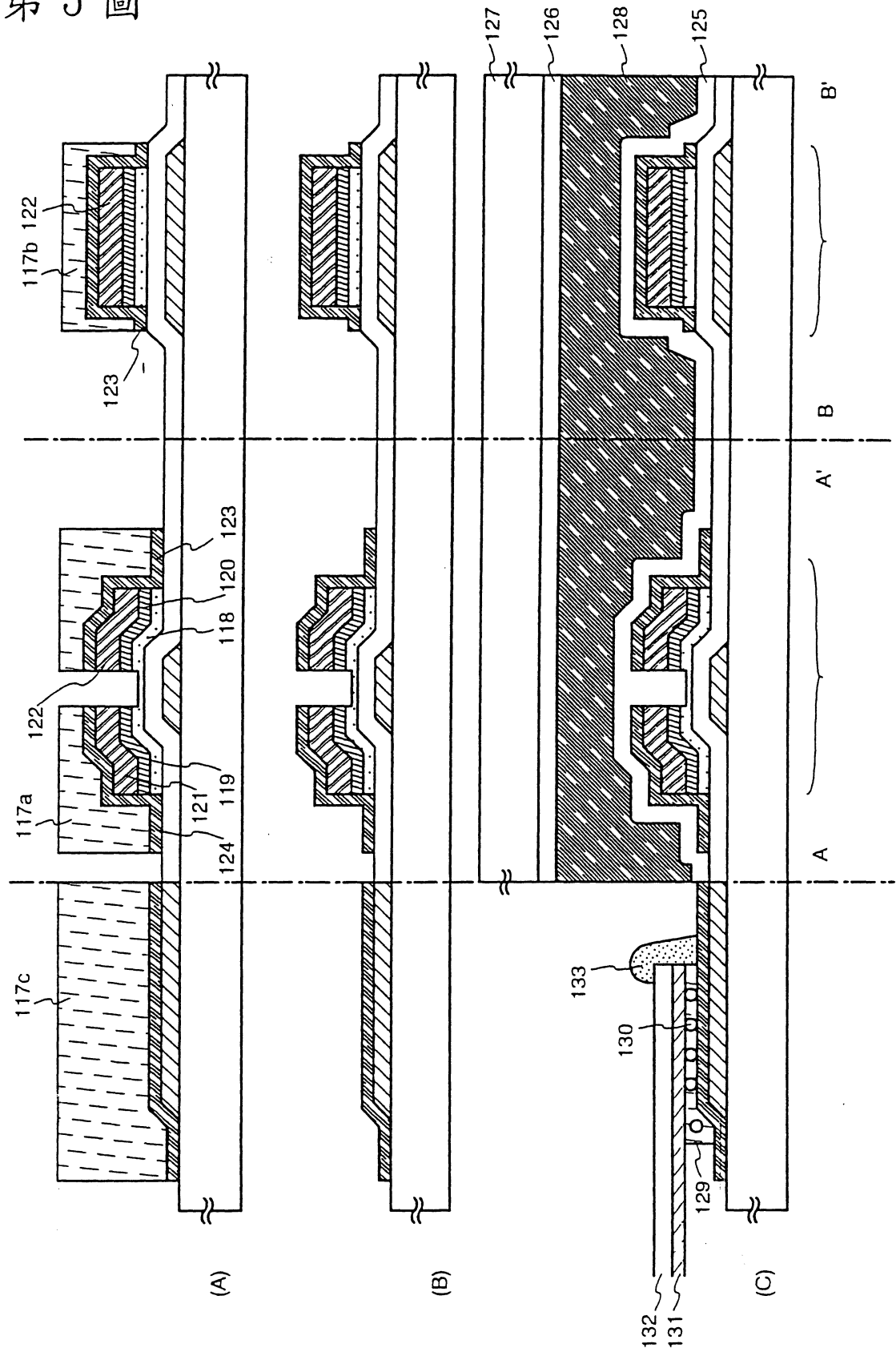
第 1 圖



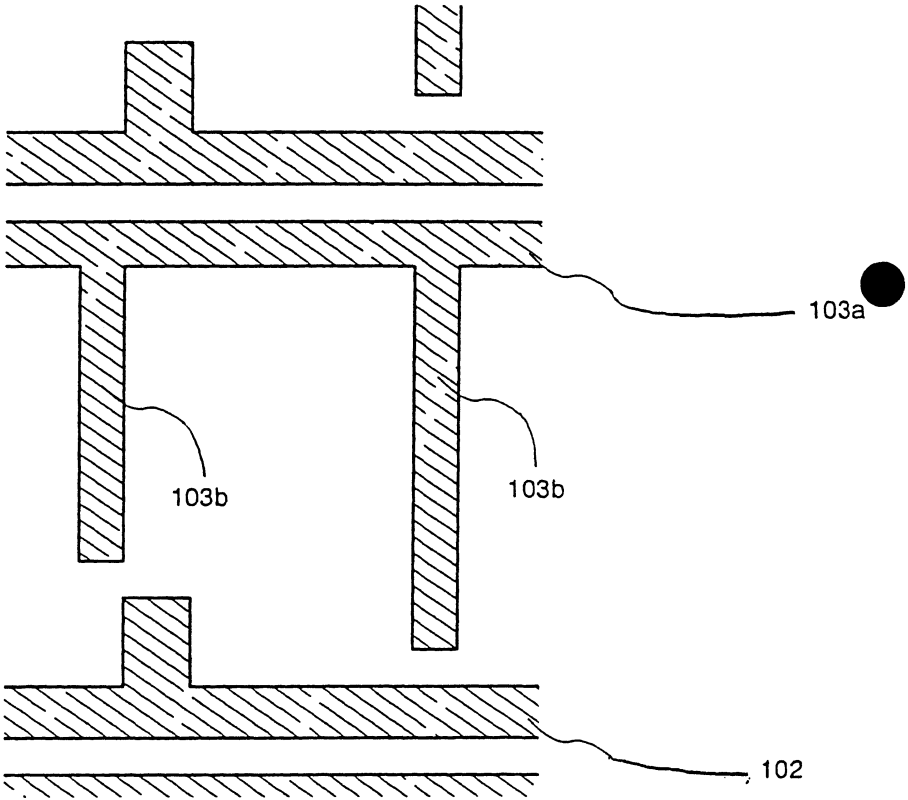
第 2 圖



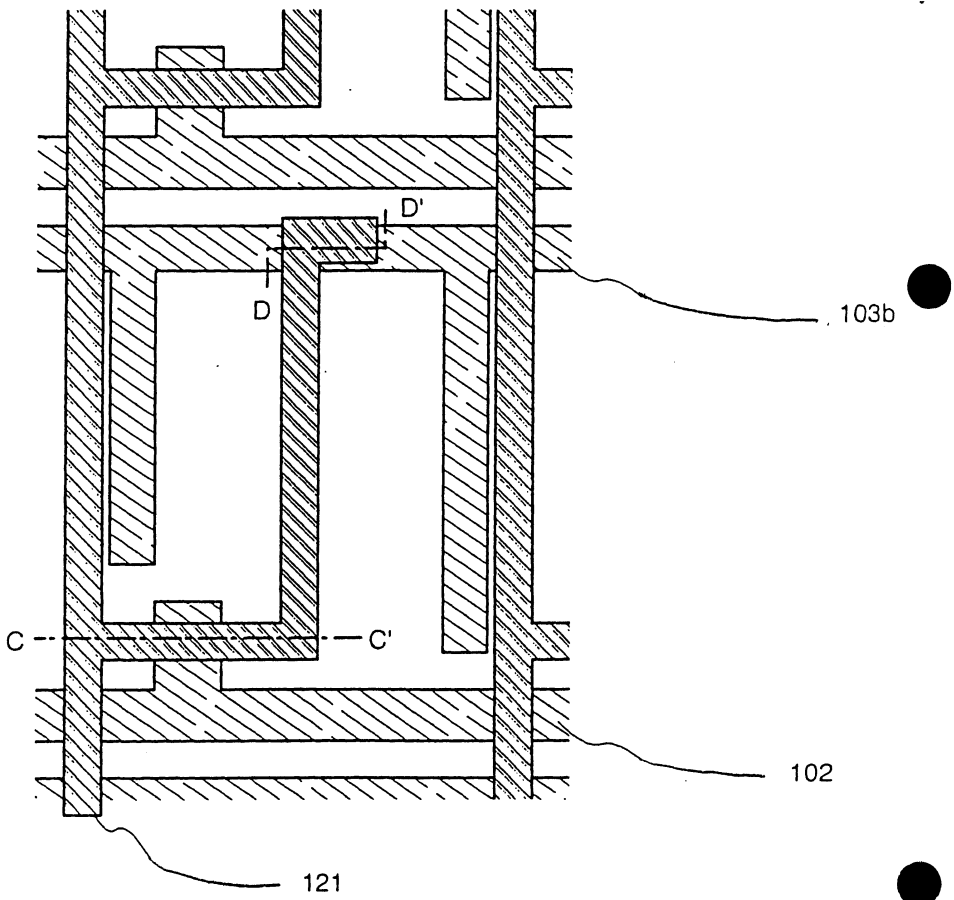
第 3 圖



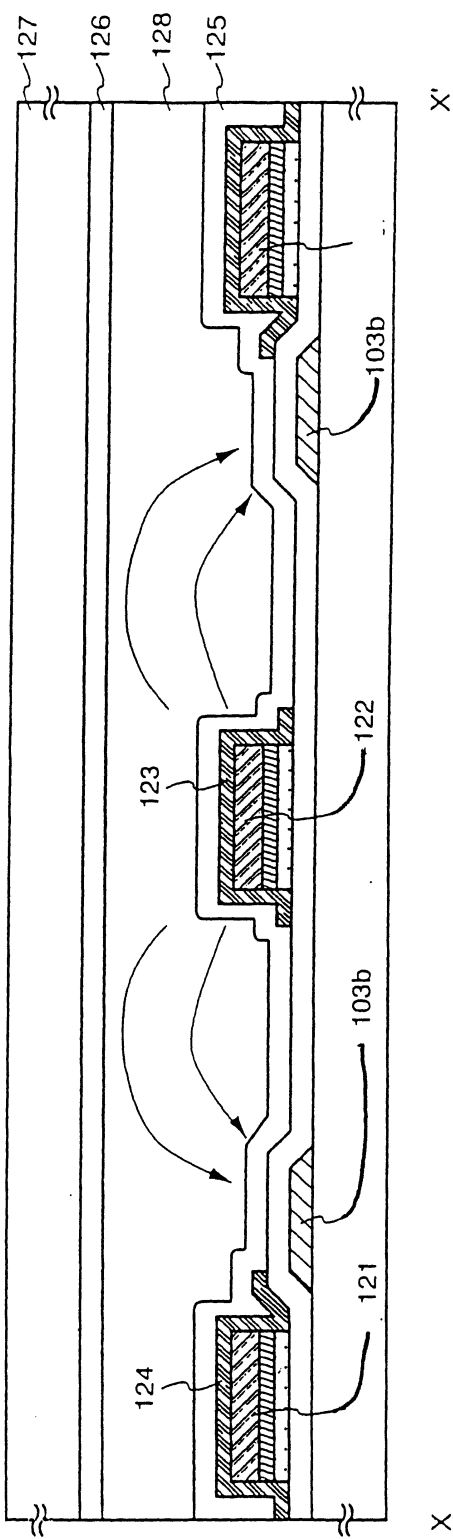
第 4 圖



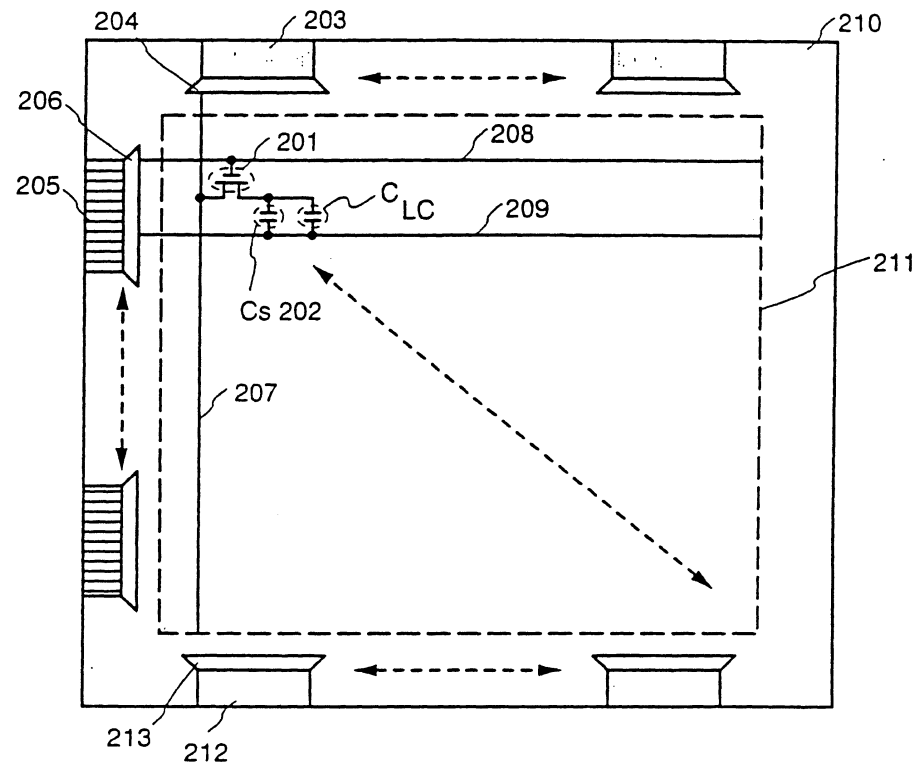
第 5 圖



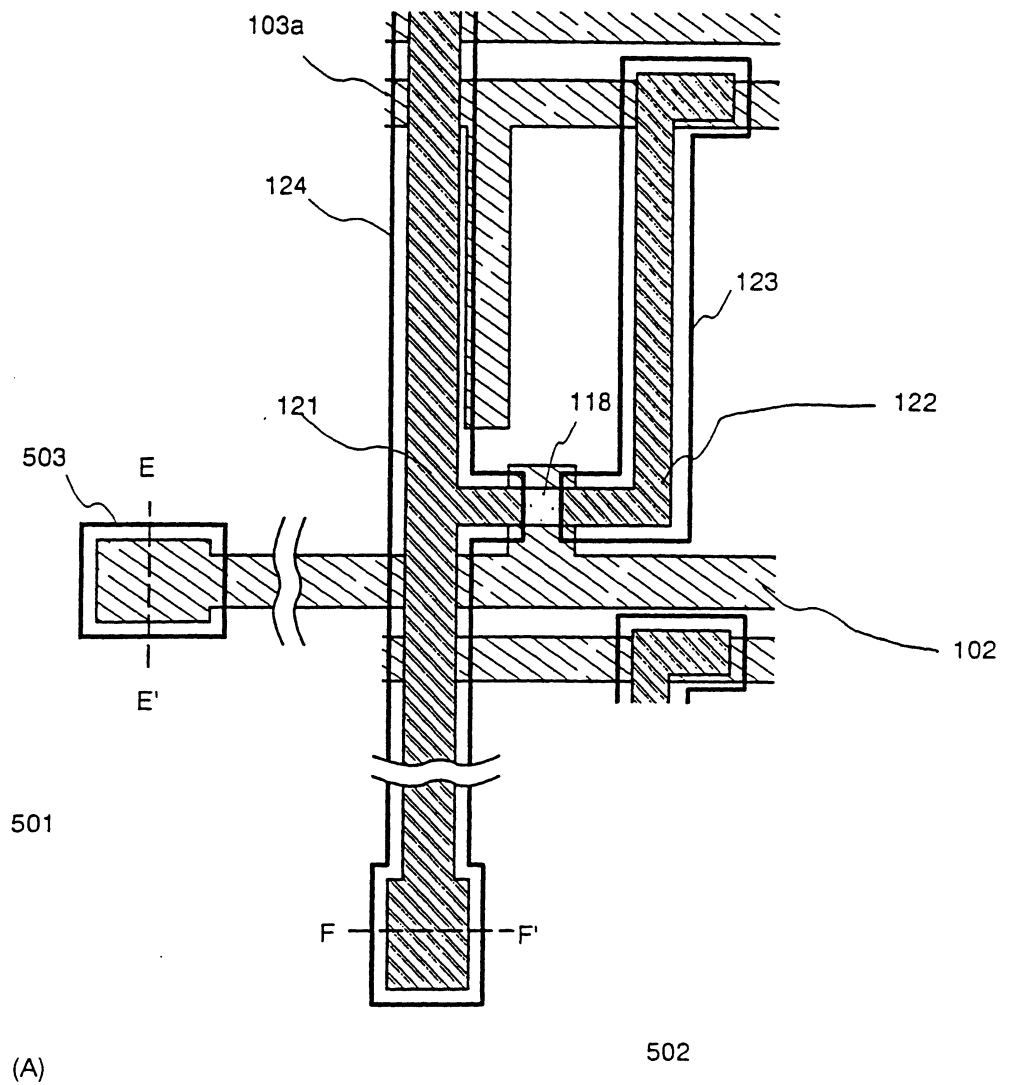
第 6 圖



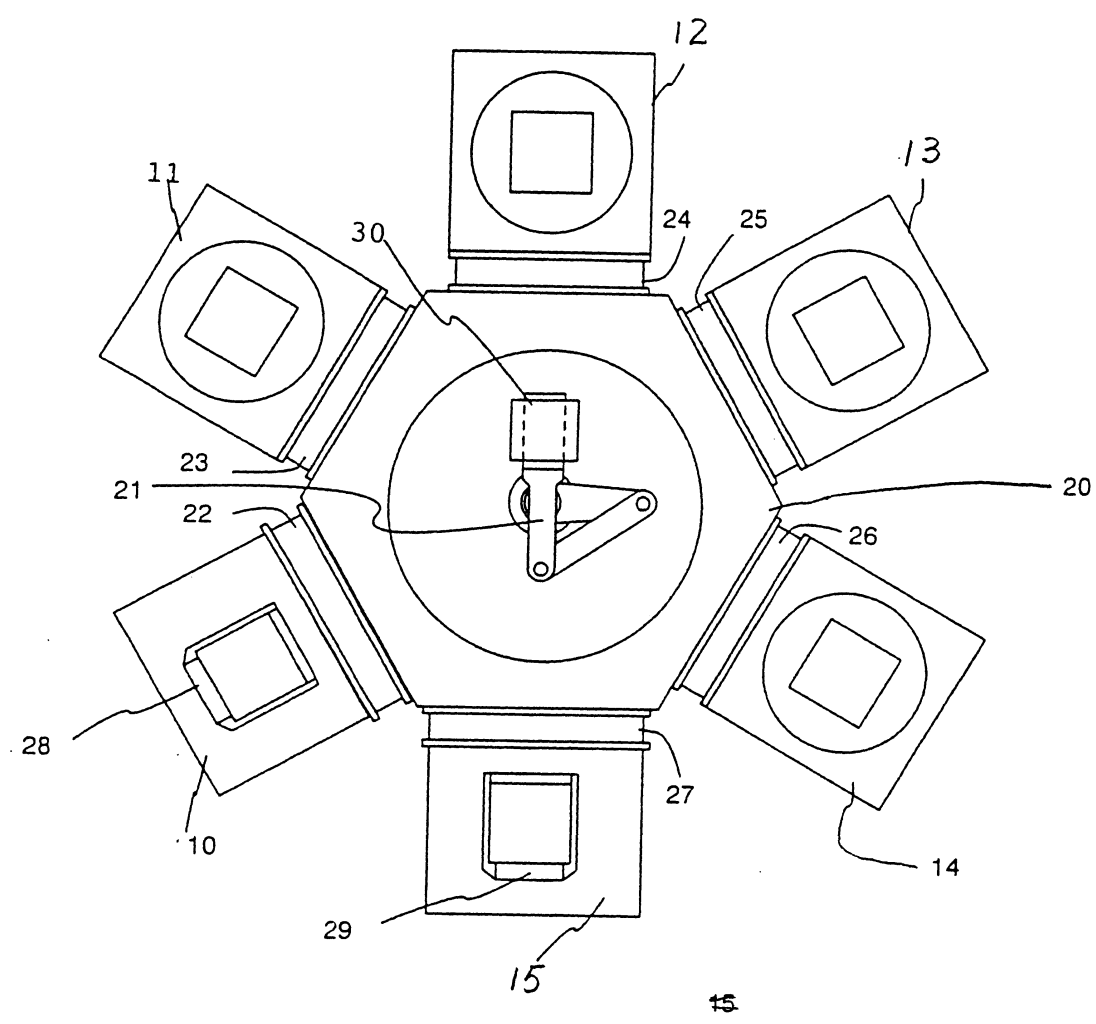
第 7 圖



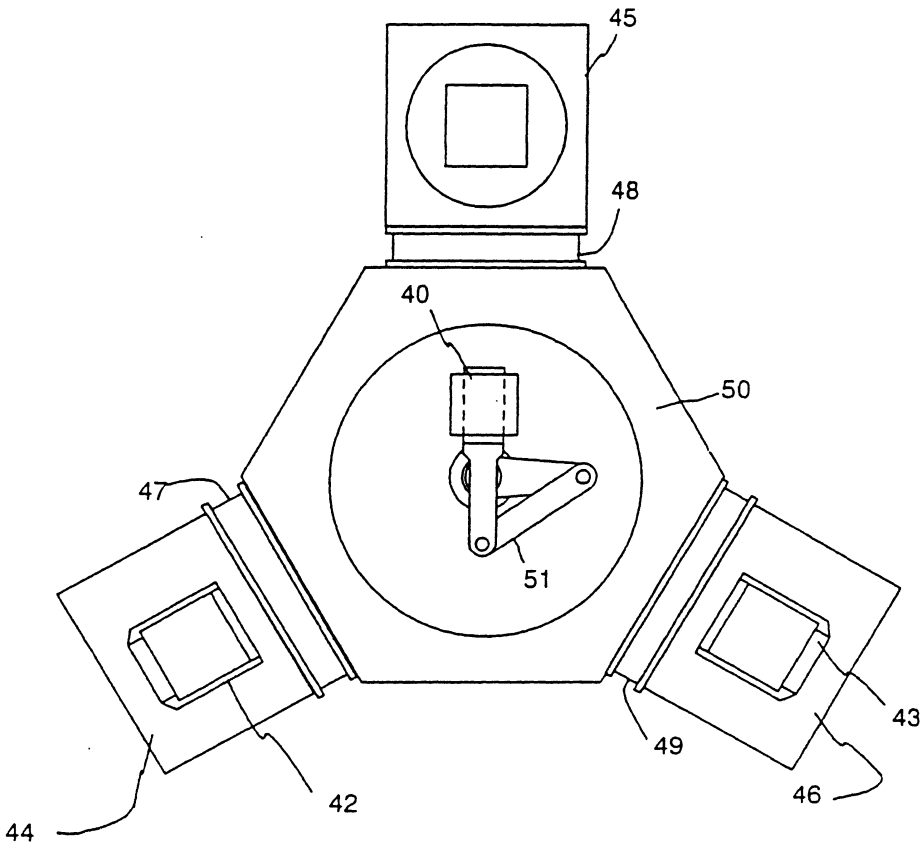
第 9 圖



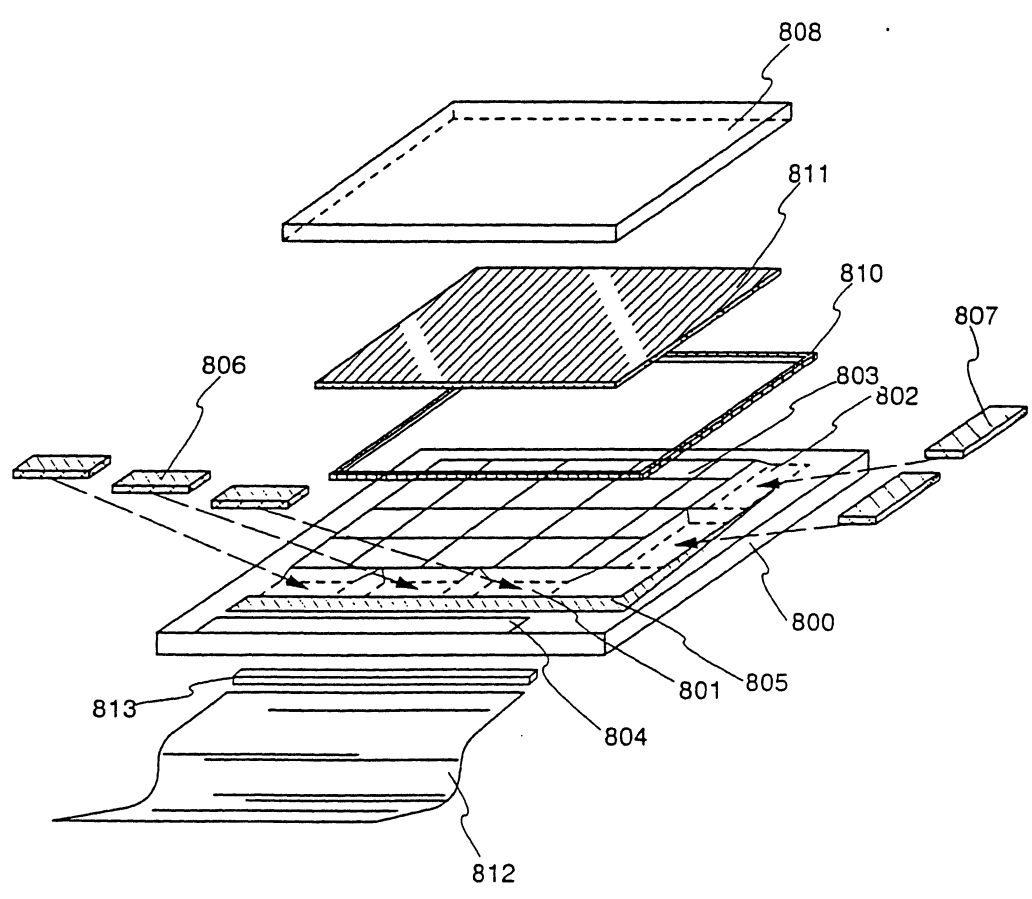
第 10 圖



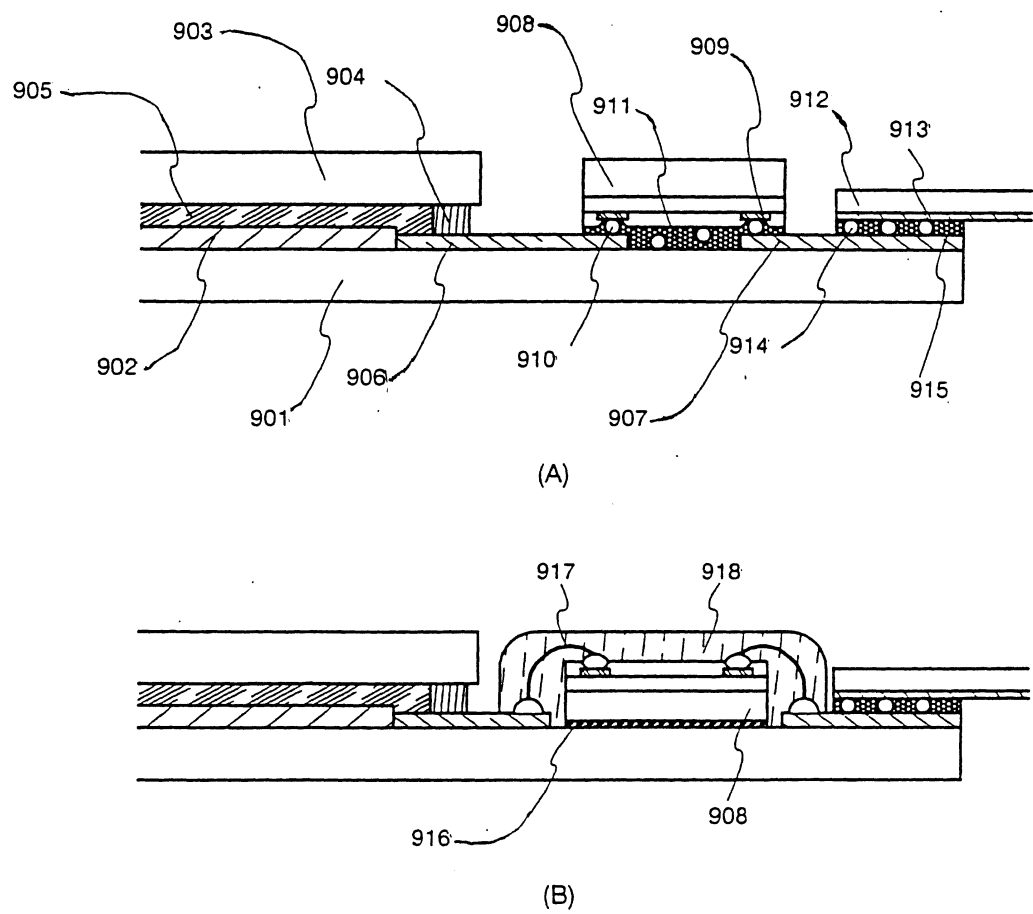
第 11 圖



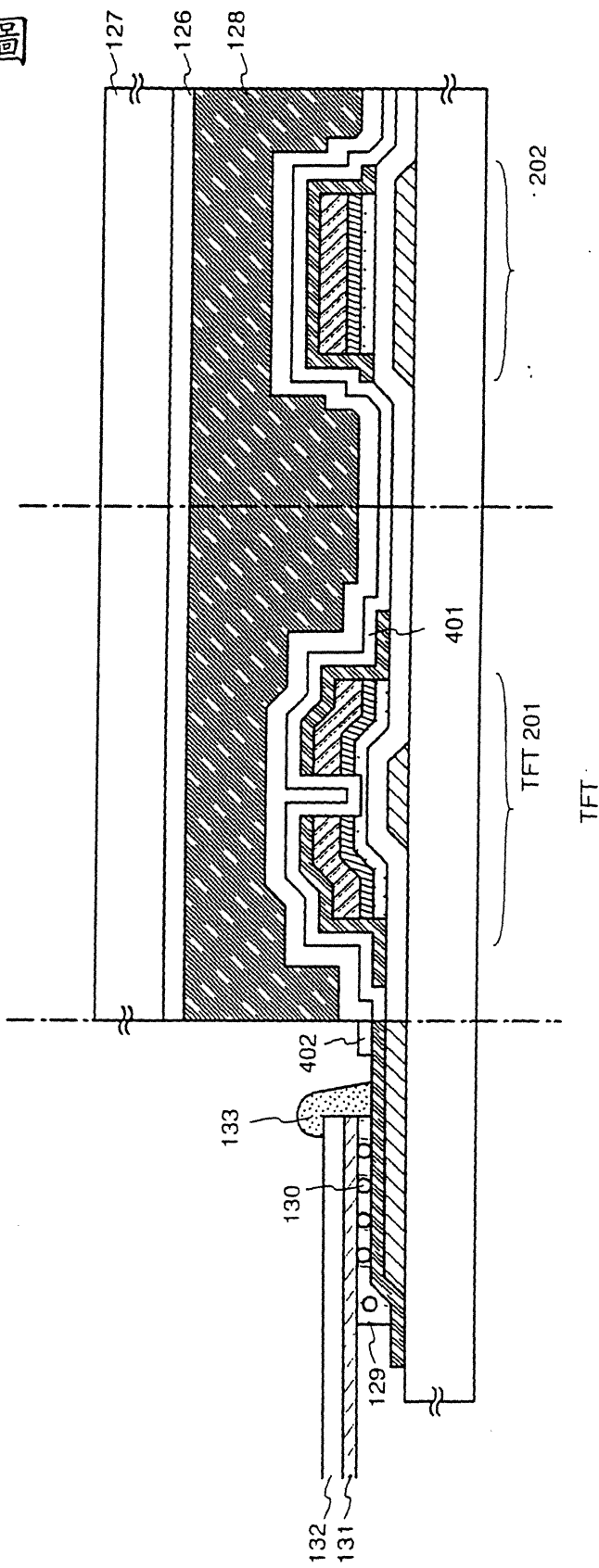
第 12 圖



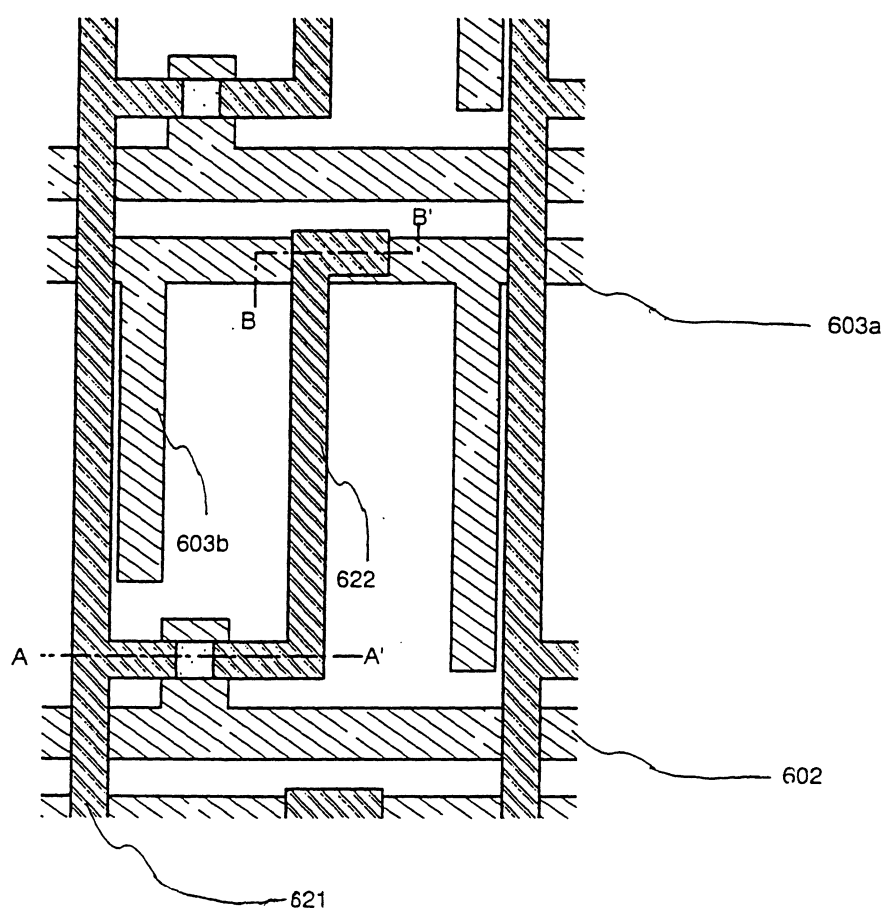
第 13 圖



第 14 圖



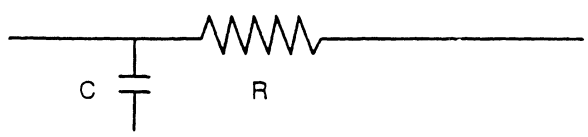
第 15 圖



第 16 圖

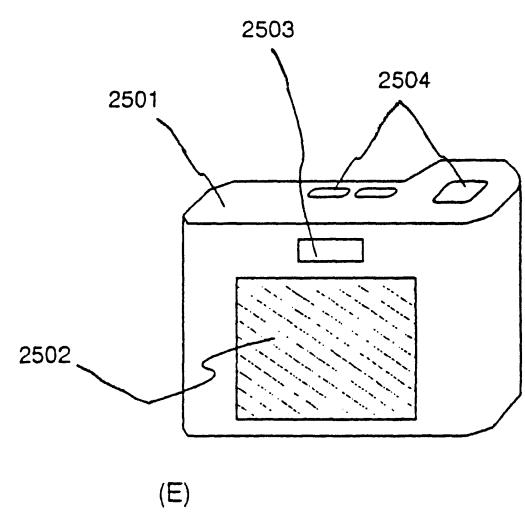
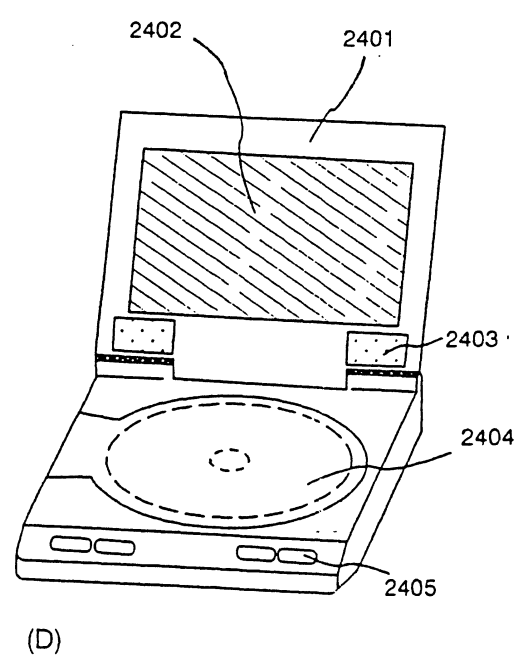
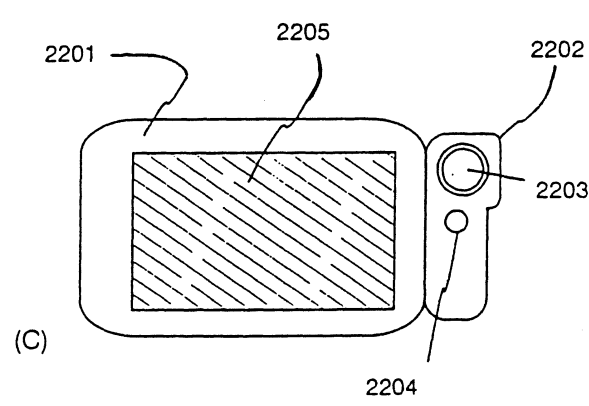
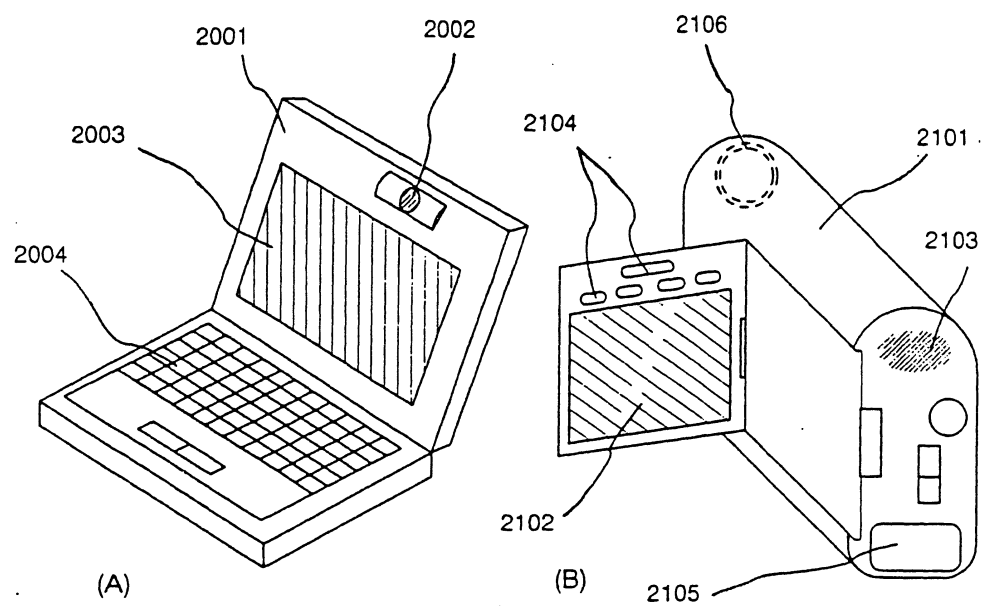


(A)



(B)

第 17 圖



第 18 圖

