

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第3区分

【発行日】平成25年10月10日(2013.10.10)

【公開番号】特開2012-49912(P2012-49912A)

【公開日】平成24年3月8日(2012.3.8)

【年通号数】公開・登録公報2012-010

【出願番号】特願2010-191318(P2010-191318)

【国際特許分類】

H 04 N 5/374 (2011.01)

H 04 N 5/378 (2011.01)

【F I】

H 04 N 5/335 7 4 0

H 04 N 5/335 7 8 0

【手続補正書】

【提出日】平成25年8月26日(2013.8.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

複数の画素が行列状に配列された画素アレイと、

各々が前記画素アレイの列に対応して設けられているとともに、前記画素から出力された信号をデジタル信号に変換するA/D変換部を各々が含む複数の信号処理部と、

2以上の出力端子を有し、該出力端子の各々に対応して設けられた複数の出力ブロックを含む出力部と、を含み、互いに隣接する複数の列の前記信号処理部をブロックとして、

前記出力ブロックは、同一の前記ブロックに属する複数の前記信号処理部から出力された信号を出力し、前記出力ブロックから出力される信号に対して同期コードを付加する同期コード付加部をさらに有し、

前記同期コードは、前記出力端子から出力される信号が基づく信号を出力する前記画素が配された行を識別する信号であること

を特徴とする光電変換装置。

【請求項2】

複数の画素が行列状に配列された画素アレイと、

各々が前記画素アレイの列に対応して設けられているとともに、前記画素から出力された信号をデジタル信号に変換するA/D変換部を各々が含む複数の信号処理部と、

2以上の出力端子を有し、該出力端子の各々に対応して設けられた複数の出力ブロックを含む出力部と、を含み、

1列おきの複数の列の前記信号処理部をブロックとして、

前記出力ブロックは、同一の前記ブロックに属する複数の前記信号処理部から出力された信号を出力し、前記出力ブロックから出力される信号に対して同期コードを付加する同期コード付加部をさらに有し、

前記同期コードは、前記出力端子から出力される信号が基づく信号を出力する前記画素が配された行を識別する信号であることを特徴とする光電変換装置。

【請求項3】

複数の画素が行列状に配列された画素アレイと、

各々が前記画素アレイの列に対応して設けられているとともに、前記画素から出力され

た信号をデジタル信号に変換する A / D 変換部を各々が含む複数の信号処理部と、

2 以上の出力端子を有し、該出力端子の各々に対応して設けられた複数の出力ブロックを含む出力部と、を含み、

互いに隣接する複数の列の前記信号処理部をブロックとして、

前記出力ブロックは、同一の前記ブロックに属する複数の前記信号処理部から出力された信号を出力し、

前記出力ブロックから出力される信号の先頭に同期コードを付加する同期コード付加部をさらに有すること

を特徴とする光電変換装置。

【請求項 4】

複数の画素が行列状に配列された画素アレイと、

各々が前記画素アレイの列に対応して設けられているとともに、前記画素から出力された信号をデジタル信号に変換する A / D 変換部を各々が含む複数の信号処理部と、

2 以上の出力端子を有し、該出力端子の各々に対応して設けられた複数の出力ブロックを含む出力部と、1 列おきの複数の列の前記信号処理部をブロックとして、

前記出力ブロックは、同一の前記ブロックに属する複数の前記信号処理部から出力された信号を出力し、前記出力ブロックから出力される信号の先頭に同期コードを付加する同期コード付加部をさらに有する

ことを特徴とする光電変換装置。

【請求項 5】

前記同期コード付加部は、前記画素アレイの行に対応して前記同期コードを付加することを特徴とする請求項 1 ないし 4 のいずれかに記載の光電変換装置。

【請求項 6】

前記信号処理部は前記デジタル信号をパラレルデータとして出力し、

前記出力ブロックは、前記パラレルデータをシリアルデータに変換して前記出力端子から出力すること

を特徴とする請求項 1 ないし 5 のいずれかに記載の光電変換装置。

【請求項 7】

前記信号処理部は、前記画素から出力された信号からノイズを低減して前記 A / D 変換部に伝達するノイズ低減回路を有することを特徴とする請求項 1 ないし 6 のいずれかに記載の光電変換装置。

【請求項 8】

前記信号処理部は、前記デジタル信号を記憶するメモリ部を有することを特徴とする請求項 1 ないし 7 のいずれかに記載の光電変換装置。

【請求項 9】

前記同期コードは、前記出力端子から出力された前記信号が基づく前記出力ブロックを識別する信号であることを特徴とする請求項 1 ないし 8 のいずれかに記載の光電変換装置。

【請求項 10】

前記光電変換装置は、同期信号を生成する同期信号生成部を有し、

前記同期コード付加部は、前記出力ブロックから出力される信号に前記同期コードを、前記同期信号に同期して付加することを特徴とする請求項 1 ないし 9 に記載の光電変換装置。

【請求項 11】

前記同期信号生成部は PLL 回路を含み、該 PLL 回路から出力される信号を前記同期信号とすることを特徴とする請求項 10 に記載の光電変換装置。

【請求項 12】

請求項 1 ないし 11 のいずれかに記載の光電変換装置と、

前記光電変換装置の画素部に像を形成する光学系と、

前記光電変換装置から出力された信号を処理して画像データを生成する映像信号処理部

と、を備えたこと
を特徴とする撮像システム。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

上記目的を達成するための本発明の一の態様は、複数の画素が行列状に配列された画素アレイと、各々が前記画素アレイの列に対応して設けられているとともに、前記画素から出力された信号をデジタル信号に変換するA/D変換部を各々が含む複数の信号処理部と、2以上の出力端子を有し、該出力端子の各々に対応して設けられた複数の出力ブロックを含む出力部と、を含み、互いに隣接する複数の列の前記信号処理部をブロックとして、前記出力ブロックは、同一の前記ブロックに属する複数の前記信号処理部から出力された信号を出力し、前記出力ブロックから出力される信号に対して同期コードを付加する同期コード付加部をさらに有し、前記同期コードは、前記出力端子から出力される信号が基づく信号を出力する前記画素が配された行を識別する信号であることを特徴とする光電変換装置である。

また、別の態様は、複数の画素が行列状に配列された画素アレイと、各々が前記画素アレイの列に対応して設けられているとともに、前記画素から出力された信号をデジタル信号に変換するA/D変換部を各々が含む複数の信号処理部と、2以上の出力端子を有し、該出力端子の各々に対応して設けられた複数の出力ブロックを含む出力部と、を含み、1列おきの複数の列の前記信号処理部をブロックとして、前記出力ブロックは、同一の前記ブロックに属する複数の前記信号処理部から出力された信号を出力し、前記出力ブロックから出力される信号に対して同期コードを付加する同期コード付加部をさらに有し、前記同期コードは、前記出力端子から出力される信号が基づく信号を出力する前記画素が配された行を識別する信号であることを特徴とする光電変換装置である。

また、別の態様は、複数の画素が行列状に配列された画素アレイと、各々が前記画素アレイの列に対応して設けられているとともに、前記画素から出力された信号をデジタル信号に変換するA/D変換部を各々が含む複数の信号処理部と、2以上の出力端子を有し、該出力端子の各々に対応して設けられた複数の出力ブロックを含む出力部と、1列おきの複数の列の前記信号処理部をブロックとして、前記出力ブロックは、同一の前記ブロックに属する複数の前記信号処理部から出力された信号を出力し、前記出力ブロックから出力される信号の先頭に同期コードを付加する同期コード付加部をさらに有することを特徴とする光電変換装置である。