

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3683398号

(P3683398)

(45) 発行日 平成17年8月17日(2005.8.17)

(24) 登録日 平成17年6月3日(2005.6.3)

(51) Int. Cl.⁷

F I

H O 1 L 27/06

H O 1 L 27/06 1 O 1 P

H O 1 L 21/331

H O 1 L 27/06 3 2 1 B

H O 1 L 21/8249

H O 1 L 29/72 Z

H O 1 L 29/73

請求項の数 12 (全 16 頁)

(21) 出願番号	特願平9-353811	(73) 特許権者	503121103
(22) 出願日	平成9年12月22日(1997.12.22)		株式会社ルネサステクノロジ
(65) 公開番号	特開平11-186508		東京都千代田区丸の内二丁目4番1号
(43) 公開日	平成11年7月9日(1999.7.9)	(74) 代理人	100066474
審査請求日	平成15年2月3日(2003.2.3)		弁理士 田澤 博昭
		(74) 代理人	100088605
			弁理士 加藤 公延
		(74) 代理人	100123434
			弁理士 田澤 英昭
		(74) 代理人	100101133
			弁理士 濱田 初音
		(72) 発明者	長谷川 浩一
			東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

最終頁に続く

(54) 【発明の名称】 半導体集積回路及びその製造方法

(57) 【特許請求の範囲】

【請求項1】

バイポーラトランジスタと、上記バイポーラトランジスタのベース電極に接続された配線と、プラズマエッチングによるパターニングによる上記配線の形成時においてドレインが上記配線に接続されソースがグランドに接続されゲート電極がフローティング状態であり、上記配線の形成後において上記ソースと上記ドレインとの間に電流が流れないオフ状態である保護用NMOストランジスタとを備えたことを特徴とする半導体集積回路。

【請求項2】

配線は、スパイラルインダクタと、バイポーラトランジスタのベース電極と上記スパイラルインダクタとを接続する第1の部分とを備えたものであることを特徴とする請求項1記載の半導体集積回路。

【請求項3】

配線は、パッドと、バイポーラトランジスタのベース電極と上記パッドとを接続する第1の部分とを備えたものであることを特徴とする請求項1記載の半導体集積回路。

【請求項4】

配線は、スパイラルインダクタと、パッドと、バイポーラトランジスタのベース電極と上記スパイラルインダクタとを接続する第1の部分と、上記スパイラルインダクタと上記パッドとを接続する第2の部分とを備えたものであることを特徴とする請求項1記載の半導体集積回路。

【請求項5】

プラズマエッチングによる配線の形成時における上記配線と保護用NMOストランジスタのドレインとの接続位置が、第1の部分であることを特徴とする請求項4記載の半導体集積回路。

【請求項6】

MOSTランジスタと、上記MOSTランジスタのゲート電極に接続された配線と、プラズマエッチングによるパターニングによる上記配線の形成時においてドレインが上記配線に接続されソースがグランドに接続されゲート電極がフローティング状態であり、上記配線の形成後において上記ソースと上記ドレインとの間に電流が流れないオフ状態である保護用NMOストランジスタとを備えたことを特徴とする半導体集積回路。

【請求項7】

配線は、スパイラルインダクタと、MOSTランジスタのゲート電極と上記スパイラルインダクタとを接続する第1の部分とを備えたものであることを特徴とする請求項1記載の半導体集積回路。

【請求項8】

配線は、パッドと、MOSTランジスタのゲート電極と上記パッドとを接続する第1の部分とを備えたものであることを特徴とする請求項1記載の半導体集積回路。

【請求項9】

配線は、スパイラルインダクタと、パッドと、MOSTランジスタのゲート電極と上記スパイラルインダクタとを接続する第1の部分と、上記スパイラルインダクタと上記パッドとを接続する第2の部分とを備えたものであることを特徴とする請求項1記載の半導体集積回路。

【請求項10】

プラズマエッチングによる配線の形成時における上記配線と保護用NMOストランジスタのドレインとの接続位置が、第1の部分であることを特徴とする請求項9記載の半導体集積回路。

【請求項11】

バイポーラトランジスタと、上記バイポーラトランジスタのベース電極に接続された配線とを備えた半導体集積回路の製造方法において、
プラズマエッチングによりパターニングして上記配線が形成される導電層を形成する前に、ゲート電極がフローティング状態である保護用NMOストランジスタを製造し、
その後、上記導電層を形成し、上記導電層と上記保護用NMOストランジスタのドレインとを接続し、上記保護用NMOストランジスタのソースとグランドとを接続し、
その後、上記保護用NMOストランジスタのドレインと上記バイポーラトランジスタのベース電極との電気的な接続及び上記保護用NMOストランジスタのソースとグランドとの電気的な接続を保持した状態で、上記導電層をプラズマエッチングによりパターニングして上記配線を形成し、
その後、上記保護用NMOストランジスタを、ソースとドレインとの間に電流が流れないオフ状態とする
ことを特徴とする半導体集積回路の製造方法。

【請求項12】

MOSTランジスタと、上記MOSTランジスタのゲート電極に接続された配線とを備えた半導体集積回路の製造方法において、
プラズマエッチングによりパターニングして上記配線が形成される導電層を形成する前に、ゲート電極がフローティング状態である保護用NMOストランジスタを製造し、
その後、上記導電層を形成し、上記導電層と上記保護用NMOストランジスタのドレインとを接続し、上記保護用NMOストランジスタのソースとグランドとを接続し、
その後、上記保護用NMOストランジスタのドレインと上記MOSTランジスタのゲート電極との電気的な接続及び上記保護用NMOストランジスタのソースとグランドとの電気的な接続を保持した状態で、上記導電層をプラズマエッチングによりパターニングして上記配線を形成し、

10

20

30

40

50

その後、上記保護用NMOストランジスタを、ソースとドレインとの間に電流が流れないオフ状態とする

ことを特徴とする半導体集積回路の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

この発明は、バイポーラトランジスタやMOストランジスタと接続する配線（スパイラルインダクタやパッドを備えたものを含む）をプラズマエッチングによりパターンニングして形成することに起因する、バイポーラトランジスタやMOストランジスタの酸化膜の破壊、それに伴うリーク電流が生じにくい半導体集積回路及びその製造方法に関するものである。

10

【0002】

【従来技術】

近年、半導体集積回路の高集積化が進んでいる。高集積化につれて、半導体集積回路を構成するバイポーラトランジスタのベースとエミッタとの間の距離が小さくなっている。例えば、高周波回路に用いるバイポーラトランジスタでは、ベースとエミッタとの間の距離を小さくすることにより、遮断周波数を高くしている。また、高集積化につれて、半導体集積回路を構成するMOストランジスタのゲート酸化膜が薄くなっている。

【0003】

このような半導体集積回路の高集積化を実現するため、バイポーラトランジスタやMOストランジスタの製造プロセスにおいて、プラズマエッチングを用いている。

20

【0004】

プラズマエッチングとは、反応性ガスのグロー放電により生じたプラズマ中のイオンや原子を用いてエッチングを行う方法である。この場合、プラズマの状態は、反応性ガスの種類などのエッチング条件によって決まる。プラズマ中のイオンでのエッチングでは、陰極と陽極との間で反応性ガスのグロー放電により生じたプラズマ中の電子をすばやく両電極に到達させて両電極に負電位を生成させ、この負電位によって、プラズマ中のイオンを加速してウェハに衝撃を与えてエッチングを行う。

【0005】

なお、プラズマエッチング時には、プラズマの不均一性によってウェハ面上でのプラズマ密度の不均一が生じ、ウェハ面内で局所的に帯電が生じる。また、プラズマエッチングによるパターンニング時には、オーバエッチングによってパターンの上部と下部との間に帯電が生じる。

30

【0006】

【発明が解決しようとする課題】

従来の半導体集積回路の製造プロセスにおいては以上のようにプラズマエッチングを用いている。

【0007】

例えば、高周波回路に用いる図15に示すDP SA構造（Double Poly - Self - Aligned）のバイポーラトランジスタでは、ベース電極138とエミッタ電極142との間の距離を小さくするため、ベース電極138とエミッタ電極142との間に位置する絶縁酸化膜146の膜厚を0.1 μ m~0.2 μ m程度としている。このため、ベース電極138に接続する配線103をプラズマエッチングによりパターンニングして形成する際に、配線103がプラズマからのイオンや電子により帯電し、ベース電極138とエミッタ電極142との間にこれら電極間に位置する絶縁酸化膜146を介して電流が流れる。その結果、製造後のバイポーラトランジスタに、プラズマエッチングに起因する、ベース電極138とエミッタ電極142との間に位置する絶縁酸化膜146の破壊、それに伴うベース電極138及びエミッタ電極142間のリーク電流が生じるといった課題があった。図15には、ベース電極138とエミッタ電極142との間にこれら電極間に位置する絶縁酸化膜146を介して電流が流れる様子を破線で示す矢印で表してる

40

50

。

【0008】

同様に、例えば、高集積化に対応する図16に示すMOSトランジスタでは、ゲート酸化膜151の膜厚を1500nm程度としている。このため、ゲート電極152に接続する配線103をプラズマエッチングによりパターニングして形成する際に、配線103がプラズマからのイオンや電子により帯電し、ゲート電極152と基板131との間にゲート酸化膜151を介して電流が流れる。その結果、製造後のMOSトランジスタに、プラズマエッチングに起因する、ゲート酸化膜151の破壊、それに伴うゲート電極152及び基板131間のリーク電流が生じるという課題があった。図16には、ゲート電極152と基板131との間にゲート酸化膜151を介して電流が流れる様子を破線で示す矢印で表している。

10

【0009】

この発明は上記のような課題を解決するためになされたもので、製造後のバイポーラトランジスタやMOSトランジスタに、プラズマエッチングに起因する、酸化膜の破壊、それに伴うリーク電流が生じる恐れが小さい半導体集積回路及びその製造方法を得ることを目的とする。

【0010】

【課題を解決するための手段】

この発明に係る半導体集積回路は、バイポーラトランジスタと、バイポーラトランジスタのベース電極に接続された配線と、プラズマエッチングによるパターニングによる配線の形成時においてドレインが配線に接続されソースがグランドに接続されゲート電極がフローティング状態であり、配線の形成後において上記ソースと上記ドレインとの間に電流が流れないオフ状態である保護用NMOSトランジスタとを備えたものである。

20

【0011】

この発明に係る半導体集積回路は、配線を、スパイラルインダクタと、バイポーラトランジスタのベース電極とスパイラルインダクタとを接続する第1の部分とを備えるようにしたものである。

【0012】

この発明に係る半導体集積回路は、配線を、パッドと、バイポーラトランジスタのベース電極とパッドとを接続する第1の部分とを備えるようにしたものである。

30

【0013】

この発明に係る半導体集積回路は、配線を、スパイラルインダクタと、パッドと、バイポーラトランジスタのベース電極とスパイラルインダクタとを接続する第1の部分と、スパイラルインダクタとパッドとを接続する第2の部分とを備えるようにしたものである。

【0014】

この発明に係る半導体集積回路は、プラズマエッチングによる配線の形成時における配線と保護用NMOSトランジスタのドレインとの接続位置が、第1の部分であるものである。

。

【0015】

この発明に係る半導体集積回路は、MOSトランジスタと、MOSトランジスタのゲート電極に接続された配線と、プラズマエッチングによるパターニングによる配線の形成時においてドレインが配線に接続されソースがグランドに接続されゲート電極がフローティング状態であり、配線の形成後においてソースとドレインとの間に電流が流れないオフ状態である保護用NMOSトランジスタとを備えたものである。

40

【0016】

この発明に係る半導体集積回路は、配線を、スパイラルインダクタと、MOSトランジスタのゲート電極とスパイラルインダクタとを接続する第1の部分とを備えるようにしたものである。

【0017】

この発明に係る半導体集積回路は、配線を、パッドと、MOSトランジスタのゲート電極

50

とパッドとを接続する第1の部分とを備えるようにしたものである。

【0018】

この発明に係る半導体集積回路は、配線を、スパイラルインダクタと、パッドと、MOSトランジスタのゲート電極とスパイラルインダクタとを接続する第1の部分と、スパイラルインダクタとパッドとを接続する第2の部分とを備えるようにしたものである。

【0019】

この発明に係る半導体集積回路は、プラズマエッチングによる配線の形成時における配線と保護用NMOSトランジスタのドレインとの接続位置が、第1の部分であるものである。

【0020】

この発明に係る半導体集積回路の製造方法は、プラズマエッチングによりパターニングして配線が形成される導電層を形成する前に、ゲート電極がフローティング状態である保護用NMOSトランジスタを製造し、その後、導電層を形成し、導電層と保護用NMOSトランジスタのドレインとを接続し、保護用NMOSトランジスタのソースとグランドとを接続し、その後、保護用NMOSトランジスタのドレインとバイポーラトランジスタのベース電極との電気的な接続及び保護用NMOSトランジスタのソースとグランドとの電気的な接続を保持した状態で、導電層をプラズマエッチングによりパターニングして配線を形成し、その後、保護用NMOSトランジスタを、ソースとドレインとの間に電流が流れないオフ状態とするものである。

10

【0021】

この発明に係る半導体集積回路の製造方法は、プラズマエッチングによりパターニングして配線が形成される導電層を形成する前に、ゲート電極がフローティング状態である保護用NMOSトランジスタを製造し、その後、導電層を形成し、導電層と保護用NMOSトランジスタのドレインとを接続し、保護用NMOSトランジスタのソースとグランドとを接続し、その後、保護用NMOSトランジスタのドレインとMOSトランジスタのゲート電極との電気的な接続及び保護用NMOSトランジスタのソースとグランドとの電気的な接続を保持した状態で、導電層をプラズマエッチングによりパターニングして配線を形成し、その後、保護用NMOSトランジスタを、ソースとドレインとの間に電流が流れないオフ状態とするものである。

20

【0022】

【発明の実施の形態】

以下、この発明の実施の一形態を説明する。

実施の形態1.

図1はこの発明の実施の形態1による半導体集積回路を示す模式的な構成図である。図1において、1は半導体集積回路、2はバイポーラトランジスタ及びMOSトランジスタが形成されているトランジスタ領域、3はトランジスタ領域2に形成されているバイポーラトランジスタのベース電極あるいはMOSトランジスタのゲート電極に接続されたアルミニウムから成る第1の配線(配線)、4はドレインが第1の配線3に接続され、ソースがグランドに接続され、ゲート電極がプラズマエッチングによるパターニングによる第1の配線3の形成時においてフローティング状態(どこにも接続されていない状態)であり第1の配線3の形成後においてグランドに接続された保護用NMOSトランジスタである。

30

40

【0023】

保護用NMOSトランジスタ4は、プラズマエッチングによるパターニングによる第1の配線3の形成時において、ゲートがフローティング状態であるため、ソース及びドレイン間に電流が流れるオン状態となっている。このため、第1の配線3をプラズマエッチングによりパターニングして形成する際に、第1の配線3がプラズマからのイオンや電子により帯電したときでも、電流が酸化膜を介して流れずに、保護用NMOSトランジスタ4のソース及びドレイン間に流れることとなる。その結果、製造後のバイポーラトランジスタやMOSトランジスタに、プラズマエッチングに起因する、酸化膜の破壊、それに伴うリーク電流が生じる恐れが小さい。一方、保護用NMOSトランジスタ4は、第1の配線3

50

の形成後において、ゲートがグランドに接続されているため、ソース及びドレイン間に電流が流れないオフ状態となっている。このため、トランジスタ領域2に形成されているトランジスタにより構成される回路の動作時に、電流が保護用NMOSトランジスタ4のソース及びドレイン間に流れない。その結果、保護用NMOSトランジスタ4がトランジスタ領域2に形成されているトランジスタにより構成される回路に悪影響を及ぼすことはない。

【0024】

図2は第1の配線に接続している保護用NMOSトランジスタを示す概略的な構成図である。図2(A)はプラズマエッチングによるパターニングによる第1の配線3の形成時におけるオン状態の保護用NMOSトランジスタ4の状態を示し、図2(B)は第1の配線3の形成後におけるオフ状態の保護用NMOSトランジスタ4の状態を示している。図2において、11はp型基板、12はn型エピタキシャル層、13はnウェル、14はpウェル、15はフィールド酸化膜、16はゲート酸化膜、17はn型不純物がドーパされたポリシリコンから成るゲート電極、18はゲート電極17の側壁に形成された側壁酸化膜、19はn⁻型拡散層19aとn⁺型拡散層19bとから成るソース、20はn⁻型拡散層20aとn⁺型拡散層20bとから成るドレイン、21はp⁺型コンタクト層、22はp型基板11とpウェル14とを接続するp型拡散層、23はソース19とp⁺型コンタクト層21とを接続するアルミニウムから成る第2の配線、24はドレイン20と第1の配線(図示せず)とを接続するアルミニウムから成る第3の配線、25はゲート電極17と第2の配線23とを接続するアルミニウムから成る第4の配線、26は絶縁酸化膜である。例えば、この保護用NMOSトランジスタ4のゲート長は0.8μmであり、ゲート幅は2μmである。

【0025】

図3はベース電極に第1の配線が接続しているDPSSA構造のnpnトランジスタを示す概略的な構成図である。図3において、30はnpnトランジスタ(バイポーラトランジスタ)、31はp型基板、32はn⁺型埋め込み層、33はp⁺型埋め込み層、34はn型エピタキシャル層、35はコレクタとして機能するnウェル、36はpウェル、37はフィールド酸化膜、38はp型不純物がドーパされたポリシリコンから成るベース電極、39はベース電極38と同一工程で形成されたp型不純物がドーパされたポリシリコン膜、40はp⁺型拡散層40aとp型拡散層40bとから成るベース、41はn⁺型拡散層から成るコンタクト層、42はn型不純物がドーパされたポリシリコンから成るエミッタ電極、43はn⁺型拡散層から成るエミッタ、44はコンタクト層41に接続したアルミニウムから成るコレクタ電極、45はエミッタ電極42に接続したアルミニウムから成る第5の配線、46は絶縁酸化膜である。また、3はベース電極38に接続したアルミニウムから成る第1の配線である。DPSSA構造のバイポーラトランジスタとは、エミッタ電極となるポリシリコンと、ベース電極となるポリシリコンとが、異なる層に形成されている構造のものである。

【0026】

図4はゲート電極に第1の配線が接続しているNMOSトランジスタを示す概略的な構成図である。図4において、50はNMOSトランジスタ(MOSトランジスタ)、51はゲート酸化膜、52はn型不純物がドーパされたポリシリコンから成るゲート電極である。また、31はp型基板、33はp⁺型埋め込み層、34はn型エピタキシャル層、36はpウェル、37はフィールド酸化膜、46は絶縁酸化膜である。また、3はゲート電極52に接続したアルミニウムから成る第1の配線である。例えば、このNMOSトランジスタ50のゲート長は0.8μmであり、ゲート幅は4μmである。

【0027】

図3に示すnpnトランジスタ30のベース電極38に接続する第1の配線3に、図2に示す保護用NMOSトランジスタ4を接続した場合、第1の配線3をプラズマエッチングによりパターニングして形成する際に、第1の配線3がプラズマからのイオンや電子により帯電したときでも、電流がベース電極38とエミッタ電極42との間に位置する絶縁酸

10

20

30

40

50

化膜 46 を介して流れずに、保護用 NMOS トランジスタ 4 のソース 19 及びドレイン 20 間に流れることとなる。従って、製造後の npn トランジスタ 30 に、プラズマエッチングに起因する、ベース電極 38 とエミッタ電極 42 との間に位置する絶縁酸化膜 46 の破壊、それに伴うベース電極 38 及びエミッタ電極 42 間のリーク電流が生じることはない。その結果、図 5 に示すように、保護用 NMOS トランジスタ 4 を接続した場合（曲線 a）には、保護用 NMOS トランジスタ 4 を接続しなかった場合（曲線 b）に比べて、電流増幅率 H_{FE} が大きくなる。図 5 の縦軸は電流増幅率 H_{FE} 、横軸はコレクタ電流 I_c である。

【0028】

図 4 に示す NMOS トランジスタ 50 のゲート電極 52 に接続する第 1 の配線 3 に、図 2 に示す保護用 NMOS トランジスタ 4 を接続した場合、第 1 の配線 3 をプラズマエッチングによりパターニングして形成する際に、第 1 の配線 3 がプラズマからのイオンや電子により帯電したときでも、電流がゲート酸化膜 51 を介して流れずに、保護用 NMOS トランジスタ 4 のソース 19 及びドレイン 20 間に流れることとなる。従って、製造後の NMOS トランジスタ 50 に、プラズマエッチングに起因する、ゲート酸化膜 51 の破壊、それに伴うゲート電極 52 及び p 型基板 31 間のリーク電流が生じることはない。その結果、図 6 に示すように、保護用 NMOS トランジスタ 4 を接続した場合（曲線 c）には、保護用 NMOS トランジスタ 4 を接続しなかった場合（曲線 d）に比べて、しきい値電圧が小さくなる。図 6 の縦軸はドレイン電流 I_d 、横軸はゲート・ソース間電圧 V_{gs} である。なお、しきい値電圧は、ドレイン電流 I_d が 0 のときのゲート・ソース間電圧 V_{gs} の値である。

【0029】

次に半導体集積回路であるバイ CMOS 回路の製造方法について説明する。図 7 ~ 図 10 はバイ CMOS 回路の概略的な製造工程図である。

【0030】

まず、図 7 (A) に示すように、p 型基板 31 に n ウェル 35、p ウェル 36 を形成する。なお、図 7 (A) において、32 は n^+ 型埋め込み層、33 は p^+ 型埋め込み層、34 は n 型エピタキシャル層、61 は n^+ 型拡散層である。また、図 7 中の A は npn トランジスタ製造領域を示し、B は NMOS トランジスタ製造領域を示し、C は PMOS トランジスタ製造領域を示している。

【0031】

その後、図 7 (B) に示すように、フィールド酸化膜 37 を形成する。さらに、n pn トランジスタ製造領域 A において、コレクタ電極が接続するコンタクト層として機能する n^+ 型拡散層 61 を形成する。

【0032】

その後、図 8 (A) に示すように、n pn トランジスタ製造領域 A において、ベース電極として機能する p 型不純物がドーパされたポリシリコン膜 62 を形成する。さらに、n pn トランジスタ製造領域 A において、熱拡散により、ベースとして機能する p^+ 型拡散層 40a を形成する。

【0033】

その後、図 8 (B) に示すように、NMOS トランジスタ製造領域 B において、ゲート酸化膜 51、n 型不純物がドーパされたポリシリコンから成るゲート電極 52 を形成し、PMOS トランジスタ製造領域 C において、ゲート酸化膜 63、p 型不純物がドーパされたポリシリコンから成るゲート電極 64 を形成する。さらに、NMOS トランジスタ製造領域 B において、側壁酸化膜 65、ソース、ドレインとして機能する n^- 型拡散層 66a 及び n^+ 型拡散層 66b を形成し、PMOS トランジスタ製造領域 C において、側壁酸化膜 67、ソース、ドレインとして機能する p^+ 型拡散層 68 を形成する。

【0034】

その後、図 9 (A) に示すように、各領域 A ~ C にわたって、第 1 の絶縁酸化膜 69 を形成する。さらに、n pn トランジスタ製造領域 A において、第 1 の絶縁酸化膜 69 及びボ

10

20

30

40

50

リシリコン膜 62 を貫通する開口部を形成し、その開口部から n ウェル 35 中に p 型不純物を拡散させ、ベースとして機能する p 型拡散層 40b を形成する。そして、開口部の側壁に側壁酸化膜として第 2 の絶縁酸化膜 70 を形成する。

【0035】

その後、図 9 (B) に示すように、npn トランジスタ製造領域 A において、第 2 の絶縁酸化膜 70 を形成後に得られる開口部から p 型拡散層 40b 中に n 型不純物を拡散させ、エミッタとして機能する n⁺ 型拡散層 71 を形成する。さらに、npn トランジスタ製造領域 A において、n 型不純物がドーパされたポリシリコンから成るエミッタ電極 42 を形成する。

【0036】

その後、図 10 に示すように、各領域 A ~ C にわたって、第 3 の絶縁酸化膜 72 を形成する。さらに、npn トランジスタ製造領域 A において、第 1 の絶縁酸化膜 69 及び第 3 の絶縁酸化膜 72 を貫通する開口部を形成し、ベース電極として機能するポリシリコン膜 62 に接続するアルミニウムから成る第 1 の配線 3 及びコンタクト層として機能する n⁺ 型拡散層 61 に接続するアルミニウムから成るコレクタ電極 44 を形成する。また、npn トランジスタ製造領域 A において、第 3 の絶縁酸化膜 72 を貫通する開口部を形成し、エミッタ電極 42 に接続するアルミニウムから成る第 5 の配線 45 を形成する。また、NMOST トランジスタ製造領域 B において、第 1 の絶縁酸化膜 69 及び第 3 の絶縁酸化膜 72 を貫通する開口部を形成し、ソース、ドレインとして機能する n⁺ 型拡散層 66b に接続するアルミニウムから成る第 6 の配線 73 及びゲート電極 52 に接続するアルミニウムから成る第 1 の配線 (図示せず) を形成する。また、PMOST トランジスタ製造領域 C において、第 1 の絶縁酸化膜 69 及び第 3 の絶縁酸化膜 72 を貫通する開口部を形成し、ソース、ドレインとして機能する p⁺ 型拡散層 68 に接続するアルミニウムから成る第 7 の配線 74 及びゲート電極 64 に接続するアルミニウムから成る第 1 の配線 (図示せず) を形成する。第 1 の配線 3、コレクタ電極 44、第 5 の配線 45、第 6 の配線 73、第 7 の配線 74 は、各領域 A ~ C にわたってアルミニウム膜 (導電層) を形成し、このアルミニウム膜をプラズマエッチングによりパターニングして形成する。

【0037】

ここまでの工程で、図 3 に示す npn トランジスタ 30 及び図 4 に示す NMOST トランジスタ 50 を備えたバイ CMOS 回路が製造される。また、図 2 (A) に示す保護用 NMOST トランジスタ 4 も図 7 ~ 図 10 に示す工程において同時に形成される。

【0038】

このようにバイ CMOS 回路を製造した場合、アルミニウム膜を形成したとき、アルミニウム膜と、図 2 に示す保護用 NMOST トランジスタ 4 のドレイン 20 とが接続し、図 2 に示す保護用 NMOST トランジスタ 4 のソース 19 と p⁺ 型コンタクト層 21 とが接続する。そして、アルミニウム膜をプラズマエッチングによりパターニングするとき、図 2 に示す保護用 NMOST トランジスタ 4 のドレイン 20 と、図 3 に示す npn トランジスタ 30 のベース電極 38 及び図 4 に示す NMOST トランジスタ 50 のゲート電極 52 との電気的な接続、並びに図 2 に示す保護用 NMOST トランジスタ 4 のソース 19 と p⁺ 型コンタクト層 21 との電気的な接続が保持されている。

【0039】

プラズマエッチング終了後、図 2 (B) に示すように、保護用 NMOST トランジスタ 4 のゲート電極 17 と第 2 の配線 23 とを第 4 の配線 25 により接続する。ただし、実施の形態 2 及び実施の形態 3 で示すように、第 1 の配線 3 がスパイラルインダクタやパッドを備えたものである場合には、最終工程において、第 4 の配線 25 を形成する。

【0040】

以上のように、この実施の形態 1 によれば、バイポーラトランジスタのベース電極あるいは MOST トランジスタのゲート電極に接続する第 1 の配線 3 に、保護用 NMOST トランジスタ 4 を接続した。このため、第 1 の配線 3 をプラズマエッチングによりパターニングして形成する際に、第 1 の配線 3 がプラズマからのイオンや電子により帯電したときでも、

10

20

30

40

50

電流がベース電極 38 とエミッタ電極 42 との間に位置する絶縁酸化膜 46 やゲート酸化膜 51 を介して流れずに、保護用 NMOS トランジスタ 4 のソース 19 及びドレイン 20 間に流れることとなる。従って、製造後の npn トランジスタ 30 に、プラズマエッチングに起因する、ベース電極 38 とエミッタ電極 42 との間に位置する絶縁酸化膜 46 の破壊、それに伴うベース電極 38 及びエミッタ電極 42 間のリーク電流が生じることはない。その結果、保護用 NMOS トランジスタ 4 を接続しなかった場合に比べて、電流増幅率が大きくなる効果がある。同様に、製造後の NMOS トランジスタ 50 に、プラズマエッチングに起因する、ゲート酸化膜 51 の破壊、それに伴うゲート電極 52 及び p 型基板 31 間のリーク電流が生じることはない。その結果、保護用 NMOS トランジスタ 4 を接続しなかった場合に比べて、しきい値電圧が小さくなる効果がある。

10

【0041】

なお、図 11 に示すように、DP SA 構造の npn トランジスタでは、ベース電極に接続する配線に保護用 NMOS トランジスタを接続しなかった場合（曲線 e）、ウェハの表面に垂直な方向から見たときの、ベース電極に接続する配線の面積 X とベースの面積 Y との比 X/Y が大きいほど、歩留まりが小さくなるが、ベース電極に接続する配線に保護用 NMOS トランジスタ 4 を接続した場合（曲線 f）には、 X/Y の値に関係なく、歩留まりが 100% となる。図 11 の縦軸は歩留まり、横軸は X/Y である。

【0042】

実施の形態 2 .

図 12 はこの発明の実施の形態 2 による半導体集積回路を示す模式的な構成図である。図 12 において、3a はスパイラルインダクタ、3b はトランジスタ領域 2 に形成されているバイポーラトランジスタのベース電極あるいは MOS トランジスタのゲート電極とスパイラルインダクタ 3a とを接続する第 1 の部分である。その他の構成要素は、図 1 に同一符号を付して示すものと同一あるいは同等である。

20

【0043】

図 12 に示すように、実施の形態 2 では、第 1 の配線 3 をスパイラルインダクタ 3a と、バイポーラトランジスタのベース電極あるいは MOS トランジスタのゲート電極とスパイラルインダクタ 3a とを接続する第 1 の部分 3b とにより構成した。保護用 NMOS トランジスタ 4 は第 1 の部分 3b に接続した。

このように、第 1 の配線 3 を構成した場合でも、実施の形態 1 と同様の効果を得ることができる。

30

【0044】

実施の形態 3 .

図 13 はこの発明の実施の形態 3 による半導体集積回路を示す模式的な構成図である。図 13 において、3c はパッド、3b はトランジスタ領域 2 に形成されているバイポーラトランジスタのベース電極あるいは MOS トランジスタのゲート電極とパッド 3c とを接続する第 1 の部分である。その他の構成要素は、図 1 に同一符号を付して示すものと同一あるいは同等である。

【0045】

図 13 に示すように、実施の形態 3 では、第 1 の配線 3 をパッド 3c と、バイポーラトランジスタのベース電極あるいは MOS トランジスタのゲート電極とパッド 3c とを接続する第 1 の部分 3b とにより構成した。保護用 NMOS トランジスタ 4 は第 1 の部分 3b に接続した。

40

【0046】

このように、第 1 の配線 3 を構成した場合でも、実施の形態 1 と同様の効果を得ることができる。

【0047】

実施の形態 4 .

図 14 はこの発明の実施の形態 4 による半導体集積回路を示す模式的な構成図である。図 14 において、3a はスパイラルインダクタ、3c はパッド、3b はトランジスタ領域 2

50

に形成されているバイポーラトランジスタのベース電極あるいはMOSトランジスタのゲート電極とスパイラルインダクタ3aとを接続する第1の部分、3dはスパイラルインダクタ3aとパッド3cとを接続する第2の部分である。その他の構成要素は、図1に同一符号を付して示すものと同じあるいは同等である。

【0048】

図14に示すように、実施の形態4では、第1の配線3をスパイラルインダクタ3aと、パッド3cと、バイポーラトランジスタのベース電極あるいはMOSトランジスタのゲート電極とスパイラルインダクタ3aとを接続する第1の部分3bと、スパイラルインダクタ3aとパッド3cとを接続する第2の部分3dとにより構成した。保護用NMOSトランジスタ4は第1の部分3bに接続した。

10

【0049】

このように、第1の配線3を構成した場合でも、実施の形態1と同様の効果を得ることができる。

【0050】

また、第1の配線3の形成後、パッド3cにリード線を接続するため、保護用NMOSトランジスタ4を第2の部分3dに接続する場合には、パッド3cに近いパッド3cにリード線を接続するときの衝撃により、オフ状態の保護用NMOSトランジスタ4がオン状態となる恐れがある。しかし、実施の形態4では、保護用NMOSトランジスタ4を第1の部分3bに接続したので、そのような恐れが小さい。

【0051】

20

【発明の効果】

以上のように、この発明によれば、半導体集積回路を、バイポーラトランジスタと、バイポーラトランジスタのベース電極に接続された配線と、プラズマエッチングによるパターニングによる配線の形成時においてドレインが配線に接続されソースがグランドに接続されゲート電極がフローティング状態であり、配線の形成後においてソースとドレインとの間に電流が流れないオフ状態である保護用NMOSトランジスタとを備えるように構成したので、製造後のバイポーラトランジスタに、プラズマエッチングに起因する、ベース電極とエミッタ電極との間に位置する絶縁酸化膜の破壊、それに伴うベース電極及びエミッタ電極間のリーク電流が生じる恐れを小さくできる効果がある。

【0052】

30

この発明によれば、配線を、スパイラルインダクタと、パッドと、バイポーラトランジスタのベース電極とスパイラルインダクタとを接続する第1の部分と、スパイラルインダクタとパッドとを接続する第2の部分とを備えるものとし、プラズマエッチングによる配線の形成時における配線と保護用NMOSトランジスタのドレインとの接続位置が第1の部分であるように構成したので、配線の形成後、パッドにリード端子を接続する場合でも、パッドにリード線を接続するときの衝撃により、オフ状態の保護用NMOSトランジスタがオン状態となる恐れを小さくできる効果がある。

【0053】

この発明によれば、半導体集積回路を、MOSトランジスタと、MOSトランジスタのゲート電極に接続された配線と、プラズマエッチングによるパターニングによる配線の形成時においてドレインが配線に接続されソースがグランドに接続されゲート電極がフローティング状態であり、配線の形成後においてソースとドレインとの間に電流が流れないオフ状態である保護用NMOSトランジスタとを備えるように構成したので、製造後のMOSトランジスタに、プラズマエッチングに起因する、ゲート酸化膜の破壊、それに伴うゲート電極及び基板間のリーク電流が生じる恐れを小さくできる効果がある。

40

【0054】

この発明によれば、配線を、スパイラルインダクタと、MOSトランジスタのゲート電極とスパイラルインダクタとを接続する第1の部分とを備えるものとし、プラズマエッチングによる配線の形成時における配線と保護用NMOSトランジスタのドレインとの接続位置が第1の部分であるように構成したので、配線の形成後、パッドにリード端子を接続す

50

る場合でも、パッドにリード線を接続するときの衝撃により、オフ状態の保護用NMOSトランジスタがオン状態となる恐れを小さくできる効果がある。

【0055】

この発明によれば、半導体集積回路を、プラズマエッチングによりパターニングして配線が形成される導電層を形成する前に、ゲート電極がフローティング状態である保護用NMOSトランジスタを製造し、その後、導電層を形成し、導電層と保護用NMOSトランジスタのドレインとを接続し、保護用NMOSトランジスタのソースとグランドとを接続し、その後、保護用NMOSトランジスタのドレインとバイポーラトランジスタのベース電極との電気的な接続及び保護用NMOSトランジスタのソースとグランドとの電気的な接続を保持した状態で、導電層をプラズマエッチングによりパターニングして配線を形成し、その後、保護用NMOSトランジスタを、ソースとドレインとの間に電流が流れないオフ状態とすることにより製造するので、製造後のバイポーラトランジスタに、プラズマエッチングに起因する、ベース電極とエミッタ電極との間に位置する絶縁酸化膜の破壊、それに伴うベース電極及びエミッタ電極間のリーク電流が生じる恐れが小さい半導体集積回路を製造することができる効果がある。

10

【0056】

この発明によれば、半導体集積回路を、プラズマエッチングによりパターニングして配線が形成される導電層を形成する前に、ゲート電極がフローティング状態である保護用NMOSトランジスタを製造し、その後、導電層を形成し、導電層と上記保護用NMOSトランジスタのドレインとを接続し、保護用NMOSトランジスタのソースとグランドとを接続し、その後、保護用NMOSトランジスタのドレインとMOSトランジスタのゲート電極との電気的な接続及び保護用NMOSトランジスタのソースとグランドとの電気的な接続を保持した状態で、導電層をプラズマエッチングによりパターニングして配線を形成し、その後、保護用NMOSトランジスタを、ソースとドレインとの間に電流が流れないオフ状態とすることにより製造するので、製造後のMOSトランジスタに、プラズマエッチングに起因する、ゲート酸化膜の破壊、それに伴うゲート電極及び基板間のリーク電流が生じる恐れが小さい半導体集積回路を製造することができる効果がある。

20

【図面の簡単な説明】

【図1】 この発明の実施の形態1による半導体集積回路を示す模式的な構成図である。

【図2】 この発明の実施の形態1による半導体集積回路を構成する保護用NMOSトランジスタを示す概略的な構成図である。

30

【図3】 この発明の実施の形態1による半導体集積回路のトランジスタ領域に形成されているnpnトランジスタを示す概略的な構成図である。

【図4】 この発明の実施の形態1による半導体集積回路のトランジスタ領域に形成されているNMOSトランジスタを示す概略的な構成図である。

【図5】 npnトランジスタにおける、電流増幅率とコレクタ電流との関係を示す特性図である。

【図6】 NMOSトランジスタにおける、ドレイン電流とゲート・ソース間電圧との関係を示す特性図である。

【図7】 この発明の実施の形態1による半導体集積回路の製造工程図である(その1)

40

【図8】 この発明の実施の形態1による半導体集積回路の製造工程図である(その2)

【図9】 この発明の実施の形態1による半導体集積回路の製造工程図である(その3)

【図10】 この発明の実施の形態1による半導体集積回路の製造工程図である(その4)

【図11】 npnトランジスタにおける、歩留まりと、ベース電極に接続する配線の面積とベースの面積との比の関係を示す特性図である。

【図12】 この発明の実施の形態2による半導体集積回路を示す模式的な構成図である

50

。 【図13】 この発明の実施の形態3による半導体集積回路を示す模式的な構成図である

。 【図14】 この発明の実施の形態4による半導体集積回路を示す模式的な構成図である

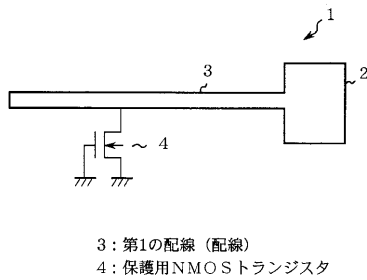
。 【図15】 DP SA構造のバイポーラトランジスタの構成図である。

【図16】 MOSトランジスタの構成図である。

【符号の説明】

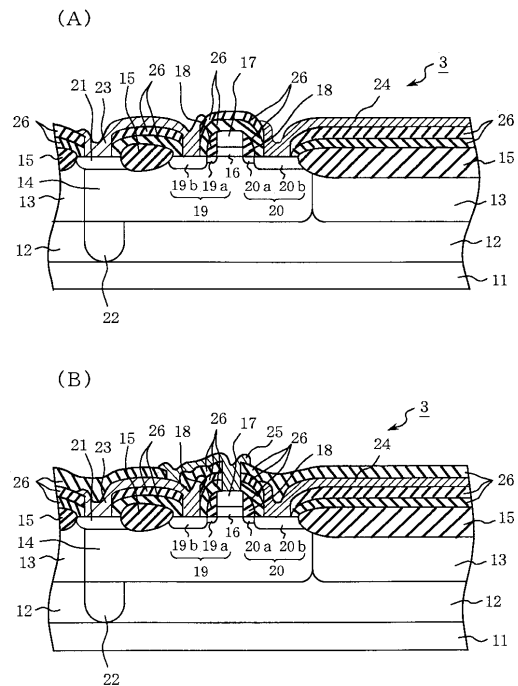
3 第1の配線(配線)、3a スパイラルインダクタ、3b 第1の部分、3c パッド、3d 第2の部分、4 保護用NMOSTランジスタ、17, 52 ゲート電極、19 ソース、20 ドレイン、30 npnトランジスタ(バイポーラトランジスタ)、38 ベース電極、50 NMOSTランジスタ(MOSTランジスタ)。

【図1】



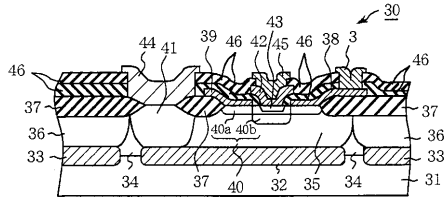
3: 第1の配線(配線)
4: 保護用NMOSTランジスタ

【図2】



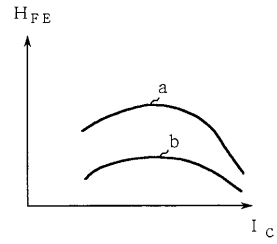
17: ゲート電極
19: ソース
20: ドレイン

【 図 3 】

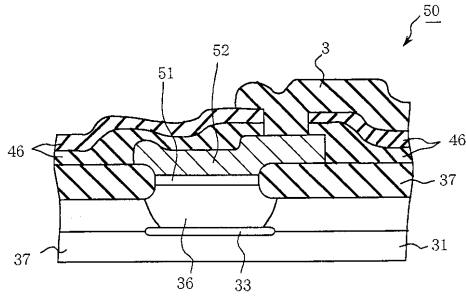


30 : npn トランジスタ (バイポーラトランジスタ)
 38 : ベース電極

【 図 5 】

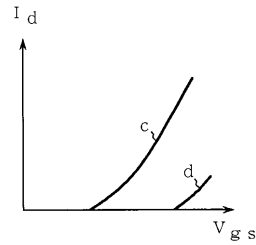


【 図 4 】

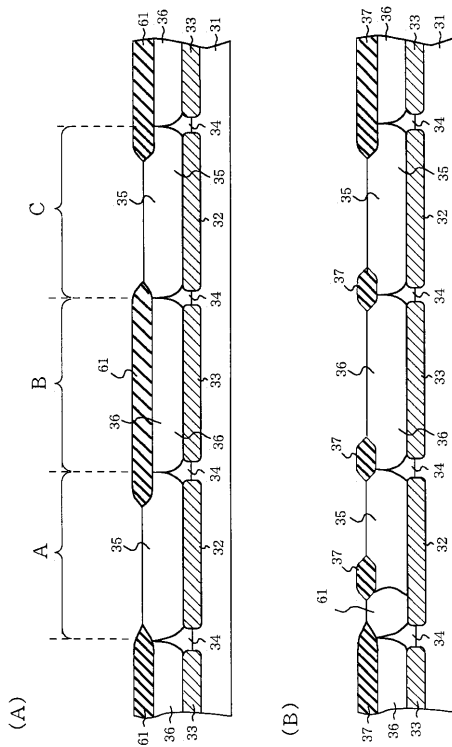


50 : NMOS トランジスタ (MOS トランジスタ)
 52 : ゲート電極

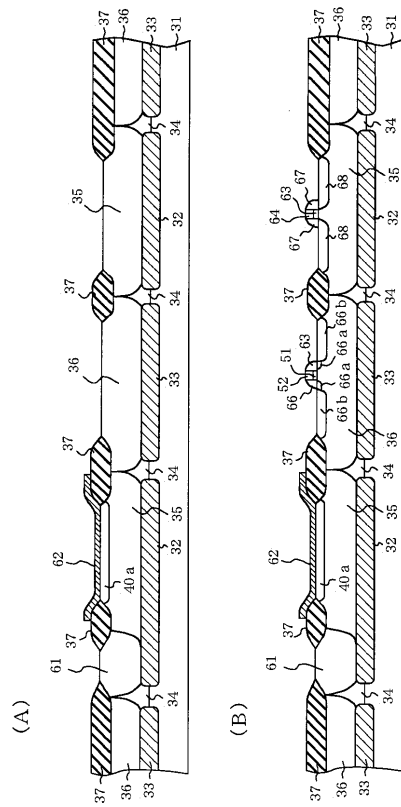
【 図 6 】



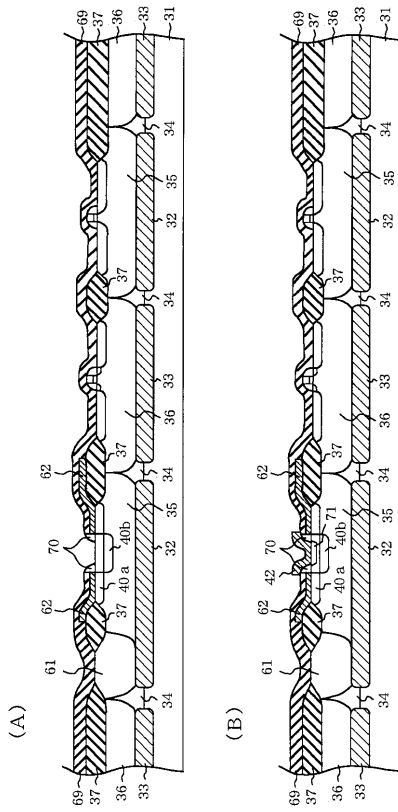
【 図 7 】



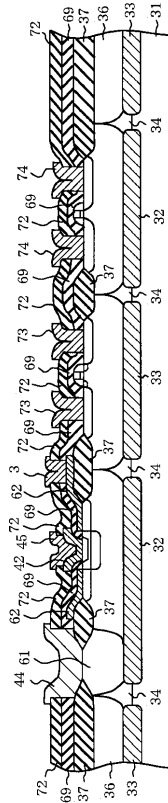
【 図 8 】



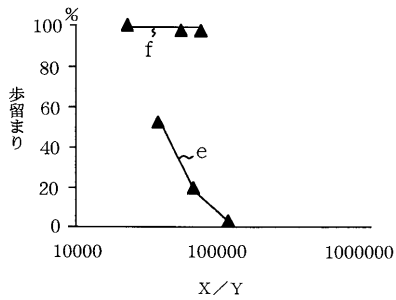
【 図 9 】



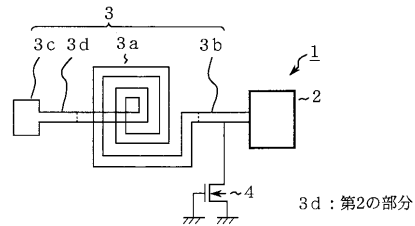
【 図 10 】



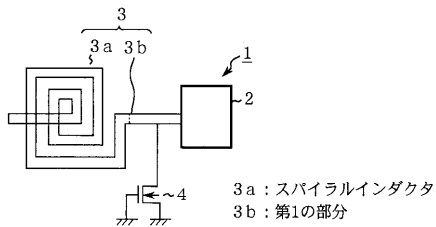
【 図 11 】



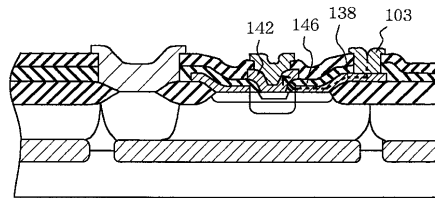
【 図 14 】



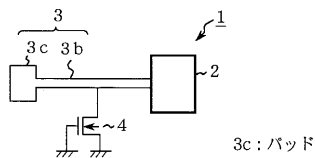
【 図 12 】



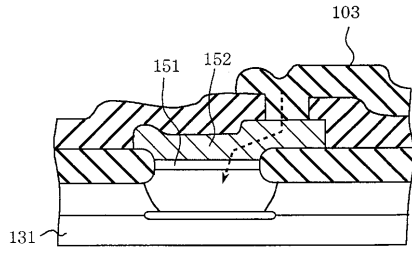
【 図 15 】



【 図 13 】



【 図 1 6 】



フロントページの続き

審査官 河口 雅英

- (56)参考文献 特開平07-161823(JP,A)
特開平08-181284(JP,A)
特開平08-097416(JP,A)

(58)調査した分野(Int.Cl.⁷, DB名)

H01L 27/06
H01L 21/8249
H01L 29/73
H01L 21/331