

(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(51) Int. Cl. <sup>6</sup> H01L 27/108	(11) 공개번호 특1995-0007121
	(43) 공개일자 1995년03월21일
(21) 출원번호	특1994-0020261
(22) 출원일자	1994년08월17일
(30) 우선권주장	93-204922 1993년08월19일 일본(JP)
(71) 출원인	93-291638 1993년11월22일 일본(JP) 가부시끼가이샤 히다찌세이사쿠쇼 가나이 쓰토무
(72) 발명자	일본국 도쿄도 지요다구 간다 스루가다이 4-6 야노 가즈오 일본국 히노시 다마다이라 6-6-6 이시이 도모유키 일본국 고다이라시 하나코가네이미나미초 3-34-37-2 하시모토 다카시 일본국 이루마시 미쓰기다이 190-9 세끼 고이찌 일본국 히노시 히라야마 2-11-10 아오끼 마사카즈 일본국 도꼬로자와시 히가시도꼬로자와 3-24-20 사카다 다케시 일본국 구니따찌시 나카 1-14-23 라 까비나 데 아미찌 301 나카고메 요시노부 일본국 하무라시 가와사끼 4-2-1 다케우찌 칸 일본국 고다이라시 죠스이혼초 5-16-3-1
(74) 대리인	백남기

심사청구 : 없음

(54) 반도체소자 및 그것을 사용한 반도체 메모리 장치

요약

고밀도로 집적화에 적합한 반도체소자 및 그것에 의해 실행되는 반도체 메모리장치로서, 적은 소자수 및 적은 면적으로 반도체 메모리장치가 실행되고, 그 자체가 데이터 또는 정보저장능력을 가짐과 동시에 극저온레벨등의 낮은 온도에서 냉각을 필요로 하지 않는 반도체소자를 제공하기 위해, 반도체소자의 소오스영역을 구성하는 소오스영역, 반도체소자의 드레인영역을 구성하는 드레인영역, 소오스영역과 드레인영역 사이에 마련되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 실효채널영역 사이에 개재된 게이트절연막을 거쳐서 실효채널영역에 접속된 게이트전극과 적어도 하나의 켈어를 포획하기 위해 소오스영역과 드레인영역 사이의 실효채널영역에서의 전류경로의 부근에 형성된 레벨노드를 포함하는 구성으로 한다.

이러한 반도체 메모리장치에 의해, 고속으로 리라이트 동작이 가능한 불휘발성 메모리장치를 실현할 수 있다.

(선택도 제1도)

대표도

도1

명세서

[발명의 명칭]

반도체소자 및 그것을 사용한 반도체 메모리 장치

[도면의 간단한 설명]

제1도A~제1도D는 본 발명의 제1실시예에 따른 메모리소자의 구성을 도시한 도면으로서,

제1도A는 상면도,

제1도B는 제1도C의 채널부의 마이크로 포토그래픽도,

제1도C는 메모리소자 전체의 구성을 도시한 모식적 사시도,

제1도D는 제1도C의 선C-C'에서 본 단면도,

제2도는 본 발명의 제1실시예에 따른 메모리소자의 드레인전류에 있어서의 게이트 소오스 전압 의존성을 나타내는 실측값을 도시한 도면.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음.

**(57) 청구의 범위**

**청구항 1**

반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 마련되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극과 적어도 하나의 캐리어를 포획하기 위해 상기 소오스영역과 상기 드레인영역 사이의 상기 실효채널영역에서의 전류경로의 부근에 형성된 레벨노드를 포함하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효 용량은 다음의 부등식

$$1/C_{gc} > KT/q^2$$

(여기서,  $C_{gc}$ 는 상기 실효용량, K는 볼츠만 정수, T는 동작절대온도, q는 전하량)의 조건을 만족하도록 작게 설정되는 반도체소자.

**청구항 2**

제1항에 있어서, 상기 소오스와 상기 드레인 사이의 전압을 일정하게 유지하면서 상기 게이트전극과 상기 소오스 사이의 전위차가 반복적으로 증감할 때, 상기 게이트전극과 상기 소오스사이의 콘덕턴스는 실온에서의 히스테리시스를 나타내는 반도체소자.

**청구항 3**

제1항에 있어서, 상기 실효채널영역은 다결정의 반도체로 이루어지는 반도체소자.

**청구항 4**

제2항에 있어서, 상기 실효채널영역은 다결정의 반도체로 이루어지는 반도체소자.

**청구항 5**

제1항에 있어서, 상기 게이트전극과 상기 상기 실효채널영역 사이의 실효 용량은 6aF이하의 값으로 설정되는 반도체소자.

**청구항 6**

여러개의 반도체소자를 포함하는 반도체메모리장치로서, 상기 각각의 반도체소자는 반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 마련되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극과 적어도 하나의 캐리어를 포획하기 위해 상기 소오스영역과 상기 드레인영역 사이의 상기 실효채널영역에서의 전류경로의 부근에 형성된 레벨노드를 포함하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효 용량은 다음의 부등식

$$1/C_{gc} > KT/q^2$$

(여기서,  $C_{gc}$ 는 상기 실효용량, K는 볼츠만 정수, T는 동작절대온도, q는 전하량)의 조건을 만족하도록 작게 설정되는, 상기 여러개의 반도체소자는 워드선과 데이터선에 의해 제어되는 반도체 메모리 장치.

**청구항 7**

제6항에 있어서, 상기 반도체소자의 상기 소오스 또는 상기 드레인과 상기 게이트 전극과의 사이의 전위차를  $V_{gs}$ 라고 할때, 상기 전위차  $V_{gs}$ 는 논리 "1"을 라이트하기 위한 전압으로 설정되어 상기 여러개의 반도체소자에서 선택된 하나의 스레쉬홀드 전압을 상승시키고, 상기 선택된 반도체소자의 상기 전위차  $V_{gs}$ 는 외부에서 상기 논리 "1"의 라이트전압 보다 낮은 논리 "0"을 라이트하기 위한 전압으로 설정되어 상

기 반도체소자의 스레쉬홀드 전압을 하강시키며, 상기 논리 "1" 의 라이트 전압과 상기 논리 "0"의 라이트 전압사이의 전위차는 상기 전위차  $V_{gs}$ 로서 인가되며, 상기 소오스와 상기 드레인 사이의 상기 선택된 반도체소자에 전위차를 부가하고, 상기 선택된 반도체 소자의 드레인 소오스 전류를 검출하는 것에 의해 정보를 리드하는 반도체 메모리 장치.

**청구항 8**

제7항에 있어서, 상기 시레쉬홀드 전압의 상승 또는 하강을 제어하는 회로와 상기 전류를 검출하는 회로는 단결정 반도체 기판의 표면영역에 형성된 전계효과 트랜지스터로 이루어지고, 상기 여러개의 반도체 소자는 상기 회로 상에 형성되며 그 사이에 절연막이 개재되는 반도체 메모리 장치.

**청구항 9**

제1항에 있어서, 상기 실효채널 영역과 상기 소오스 영역은 반도체 박막으로 형성되고, 상기 소오스 영역이 배선에 접속되는 상기 소오스 영역의 일부는 상기 실효채널 영역보다 두꺼운 막을 갖는 반도체 소자.

**청구항 10**

제1항에 있어서, 상기 실효채널 영역의 둘레는 상기 실효채널 영역보다 작은 유전율을 갖는 재료로 덮여지는 반도체소자.

**청구항 11**

반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 하나의 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성된 적어도 하나의 캐리어감금영역과 상기 태리어감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효 용량은 다음의 부등식

$$1/C_{gc} > KT/q^2$$

(여기서,  $C_{gc}$ 는 상기 실효용량, K는 볼츠만 정수, T는 동작절대온도, q는 전하량)의 조건을 만족하도록 작게 설정되는 반도체소자.

**청구항 12**

반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 하나의 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성된 적어도 하나의 캐리어감금영역과 상기 캐리어감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하고, 상기 캐리어감금영역과 상기 실효채널영역 사이의 실효 용량값은 상기 게이트전극과 상기 캐리어감금영역사이의 용량값보다 크고 상기 캐리어감금영역 주위에 존재하는 전체 용량은 다음의 부등식

$$q^2/2C_{it} > KT$$

(여기서,  $C_{it}$ 는 상기 전체용량, K는 볼츠만 정수, T는 동작절대온도, q는 전하량)의 조건을 만족하도록 작게 설정되는 반도체소자.

**청구항 13**

제12항에 있어서, 상기 게이트전극과 상기 실효채널영역 사이의 실효 용량은 다음의 부등식

$$1/C_{gc} > KT/q^2$$

(여기서,  $C_{gc}$ 는 상기 실효용량, K는 볼츠만 정수, T는 동작절대온도, q는 전하량)의 조건을 만족하도록 작게 설정되는 반도체소자.

**청구항 14**

제11항에 있어서, 상기 실효채널영역은 절연막 상에 마련되는 반도체소자.

**청구항 15**

제12항에 있어서, 상기 실효채널영역은 절연막 상에 마련되는 반도체소자.

**청구항 16**

제11항에 있어서, 상기 게이트전극은 제1의 게이트전극과 제2의 게이트전극을 포함하고, 상기 실효채널영역과 상기 캐리어감금영역은 상기 제1의 게이트전극과 제2의 게이트전극 사이에 배치되는 반도체소자.

**청구항 17**

제12항에 있어서, 상기 게이트전극은 제1의 게이트전극과 제2의 게이트전극을 포함하고, 상기 실효채널

영역과 상기 캐리어감금영역은 상기 제1의 게이트전극과 제2의 게이트전극 사이에 배치되는 반도체소자.

**청구항 18**

제11항에 있어서, 상기 게이트전극은 제1의 게이트전극과 제2의 게이트전극을 포함하고, 상기 제2의 게이트전극은 상기 제1의 게이트전극과 상기 실효채널영역 사이에 배치되는 반도체소자.

**청구항 19**

제12항에 있어서, 상기 게이트전극은 제1의 게이트전극과 제2의 게이트전극을 포함하고, 상기 제2의 게이트전극은 상기 제1의 게이트전극과 상기 실효채널영역 사이에 배치되는 반도체소자.

**청구항 20**

제11항에 있어서, 성형상의 결정박막이 상기 캐리어감금영역을 형성하기 위해 사용되는 반도체소자.

**청구항 21**

제12항에 있어서, 성형상의 결정박막이 상기 캐리어감금영역을 형성하기 위해 사용되는 반도체소자.

**청구항 22**

반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 하나의 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성되고, 전위 장벽으로 둘러싸여진 적어도 하나의 캐리어감금영역과 9nm이하의 두께를 갖고, 상기 캐리어감금영역과 상기 실효채널영역 사이에 개재된 절연막 층에 반도체 재료로 형성된 박막구조를 포함하고, 정보의 기억은 상기 캐리어감금영역 내에 캐리어를 유지하는 것에 의해 실행되는 반도체소자.

**청구항 23**

반도체소자를 각각 구비한 여러개의 메모리셀을 포함하는 반도체 메모리 장치로서, 상기 반도체소자는 상기 반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극과 적어도 하나의 캐리어를 트래핑하기 위해 상기 실효채널영역 내의 전류경로 부근의 상기 소오스영역과 드레인영역 사이에 형성된 레벨노드를 구비하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효 용량은 다음의 부등식

$$1/C_{gc} > KT/q^2$$

(여기서,  $C_{gc}$ 는 상기 실효용량,  $K$ 는 볼츠만 정수,  $T$ 는 동작절대온도,  $q$ 는 전하량)의 조건을 만족하도록 작게 설정되고, 상기 반도체소자의 각각의 상기 게이트전극은 워드선에 접속되고, 상기 반도체소자의 각각의 소오스 드레인 경로는 데이터선과 동작전위점에 접속되며, 상기 여러개의 메모리셀은 상기 워드선과 상기 데이터선을 거쳐서 제어되는 반도체 메모리 장치.

**청구항 24**

제23항에 있어서, 상기 반도체소자는 반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극과 하나의 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성된 적어도 하나의 캐리어감금영역과 상기 캐리어감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하는 반도체소자로 대체되고, 상기 게이트전극과 상기 실효채널영역 사이의 실효 용량은 다음의 부등식

$$1/C_{gc} > KT/q^2$$

(여기서,  $C_{gc}$ 는 상기 실효용량,  $K$ 는 볼츠만 정수,  $T$ 는 동작절대온도,  $q$ 는 전하량)의 조건을 만족하도록 작게 설정되고, 상기 반도체소자의 각각의 상기 게이트전극은 워드선에 접속되고, 상기 반도체소자의 각각의 소오스 드레인 경로는 데이터선과 동작전위점에 접속되며, 상기 여러개의 메모리셀은 상기 워드선과 상기 데이터선을 거쳐서 제어되는 반도체 메모리 장치.

**청구항 25**

제23항에 있어서, 상기 반도체소자는 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 하나의 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성된 적어도 하나의 캐리어감금영역과 상기 캐리어감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하는 반도체소자로 대체되고, 상기 실효채널영역과 상기 캐리어감금영역 사이의 용량값은 상기 게이트전극과 상기 캐리어감금영역 사이의 용량보다 크게 설정되고, 상기 캐리어감금영역 주위에 존재하는 전체 용량은 다음의 부등식

$$q^2/2C_{tt} > KT$$

(여기서,  $C_{tt}$ 는 상기 전체용량,  $K$ 는 볼츠만 정수,  $T$ 는 동작절대온도,  $q$ 는 전하량)의 조건을 만족하도록 작게 설정되고, 상기 반도체소자의 각각의 상기 게이트전극은 워드선에 접속되고, 상기 반도체소자의 각각의 소오스 드레인 경로는 데이터선과 동작전위점에 접속되며, 상기 여러개의 메모리셀은 상기 워드선과 상기 데이터선을 거쳐서 제어되는 반도체 메모리 장치.

**청구항 26**

제23항에 있어서, 상기 반도체소자는 반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 하나의 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성되고, 전위 장벽으로 둘러싸여진 적어도 하나의 캐리어감금영역과 9nm이하의 두께를 갖고, 상기 캐리어감금영역과 상기 실효채널영역사이에 개재된 절연막 중에 반도체 재료로 형성된 박막구조를 포함하는 반도체소자로 대체되고, 정보의 기억은 상기 캐리어감금영역 내에 캐리어를 유지하는 것에 의해 실행되고 상기 반도체소자의 각각의 상기 게이트전극은 워드선에 접속되고, 상기 반도체소자의 각각의 소오스 드레인 경로는 데이터선과 동작전위점에 접속되며, 상기 여러개의 메모리셀은 상기 워드선과 상기 데이터선을 거쳐서 제어되는 반도체 메모리 장치.

**청구항 27**

반도체소자를 각각 구비한 여러개의 메모리셀을 포함하는 반도체 메모리 장치로서, 상기 반도체소자는 상기 반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극과 적어도 하나의 캐리어를 포획하기 위해 상기 실효채널영역 내의 전류경로 부근의 상기 소오스영역과 상기 드레인영역 사이에 형성된 레벨노드를 구비하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효 용량은 다음의 부등식

$$1/C_{gc} > KT/q^2$$

(여기서,  $C_{gc}$ 는 상기 실효용량,  $K$ 는 볼츠만 정수,  $T$ 는 동작절대온도,  $q$ 는 전하량)의 조건을 만족하도록 작게 설정되고, 상기 게이트전극은 상기 드레인에 접속되고, 상기 반도체소자의 각각의 소오스 드레인 경로는 워드선과 데이터선 사이에 접속되는 반도체 메모리 장치.

**청구항 28**

제27항에 있어서, 상기 반도체소자는 반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극과 하나의 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성된 적어도 하나의 캐리어감금영역과 상기 캐리어감금영역과 상기 실효채널영역 사이에 존재하는 전위 장벽을 포함하는 반도체소자로 대체되고, 상기 게이트전극과 상기 실효채널영역 사이의 실효 용량은 다음의 부등식

$$1/C_{gc} > KT/q^2$$

(여기서,  $C_{gc}$ 는 상기 실효용량,  $K$ 는 볼츠만 정수,  $T$ 는 동작절대온도,  $q$ 는 전하량)의 조건을 만족하도록 작게 설정되고, 상기 게이트전극은 상기 드레인에 접속되고, 상기 반도체소자의 각각의 소오스 드레인 경로는 워드선과 데이터선 사이에 접속되는 반도체 메모리 장치.

**청구항 29**

제27항에 있어서, 상기 반도체소자는 반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극과 하나의 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성된 적어도 하나의 캐리어감금영역과 상기 캐리어감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하는 반도체소자로 대체되고, 상기 실효채널영역과 상기 캐리어감금영역 사이의 용량값은 상기 게이트전극과 상기 캐리어감금영역 사이의 용량보다 크게 설정되고, 상기 캐리어감금영역 주위에 존재하는 전체 용량은 다음의 부등식

$$q^2/2C_{tt} > KT$$

(여기서,  $C_{tt}$ 는 상기 전체용량,  $K$ 는 볼츠만 정수,  $T$ 는 동작절대온도,  $q$ 는 전하량)의 조건을 만족하도록 작게 설정되고, 상기 게이트전극은 드레인에 접속되고, 상기 반도체소자의 각각의 소오스 드레인 경로는 워드선과 데이터선 사이에 접속되는 반도체 메모리 장치.

**청구항 30**

제27항에 있어서, 상기 반도체소자는 반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자

의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 하나의 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성되고, 전위 장벽으로 둘러싸여진 적어도 하나의 캐리어감금영역과 9nm이하의 두께를 갖고, 상기 캐리어감금영역과 상기 실효채널영역사이에 개재된 절연막 중에 반도체 재료로 형성된 박막구조를 포함하는 반도체소자로 대체되고, 정보의 기억은 상기 캐리어감금영역 내에 캐리어를 유지하는 것에 의해 실행되고, 상기 게이트전극은 상기 드레인에 접속되고, 상기 반도체소자의 각각의 소오스 드레인 경로는 워드선과 상기 데이터선 사이에 접속되는 반도체 메모리 장치.

**청구항 31**

스위칭소자와 반도체소자를 각각 구비한 여러개의 메모리셀을 포함하는 반도체 메모리 장치로서, 상기 반도체소자는 상기 반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극과 적어도 하나의 캐리어를 포획하기 위해 상기 실효채널영역 내의 전류경로 부근의 상기 소오스영역과 상기 드레인영역 사이에 형성된 레벨노드를 구비하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효 용량은 다음의 부등식

$$1/C_{gc} > KT/q^2$$

(여기서,  $C_{gc}$ 는 상기 실효용량, K는 볼츠만 정수, T는 동작절대온도, q는 전하량)의 조건을 만족하도록 작게 설정되고, 상기 게이트전극은 상기 드레인에 접속되고, 상기 반도체소자의 각각의 소오스 드레인 경로는 데이터선과 동작전위점 사이의 상기 각각의 반도체소자에 직렬로 접속되고, 상기 스위칭소자의 각각의 게이트는 워드선을 거쳐서 제어되며, 상기 메모리셀의 각각은 상기 워드선과 데이터선을 거쳐서 제어되는 반도체 메모리 장치.

**청구항 32**

제31항에 있어서, 상기 반도체소자는 반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극과 하나의 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성된 적어도 하나의 캐리어감금영역과 상기 캐리어감금영역과 상기 실효채널영역 사이에 존재하는 전위 장벽을 포함하는 반도체소자로 대체되고, 상기 게이트전극과 상기 실효채널영역 사이의 실효 용량은 다음의 부등식

$$1/C_{gc} > KT/q^2$$

(여기서,  $C_{gc}$ 는 상기 실효용량, K는 볼츠만 정수, T는 동작절대온도, q는 전하량)의 조건을 만족하도록 작게 설정되고, 상기 스위칭소자의 각각의 소오스 드레인 경로는 데이터선과 동작전위점 사이의 상기 각각의 반도체소자에 직렬로 접속되고, 상기 스위칭소자의 각각의 게이트는 워드선을 거쳐서 제어되며, 상기 메모리셀의 각각은 상기 워드선과 데이터선을 거쳐서 제어되는 반도체 메모리 장치.

**청구항 33**

제31항에 있어서, 상기 반도체소자는 반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극과 하나의 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성된 적어도 하나의 캐리어감금영역과 상기 캐리어감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하는 반도체소자로 대체되고, 상기 실효채널영역과 상기 캐리어감금영역 사이의 용량값은 상기 게이트전극과 상기 캐리어감금영역 사이의 용량보다 크게 설정되고, 상기 캐리어감금영역 주위에 존재하는 전체 용량은 다음의 부등식

$$q^2/2C_{it} > KT$$

(여기서,  $C_{it}$ 는 상기 전체용량, K는 볼츠만 정수, T는 동작절대온도, q는 전하량)의 조건을 만족하도록 작게 설정되고, 상기 스위칭소자의 각각의 소오스 드레인 경로는 데이터선과 동작전위점 사이의 상기 각각의 반도체소자에 직렬로 접속되고, 상기 스위칭소자의 각각의 게이트는 워드선을 거쳐서 제어되며, 상기 메모리셀의 각각은 상기 워드선과 데이터선을 거쳐서 제어되는 반도체 메모리 장치.

**청구항 34**

제31항에 있어서, 상기 반도체소자는 반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 하나의 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성되고, 전위 장벽으로 둘러싸여진 적어도 하나의 캐리어감금영역과 9nm이하의 두께를 갖고, 상기 캐리어감금영역과 상기 실효채널영역 사이에 개재된 절연막 중에 반도체 재료로 형성된 박막구조를 포함하는 반도체소자로 대체되고, 정보의 기억은 상기 캐리어감금영역 내에 캐리어를 유지하는 것에 의해 실행되고, 상기 스위칭소자의 각각의 소오스 드레인 경로는 데이터선과 동작전위점 사이의 상기 각각의 반도체소자

에 직렬로 접속되고, 상기 스위칭소자의 각각의 게이트는 워드선을 거쳐서 제어되며, 상기 메모리셀의 각각은 상기 워드선과 데이터선을 거쳐서 제어되는 반도체 메모리 장치.

**청구항 35**

여러개의 메모리셀을 포함하는 반도체 메모리 장치로서, 상기 여러개의 메모리셀의 각각은 제1의 동작전위점과 제1의 노드사이에 접속된 소오스드레인 경로를 갖는 제1의 반도체소자와 상기 제1의 노드와 제2의 동작전위점 사이에 접속된 제2의 반도체소자를 포함하고, 상기 제1 및 제2의 반도체소자는 각각 반도체 소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극과 적어도 하나의 캐리어를 포획하기 위해 상기 실효채널영역 내의 전류경로 부근의 상기 소오스영역과 상기 드레인영역 사이에 형성된 레벨노드를 구비하는 반도체소자로 구성하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효 용량은 다음의 부등식

$$1/C_{gc} > KT/q^2$$

(여기서,  $C_{gc}$ 는 상기 실효용량,  $K$ 는 볼츠만 정수,  $T$ 는 동작절대온도,  $q$ 는 전하량)의 조건을 만족하도록 작게 설정되고, 상기 제1의 반도체소자의 스레쉬홀드 전압이 로우이고, 상기 제2의 반도체소자의 스레쉬홀드 전압이 하이인 상태를 논리 "1"의 데이터로서 상기 각각의 메모리셀에 기억시키고 상기 제1의 반도체소자의 스레쉬홀드 전압이 하이이고, 상기 제2의 반도체소자의 스레쉬홀드 전압이 로우인 상태를 논리 "0"의 데이터로서 상기 각각의 메모리셀에 기억시키는 반도체 메모리 장치.

**청구항 36**

제35항에 있어서, 상기 제1의 반도체소자를 구성하는 반도체소자는 반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 하나의 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성된 적어도 하나의 캐리어감금영역과 상기 캐리어감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하는 반도체소자로 대체되고, 상기 게이트전극과 상기 실효채널영역 사이의 실효용량은 다음의 부등식

$$1/C_{gc} > KT/q^2$$

(여기서,  $C_{gc}$ 는 상기 실효용량,  $K$ 는 볼츠만 정수,  $T$ 는 동작절대온도,  $q$ 는 전하량)의 조건을 만족하도록 작게 설정되는 반도체 메모리 장치.

**청구항 37**

제35항에 있어서, 상기 제1의 반도체소자를 구성하는 상기 반도체소자는 반도체소자의 소오스영역을 구성하는 소오스영역, 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 하나의 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성된 적어도 하나의 캐리어감금영역과 상기 캐리어감금영역과 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하는 반도체소자로 대체되고, 상기 실효채널영역과 상기 캐리어감금영역 사이의 용량값은 상기 게이트전극과 상기 캐리어감금영역 사이의 용량보다 크게 설정되고, 상기 캐리어감금영역 주위에 존재하는 전체 용량은 다음의 부등식

$$q^2/2C_{it} > KT$$

(여기서,  $C_{it}$ 는 상기 전체용량,  $K$ 는 볼츠만 정수,  $T$ 는 동작절대온도,  $q$ 는 전하량)의 조건을 만족하도록 작게 설정되는 반도체 메모리 장치.

**청구항 38**

제35항에 있어서, 상기 제1의 반도체소자를 구성하는 상기 반도체소자는 반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 하나의 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성되고, 전위 장벽으로 둘러싸여진 적어도 하나의 캐리어감금영역과 9nm이하의 두께를 갖고, 상기 캐리어감금영역과 상기 실효채널영역 사이에 개재된 절연막 중에 반도체 재료로 형성된 박막구조를 포함하는 반도체소자로 대체되고, 정보의 기억은 상기 캐리어감금영역 내에 캐리어를 유지하는 것에 의해 실행되는 반도체 메모리 장치.

**청구항 39**

여러개의 메모리셀을 포함하는 반도체 메모리 장치로서, 상기 여러개의 메모리셀의 각각은 동작전위점과 제1의 데이터선 사이에 접속된 소오스 드레인 경로를 갖는 제1의 반도체소자와 동작전위점과 제2의 데이터선 사이에 접속된 제2의 반도체소자를 포함하고, 상기 제1의 반도체소자의 스레쉬홀드 전압이 로우이고, 상기 제2의 반도체소자의 스레쉬홀드 전압이 하이인 상태를 논리 "1"의 데이터로서 상기 각각의 메모리셀에 기억시키고, 상기 제1의 반도체소자의 스레쉬홀드 전압이 하이이고, 상기 제2의 반도체소자의 스레쉬홀드 전압이 로우인 상태를 논리 "0"의 데이터로서 상기 각각의 메모리셀에 기억시키며, 상기 제1

및 제2의 반도체소자는 각각 반도체의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극과 적어도 하나의 캐리어를 포획하기 위해 상기 실효채널영역 내의 전류경로 부근의 상기 소오스영역과 상기 드레인영역 사이에 형성된 레벨노드를 포함하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효 용량은 다음의 부등식

$$1/C_{gc} > KT/q^2 \quad (1)$$

(여기서,  $C_{gc}$ 는 상기 실효용량,  $K$ 는 볼츠만 정수,  $T$ 는 동작절대온도,  $q$ 는 전하량)의 조건을 만족하도록 작게 설정된 반도체소자, 소오스영역 및 드레인영역, 상기 소오스영역과 드레인 영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성된 적어도 하나의 캐리어감금영역과 상기 캐리어감금영역과 상기 실효채널영역의 사이에 존재하는 전위장벽을 포함하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효 용량은 상기 식(1)의 조건을 만족하도록 설정된 반도체소자, 소오스영역 및 드레인영역, 상기 소오스영역과 드레인 영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성된 적어도 하나의 캐리어감금영역과 상기 캐리어감금영역과 상기 실효채널영역의 사이에 존재하는 전위장벽을 포함하고, 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하고, 상기 실효채널영역과 상기 캐리어감금영역 사이의 용량값은 상기 게이트전극과 상기 캐리어감금영역 사이의 용량보다 크게 설정되고, 상기 캐리어감금영역의 주위에 존재하는 전체 용량이 다음의 부등식

$$q^2/2C_{it} > KT \quad (2)$$

(여기서,  $C_{it}$ 는 상기 전체용량,  $K$ 는 볼츠만 정수,  $T$ 는 동작절대온도,  $q$ 는 전하량)의 조건을 만족하도록 작게 설정된 반도체소자와 반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성되고 전위 장벽으로 둘러싸여진 적어도 하나의 캐리어감금영역과 9nm이하의 두께를 갖고, 상기 캐리어감금영역과 상기 실효채널영역 사이에 개재된 절연막 중에 반도체 재료로 형성된 박막구조를 포함하고, 정보의 기억이 캐리어감금영역 내에 캐리어를 유지하는 것에 의해 실행되는 반도체소자로 이루어진 군에서 선택된 하나로 구성되는 반도체 메모리 장치.

**청구항 40**

제39항에 있어서, 상기 메모리셀의 각각은 또는 제1 및 제2의 스위칭소자를 포함하고, 상기 제1의 스위칭소자는 상기 제1의 데이터선과 상기 동작전위점 사이의 상기 제1의 반도체소자에 직렬로 접속된 소오스 드레인경로를 갖고, 상기 제2의 스위칭소자는 상기 제2의 데이터선과 상기 동작전위점 사이의 상기 제2의 반도체소자에 직렬로 접속된 소오스 드레인 경로를 갖는 반도체 메모리 장치.

**청구항 41**

상기 제1의 데이터선과 상기 동작전위점 사이에 접속된 소오스 드레인 경로를 데이터선과 상기 동작전위점 사이에 접속된 소오스 드레인 경로를 갖는 제1의 반도체소자를 각각 구비한 여러개의 경로를 갖는 메모리셀, 제2의 데이터선과 상기 동작전위점 사이에 접속된 소오스 드레인 경로를 갖는 제2의 반도체소자를 각각 구비한 여러개의 더미셀과 차동증폭기를 포함하고, 상기 제1의 데이터선 상의 신호가 상기 차동증폭기의 제1의 입력단자를 구동하고, 상기 제2의 데이터선 상의 신호가 상기 차동증폭기의 제2의 입력단자를 구동하고, 데이터는 상기 차동증폭기의 출력신호를 리드하는 것에 의해 상기 메모리셀에서 리드되고, 상기 제1 및 제2의 반도체소자의 각각은 반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극과 적어도 하나의 캐리어를 포획하기 위해 상기 실효채널영역 내의 전류경로 부근의 상기 소오스영역과 상기 드레인영역 사이에 형성된 레벨노드를 포함하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효 용량은 다음의 부등식

$$1/C_{gc} > KT/q^2 \quad (1)$$

(여기서,  $C_{gc}$ 는 상기 실효용량,  $K$ 는 볼츠만 정수,  $T$ 는 동작절대온도,  $q$ 는 전하량)의 조건을 만족하도록 작게 설정된 반도체소자, 소오스영역 및 드레인영역, 상기 소오스영역과 드레인 영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성된 적어도 하나의 캐리어감금영역과 상기 캐리어감금영역과 상기 실효채널영역의 사이에 존재하는 전위장벽을 포함하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효 용량은 상기 식(1)의 조건을 만족하도록 설정된 반도체소자, 소오스영역 및 드레인영역, 상기 소오스영역과 드레인 영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성된 적어도 하나의 캐리어감금영역과 상기 캐리어감금영역과 상기 실효채널영역의 사이에 존재하는 전위장벽을 포함하고, 상기 실효채널영역 사이에 존재하는 전위장벽을 포함하고, 상기 실효채널영역



역과 상기 캐리어감금영역 사이의 용량값은 상기 게이트전극과 상기 캐리어감금영역 사이의 용량보다 크게 설정되고, 상기 캐리어감금영역의 주위에 존재하는 전체 용량이 다음의 부등식

$$q^2/2C_{it} > KT \quad (2)$$

(여기서,  $C_{it}$ 는 상기 전체용량,  $K$ 는 볼츠만 정수,  $T$ 는 동작절대온도,  $q$ 는 전하량)의 조건을 만족하도록 작게 설정되는 반도체소자와 반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성되고 전위 장벽으로 둘러싸여진 적어도 하나의 캐리어감금영역과 9nm이하의 두께를 갖고, 상기 캐리어감금영역과 상기 실효채널영역사이에 개재된 절연막 중에 반도체 재료로 형성된 박막구조를 포함하고, 정보의 기억이 캐리어감금영역 내에 캐리어를 유지하는 것에 의해 실행되는 반도체소자로 이루어진 군에서 선택된 하나로 구성되는 반도체 메모리 장치.

**청구항 42**

제41항에 있어서, 제1의 증폭회로가 상기 제1의 데이터선에 접속되고, 상기 제1의 증폭회로의 출력에 제1의 메인 데이터선이 접속되고, 상기 차동증폭기의 상기 제1의 입력단자는 상기 제1의 메인 데이터선의 신호에 의해 구동되고, 제2의 증폭회로가 상기 제2의 데이터선에 접속되고, 상기 제2의 증폭회로의 출력에 제2의 메인 데이터선이 접속되고, 상기 차동증폭기의 상기 제2의 입력단자는 상기 제2의 메인 데이터선의 신호에 의해 구동되는 반도체 메모리 장치.

**청구항 43**

제42항에 있어서, 상기 제2의 증폭회로는 상기 제1의 증폭회로보다 작은 출력전류 구동능력을 갖도록 설계되는 반도체 메모리 장치.

**청구항 44**

제1 및 제2의 반도체소자를 포함하는 반도체 메모리 장치로서, 상기 제1 및 제2의 반도체소자의 각각은 반도체의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극과 적어도 하나의 캐리어를 포획하기 위해 상기 실효채널영역 내의 전류경로 부근의 상기 소오스영역과 상기 드레인영역 사이에 형성된 레벨노드를 포함하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효 용량은 다음의 부등식

$$1/C_{gc} > KT/q^2 \quad (1)$$

(여기서,  $C_{gc}$ 는 상기 실효용량,  $K$ 는 볼츠만 정수,  $T$ 는 동작절대온도,  $q$ 는 전하량)의 조건을 만족하도록 작게 설정된 반도체소자, 소오스영역 및 드레인영역, 상기 소오스영역과 드레인 영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성된 적어도 하나의 캐리어감금영역과 상기 캐리어감금영역과 상기 실효채널영역의 사이에 존재하는 전위장벽을 포함하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효 용량은 상기 식(1)의 조건을 만족하도록 설정된 반도체소자, 소오스영역 및 드레인영역, 상기 소오스영역과 드레인 영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성된 적어도 하나의 캐리어감금영역과 상기 캐리어감금영역과 상기 실효채널영역의 사이에 존재하는 전위장벽을 포함하고, 상기 실효채널영역과 상기 캐리어감금영역 사이의 용량값은 상기 게이트전극과 상기 캐리어감금영역 사이의 용량보다 크게 설정되고, 상기 캐리어감금영역의 주위에 존재하는 전체 용량이 다음의 부등식

$$q^2/2C_{it} > KT \quad (2)$$

(여기서,  $C_{it}$ 는 상기 전체용량,  $K$ 는 볼츠만 정수,  $T$ 는 동작절대온도,  $q$ 는 전하량)의 조건을 만족하도록 설정되는 반도체소자와 반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성되고 전위 장벽으로 둘러싸여진 적어도 하나의 캐리어감금영역과 9nm이하의 두께를 갖고, 상기 캐리어감금영역과 상기 실효채널영역사이에 개재된 절연막 중에 반도체 재료로 형성된 박막구조를 포함하고, 정보의 기억이 캐리어감금영역 내에 캐리어를 유지하는 것에 의해 실행되는 반도체소자로 이루어진 군에서 선택된 하나로 구성되고, 상기 제1 및 제2의 반도체소자의 각각은 상기 게이트전극 이외에 상기 채널부근에 위치한 도전영역을 포함하고, 상기 제1의 반도체소자의 도전영역과 상기 제2의 반도체소자의 도전영역은 서로 도통 상태로 되고, 상기 도전영역과 상기 실효채널영역 사이의 위치 관계는 상기 제1의 반도체소자와 상기 제2의 반도체소자의 채널의 전위가 상기 도전영역의 전위의 변화에 따라 동시에 변화할 수 있게 설정되는 반도체 메모리 장치.

**청구항 45**

데이터선과 동작전위점 사이에 접속된 소오스 드레인 경로를 갖는 반도체소자를 각각 포함하는 여러개의 메모리셀과 상기 데이터선 상의 신호에 의해 구동되는 입력단자를 갖는 증폭기를 포함하고, 상기 증폭기에서 출력신호를 리드하는 것에 의해 상기 메모리셀의 데이터가 리드되고, 상기 데이터가 리드된 후, 상기 증폭기의 출력신호에 따라서 상기 데이터선 상에 소정의 라이트 전압을 발생시켜 상기 메모리셀로의 리라이트를 실행하고, 상기 반도체소자는 반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극과 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성된 적어도 하나의 캐리어감금영역과 상기 캐리어감금영역과 상기 실효채널영역의 사이에 존재하는 전위장벽을 포함하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효 용량은 상기 식(1)의 조건을 만족하도록 설정된 반도체소자, 소오스영역 및 드레인영역, 상기 소오스영역과 드레인 영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성된 적어도 하나의 캐리어감금영역과 상기 캐리어감금영역과 상기 실효채널영역의 사이에 존재하는 전위장벽을 포함하고, 상기 실효채널영역과 상기 캐리어감금영역 사이의 용량값은 상기 게이트전극과 상기 캐리어감금영역 사이의 용량보다 크게 설정되고, 상기 캐리어감금영역의 주위에 존재하는 전체 용량이 다음의 부등식

$$1/C_{gc} > KT/q^2 \quad (1)$$

(여기서,  $C_{gc}$ 는 상기 실효용량,  $K$ 는 볼츠만 정수,  $T$ 는 동작절대온도,  $q$ 는 전하량)의 조건을 만족하도록 작게 설정된 반도체소자, 소오스영역 및 드레인영역, 상기 소오스영역과 드레인 영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성된 적어도 하나의 캐리어감금영역과 상기 캐리어감금영역과 상기 실효채널영역의 사이에 존재하는 전위장벽을 포함하고, 상기 게이트전극과 상기 실효채널영역 사이의 실효 용량은 상기 식(1)의 조건을 만족하도록 설정된 반도체소자, 소오스영역 및 드레인영역, 상기 소오스영역과 드레인 영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성된 적어도 하나의 캐리어감금영역과 상기 캐리어감금영역과 상기 실효채널영역의 사이에 존재하는 전위장벽을 포함하고, 상기 실효채널영역과 상기 캐리어감금영역 사이의 용량값은 상기 게이트전극과 상기 캐리어감금영역 사이의 용량보다 크게 설정되고, 상기 캐리어감금영역의 주위에 존재하는 전체 용량이 다음의 부등식

$$q^2/2C_{it} > KT \quad (2)$$

(여기서,  $C_{it}$ 는 상기 전체용량,  $K$ 는 볼츠만 정수,  $T$ 는 동작절대온도,  $q$ 는 전하량)의 조건을 만족하도록 작게 설정되는 반도체소자와 반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극, 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성되고 전위 장벽으로 둘러싸여진 적어도 하나의 캐리어감금영역과 9nm이하의 두께를 갖고, 상기 캐리어감금영역과 상기 실효채널영역사이에 개재된 절연막 중에 반도체 재료로 형성된 박막구조를 포함하고, 정보의 기억이 캐리어감금영역 내에 캐리어를 유지하는 것에 의해 실행되는 반도체소자로 이루어진 군에서 선택된 하나로 구성되는 반도체 메모리 장치.

**청구항 46**

프로세서와 기억수단을 포함하는 데이터 처리장치로서, 상기 기억수단은 여러개의 반도체소자를 포함하는 비휘발성 반도체 메모리 장치를 구비하고, 상기 여러개의 반도체소자의 각각은 상기 반도체소자의 소오스영역을 구성하는 소오스영역, 상기 반도체소자의 드레인영역을 구성하는 드레인영역, 상기 소오스영역과 상기 드레인영역 사이에 개재되어 이를 서로 접속시키는 실효채널영역, 게이트전극과 상기 실효채널영역, 게이트전극과 상기 실효채널영역 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트전극과 캐리어를 감금하기 위해 상기 실효채널영역의 부근에 형성되고 전위 장벽으로 둘러싸여진 적어도 하나의 캐리어감금영역과 9nm이하의 두께를 갖고, 상기 캐리어감금영역과 상기 실효채널영역사이에 개재된 절연막 중에 반도체 재료로 형성된 박막구조를 포함하고, 정보의 기억이 캐리어감금영역 내에 캐리어를 유지하는 것에 의해 실행되는 반도체소자로 이루어진 군에서 선택된 하나로 구성되는 반도체 메모리 장치.

$$1/C_{gc} > KT/q^2 \quad (1)$$

(여기서,  $C_{gc}$ 는 상기 실효용량,  $K$ 는 볼츠만 정수,  $T$ 는 동작절대온도,  $q$ 는 전하량)의 조건을 만족하도록 작게 설정되며 상기 여러개의 반도체소자는 워드선과 데이터선을 거쳐서 제어되는 데이터처리장치.

**청구항 47**

반도체 재료로 형성된 소오스영역과 드레인영역, 반도체 재료로 형성되고, 상기 소오스영역과 상기 드레인영역 사이에 접속된 실효채널영역, 그 사이에 개재된 게이트 절연막을 거쳐서 상기 실효채널영역에 접속된 게이트 전극과 적어도 하나의 캐리어를 포획하기 위해 상기 소오스영역과 상기 드레인영역 사이로 연장하는 전류경로의 부근의 상기 실효채널영역에 형성된 트랩을 포함하며, 상기 트랩에 의해 전계효과가 상기 전류경로 상으로 인가 되도록 상기 전류경로에 근접한 위치에서의 상기 실효채널영역 내에 상기 트랩이 위치되고, 상기 전류경로는 최대 10nm의 두께를 갖는 반도체 메모리 소자.

**청구항 48**

제47항에 있어서, 상기 게이트전극과 상기 실효채널영역 사이의 실효 용량은 다음의 부등식

$$1/C_{gc} > KT/q^2$$

(여기서,  $C_{gc}$ 는 상기 실효용량,  $K$ 는 볼츠만 정수,  $T$ 는 동작절대온도,  $q$ 는 전하량)의 조건을 만족하는 반

도체 메모리 소자.

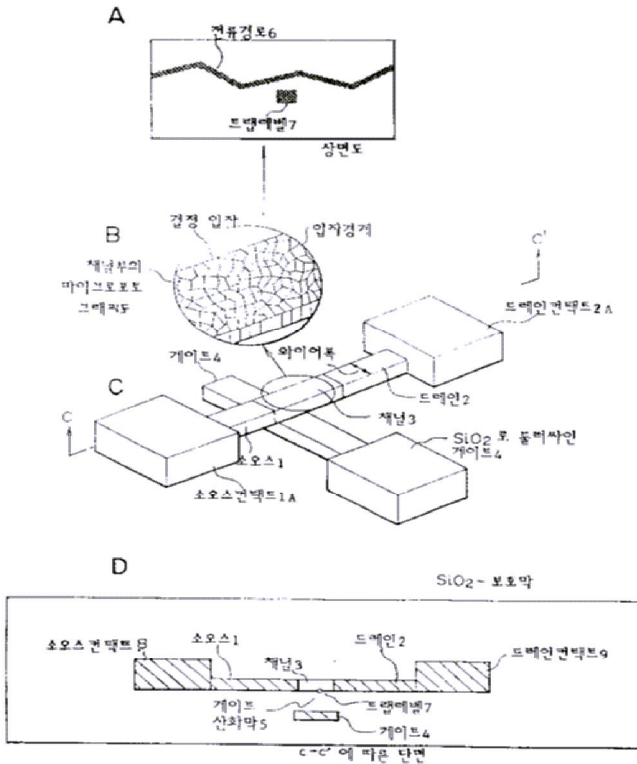
**청구항 49**

제47항에 있어서, 상기 실효채널영역은 두께 100nm이하의 다결정 반도체 재료로 형성되고, 상기 트랩은 결정 입자경계에 의해 형성되는 반도체 메모리 소자.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

**도면**

**도면1**



**도면2**

