

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第5413697号
(P5413697)

(45) 発行日 平成26年2月12日 (2014. 2. 12)

(24) 登録日 平成25年11月22日 (2013. 11. 22)

(51) Int. Cl.	F I
G 1 1 C 16/02 (2006. 01)	G 1 1 C 17/00 6 1 3
G 1 1 C 16/06 (2006. 01)	G 1 1 C 17/00 6 3 9 C
	G 1 1 C 17/00 6 3 3 B

請求項の数 13 (全 19 頁)

(21) 出願番号	特願2012-526715 (P2012-526715)	(73) 特許権者	595168543
(86) (22) 出願日	平成22年8月18日 (2010. 8. 18)		マイクロン テクノロジー, インク,
(65) 公表番号	特表2013-503410 (P2013-503410A)		アメリカ合衆国, アイダホ州 8 3 7 1 6
(43) 公表日	平成25年1月31日 (2013. 1. 31)		- 9 6 3 2, ボイズ, サウス フェデ
(86) 国際出願番号	PCT/US2010/002266		ラル ウェイ 8 0 0 0
(87) 国際公開番号	W02011/028235	(74) 代理人	100106851
(87) 国際公開日	平成23年3月10日 (2011. 3. 10)		弁理士 野村 泰久
審査請求日	平成24年2月27日 (2012. 2. 27)	(74) 代理人	100074099
(31) 優先権主張番号	12/547, 280		弁理士 大菅 義之
(32) 優先日	平成21年8月25日 (2009. 8. 25)	(72) 発明者	シェン, ツェンレイ
(33) 優先権主張国	米国 (US)		アメリカ合衆国, アイダホ州 8 3 7 0 9
			, ボイズ, ウェスト K - バー - T ドラ
			イブ 1 0 8 7 4

最終頁に続く

(54) 【発明の名称】 メモリ装置におけるしきい値電圧の変化に対応するための方法、装置、およびシステム

(57) 【特許請求の範囲】

【請求項 1】

メモリセルのアレイと、

前記アレイに結合された感知回路、及び、エラー訂正コード (ECC) デコーダ、を有する制御回路と、

を備えたメモリ装置であって、

前記制御回路は、基準セルを使用せずに、前記メモリセルと関連付けられたしきい値電圧 (V_t) の変化を判断し、かつ、基準セルを使用せずに、前記判断した変化に基づいて前記感知回路を調整するように構成されており、

前記感知回路は、第 1 の電圧を使用して前記メモリセルの状態を感知するように構成されており、

前記 ECC デコーダは、前記感知された状態に対してエラー訂正動作を実行するように構成されており、

前記感知回路は、前記エラー訂正動作が失敗した場合に、第 2 の電圧を使用して前記メモリセルの状態を感知するように構成されており、

前記制御回路は、前記第 1 の電圧を使用して感知された前記状態に対する前記エラー訂正動作が失敗する可能性が最も低い電圧を判断するように構成されており、

前記感知回路は、前記判断された電圧を前記第 1 の電圧として使用するように構成されている、メモリ装置。

【請求項 2】

10

20

前記 E C C デコーダが、前記第 2 の電圧を使用して感知した前記状態に対してエラー訂正動作を実行するように構成されており、

前記感知回路は、前記第 2 の電圧を使用して感知した前記状態に対する前記エラー訂正動作が失敗した場合に、第 3 の電圧を使用して前記メモリセルの状態を感知するように構成されている、請求項 1 に記載のメモリ装置。

【請求項 3】

前記 E C C デコーダが、前記第 1 の電圧を使用して感知した前記状態と関連付けられたエラーを訂正できない場合に、前記第 1 の電圧を使用して感知した前記状態における前記エラー訂正動作が失敗する、請求項 2 に記載のメモリ装置。

【請求項 4】

前記第 1 の電圧を使用して感知した前記状態と関連付けられたいくつかのエラーが前記 E C C デコーダの訂正能力を超えた場合に、前記第 1 の電圧を使用して感知した前記状態における前記エラー訂正動作が失敗する、請求項 3 に記載のメモリ装置。

【請求項 5】

前記第 1 の電圧を使用して感知した前記状態と関連付けられたエラーレートが、

$$Q \left((d / 2) / \sigma \right)$$

によって求められ、式中 Q が標準的なガウス分布の裾確率であり、d が第 2 の状態と関連付けられた平均 V t と第 1 の状態と関連付けられた平均 V t との間の電圧差であり、σ が前記第 1 の状態および前記第 2 の状態と関連付けられた V t 分布と関連付けられた幅である、請求項 4 に記載のメモリ装置。

【請求項 6】

前記制御回路が、特定の状態にプログラムされた一定量のメモリセルと、前記メモリセルに対して以前に実行された一定量のプログラミングおよび感知動作とを使用して、前記エラー訂正動作が失敗する可能性が最も低い前記電圧を判断するように構成されている、請求項 1 乃至 5 のうちのいずれか 1 項に記載のメモリ装置。

【請求項 7】

前記メモリ装置がテストモードにあるときに、前記制御回路が前記 V t の前記変化を判断するように構成されている、請求項 1 乃至 5 のうちのいずれか 1 項に記載のメモリ装置。

【請求項 8】

いくつかのメモリセルと関連付けられたしきい値電圧 (V t) の変化を、基準セルを使用せずに判断することと、

前記いくつかのメモリセルの状態を感知するために使用される電圧を、基準セルを使用せずに、前記判断した変化に基づき調整することと、

第 1 の電圧を使用して前記いくつかのメモリセルの状態を感知することと、

前記感知された状態に対してエラー訂正動作を実行することと、

前記エラー訂正動作が失敗した場合に、第 2 の電圧を使用して前記いくつかのメモリセルの状態を感知することと、

前記第 1 の電圧を使用して感知された前記状態に対する前記エラー訂正動作が失敗する可能性が最も低い電圧を判断することと、

前記判断された電圧を前記第 1 の電圧として使用することと、
を含む、メモリ装置を作動させるための方法。

【請求項 9】

前記いくつかのメモリセルと関連付けられた前記 V t の変化を判断することが、

前記いくつかのメモリセルと関連付けられた V t を感知することと、

前記感知した V t を使用して、前記いくつかのメモリセルと関連付けられたいくつかの状態に対応するいくつかの電圧を判断することと、

を含み、判断された各々の電圧が前記いくつかの状態のそれぞれに対応する、請求項 8 に記載の方法。

【請求項 10】

前記感知したV_tを使用して、前記いくつかの状態のそれぞれに各々対応するいくつかの平均V_tを判断することと、

前記平均V_tを使用して、前記いくつかの状態に対応する前記いくつかの電圧を判断することと、

を含む、請求項9に記載の方法。

【請求項11】

前記感知したV_tを使用して、前記いくつかの状態のそれぞれに各々対応するいくつかのV_t分布を判断することと、

前記V_t分布を使用して、前記いくつかの状態に対応する前記いくつかの電圧を判断することと、

を含む、請求項9又は10に記載の方法。

【請求項12】

前記感知したV_tを使用して、前記いくつかの状態のそれぞれに各々対応するいくつかのV_t分布幅を判断することと、

前記V_t分布幅を使用して、前記いくつかの状態に対応する前記いくつかの電圧を判断することと、

を含む、請求項9又は10に記載の方法。

【請求項13】

エラー訂正コード(ECC)デコーダに前記感知したV_tと前記判断されたいくつかの電圧とを出力することを含む、請求項9又は10に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本開示は、概して半導体メモリ装置、方法、およびシステムに関し、詳細には、メモリ装置におけるしきい値電圧の変化に対応するための方法、装置、およびシステムに関する。

【背景技術】

【0002】

メモリ装置は一般に、コンピュータまたは他の電子装置における内蔵型の半導体、集積回路、および／または外付け型の着脱可能な装置として提供される。メモリには、ランダム・アクセス・メモリ(RAM)、読み出し専用メモリ(ROM)、ダイナミック・ランダム・アクセス・メモリ(DRAM)、同期型ダイナミック・ランダム・アクセス・メモリ(SDRAM)、相変化ランダム・アクセス・メモリ(PCRAM)、フラッシュメモリなど、さまざまなタイプのものがある。

【0003】

フラッシュメモリ装置は、揮発性および不揮発性メモリとして、さまざまな電子用途で利用することができる。フラッシュメモリ装置は一般に、高いメモリ密度、高い信頼性、そして低い消費電力を実現する、1トランジスタのメモリセルを使用する。

【0004】

フラッシュメモリの用途としては、数ある電子装置の中でも、ソリッド・ステート・ドライブ(SSD)、パーソナルコンピュータ、パーソナル携帯情報端末(PDA)、デジタルカメラ、携帯電話、MP3プレーヤーなどの携帯型音楽プレーヤー、映画プレーヤーなどのメモリがある。プログラムコード、ユーザーデータ、および／または基本入出力システム(BIOS)などのシステムデータといったデータは一般に、フラッシュメモリ装置に格納される。

【0005】

2つの一般的なフラッシュメモリ配列(アレイ)アーキテクチャのタイプは「NAND」アーキテクチャおよび「NOR」アーキテクチャであり、各々の基本的なメモリセル構成の論理形態からそのように呼ばれている。NAND配列アーキテクチャは、配列の「行」にある各メモリセルのコントロールゲートが、当該技術で一般に「ワードライン」と称

10

20

30

40

50

されるアクセスラインに連結され（、場合によっては形成す）るようにメモリセルの配列をマトリクスに配置する。ただし、各メモリセルは、そのドレインによって（ビットラインなど、当該技術で一般にディジットラインと呼ばれる）データラインに直接連結されておらず、この配列（アレイ）のメモリセルは、共通ソースとデータラインとの間でソースとドレインとが直列に連結されており、特定のデータラインに共通して連結されたメモリセルは「カラム」と呼ばれる。

【0006】

NAND配列アーキテクチャのメモリセルは、所望の状態にプログラムすることができる。例えば、メモリセルの電荷蓄積ノードに電荷を印加したり、そこから電荷を除去したりして、セルをいくつかのプログラムされた状態のうちの1つに変えることができる。例えば、シングル・レベル・セル（SLC）は、1または0という具合に2つの状態を表し得る。フラッシュ・メモリ・セルは、1111、0111、0011、1011、1001、0001、0101、1101、1100、0100、0000、1000、1010、0010、0110、および1110など、2つ以上の状態を格納することもできる。かかるセルは、マルチ・レベル・セル（MLC）と称されることもある。各セルは複数ビットなど複数の数字を表すことができるため、MLCは、メモリセルの数を増やさずに高密度メモリを製造することを可能にする。例えば、4桁を表すことのできるセルであれば、16のプログラム状態を有することができる。

【0007】

時間を経てフラッシュ・メモリ・セルでプログラミング、感知、および消去サイクルが実行されると、しきい値電圧（ V_t ）など、メモリセルの電荷蓄積ノードの蓄積電荷が変化することがあり、それによってメモリセルの感知エラーが発生し得る。すなわち、セルで実行された感知動作中のメモリセルの確定状態は、セルの目標プログラム状態以外の状態であり得る。メモリセルの V_t の変化をトラッキングおよび／または補正する1つの手法としては、メモリセルにおける読み出しなどの感知動作時に基準セルを使用することを含み得る。ただし、基準セルを使用することにより、メモリ配列の領域が増え、配列におけるメモリセルの量が減り、かつ／またはメモリ装置と関連付けられた回路の量が増える場合がある。

【図面の簡単な説明】

【0008】

【図1】本開示のいくつかの実施形態にかかる不揮発性メモリ配列の一部分の概略図である。

【図2A】本開示のいくつかの実施形態にかかる、プログラムされたメモリセルと関連付けられたいくつかのしきい値電圧（ V_t ）分布を示す。

【図2B】本開示のいくつかの実施形態にかかる、プログラムされたメモリセルと関連付けられたいくつかの V_t 分布を示す。

【図3】本開示のいくつかの実施形態にかかる、プログラムされたメモリセルと関連付けられたいくつかの V_t 分布の変化と関連付けられたトラッキングゲインとエラーレートを表である。

【図4】本開示のいくつかの実施形態にかかるメモリ装置のブロック図を示す。

【図5】本開示のいくつかの実施形態にかかるメモリ装置のブロック図を示す。

【発明を実施するための形態】

【0009】

本開示は、メモリ装置におけるしきい値電圧の変化に対応するための方法、装置、およびシステムを含む。いくつかの実施形態は、メモリセルの配列と、その配列に連結された感知回路を有する制御回路とを含む。制御回路は、メモリセルと関連付けられたしきい値電圧（ V_t ）の変化を、基準セルを使用せずに判断し、判断した変化に基づき、基準セルを使用せずに感知回路を調整するように構成されている。

【0010】

本開示の実施形態を用いて、いくつかのメモリセルと関連付けられたしきい値電圧（ V_t ）

t) の変化を、基準セルを使用せずに判断し、上記いくつかのメモリセルの状態を感知するのに使用される電圧を、上記判断された V_t 変化を基に、基準セルを使用せずに調整し、かつ／または、上記調整された電圧を使用して上記いくつかのメモリセルの状態を感知することができる。例えば、本開示の実施形態を用いて、シフトなど、メモリ装置におけるしきい値電圧の変化を、基準セルを使用せずにトラッキングおよび／または補正することができる。しきい値電圧の変化をトラッキングおよび／または補正することにより、信頼性の向上（例えばエラーレートの減少）などの便益がもたらされ、かつ／または、中でも特に、メモリ装置の使用寿命を延ばせるという点が大きい。

【0011】

以下に示す本開示の「発明を実施するための形態」では、本開示の一部を形成する添付の図面を参照する。これらの図面には、本開示のいくつかの実施形態を実施し得る方法が例として示されている。これらの実施形態は、当業者が本開示の実施形態を実施できる程度に十分に詳しく記載されており、さらに他の実施形態が利用され得ることと、本開示の要旨を逸脱しない範囲で処理上の、電氣的、および／または構造的変更が可能であることを理解すべきである。

【0012】

本明細書で使用される「いくつかの」ものは、1つもしくは複数のもののことを言う。例えば、いくつかのメモリ装置は、1つもしくは複数のメモリ装置のことを言う。加えて、本明細書、特に図面において参照符号と併せて使用される指示子「N」および「M」は、いくつかのそのように指示された特徴が本開示のいくつかの実施形態に含まれ得ることを示す。

【0013】

本明細書の図は、先頭の数字が図面番号に対応し、残りの数字が図面内の要素またはコンポーネントを特定する付番規則に従う。異なる図にまたがる同様の要素またはコンポーネントが、同じ数字を使用して特定され得る。例えば、110は図1における要素「10」を参照し、同様の要素が図2では210として参照され得る。本明細書における各種実施形態に示す要素は、本開示のいくつかの追加実施形態を提供する目的で追加、交換、および／または除去できることが理解されよう。加えて、図に表された要素の比率および相対的な縮尺は、本開示の実施形態を図示するためのものであり、限定的な意味で受け取るべきでないという点も理解されよう。

【0014】

図1は、本開示のいくつかの実施形態にかかる不揮発性メモリ配列(アレイ) 100の一部分の概略図である。図1の実施形態は、NANDアーキテクチャの不揮発性メモリを示す。ただし、本明細書に記載されている実施形態は、本実施例に限定されない。図1に示すとおり、メモリ配列100は、ワードライン105-1…105Nなどのアクセスラインと、それに交差するローカル・ビット・ライン107-1、107-2、107-3…107Mなどのデータラインと、を含む。デジタル環境でアドレス指定しやすいように、ワードライン105-1…105Nの数と、ローカル・ビット・ライン107-1、107-2、107-3…107Mの数は、256本のワードライン×4、096本のビットラインなど、2の乗数であり得る。

【0015】

メモリ配列(アレイ) 100は、NANDストリング109-1、109-2、109-3…109Mを含む。各NANDストリングは、不揮発性メモリセル111-1…111Nを含み、各々がそれぞれのワードライン105-1…105Nと通信可能に連結されている。各NANDストリング109-1、109-2、109-3…109Mの不揮発性メモリセル111-1…111Nは、電界効果トランジスタ(FET)113などのソース選択ゲート(SGS)とFET119などのドレイン選択ゲート(SGD)との間で、ソースとドレインとが直列に接続されている。各ソース選択ゲート113が、それぞれのNANDストリングを、ソース選択ライン117上の信号に応答して共通ソース123に選択的に連結するように構成されているのに対し、各ドレイン選択ゲート119は、

それぞれのNANDストリングを、ドレイン選択ライン115上の信号に応答してそれぞれのビットラインに選択的に連結するように構成されている。

【0016】

図1に表された実施形態に示すとおり、ソース選択ゲート113のソースは、共通ソースライン123に接続されている。ソース選択ゲート113のドレインは、対応するNANDストリング109-1のメモリセル111-1のソースに接続されている。ドレイン選択ゲート119のドレインは、ドレインコンタクト121-1で、対応するNAND文字列109-1のビットライン107-1に接続されている。ドレイン選択ゲート119のソースは、フローティングゲートトランジスタなど、対応するNANDストリング109-1の最終メモリセル111-Nのドレインに接続されている。

10

【0017】

当業者であれば、105-1…105-Nなど、選択したワードラインに連結されたセルのサブセットは、読み込むなど、グループとして一緒にプログラムおよび／または感知できるということが理解されよう。本明細書でこの後さらに説明するが、書き込み動作などのプログラミング動作は、その選択されたアクセスラインに連結された選択セルのしきい値電圧(V_t)を、所望のプログラム状態に対応する所望のプログラム電圧レベルまで上げるために、16V～20Vなどいくつかのプログラムパルスを用いて、選択したワードラインに印加することを含み得る。

【0018】

読み出しまたはプログラム検証動作などの感知動作は、選択セルの状態を判断するために、その選択セルに連結されたビットラインの電圧および／または電流の変更を感知することを含み得る。例えば、選択セルの状態を感知することは、そのストリングの非選択セルと連結されたワードラインを、パス電圧「 V_{pass} 」など、非選択セルのしきい値電圧に依存しない導通状態にするのに十分ないくつかの電圧でバイアスしながら、読み出し電圧「 V_{read} 」などいくつかの感知電圧を用いて、選択したワードラインに印加することを含み得る。読み込みおよび／または検証中の選択セルに対応するビットラインを感知して、選択セルが、選択ワードラインに印加された特定の感知電圧に応答して導通するかどうかを判断することができる。例えば、選択セルの状態は、ビットラインの電流が特定の状態と関連付けられた特定の基準電流に達するワードライン電圧によって判断することができる。

20

30

【0019】

選択セルの感知動作時に使用された V_{read} などの感知電圧は、選択セルの潜在的な V_t に基づき得る。例えば、選択セルのプログラム状態のうちの1つと関連付けられた V_t と関連付けられた電圧を、 V_{read} として使用することができる。本明細書でこの後さらに説明するが、選択セルのプログラム状態のうちの1つと関連付けられた V_t と関連付けられた電圧は、例えば、平均 V_t 、 V_t 分布、および／または V_t 分布幅を含み得る。

【0020】

当業者であれば、NANDストリングにおける選択メモリセルで実行される感知動作では、そのストリングの非選択メモリセルが導通状態となるようにバイアスされることが理解されよう。かかる感知動作では、そのストリングに対応するビットラインで感知された電流または電圧に基づいて選択セルの状態を判断することができる。例えば、ビットラインの電流が特定の量単位で変化するか、所与の時間後に特定レベルに達するかどうかに基づいて選択セルの状態を判断することができる。

40

【0021】

選択セルが導通状態にあると、ストリングの一端にあるソース・ライン・コンタクトとストリングの他方端にあるビット・ライン・コンタクトとの間を電流が流れる。このように、選択セルを感知することと関連付けられた電流は、そのストリング内の他のセルの各々と、セルスタック間の拡散領域と、選択ランジスタとを通過して伝達される。

【0022】

50

図2Aは、図1に示すメモリセル111-1...111-Nなど、本開示のいくつかの実施形態にかかる、プログラムされたメモリセルと関連付けられたいくつかのしきい値電圧(V_t)分布を示す。図2Aに示す実施形態では、V_t分布225-0、225-1、225-2、および225-3が、4つのプログラム状態L0、L1、L2、およびL3のうちの1つにそれぞれプログラムされたメモリセルを表す。ただし、本開示の実施形態は特定数の状態にプログラムされたメモリセルに限定されず、例えば、メモリセルが4つ未満、あるいは4つより多くのプログラム状態にプログラムされてもよい。当業者であれば、プログラム状態L0、L1、L2、およびL3がいくつかの格納されたデータ数字を表せるということが理解されよう。例えば、状態L0は、データセルによって格納されたバイナリデータ「11」を表すことができ、状態L1は、セルによって格納されたバイナリデータ「01」を表すことができ、状態L2は、セルによって格納されたバイナリデータ「00」を表すことができ、状態L3は、セルによって格納されたバイナリデータ「10」を表すことができる。

10

【0023】

本開示のいくつかの実施形態では、セルのV_tレベルを所望のレベルにまで上げることによってセルをプログラムするために、いくつかのプログラミング電圧パルスをメモリセルのコントロールゲートに印加することができる。例えば、図2Aに示す実施形態では、プログラミング動作中に、プログラム状態L1にプログラムされるメモリセルのV_tレベルが、V_t分布225-1と関連付けられたV_tレベルに到達するまで上がる。プログラム状態L2にプログラムされるメモリセルのV_tレベルは、V_t分布225-2と関連付けられたV_tレベルに到達するまで上がる。プログラム状態L3にプログラムされるメモリセルのV_tレベルは、V_t分布225-3と関連付けられたV_tレベルに到達するまで上がる。

20

【0024】

V_t分布は、いくつかのV_tレベルを含み得る。V_t分布は、例えば他のV_tレベルに混じって平均V_tレベルを含み得る。平均V_tレベルは、所与のV_t分布の予想V_tレベルに対応し得る。いくつかの実施形態では、平均V_tレベルが、その関連付けられたV_t分布のピークに対応し得る。例えば、ある特定のV_t分布の平均V_tレベルは、特定のV_t分布に対応するプログラム状態にプログラムされたメモリセルの中で最も一般的なV_tレベルを表し得る。ただし、本開示の実施形態はそれほど限定されておらず、例えば、その関連付けられたV_t分布が非対称である場合、平均V_tレベルはその関連付けられたV_t分布のピークに対応しなくてもよい。

30

【0025】

図2Aに示す実施形態では、例えば、V_t分布225-0がV_{mean0}を含み、V_t分布225-1がV_{mean1}を含み、V_t分布225-2はV_{mean2}を含み、V_t分布225-3がV_{mean3}を含むなど、各々のV_t分布が平均V_tレベルを含む。加えて、隣接するV_t分布と関連付けられた平均V_tレベル間の電圧差が、図2Aにおいて「d」で示される。すなわちdは、V_{mean1}とV_{mean0}との間の電圧差、V_{mean2}とV_{mean1}との間の電圧差、V_{mean3}とV_{mean2}との間の電圧差を表す。

40

【0026】

V_t分布は、自らと関連付けられたV_t分布幅も有し得る。V_t分布幅は、特定のV_t分布と関連付けられた一定範囲のV_tレベルに対応し得る。図2Aに示す実施形態では、V_t分布幅σが、V_t分布225-0、225-1、225-2、および225-3と関連付けられている。V_t分布幅σは、特定のV_t分布の平均V_tレベルの一標準偏差内のV_tレベルの範囲に対応し得る。例えば、V_t分布幅σは、V_t分布225-0のV_{mean0}の一標準偏差内のV_tレベルの範囲と、V_t分布225-1のV_{mean1}の一標準偏差内のV_tレベルの範囲と、V_t分布225-2のV_{mean2}の一標準偏差内のV_tレベルの範囲と、V_t分布225-3のV_{mean3}の一標準偏差内のV_tレベルの範囲と、に対応し得る。ただし、本開示の実施形態はそれほど限定されておらず、他のV_t

50

分布幅を含んでもよい。例えば、 V_t 分布幅が、ある特定の V_t 分布と関連付けられたすべての V_t レベルの範囲に対応してもよい。

【0027】

本開示のいくつかの実施形態では、図 2 A に示す V_t 分布と関連付けられたプログラム状態にプログラムされたメモリセルの感知動作中に使用される感知電圧が、図 2 A に示す V_t 分布に基づき得る。例えば、感知電圧は、 V_{mean0} 、 V_{mean1} 、 V_{mean2} 、および／または V_{mean3} などの平均 V_t レベル、および／または σ などの V_t 分布幅と関連付けられた V_t レベルなど、 V_t 分布と関連付けられた V_t レベルであり得る。

【0028】

図 2 A に示す V_t 分布と関連付けられたプログラム状態にプログラムされたメモリセルの感知動作は、エラー比率など、感知状態と関連付けられたエラーレートを有し得る。すなわち、メモリセルの感知状態は、セルのプログラム状態以外の状態であり得る。エラーレート、例えば、メモリセルの状態が感知される回数の合計に対する、メモリセルの感知状態がプログラム状態以外の状態である回数の比は、次式によって求めることができる。

$$Q((d/2)/\sigma)$$

式中、 Q は標準的なガウス分布の裾確率である。

【0029】

図 2 B は、図 1 に示すメモリセル $111-1 \dots 111-N$ など、本開示のいくつかの実施形態にかかる、プログラムされたメモリセルと関連付けられたいくつかの V_t 分布を示す。図 2 B に示す実施形態では、 V_t 分布 $227-0$ 、 $227-1$ 、 $227-2$ 、および $227-3$ が、図 2 A との関連で先述した方法に類似した方法で 4 つのプログラム状態 L_0 、 L_1 、 L_2 、および L_3 のうちの 1 つにそれぞれプログラムされたメモリセルを表し、これらのメモリセルは、さらにいくつかのプログラミング、感知、および／または消去サイクルも経ている。さらなるプログラミング、感知、および／または消去サイクルにより、メモリセルのフローティングゲートに対する蓄積電荷が変化することがあり、その結果、シフトなど、図 2 B に示すような V_t 分布の変化が発生し得る。すなわち、さらなるプログラミング、感知、および／または消去サイクルにより、 V_t 分布 $225-0$ が V_t 分布 $227-0$ に、 V_t 分布 $225-1$ が V_t 分布 $227-1$ に、 V_t 分布 $225-2$ が V_t 分布 $227-2$ に、 V_t 分布 $225-3$ が V_t 分布 $227-3$ に変化し得る。

【0030】

図 2 B に示すとおり、 V_t 分布の変化により、 V_t 分布と関連付けられた V_t レベルが変化し得る。例えば、 V_t 分布の変化により、 V_t 分布と関連付けられた平均 V_t レベルが変化し得る。平均 V_t レベルの変化は、図 2 B において「 Δ 」で示される。すなわち Δ は、 V_t 分布 $225-0$ から V_t 分布 $227-0$ 、 V_t 分布 $225-1$ から V_t 分布 $227-1$ 、 V_t 分布 $225-2$ から V_t 分布 $227-2$ 、および V_t 分布 $225-3$ から V_t 分布 $227-3$ への変化によってそれぞれ生じる V_{mean0} 、 V_{mean1} 、 V_{mean2} 、および V_{mean3} の変化を示す。

【0031】

図 2 B に示すとおり、 V_t 分布の変化により、 V_t 分布と関連付けられた V_t 分布幅も変化し得る。例えば、 V_t 分布の変化により、 V_t 分布幅 σ が広がるなどの変化が生じ得る。

【0032】

V_t 分布と関連付けられた V_t レベルおよび／または V_t 分布幅の変化の規模など、 V_t 分布の変化の規模は、 V_t 分布と関連付けられたメモリセルで実行されたプログラミング、感知、および／または消去サイクルの回数に依存し得る。 V_t 分布の変化の規模は、サイクル実行中のメモリセルの温度にも依存し得る。例えば、 V_t 分布の変化の規模は、メモリセルで実行されたサイクルの回数が増えるにつれて、および／またはサイクル実行中のメモリセルの温度が上がるにつれて増大し得る。

【0033】

図 2 B に示す V t 分布の変化など、V t 分布が変化（シフトなど）すると、V t 分布の変化がトラッキングおよび／または補正されなければ、V t 分布と関連付けられたメモリセルの感知エラーが生じ得る。すなわち、V t 分布の変化がトラッキングおよび／または補正されないと、V t 分布と関連付けられたメモリセルの感知状態は、セルのプログラム状態以外の状態であり得る。例えば、プログラム状態 L 1 にプログラムされたメモリセルの感知状態は、プログラム状態 L 2 であり得る。

【0034】

変化が生じた V t 分布と関連付けられたメモリセルの感知動作のエラーレートは、次式によって求めることができる：

$$Q \left(\left(\frac{d}{2} \right) - \Delta \right) / \sigma$$

10

式中、Q は標準的なガウス分布の裾確率であり、d、Δ、および σ は図 2 B と関連付けられた d、Δ、および σ である。このエラーレートは、メモリセルの状態が感知される回数の合計に対する、V t 分布の変化のためにメモリセルの感知状態がセルのプログラム状態以外の状態である回数の比を表し得る。加えて、変化が生じた V t 分布と関連付けられたトラッキングゲインは、次式によって求めることができる。

$$20 \times \log_{10} \left(\left(\frac{d}{2} \right) / \left(\left(\frac{d}{2} \right) - \Delta \right) \right)$$

式中、d は図 2 A と関連付けられた d であり、Δ は図 2 B と関連付けられた Δ である。トラッキングゲインを使用して、V t 分布の変化のために感知状態がセルのプログラム状態でないメモリセルの数を判断することができる。したがって、V t 分布の変化と関連付けられた平均 V t レベル Δ の変化が大きく、かつ／または、V t 分布の変化と関連付けられた V t 分布幅 σ が大きいと、変化した V t 分布と関連付けられたメモリセルの感知動作のエラーレートが大きくなり、かつ／または、セルのプログラム状態でない感知状態を有する変化した V t 分布と関連付けられたメモリセルの数が大きくなる可能性がある。

20

【0035】

図 3 は、本開示のいくつかの実施形態にかかる、プログラムされたメモリセルと関連付けられたいくつかの V t 分布の変化（シフトなど）と関連付けられたトラッキングゲインおよびエラーレート（エラー率など）の表 300 である。メモリセルは、図 2 A との関連で先述した方法に類似した方法で 4 つのプログラム状態 L 0、L 1、L 2、および L 3 のうちの 1 つにプログラムされ、V t 分布と関連付けられた V t レベルなどの V t 分布は、20 ミリボルト（mV）単位で増加し、隣接する平均 V t レベル間の電圧差（d など）は 1600 mV に保たれた。各々の V t 分布と関連付けられたトラッキングゲインおよびエラーレートは、図 2 B との関連で先述した式を用いて判断された。

30

【0036】

各々の V t 分布と関連付けられたエラーレートは、V t 分布の変化がトラッキングおよび／または補正されない場合のエラーレートを表し得る。V t 分布の変化をトラッキングおよび／または補正しないと、メモリセルの感知エラーが生じ得る。各々の V t 分布と関連付けられたトラッキングゲインは、V t 分布の変化をトラッキングおよび／または補正することによって得られる潜在的な便益を表し得る。例えば、トラッキングゲインは、本開示のいくつかの実施形態に従って V t 分布の変化をトラッキングおよび／または補正することによってメモリセルの感知エラーがどの程度減らせるかを表し得る。

40

【0037】

表 300 に示すとおり、V t 分布の変化が大きくなるにつれて、トラッキングゲインとエラーレートが増す。例えば、60 mV の V t 分布の変化と関連付けられたトラッキングゲインおよびエラーレートはそれぞれ 0.677 dB および 3.0×10^{-17} であり、80 mV の V t 分布の変化と関連付けられたトラッキングゲインおよびエラーレートはそれぞれ 0.915 dB と 2.0×10^{-15} であった。ただし、エラー訂正コード（ECC）デコーダは、 1.0×10^{-15} 以下のエラーレートをしか修正できず、例えば、エラーレートが 1.0×10^{-15} を超える場合にはエラー訂正動作が失敗することがある。したがって、ECC デコーダは、80 mV 以上の V t 分布の変化をトラッキングおよび／または補正できない場合がある。

50

【0038】

図4は、本開示のいくつかの実施形態にかかるメモリ装置400のブロック図を示す。図4に示すとおり、メモリ装置400はメモリ配列440を含む。メモリ配列440は、例えば図1との関連で先述したメモリ配列100であり得る。メモリ配列440は、例えば、シングルレベル・メモリ・セル（SLC）および／または4つのプログラム状態を格納できるマルチレベル・メモリ・セル（MLC）を含み得る。ただし、実施形態はそれほど限定されておらず、他のMLCを含み得る。いくつかの実施形態では、メモリ配列440がいかなる基準メモリセルも含まないことがあり、例えば、メモリ配列440がデータメモリセルのみ含み得る。

【0039】

いくつかの実施形態では、メモリ装置400がハード感知動作を実行することができる。すなわち、メモリ配列440のメモリセルのV_tに変化がなければ、メモリ配列440は、感知したV_tを制御回路442に出力することなく、そのV_tを使用してメモリ配列440のメモリセルの状態を判断することができる。

【0040】

図4に示すとおり、メモリ装置400は、メモリ配列440に連結された制御回路442も含む。制御回路442は、感知回路444とエラー訂正コード（ECC）デコーダ446を含む。制御回路442は、メモリ配列440のメモリセルと関連付けられたしきい値電圧（V_t）（V_t分布、平均V_tレベルなどのV_tレベル、および／またはV_t分布幅など）の変化を、基準セルを使用せずに判断することができる。制御回路442はその後、感知回路444によって使用される電圧を調整するなど、感知回路444を調整して、判断されたV_t変化に基づき、基準セルを使用せずにメモリセルの状態を感知することができる。感知回路444はその後、調整されたV_tを使用して、メモリ配列440のメモリセルの状態を感知することができる。すなわち、制御回路442は、メモリ配列440のメモリセルにおけるV_tの変化を、基準セルを使用せずにトラッキングおよび／または補正することができる。

【0041】

例えば、感知回路444は、第1の電圧を使用してメモリセルの状態を感知し、特定のプログラム状態にプログラムされたセルを感知することができる。ECCデコーダ446はその後、その感知状態に対してエラー訂正動作を実行することができる。エラー訂正動作が失敗した場合、感知回路444は、第1の電圧とは異なる電圧など、第2の電圧を使用してメモリセルの状態を感知し、特定のプログラム状態にプログラムされたセルを感知することができる。ECCデコーダ446は、第2の電圧を使用して感知した状態に対してエラー訂正動作を実行することができ、このエラー訂正動作も失敗した場合、感知回路444は、第1および第2の電圧とは異なる電圧など、第3の電圧を使用してメモリセルの状態を感知し、特定のプログラム状態にプログラムされたセルを感知することができる。このプロセスは、正常なエラー訂正動作など、失敗しないエラー訂正動作が行われるまで継続することができる。感知回路444は、例えば、第1の電圧を使用して感知した状態に対して実行されたエラー訂正動作が失敗した場合に限り、第2の電圧を使用してメモリセルの状態を感知することができる。

【0042】

いくつかの実施形態では、メモリ装置400がテストモードのときに、前の段落に記載されているプロセスを実行することができる。テストモードは、例えば、エラー訂正動作（前の段落に記載されているプロセスが開始する前に発生したエラー訂正動作の失敗など）の初回の失敗によってトリガーされ得る。

【0043】

いくつかの実施形態では、制御回路442が、メモリセルの状態を感知するのに使用される電圧を、特定の電圧量だけ増減することができる。例えば、第2の電圧が第1の電圧よりも20mV大きく、第3の電圧が第2の電圧よりも20mV大きくてもよい。ただし、本開示の実施形態は1つの電圧量に限定されず、例えば、増減する電圧量が20mV以

10

20

30

40

50

外であっても、かつ／または各々の電圧の増減量が異なってもよい。いくつかの実施形態では、電圧の増減量が、メモリセルで以前に実行されたプログラミング、感知、および／または消去のサイクルの回数、および／またはメモリセルの存続期間に依存し得る。電圧量は、例えば、以前に実行されたプログラミング、感知、および／または消去のサイクルの回数が増えるにつれて増加したり、メモリセルの存続期間が長くなるにつれて減少したりし得る。

【0044】

加えて、正常なエラー訂正動作が行われる前に使用される電圧の数は、電圧が増大する特定の単位量に依存し得る。例えば、正常なエラー訂正動作が行われる前に使用される電圧の数は、電圧が増大する特定の単位量が減るにつれて増加し得る。さらに、いくつかの実施形態では、感知回路444がわずか10個の異なる電圧しか使用しない場合がある。

10

【0045】

ECCデコーダ446が感知状態と関連付けられたエラーを訂正できない場合には、エラー訂正動作が失敗し得る。ECCデコーダ446が、例えば第1の電圧を使用して感知した状態と関連付けられたエラーを訂正できない場合、第1の電圧を使用して感知した状態に対して実行されるエラー訂正動作は失敗し得る。感知状態と関連付けられたエラーの数がECCデコーダ446の訂正能力を超えると、ECCデコーダ446は感知状態と関連付けられたエラーを訂正できない場合がある。ECCデコーダ446の訂正能力は、例えば12個のビットエラーであり得る。

20

【0046】

いくつかの実施形態では、第1の電圧が、初回のプログラミング動作と関連付けられた電圧など、事前に設定された電圧であり得る。いくつかの実施形態では、第1の電圧が、制御回路442によってエラー訂正動作が失敗する可能性が最も低いと判断された電圧であり得る。エラー訂正動作が失敗する可能性が最も低いと判断された電圧を使用することにより、感知回路444とECCデコーダ446とによってそれぞれ実行される感知動作とエラー訂正動作とを減らすことができる。

【0047】

制御回路442は、特定のプログラム状態にプログラムされた一定量のメモリセル、および／またはそのメモリセルで以前に実行されたプログラミングおよび感知動作の量を使用して、エラー訂正動作が失敗する可能性が最も低い電圧を判断することができる。例えば、特定のプログラム状態にプログラムされた一定量のメモリセル、および／またはそのメモリセルで以前に実行されたプログラミングおよび感知動作の量は、エラー訂正動作が失敗する可能性が最も低い電圧を判断するためのアルゴリズムで入力され得る。このアルゴリズムは、制御回路442にあるファームウェア（図4に図示せず）で実装することができる。あるいは、このアルゴリズムは、ハードウェアおよび／またはソフトウェアで実装することができる。

30

【0048】

4つのプログラム状態を格納できるMLCをメモリ配列440が含むいくつかの実施形態では、感知回路444が、第1のプログラム状態を感知するために第1の電圧を使用し、第2のプログラム状態を感知するために第2の電圧を使用して、メモリセルの状態を感知することができる。第1および第2のプログラム状態は、例えば、それぞれ図2Aおよび図2Bとの関連で先述したL1およびL2であり得る。ECCデコーダ446はその後、その感知状態に対してエラー訂正動作を実行することができる。エラー訂正動作が失敗した場合、感知回路444は、第3の電圧（第1の電圧と異なる電圧など）を、第1のプログラム状態を感知するための電圧として使用し、第4の電圧（第2の電圧と異なる電圧など）を、第2のプログラム状態を感知するための電圧として使用して、メモリセルの状態を感知することができる。ECCデコーダ446は、第3の電圧と第4の電圧とを使用して感知した状態に対してエラー訂正動作を実行することができ、このエラー訂正動作も失敗した場合、感知回路444は、第5の電圧（第1および第3の電圧と異なる電圧など）を、第1のプログラム状態を感知するための電圧として使用し、第6の電圧（第2およ

40

50

び第4の電圧と異なる電圧など)を、第2のプログラム状態を感知するための電圧として使用して、メモリセルの状態を感知することができる。このプロセスは、正常なエラー訂正動作など、失敗しないエラー訂正動作が行われるまで継続され得る。感知回路444は、例えば、第1および第2の電圧を使用して感知した状態に対して実行されたエラー訂正動作が失敗した場合に限り、第3および第4の電圧を使用してメモリセルの状態を感知することができる。さらに、本明細書で先述したとおり、ECCデコーダ446が感知状態と関連付けられたエラーを訂正できない場合には、エラー訂正動作が失敗し得る。

【0049】

前の段落に記載されているプロセスは、メモリ装置400がテストモードのときに実行することができる。加えて、電圧は特定の電圧量単位で増減し得る。例えば、第3の電圧が第1の電圧よりも20mV大きく、第5の電圧が第3の電圧よりも20mV大きくてもよい。ただし、本開示の実施形態は1つの電圧量に限定されず、例えば、増減する電圧量が20mV以外であっても、かつ／または各々の電圧の増減量が異なってもよい。加えて、本明細書で先述したとおり、電圧の増減量は、メモリセルで以前に実行されたプログラミング、感知、および／または消去サイクルの回数に依存し得る。さらに、本明細書で先述したとおり、正常なエラー訂正動作が発生する前に使用された電圧の数は、電圧が増大する特定の単位量に依存し得る。

【0050】

いくつかの実施形態では、第1および第2の電圧が、初回のプログラミング動作と関連付けられた電圧など、事前に設定された電圧であり得る。いくつかの実施形態では、第1および第2の電圧が、制御回路442によってエラー訂正動作が失敗する可能性が最も低いと判断された電圧であり得る。本明細書で先述したとおり、制御回路442は、第1のプログラム状態および／または第2のプログラム状態など特定のプログラム状態にプログラムされた一定量のメモリセル、および／またはそのメモリセルで以前に実行されたプログラミングおよび感知動作の量を使用して、エラー訂正動作が失敗する可能性が最も低い電圧を判断することができる。

【0051】

メモリセルのV_tの変化を追跡および／または補正するこれまでのいくつかの手法は、メモリセルにおける読み出しなどの感知動作時に基準セルを使用することを含み得る。ただし、基準セルを使用することにより、メモリ配列の領域が増加し、配列におけるメモリセルの量が減少し、かつ／またはメモリ装置と関連付けられた回路の量が増加し得る。対照的に、本開示のいくつかの実施形態に従って、メモリセルにおけるV_tの変化を、例えば基準セルを使用せずにトラッキングおよび／または補正することにより、メモリ配列の領域を減らし、配列におけるメモリセルの量を増やし、かつ／またはメモリ装置と関連付けられた回路の量を減らすことができる。

【0052】

図4に示す実施形態は、本開示の実施形態が曖昧になるのを避けるために図示されていない追加回路を含み得る。例えば、メモリ装置400は、I/Oコネクタを通じてI/O回路へと提供されるアドレス信号をラッチするためのアドレス回路を含み得る。アドレス信号は、行デコーダと列デコーダとによって受信および解読され、メモリ配列440にアクセスすることができる。当業者であれば、アドレス入力コネクタの数がメモリ装置400および／またはメモリ配列440の密度と構造とに依存し得ることが理解されよう。

【0053】

図5は、本開示のいくつかの実施形態にかかるメモリ装置500のブロック図を示す。図5に示すとおり、メモリ装置500はメモリ配列540を含む。メモリ配列540は、例えば図1との関連で先述したメモリ配列100であり得る。メモリ配列540は、8または16のプログラム状態を格納できるMLCなどを含み得る。ただし、実施形態はそれほど限定されておらず、他のタイプのMLCおよび／またはSLCも含み得る。いくつかの実施形態では、メモリ配列540がいかなる基準メモリセルも含まないことがあり、例えば、メモリ配列540がデータメモリセルのみ含み得る。

【0054】

いくつかの実施形態では、メモリ装置500がソフト感知動作を実行することができる。例えば、感知したV_tはメモリ配列540から制御回路542に出力され、制御回路542は、感知したV_tを使用してメモリ配列540にあるメモリセルの状態を判断することができる。ソフト感知動作では、感知状態の数が、メモリ配列540にあるメモリセルによって格納される状態の数より大きい。例えば、メモリ配列540が16のプログラム状態を格納できるMLCを含む実施形態では、ソフト感知動作が128の感知状態ということになり得る。ソフト感知動作は、信頼性情報など、メモリセルの状態に関する情報をハード感知動作よりも多く提供することができる。ソフト感知動作から取得した情報は、本明細書でさらに説明するとおり、最小2乗平均誤差(MMSE)アルゴリズムなどのアルゴリズムで入力することができる。

10

【0055】

図5に示すとおり、メモリ装置500は、メモリ配列542に連結された制御回路540も含む。制御回路542は感知回路544を含む。制御回路542は、メモリ配列540のメモリセルと関連付けられたV_t(V_t分布、平均V_tレベルなどのV_tレベル、および/またはV_t分布幅など)の変化を、基準セルを使用せずに判断することができる。制御回路542はその後、感知回路544によって使用される電圧を調整するなど、感知回路544を調整して、判断されたV_t変化に基づき、基準セルを使用せずにメモリセルの状態を感知することができる。感知回路544はその後、調整されたV_tを使用して、メモリ配列540のメモリセルの状態を感知することができる。すなわち制御回路542は、メモリ配列540のメモリセルにおけるV_tの変化を、基準セルを使用せずにトラッキングおよび/または補正することができる。

20

【0056】

例えば、感知回路544は、V_t分布、平均V_tレベルなどのV_tレベル、および/またはV_t分布幅など、メモリ配列540のメモリセルと関連付けられたV_tを感知することができる。制御回路542はその後、感知したV_tを使用して、それらのメモリセルと関連付けられたいくつかのプログラム状態に対応するいくつかの電圧を判断することができる。判断された各々の電圧は、そのいくつかのプログラム状態のそれぞれに対応する。例えば、制御回路542は、感知したV_tを使用して、いくつかの平均V_tレベル、V_t分布、および/またはV_t分布幅を判断することができる。各々の平均V_tレベル、V_t分布、および/またはV_t分布幅は、そのいくつかのプログラム状態のそれぞれに対応する。制御回路542はその後、判断された平均V_tレベル、V_t分布、および/またはV_t分布幅を使用して、プログラム状態の数に対応する電圧の数を判断することができ、感知回路544はその後、判断された電圧を使用してメモリセルの状態を感知することができる。あるいは、制御回路542は、判断されたこれらの平均V_tレベル、V_t分布、および/またはV_t分布幅を、感知したV_tレベルと共に、ソフトECCデコーダ(図5に図示せず)などのECCデコーダに出力することができる。これにより、信頼性情報など、メモリセルの状態に関する情報をより多く提供することができ、結果的に処理上の利得を増やすことができる。

30

【0057】

いくつかの実施形態では、感知したV_tを、メモリセルと関連付けられたプログラム状態の数に対応する電圧の数を判断するためのアルゴリズムで入力することができる。このアルゴリズムは、制御回路542にあるファームウェア(図5に図示せず)で実装することができる。あるいは、このアルゴリズムは、ハードウェアおよび/またはソフトウェアで実装することができる。このアルゴリズムは、例えば、最小2乗平均誤差(MMSE)アルゴリズムであり得る。ただし、実施形態はそれほど限定されておらず、プログラム状態の数に対応する電圧の数を判断できる任意のアルゴリズムを含み得る。

40

【0058】

プログラム状態の数に対応する電圧の数を判断できるMMSEアルゴリズムは、初期化と何度かの繰り返しとを含み得る。初期化は次のステップを含み得る。

50

```

set  $x_0 = 0$  Volts,  $x_M = 5$  Volts ;
set  $y_m$ ,  $m = 1 \cdots M$ 

```

Mは、メモリセルと関連付けられたプログラム状態の数であり、 y_m は、各プログラム状態に対応する平均VtレベルなどのVtレベルである。例えば、メモリセルが、8つのプログラム状態を格納できるMLCである場合、Mは8であり、8つの y_m 値は、これら8つのプログラム状態に対応する平均Vtレベルなど8つのVtレベルである。

【0059】

MMSEアルゴリズムの繰り返しは、次のステップを含み得る。

```

while  $\Delta > \epsilon$ , do
  update  $x_m = (y_m + y_{m+1}) / 2$  ;
  update  $y_m = E[S_m]$ ,  $S_m = (x_{m-1}, x_m)$  ;
  set  $\Delta = \sum |y_m^t - y_{m-1}^{t-1}|$ 

```

10

この繰り返しにおいて、 y_m は、判断された平均Vtレベルなど、判断されたVtレベルであり、 x_m は、決定領域の境界など、2つのVt分布間の境界Vtである。 S_m は、2つの隣接するVt間の領域など、判断されたVtレベル y_m の決定領域であり、 $E[S_m]$ は、決定領域 S_m のVtレベルの期待される平均値である。加えて、 t は繰り返しインデックスであり、例えば第1の繰り返しであれば $t = 1$ 、第2の繰り返しであれば $t = 2$ である。

【0060】

したがって、MMSEアルゴリズムの入力は、配列540にあるメモリセルと関連付けられた感知Vtであり、MMSEアルゴリズムの出力は、判断された平均Vtレベル y_m および境界Vt x_m など、判断されたVtレベルである。各々の繰り返し中に、感知Vtは境界Vtとの比較に基づいて決定領域 S_m に区切られ、判断されたVtレベルと境界Vtはその区切りに基づいて更新される。

20

【0061】

さらに、 Δ は、判断された平均Vtレベル y_m など、2つの連続する判断されたVtレベル間の差を表し、例えば、 Δ は2つの連続する繰り返しの結果間の類似度である。2つの連続する判断されたVtレベル間の差が特定量 ϵ を超えない場合、例えば、2つの連続する判断されたVtレベルが十分に類似している場合には、アルゴリズムがそれ以上繰り返されず、そのアルゴリズムは終了する。ただし、2つの連続する判断されたVtレベル間の相違が特定量 ϵ を超える場合、例えば、2つの連続する判断されたVtレベルが十分に類似していない場合には、アルゴリズムがさらに繰り返される。すなわち、2つの連続する判断されたVtレベル間の差が特定量 ϵ を下回るまで、アルゴリズムは繰り返される。メモリセルと関連付けられたVtの変化はトラッキングされており、例えば、2つの連続する判断されたVtレベル間の差が特定量 ϵ を超えなければ、それらのメモリセルと関連付けられたプログラム状態に対応するVtが決定される。

30

【0062】

メモリセルのVtの変化を追跡および／または補正するこれまでのいくつかの手法は、メモリセルにおける読み出しなどの感知動作時に基準セルを使用することを含み得る。ただし、基準セルを使用することにより、メモリ配列の領域が増加し、配列におけるメモリセルの量が減少し、かつ／またはメモリ装置と関連付けられた回路の量が増加し得る。対照的に、本開示のいくつかの実施形態に従って、メモリセルにおけるVtの変化を、例えば基準セルを使用せずにトラッキングおよび／または補正すると、メモリ配列の領域を減らし、配列におけるメモリセルの量を増やし、かつ／またはメモリ装置と関連付けられた回路の量を減らすことができる。

40

【0063】

図5に示す実施形態は、本開示の実施形態が曖昧になるのを避けるために図示されていない追加回路を含み得る。例えば、メモリ装置500は、I/Oコネクタを通じてI/O回路へと提供されるアドレス信号をラッチするためのアドレス回路を含み得る。アドレス信号は、行デコーダと列デコーダによって受信および解読され、メモリ配列540にアク

50

セスすることができる。当業者であれば、アドレス入力コネクタの数がメモリ装置 500 および／またはメモリ配列 540 の密度と構造とに依存し得ることが理解されよう。

【0064】

結論

本開示は、メモリ装置におけるしきい値電圧の変化に対応するための方法、装置、およびシステムを含む。いくつかの実施形態は、メモリセルの配列と、その配列に連結された感知回路を有する制御回路とを含む。制御回路は、メモリセルと関連付けられたしきい値電圧 (V_t) の変化を、基準セルを使用せずに判断し、判断した変化に基づき、基準セルを使用せずに感知回路を調整するように構成されている。

【0065】

具体的な実施形態を本明細書に例示および記載してきたが、同じ結果を達成すると考えられる装置であれば、示された具体的な実施形態を代用し得るということは、当業者であれば理解されよう。本開示は、本開示のいくつかの実施形態の代替例または変形例を網羅することを意図している。上記説明は例示目的で成されたものであり、制限目的ではないということを理解されたい。上記説明を再検討してみれば、上記実施形態と、本明細書に特に記載されていない他の実施形態との組み合わせが当業者にとって明らかであろう。本開示のいくつかの実施形態の範囲は、上記構造および方法が使用される他の用途を含む。したがって、本開示のいくつかの実施形態の範囲は、添付の請求項を参照した上で、かかる請求項の権利範囲が及ぶすべての均等物と併せて判断されるべきである。

【0066】

前述の「発明を実施するための形態」では、本開示を簡略化するために、いくつかの特徴が単一の実施形態にまとめられていた。この開示された方法は、本開示の開示された実施形態が、各請求項で明示的に記載されている以上の特徴を用いる必要があるという意図を反映しているものと解釈されるべきではない。むしろ、以下の請求項に反映されているとおり、発明の主題が用いる特徴は、開示された単一の実施形態のすべての特徴よりも少ない。したがって、以下の請求項は、本明細書によって「発明を実施するための形態」に組み込まれ、各請求項は別個の実施形態として自立する。

【図 1】

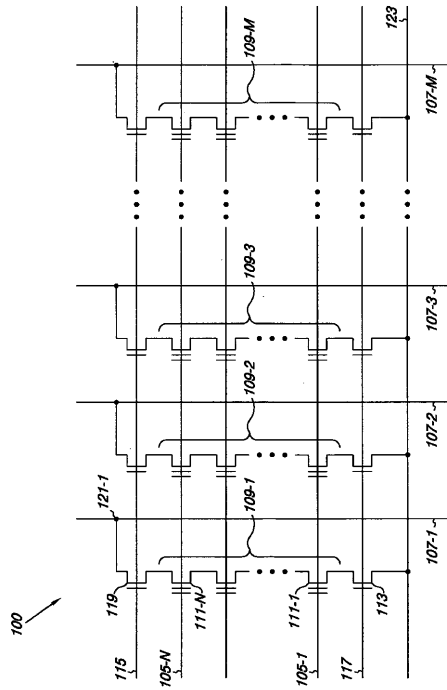
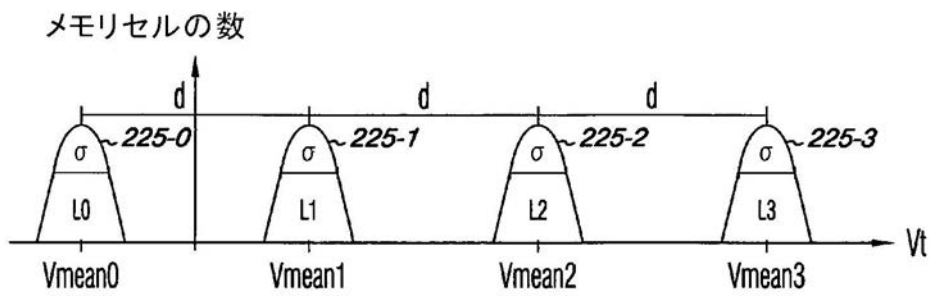
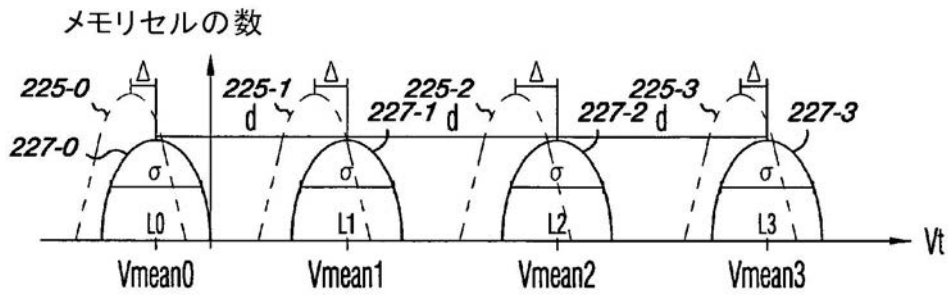


Fig. 1

【図 2 A】



【図 2 B】



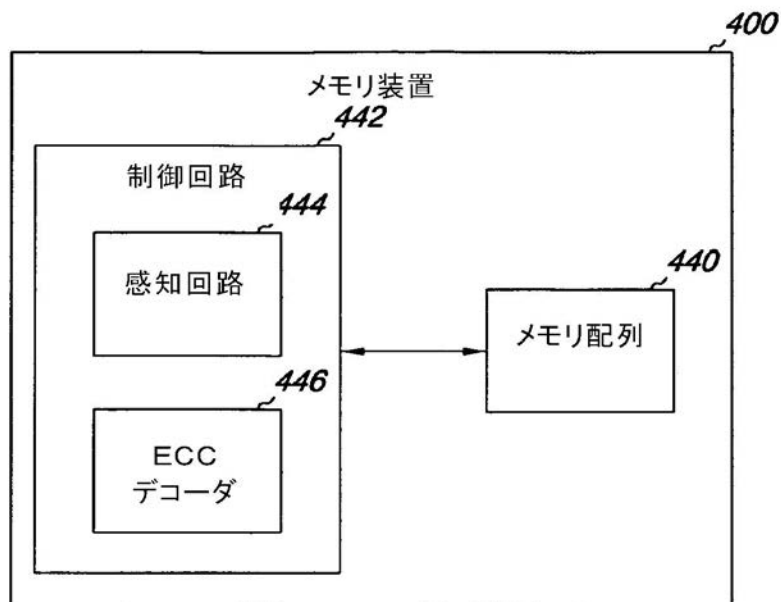
【図 3】

300

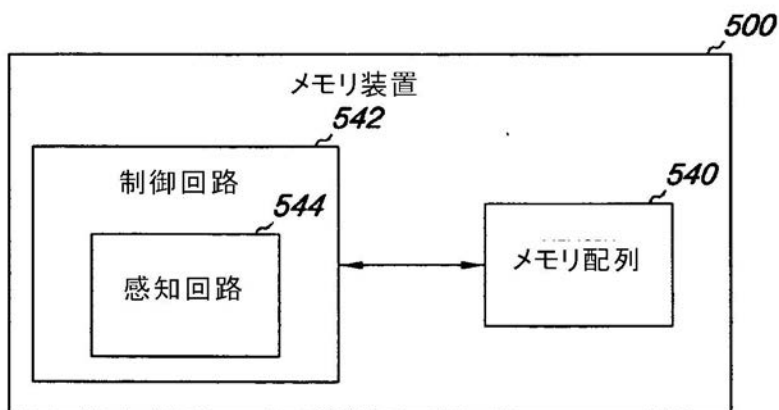
↓

Vt シフト(mV)	トラッキングゲイン (dB)	データエラーレート
20	0.220	5.0E-20
40	0.446	8.0E-19
60	0.677	3.0E-17
80	0.915	2.0E-15
100	1.160	2.0E-13
120	1.412	1.0E-11
140	1.671	1.0E-9
160	1.938	6.0E-8
180	2.214	1.0E-6
200	2.499	1.0E-5

【図 4】



【図 5】



フロントページの続き

- (72)発明者 ラドキ, ウィリアム ヘンリー.
アメリカ合衆国, カリフォルニア州 95030, ロス ガトス, クレランド アベニュー 90
- (72)発明者 フィーリー, ピーター エス.
アメリカ合衆国, アイダホ州 83716, ボイズ, サウス ロングリーフ アベニュー 335
6

審査官 菅原 浩二

- (56)参考文献 特表2009-515281 (JP, A)
特開2007-128577 (JP, A)
米国特許第05657332 (US, A)
国際公開第2007/049272 (WO, A1)

- (58)調査した分野(Int.Cl., DB名)
G11C 16/02
G11C 16/06