

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4987830号
(P4987830)

(45) 発行日 平成24年7月25日(2012.7.25)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int.Cl.		F I		
HO 1 L 27/105 (2006.01)		HO 1 L 27/10	4 4 7	
HO 1 L 21/8246 (2006.01)		HO 1 L 43/08	B	
HO 1 L 43/08 (2006.01)		HO 1 L 43/08	Z	
HO 1 F 10/32 (2006.01)		HO 1 F 10/32		

請求項の数 10 (全 27 頁)

(21) 出願番号	特願2008-246717 (P2008-246717)	(73) 特許権者	000003078
(22) 出願日	平成20年9月25日 (2008.9.25)		株式会社東芝
(65) 公開番号	特開2010-80649 (P2010-80649A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成22年4月8日 (2010.4.8)	(74) 代理人	100108855
審査請求日	平成20年9月25日 (2008.9.25)		弁理士 蔵田 昌俊
(出願人による申告) 平成20年度独立行政法人新エネルギー・産業技術総合開発機構「スピントロニクス不揮発性機能技術プロジェクト」委託研究、産業技術力強化法第19条の適用を受ける特許出願		(74) 代理人	100091351
			弁理士 河野 哲
		(74) 代理人	100088683
			弁理士 中村 誠
		(74) 代理人	100109830
			弁理士 福原 淑弘
		(74) 代理人	100075672
			弁理士 峰 隆司
		(74) 代理人	100095441
			弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 磁気メモリ

(57) 【特許請求の範囲】

【請求項1】

膜面に垂直方向の磁気異方性を有しかつスピン偏極した電子により磁化方向が変化する第1の磁性層と、膜面に垂直方向の磁気異方性を有しかつ磁化方向が不変である第2の磁性層と、前記第1の磁性層及び第2の磁性層に挟まれた非磁性層とを有する磁気抵抗素子と、

前記第2の磁性層と平行な磁化を有し、かつ前記磁気抵抗素子を囲み、かつ前記第2の磁性層からの漏洩磁界を低減するバイアス磁界層と、

を具備することを特徴とする磁気メモリ。

【請求項2】

前記バイアス磁界層は、2次元に配列された複数の磁気抵抗素子の各々を囲むことを特徴とする請求項1に記載の磁気メモリ。

【請求項3】

前記バイアス磁界層は、前記第2の磁性層と同一平面に配置されることを特徴とする請求項1又は2に記載の磁気メモリ。

【請求項4】

前記バイアス磁界層は、前記磁気抵抗素子と絶縁領域によって絶縁されていることを特徴とする請求項1乃至3のいずれかに記載の磁気メモリ。

【請求項5】

前記バイアス磁界層は、前記第2の磁性層と電氣的に接続されていることを特徴とする

請求項 1 乃至 3 のいずれかに記載の磁気メモリ。

【請求項 6】

前記第 2 の磁性層の前記非磁性層と反対側に設けられ、かつ前記第 2 の磁性層及び前記バイアス磁界層に電氣的に接続された配線層をさらに具備することを特徴とする請求項 1 乃至 3 のいずれかに記載の磁気メモリ。

【請求項 7】

前記バイアス磁界層の飽和磁化は、前記第 2 の磁性層のそれと同じであることを特徴とする請求項 1 乃至 6 のいずれかに記載の磁気メモリ。

【請求項 8】

前記バイアス磁界層の厚さは、前記第 2 の磁性層のそれと同じであることを特徴とする請求項 1 乃至 7 のいずれかに記載の磁気メモリ。

10

【請求項 9】

前記バイアス磁界層の端部と前記磁気抵抗素子との距離は、 $1\ \mu\text{m}$ 以上であることを特徴とする請求項 1 乃至 8 のいずれかに記載の磁気メモリ。

【請求項 10】

膜面に垂直方向の磁気異方性を有し、かつスピン偏極した電子により磁化方向が変化する複数の第 1 の磁性層と、

前記複数の第 1 の磁性層上に設けられた複数の非磁性層と、

平面状に延在するように前記複数の非磁性層上に設けられ、かつ膜面に垂直方向の磁気異方性を有し、かつ磁化方向が不変である第 2 の磁性層と、

20

前記複数の第 1 の磁性層にそれぞれ電氣的に接続された電流経路の一端を有する複数の選択トランジスタと、

前記複数の選択トランジスタの電流経路の他端にそれぞれ電氣的に接続された複数のビット線と、

を具備することを特徴とする磁気メモリ。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、磁気メモリに係り、例えば書き込み電流に基づいて抵抗値が変化する磁気抵抗素子を備えた磁気メモリに関する。

30

【背景技術】

【0002】

磁気ランダムアクセスメモリ(MRAM: Magnetic Random Access Memory)は、トンネル磁気抵抗(TMR: Tunneling Magnetoresistive)効果を利用するMTJ(Magnetic Tunnel Junction)素子を記憶素子として備えている。MTJ素子は、磁性材料からなる記録層及び参照層と、これらに挟まれた絶縁層との3層の薄膜で構成されており、記録層及び参照層の磁化状態により情報を記憶する。スピン注入型MRAMでは、MTJ素子への情報の書き込みは、MTJの膜面に対して垂直方向に通電することにより行なわれる。

【0003】

MTJ素子に用いられる磁性層としては、磁化の方向が膜面に対して垂直方向を向く垂直磁化膜と、磁化の方向が面内方向を向く面内磁化膜とが提案されている。垂直磁化膜を採用した場合、参照層の磁化によって発生する漏洩磁界は記録層の磁化と同じ方向を向いているため、記録層に大きな垂直成分を持つ磁界が作用する。記録層に作用する参照層からの漏洩磁界は、記録層の磁化を参照層の磁化と平行にする方向に作用する。そのため、反平行から平行に記録層の磁化を反転させる場合は小さなスピン注入電流でよいが、逆に平行から反平行に反転をさせる場合は大きな電流が必要になる。

40

【0004】

また、漏洩磁界のために反平行状態が不安定である場合において、漏洩磁界が記録層の保磁力よりも大きくなると、MTJ素子の外部から磁界を印加しない状態では、MTJ素子の磁化状態を反平行状態に保持することができなくなってしまう。また、漏洩磁界が記

50

録層の保磁力より小さい場合でも、長時間反平行状態を維持している間に熱擾乱によって反平行状態から平行状態に反転してしまい情報を保持できなくなってしまう問題が生じる。そのため、参照層からの漏洩磁界は、記録層の保磁力に対して十分小さくする必要がある。

【0005】

一方、記録層の上下に非磁性層を挟んでそれぞれ参照層を配置するダブルジャンクション構造が提案されている（特許文献1）。垂直磁化膜を用いたMTJ素子をダブルジャンクション構造にする場合は、2つの参照層の磁化の方向は互いに反平行になるように設定する。この場合、2つの参照層から発生し、記録層に作用する漏洩磁界の垂直成分は互いに逆方向を向くため、2つの参照層の飽和磁化 M_s 及び厚さがほぼ同じになるように調整することで、漏洩磁界のz成分（膜面に垂直方向の成分）をほぼキャンセルすることができる。

10

【0006】

しかし、漏洩磁界の動径方向の成分は互いに増強する方向に作用するため、特に記録層の外周において強い横磁場が作用する。この横磁場のために磁化の垂直性及び磁気抵抗特性が低下し、記録層の磁化反転の一様性も劣化する問題がある。また、ダブルジャンクション構造では2つの参照層を互いに反平行にする必要があり、そのためには、2つの参照層の保磁力差を十分つけて別々に着磁を行なう必要があり、材料や構造、プロセス条件の自由度が制限される。

【特許文献1】特開2004-193595号公報

20

【発明の開示】

【発明が解決しようとする課題】

【0007】

本発明は、記録層に作用する参照層からの漏洩磁界を低減することが可能な磁気メモリを提供する。

【課題を解決するための手段】

【0008】

本発明の一態様に係る磁気メモリは、膜面に垂直方向の磁気異方性を有しかつスピン偏極した電子により磁化方向が変化する第1の磁性層と、膜面に垂直方向の磁気異方性を有しかつ磁化方向が不変である第2の磁性層と、前記第1の磁性層及び第2の磁性層に挟まれた非磁性層とを有する磁気抵抗素子と、前記第2の磁性層と平行な磁化を有し、かつ前記磁気抵抗素子を囲み、かつ前記第2の磁性層からの漏洩磁界を低減するバイアス磁界層とを具備する。

30

【0009】

本発明の一態様に係る磁気メモリは、膜面に垂直方向の磁気異方性を有し、かつスピン偏極した電子により磁化方向が変化する複数の第1の磁性層と、前記複数の第1の磁性層上に設けられた複数の非磁性層と、平面状に延在するように前記複数の非磁性層上に設けられ、かつ膜面に垂直方向の磁気異方性を有し、かつ磁化方向が不変である第2の磁性層と、前記複数の第1の磁性層にそれぞれ電氣的に接続された電流経路の一端を有する複数の選択トランジスタと、前記複数の選択トランジスタの電流経路の他端にそれぞれ電氣的に接続された複数のビット線とを具備する。

40

【発明の効果】

【0010】

本発明によれば、記録層に作用する参照層からの漏洩磁界を低減することが可能な磁気メモリを提供することができる。

【発明を実施するための最良の形態】

【0011】

以下、本発明の実施の形態について図面を参照して説明する。なお、以下の説明において、同一の機能及び構成を有する要素については、同一符号を付し、重複説明は必要な場合にのみ行う。

50

【 0 0 1 2 】

[第 1 の実施形態]

[1 . 記憶素子の構成]

まず、本実施形態の M R A M の記憶素子にあたる磁気抵抗素子 [M T J (magnetic tunnel junction) 素子] 1 0 の構成について説明する。図 1 は、本発明の第 1 の実施形態に係る M T J 素子 1 0 の構成を示す断面図である。M T J 素子 1 0 は、それに含まれる 2 個の磁性体の相対的な磁化方向によって情報を記憶する記憶素子である。図中の矢印は、磁化方向を示している。

【 0 0 1 3 】

M T J 素子 1 0 は、結晶配向用の下地層 1 1、記録層 (記憶層、自由層ともいう) 1 2、非磁性層 (トンネルバリア層) 1 3、参照層 (固定層ともいう) 1 4、上部電極 1 5 が順に積層された積層構造を有する。以下の説明において、記録層 1 2、トンネルバリア層 1 3、及び参照層 1 4 の部分を、単に M T J と称する。本実施形態では、結晶配向用下地層 1 1 が下部電極を兼ねて 1 つの層となっている構成を例示しているが、勿論、下地層と下部電極とを別々に積層してもよい。上部電極 1 5 は、ハードマスク層としての機能を兼ねている。なお、記録層 1 2 と参照層 1 4 とは、積層順序が逆であってもよい。

【 0 0 1 4 】

記録層 1 2 は、磁化 (或いはスピン) の方向が可変である (反転する) 。参照層 1 4 は、磁化の方向が不変である (固着している) 。「参照層 1 4 の磁化方向が不変である」とは、記録層 1 2 の磁化方向を反転するために使用される磁化反転電流を参照層 1 4 に流した場合に、通電の前後において参照層 1 4 の磁化方向が変化しないことを意味する。従って、M T J 素子 1 0 において、参照層 1 4 として反転電流の大きな磁性層を用い、記録層 1 2 として参照層 1 4 よりも反転電流の小さい磁性層を用いることによって、磁化方向が可変の記録層 1 2 と磁化方向が不変の参照層 1 4 とを備えた M T J 素子 1 0 を実現することができる。スピン偏極電子により磁化反転を引き起こす場合、その反転電流は減衰定数、異方性磁界、及び体積に比例するため、これらを適切に調整して、記録層 1 2 と参照層 1 4 との反転電流に差を設けることができる。

【 0 0 1 5 】

参照層 1 4 及び記録層 1 2 はそれぞれ膜面に垂直方向の磁気異方性を有し、従って参照層 1 4 及び記録層 1 2 の容易磁化方向は膜面 (或いは積層面) に対して垂直である (以下、垂直磁化という) 。すなわち、M T J 素子 1 0 は、参照層 1 4 及び記録層 1 2 の磁化方向がそれぞれ膜面に対して垂直方向を向く、いわゆる垂直磁化型 M T J 素子である。なお、容易磁化方向とは、あるマクロなサイズの強磁性体を想定して、外部磁界のない状態で自発磁化がその方向を向くと最も内部エネルギーが低くなる方向である。困難磁化方向とは、あるマクロなサイズの強磁性体を想定して、外部磁界のない状態で自発磁化がその方向を向くと最も内部エネルギーが大きくなる方向である。

【 0 0 1 6 】

下地層 1 1 は、平坦な垂直磁化の磁性層を成長させるために必要な層であり、一例としては、窒化チタン (T i N) 等の化合物層と、タンタル (T a)、白金 (P t) 等の金属層と、厚さ 0 . 5 n m 以下の薄い酸化マグネシウム (M g O) とが順に積層された積層構造である。

【 0 0 1 7 】

記録層 1 2 及び参照層 1 4 の材料としては、F e P t 或いは F e P d 等の L 1 0 構造を持つ強磁性材料、T b C o F e 等のフェリ磁性材料、或いは、N i F e 等の磁性材料と C u 等の非磁性材料との積層構造からなる人工格子等が挙げられる。

【 0 0 1 8 】

トンネルバリア層 1 3 としては、酸化マグネシウム (M g O) 或いは酸化アルミニウム (A l ₂ O ₃) 等の絶縁材料が挙げられる。上部電極 (ハードマスク層) 1 5 としては、タンタル (T a) 或いは窒化チタン (T i N) 等の金属が挙げられる。

【 0 0 1 9 】

10

20

30

40

50

このように構成されたMTJ素子10において、情報の書き込みは、以下のように行われる。情報の書き込み時、MTJ素子10は、膜面に垂直な方向において双方向に通電される。

【0020】

書き込み電流を記録層12から参照層14の方向に流した場合、電子の流れは参照層14から記録層12の方向になる。この場合、記録層12の磁化は参照層14の磁化と揃う方向にスピントルクを受ける。このため、記録層12の磁化が参照層14と反平行であった場合、記録層12の磁化は反転して参照層14と平行になる。

【0021】

一方、書き込み電流を参照層14から記録層12の方向に流した場合、電子の流れは記録層12から参照層14の方向になる。この場合、記録層12の磁化は参照層14と反平行を向く方向にスピントルクを受ける。このため、記録層12の磁化が参照層14と平行であった場合、記録層12の磁化は反転して参照層14と反平行になる。

【0022】

MTJ素子10に垂直方向の読み出し電流を流した場合の抵抗値は、磁気抵抗効果により2つの磁性層の相対的な方向に依存して変化する。例えば、MTJ素子10の抵抗値は、記録層12と参照層14との磁化の方向が平行の場合は低抵抗となり、反平行の場合は高抵抗となる。図1の例では、記録層12の磁化が上向きの状態が平行状態であり、下向きの状態が反平行状態である。例えば、低抵抗状態をデータ“0”、高抵抗状態をデータ“1”と規定することで、MTJ素子10に1ビットの情報を記憶させることができる。

【0023】

平行状態の抵抗値を R_0 、反平行状態の抵抗値を R_1 とすると、“ $(R_1 - R_0) / R_0$ ”で定義される値を磁気抵抗比(MR比)と呼ぶ。磁気抵抗比はMTJ素子10を構成する材料やプロセス条件によって異なるが、数10%から数100%程度の値を取り得る。MRAMは磁気抵抗効果を利用して、MTJ素子10に記憶された情報の読み出しを行なう。読み出し動作時にMTJ素子10に流す読み出し電流は、スピン注入により記録層12の磁化が反転する電流よりも十分小さい電流値に設定する。

【0024】

[2. バイアス磁界層16の構成]

次に、記録層12に作用する参照層14からの漏洩磁界をキャンセルする機能を有するバイアス磁界層16の構成について説明する。図2は、バイアス磁界層16を備えたMRAMの構成を示す斜視図である。

【0025】

MRAMは、マトリクス状に2次元配列された複数のMTJ素子10を備えている。各MTJ素子10の構成は、図1と同じである。なお、図2では、複数のMTJ素子10のうち4個を抽出して示している。

【0026】

バイアス磁界層16は、MTJを膜面方向に延長した空間と重なる位置に配置される。バイアス磁界層16は、実効的に2次元の平面状に広がっており、マトリクス状に複数の孔が空いている。MTJ素子10は、バイアス磁界層16の孔の中に突き刺すように配置されている。換言すると、バイアス磁界層16は、MTJと同一平面に延在しており、各MTJ素子10を囲むように構成されている。「バイアス磁界層16がMTJと同一平面に延在」とは、バイアス磁界層16の厚さ方向の中心の位置(中心線)が、MTJを構成する記録層、トンネルバリア層及び参照層のいずれかを通過することを意味し、典型的にはMTJを構成する記録層の中心の位置(中心線)と参照層の中心の位置(中心線)との間(これらの中心の位置と一致する場合を含む。)に位置することを意味するものとする。

【0027】

バイアス磁界層16は、参照層14と平行な方向(垂直方向)の磁気異方性を有しており、すなわち、その容易磁化方向は膜面に対して垂直である。よって、バイアス磁界層

16は、その磁化方向が参照層14の磁化方向と平行になるように着磁を行なう。バイアス磁界層16の飽和磁化 M_s は、参照層14の飽和磁化と同程度かそれ以上に設定される。

【0028】

バイアス磁界層16は、MTJ素子10と絶縁されており、絶縁信頼性の確保できる数nm以上の厚さの絶縁膜(図示せず)によって分離されている。上部電極15は、上部配線に電氣的に接続される。下部電極11は、選択トランジスタ、或いは上部配線と直交する下部配線に電氣的に接続される。図2では、MTJ素子10の平面形状が円である場合を例示している。MTJ素子10の平面形状について特に制限がなく、円以外に、楕円、正方形、長方形等いずれを用いてもよい。また、正方形或いは長方形の角が丸くなった形状であってもよい。バイアス磁界層16の孔の形状は、MTJ素子10の平面形状と同じに設定される。そして、MTJ素子10の周囲とバイアス磁界層16との距離は、絶縁膜を介して等間隔に設定される。

10

【0029】

図2では、記録層12が参照層14に対して下側(基板側)に配置されている構造の例を示したが、逆に記録層12を参照層14に対して上側(基板と反対側)に配置させる構造でも、図2と同じようにバイアス磁界層16を配置することで、記録層12に作用する参照層14からの漏洩磁界をほぼキャンセルすることができる。

【0030】

図3は、記録層12に作用する参照層14からの漏洩磁界をバイアス磁界層16がキャンセルする様子を説明する図である。参照層14の磁化が上方向である場合、バイアス磁界層16の磁化も上方向に設定される。

20

【0031】

参照層14は、図3の実線矢印で示すように、記録層12に上向きの漏洩磁界を印加する。また、参照層14によって、記録層12の面内方向の端部は中心部よりも強い漏洩磁界が作用する。一方、バイアス磁界層16は、図3の点線矢印で示すように、記録層12に下向きの漏洩磁界を印加する。このように、参照層14から発生する漏洩磁界とバイアス磁界層16から発生する漏洩磁界とは、互いに逆向きになり、記録層12に作用する外部磁界は相殺される。また、記録層12に作用する漏洩磁界は、垂直方向成分だけでなく、動径方向成分も逆方向に作用するため、漏洩磁界の動径方向成分も相殺される。

30

【0032】

参照層14及びバイアス磁界層16の隙間がなく、かつ、参照層14及びバイアス磁界層16の厚さと飽和磁化とが等しく、かつ、バイアス磁界層16の外径が厚さに対して十分(例えば、100倍程度以上)大きい場合には、参照層14とバイアス磁界層16との磁界はほぼ完全にキャンセルされ、記録層12に作用する漏洩磁界はほぼゼロになる。この場合、参照層14及びバイアス磁界層16を合わせて1つの磁性膜と見なすことができ、この磁性膜が十分広い場合には漏洩磁界が磁性膜から外に漏れないと言い換えることができる。この理由を図4を用いて説明する。

【0033】

図4は、垂直磁化を有しかつ面内方向に広がる磁性膜の一部を示している。この磁性膜は、バイアス磁界層16と記録層12とを併せたものとみなすことができる。磁性膜の上面及び底面にはそれぞれ、正及び負の磁荷が誘起されており、磁界はこれらの磁荷によって発生すると見なすことができる。ここで、磁性膜は十分広いので磁界は膜面に対して垂直方向を向いており、磁束密度が保存されるため、磁界強度は膜面からの距離に依存しない。このため、例えば点Aに正の磁荷によって作られる磁界(実線の矢印)と負の磁荷によって作られる磁界(破線の矢印)は同じ強度で逆向きになるため、その合成磁界はキャンセルされてゼロになる。

40

【0034】

図3及び図4の原理によると、参照層14とバイアス磁界層16との距離がゼロに近くなれば、バイアス磁界層16を参照層14の真横に(参照層14と同一平面に)配置し、

50

かつバイアス磁界層 16 と参照層 14 との飽和磁化を同じにすることで、記録層 12 に作用する参照層 14 からの漏洩磁界をバイアス磁界層 16 によってキャンセルすることが可能である。よって、基本的には、このようにバイアス磁界層 16 を構成することが好ましい。

【0035】

しかし、参照層 14 とバイアス磁界層 16 との間には、絶縁膜の厚さ分の距離が空いているため、参照層 14 からの漏洩磁界を完全にキャンセルするには、絶縁膜分の磁化を補う必要がある。この方法としては、後述するように、バイアス磁界層 16 の飽和磁化を参照層 14 の飽和磁化より少し大きくする、或いは、バイアス磁界層 16 を記録層 12 に多少近づける等があげられる。この調整幅は、参照層 14 とバイアス磁界層 16 との距離に依存する。なお、バイアス磁界層 16 の飽和磁化は、磁性材料、及びその厚さによって調整することが可能である。

10

【0036】

図 5 は、バイアス磁界層 16 を備えた M R A M の他の構成例を示す斜視図である。図 5 の M R A M は、接合分離のためのエッチングプロセスを絶縁層（トンネルバリア層）で止めたバリア止めプロセスによって形成された M T J 素子 10 にバイアス磁界層 16 を適用した例である。図 5 では、マトリクス状に 2 次元配列された複数の M T J 素子 10 のうち 2 個を抽出して示している。

【0037】

M T J 素子 10 は、下部電極 11、参照層 14、トンネルバリア層 13、記録層 12、上部電極 15 が順に積層された積層構造を有している。すなわち、プロセス上の制約から、参照層 14 が記録層 12 に対して下側（基板側）に配置されている。記録層 12 及び上部電極 15 の平面形状は、図 2 の M T J 素子 10 のものと同じである。参照層 14 の面積は、記録層 12 の面積より大きい。参照層 14 は、例えば、長方形の角が丸くなった平面形状を有している。バイアス磁界層 16 は、参照層 14 を膜面方向に延長した空間と重なる位置に配置される。バイアス磁界層 16 は、実効的に 2 次元の平面状に広がっており、マトリクス状に複数の孔が空いている。参照層 14 は、バイアス磁界層 16 の孔の中に突き刺すように配置されている。換言すると、バイアス磁界層 16 は、参照層 14 と同一平面に延在しており、各参照層 14 を囲むように構成されている。

20

【0038】

バイアス磁界層 16 は、参照層 14 と平行な方向（垂直方向）の磁気異方性を有しており、すなわち、その容易磁化方向は膜面に対して垂直である。バイアス磁界層 16 の飽和磁化は、参照層 14 の飽和磁化と同程度かそれ以上に設定される。バイアス磁界層 16 は、M T J 素子 10 と絶縁しており、絶縁信頼性の確保できる数 nm 以上の厚さの絶縁膜（図示せず）によって分離されている。上部電極 15 は、上部配線に電気的に接続される。下部電極 11 は、コンタクトを介して選択トランジスタ、或いは上部配線と直交する下部配線に電気的に接続される。

30

【0039】

図 5 のように M R A M を構成した場合でも、図 2 の M R A M と同様に、バイアス磁界層 16 は、記録層 12 に作用する参照層 14 からの漏洩磁界をほぼキャンセルすることができる。

40

【0040】

図 6 は、バイアス磁界層 16 の効果を確認するためのシミュレーション計算に用いたモデルを示す図である。図 6 は、1 個の M T J 素子 10 とその周囲に配置されたバイアス磁界層 16 との断面を示している。

【0041】

記録層 12 の中心を原点とし、膜面に対して垂直方向に z 軸を設定する。参照層 14 の厚さ 10 nm、記録層 12 の厚さ 2.2 nm、トンネルバリア層の厚さ 1 nm、M T J を直径 60 nm の円板形状とした。また、バイアス磁界層 16 は、計算を簡単にするために、内径 100 nm のリング形状とした。M T J とバイアス磁界層 16 との間には、20 n

50

mの絶縁領域を設けた。リングの外径Rは20 μm とした。図2のようにバイアス磁界層16が隣同士つながっている場合、着目しているMTJ素子10に作用する磁界は、隣にもMTJ素子が存在することによって殆ど変わらないと仮定して計算を行なった。また、バイアス磁界層16の厚さを“d”、バイアス磁界層16の高さと記録層12の高さとの差を“h”とし、バイアス磁界層16の高さが記録層12の高さと同じである場合をh = 0とする。なお、“バイアス磁界層16の高さ”とは、厚さ方向におけるバイアス磁界層16の中心の位置での高さをいうものとする。同様に、“記録層12の高さ”とは、厚さ方向における記録層12の中心の位置での高さをいうものとする。参照層14及びバイアス磁界層16の飽和磁化は共に1000 emu / cc程度とした。

【0042】

10

図7は、記録層12と同じ高さにバイアス磁界層16を配置した場合(h = 0)に、記録層12の厚さ方向の中心の位置に作用する漏洩磁界分布を示すグラフである。図7の横軸は記録層12の中心から動径方向の距離、縦軸は参照層14及びバイアス磁界層16から記録層12に印加される合成磁界のz成分[H z (O e)]を示している。図7には、バイアス磁界層16の厚さdを10 ~ 20 nmの範囲で変化させた場合のそれぞれの結果について示している。

【0043】

参照層14の半径は30 nmであるので、距離30 nm以下の領域では参照層14が発生する磁界とバイアス磁界層16が発生する磁界とが打ち消しあう方向に働き、磁界H z がゼロ近傍になっている。すなわち、バイアス磁界層16の厚さdを調整することで、記録層12に印加される漏洩磁界を相殺することができる。図6のモデルでは、バイアス磁界層16の厚さdが15 ~ 17 nmである場合が効果が大きい。

20

【0044】

図8は、記録層12の厚さ方向の中心の位置に作用する漏洩磁界の面積平均を示すグラフである。図8の横軸はバイアス磁界層16の厚さd (nm)、縦軸は参照層14及びバイアス磁界層16から記録層12に印加される合成磁界のz成分における面積平均[H z (O e)]を示している。バイアス磁界層16の厚さdを厚くすることにより下向きの磁界が強くなり、厚さdが約15 nmで参照層14の漏洩磁界をキャンセルすることができる。

【0045】

30

図9は、バイアス磁界層16の外径R = 170 nmに固定した場合の記録層12の厚さ方向の中心の位置に作用する漏洩磁界の面積平均を示すグラフである。図9の横軸はバイアス磁界層16の厚さd (nm)、縦軸は参照層14及びバイアス磁界層16から記録層12に印加される合成磁界のz成分における面積平均[H z (O e)]を示している。バイアス磁界層16の外径以外のパラメータ及び計算方法は、図8と同じである。

【0046】

図9の条件では、バイアス磁界層16の厚さを20 nmまで増やしても8700 e程度の磁界が残ってしまう。図8のR = 20 μm の条件では、バイアス磁界層16の外周部は記録層12の中心から30 nm以下の領域から十分離れているため、バイアス磁界層16の外周部から発生する漏洩磁界の記録層12に対する影響は無視することができる。しかし、図9のR = 170 nmの条件では、記録層12からバイアス磁界層16の外周部までの距離がバイアス磁界層16の厚さdに対して十分大きいとはいえず、バイアス磁界層16の外周部から発生する漏洩磁界が記録層12に作用し、参照層14からの漏洩磁界を強める方向に働くために、記録層12に作用する外部磁界が残ってしまう。図9を外挿(extrapolation)することにより、完全に漏洩磁界をキャンセルするためのバイアス磁界層16の厚さdは約35 nmになる。この厚さdの磁性膜の磁化を垂直に立たせることは難しいので、バイアス磁界層16の外周部は記録層12から十分離す方が好ましい。

40

【0047】

一方で、MRAMの容量を大きくするためにはMTJ素子アレイのピッチを大きくすることは好ましくない。図2或いは図5に示したように複数のMTJ素子10でバイアス磁

50

界層 16 を共通にすることにより、MTJ 素子アレイのピッチを大きくすることなく、バイアス磁界層 16 の外周部を MTJ 素子から十分離すことが可能になる。この場合、アレイの外周領域に配置された MTJ 素子もバイアス磁界層 16 の端から離す必要がある。

【0048】

図 10 は、バイアス磁界層 16 の厚さ $d = 15 \text{ nm}$ に固定し、バイアス磁界層 16 の外径 R をパラメータとした場合の記録層 12 の厚さ方向の中心の位置に作用する漏洩磁界の計算結果を示すグラフである。図 10 の横軸はバイアス磁界層 16 の外径 R (nm)、縦軸は参照層 14 及びバイアス磁界層 16 から記録層 12 に印加される合成磁界の z 成分における面積平均 $[H_z (\text{Oe})]$ を示している。

【0049】

図 10 の結果によると、磁界 H_z の許容量を 1000 Oe とすると外径 R が約 $2 \mu\text{m}$ 以上必要となるので、バイアス磁界層 16 の外周部と MTJ 素子 10 との距離はその半分である約 $1 \mu\text{m}$ 以上必要になる。そのため、バイアス磁界層 16 を共有する MTJ 素子アレイのうち最外周に配置された MTJ 素子に対して、バイアス磁界層 16 の端部を約 $1 \mu\text{m}$ 以上のマージンをとって設定する必要がある。

【0050】

図 11 は、バイアス磁界層 16 の端部のマージンを説明する図である。“A” 及び “B” は、MTJ 素子アレイの最外周に配置された MTJ 素子である。これら MTJ 素子からバイアス磁界層 16 の端部までの距離 d_A 及び d_B は、約 $1 \mu\text{m}$ 以上のマージンが必要である。ただし、記憶素子として使用しないダミーの MTJ 素子をマージン領域に配置してもよい。このようにダミー MTJ 素子を使用することで、実際に記憶素子として使用する MTJ 素子とバイアス磁界層 16 の端部までの距離を大きくすることが可能である。

【0051】

図 12 は、参照層 14 と同じ高さにバイアス磁界層 16 を配置した場合 ($h = 7.1 \text{ nm}$) の記録層 12 の厚さ方向の中心の位置に作用する漏洩磁界の面積平均を示すグラフである。図 12 の横軸はバイアス磁界層 16 の厚さ d (nm)、縦軸は参照層 14 及びバイアス磁界層 16 から記録層 12 に印加される合成磁界の z 成分における面積平均 $[H_z (\text{Oe})]$ を示している。バイアス磁界層 16 の外径 $R = 20 \mu\text{m}$ で計算している。

【0052】

図 12 に示すように、バイアス磁界層 16 の厚さ $d = 16 \text{ nm}$ にした時に、参照層 14 及びバイアス磁界層 16 から記録層 12 に印加される漏洩磁界がキャンセルされる。図 12 の結果と図 8 の結果とを比較すると、記録層 12 に印加される z 成分の漏洩磁界をキャンセルする効率は、バイアス磁界層 16 の高さを参照層 14 と同じにする方が記録層 12 と同じにする場合よりもわずかに悪くなる。しかし、バイアス磁界層 16 の高さを参照層 14 と同じにした場合は、動径方向成分の漏洩磁界もキャンセルされることになる。そのため、バイアス磁界層 16 の高さを参照層 14 と同じにする方が望ましいが、バイアス磁界層 16 の飽和磁化や厚さを十分大きくできない場合は、バイアス磁界層 16 の高さを参照層 14 と記録層 12 との間で調整する。

【0053】

なお、記録層 12 の厚さを d_F 、トンネルバリア層 13 の厚さを d_T 、参照層 14 の厚さを d_P とすると、バイアス磁界層 16 の高さが記録層 12 の高さ d_F と参照層 14 の高さ d_P の間、つまり “ $0 < h < (d_F / 2) + (d_P / 2) + d_T$ ” の条件を満たす場合には、参照層 14 とバイアス磁界層 16 との漏洩磁界の動径方向成分は互いに低減する方向に作用する。よって、上記 h の範囲を満たすようにバイアス磁界層 16 の高さを設定することで、記録層 12 に印加される漏洩磁界の動径方向成分を低減することができる。

【0054】

[3 . M R A M の製造方法]

次に、バイアス磁界層 16 を備えた M R A M の製造方法の一例について図面を参照しながら説明する。

【0055】

10

20

30

40

50

半導体基板上に形成されたM O SトランジスタやF E O L (Front End Of Line) 上に層間絶縁層 2 1 を堆積し、この層間絶縁層 2 1 内に下部配線或いはM O Sトランジスタ等に電氣的に接続されるコンタクト 2 2 を形成後、C M P (Chemical Mechanical Polishing) 及びエッチバックにより上面を平坦化した断面を図 1 3 に示す。層間絶縁層 2 1 としては、例えば酸化シリコン (S i O ₂) が用いられ、コンタクト 2 2 としては、例えばタングステン (W) が用いられる。

【 0 0 5 6 】

続いて、図 1 4 に示すように、コンタクト 2 2 上に、下地層 1 1、M T J 膜、ハードマスク層 1 5 を順に、例えばスパッタにより成膜する。下地層 1 1 は平坦な垂直磁化の磁性層を成長させるために必要な層であり、前述した材料によって構成される。M T J 膜は、
10 下から記録層 1 2、トンネルバリア層 1 3、参照層 1 4 からなる。記録層 1 2 及び参照層 1 4 の材料としては、例えば L 1 0 構造を持つ F e P t が用いられ、トンネルバリア層 1 3 としては、例えば酸化マグネシウム (M g O) が用いられる。ハードマスク層 1 5 としては、例えばタンタル (T a) が用いられる。M T J 膜とハードマスク層 1 5 との間には、薄い酸化マグネシウム (M g O) 或いはルテニウム (R u) 等のキャップ層を挟むようにしてもよい。

【 0 0 5 7 】

続いて、図 1 5 に示すように、リソグラフィ及びエッチングにより素子分離を行ない、複数の M T J 素子 1 0 を形成する。続いて、図 1 6 に示すように、M T J 素子 1 0 上及び露出した層間絶縁層 2 1 上に、絶縁膜 2 3 を堆積する。絶縁膜 2 3 としては、例えば酸化
20 シリコン (S i O ₂) 或いは窒化シリコン (S i N) が用いられる。この絶縁膜 2 3 は、M T J 素子 1 0 とバイアス磁界層 1 6 とを絶縁するためのものである。従って、絶縁膜 2 3 は M T J 素子 1 0 の側面にも形成されており、この絶縁膜 2 3 の厚さは絶縁信頼性の確保できる程度に厚く、同時にバイアス磁界層 1 6 によって M T J 素子 1 0 の記録層 1 2 に作用する参照層 1 4 からの漏洩磁界のキャンセルが可能である条件を満たす必要がある。例えば、絶縁膜 2 3 の厚さは、5 ~ 3 0 n m 程度になる。

【 0 0 5 8 】

続いて、図 1 7 に示すように、絶縁膜 2 3 上に、例えばスパッタにより、下地層 2 4、バイアス磁界層 1 6 を順に成膜する。バイアス磁界層 1 6 と M T J 素子 1 0 との距離は、
30 M T J 素子 1 0 の側面に形成された絶縁膜 2 3 の厚さによってセルフラインで制御されるため、ばらつきが小さくなり、よって M T J 素子 1 0 毎のシフト磁界のばらつきを抑えることができる。バイアス磁界層 1 6 のスパッタは指向性の高い条件で行い、ハードマスク層 1 5 の側面に付着する磁性層が少なくなるようにする。

【 0 0 5 9 】

バイアス磁界層 1 6 の磁性材料は、磁化の方向が垂直で飽和磁化が参照層 1 4 と同程度がそれ以上の材料を用いる。バイアス磁界層 1 6 としては、例えば、参照層 1 4 と同じ L 1 0 構造を持つ F e P t が用いられる。また、バイアス磁界層 1 6 の下には適当な下地層 2 4 を設けることで、バイアス磁界層 1 6 の磁化の垂直性を保ち、バイアス磁界層 1 6 の高さ
40 と M T J の高さをほぼ同じになるように調整する。その後、バイアス磁界層 1 6 上に、このバイアス磁界層 1 6 を保護するためのキャップ層 (図示せず) を形成する。下地層 2 4 には、下地層 1 1 と同様の材料が用いられる。

【 0 0 6 0 】

続いて、図 1 8 に示すように、試料全面に、例えば酸化シリコン (S i O ₂) 或いは窒化シリコン (S i N) からなる層間絶縁層 2 5 を堆積する。続いて、図 1 9 に示すように、C M P により、層間絶縁層 2 5 の平坦化を行なう。同時に、M T J 素子 1 0 の上面に堆積されたバイアス磁界層 1 6 及び下地層 2 4 も削り、M T J 膜上のハードマスク層 1 5 を露出させる。

【 0 0 6 1 】

続いて、図 2 0 に示すように、M T J 素子 1 0 上に、ハードマスク層 1 5 と電氣的に接続する上部配線 2 6 を形成する。上部配線 2 6 としては、例えばアルミニウム (A l) 或
50

いは銅 (Cu) が用いられる。このようにして、本実施形態の M R A M が形成される。

【 0 0 6 2 】

次に、ハードマスク層 1 5 の側面にバイアス磁界層 1 6 が付着するのを防ぐようにした、M R A M の他の製造方法について説明する。図 2 1 に示すように、M T J 膜を成膜後、この M T J 膜上に、金属からなる第 1 のハードマスク層 1 5、絶縁体からなる第 2 のハードマスク層 1 5 A を順に成膜する。第 1 のハードマスク層 1 5 としては、例えばタンタル (Ta) が用いられる。第 2 のハードマスク層 1 5 A としては、例えば酸化シリコン (SiO₂) が用いられる。

【 0 0 6 3 】

続いて、図 2 2 に示すように、リソグラフィ及び R I E (Reactive Ion Etching) により、第 2 のハードマスク層 1 5 A を M T J 素子 1 0 の平面形状と同じ形状にパターンニングする。続いて、等方性の強い条件 (高温、低バイアス、塩素ガス (Cl₂) 等) の R I E により第 1 のハードマスク層 1 5 をエッチングすることで、第 2 のハードマスク層 1 5 A の下にアンダーカットを入れる。

【 0 0 6 4 】

続いて、図 2 3 に示すように、斜入射ミリング等により、第 1 のハードマスク層 1 5 をマスクとして M T J 及び下地層 1 1 をエッチングする。この時、M T J は、順テーパ形状を有している。続いて、試料全面に、例えば窒化シリコンからなる絶縁膜 2 3 を堆積する。

【 0 0 6 5 】

続いて、図 2 4 に示すように、指向性の高い条件でのスパッタにより、絶縁膜 2 3 上に下地層 (図示せず) 及びバイアス磁界層 1 6 を成膜する。この時、第 2 のハードマスク層 1 5 A の下にはアンダーカットが入っているために、第 1 のハードマスク層 1 5 の側面はオーバーハングの下に隠れている。これにより、バイアス磁界層 1 6 の成膜時に、このバイアス磁界層 1 6 が第 1 のハードマスク層 1 5 の側面に付着するのを防いでいる。

【 0 0 6 6 】

続いて、図 2 5 に示すように、試料全面に、例えば酸化シリコン (SiO₂) からなる層間絶縁層 2 5 を堆積する。続いて、C M P により、第 1 のハードマスク層 1 5 の上面に堆積されたバイアス磁界層 1 6、下地層、絶縁膜 2 3 及び第 2 のハードマスク層 1 5 A を削り、第 1 のハードマスク層 1 5 を露出させる。続いて、図 2 6 に示すように、ハードマスク層 1 5 上に上部配線 2 6 を形成する。

【 0 0 6 7 】

このプロセスのポイントは、第 1 のハードマスク層 1 5 の側面にバイアス磁界層 1 6 を付着させないために、第 2 のハードマスク層 1 5 A にオーバーハングを形成する (換言すると、第 2 のハードマスク層 1 5 A の下にアンダーカットを入れる) ことにある。これによって、バイアス磁界層 1 6 の成膜時に第 1 のハードマスク層 1 5 の側面が第 2 のハードマスク層 1 5 A の影になるため、磁性層の付着が起こらない。そのための方法の 1 つは、図 2 2 で説明したように、2 層のハードマスクのうち下側の層をサイドエッチングの入りやすい条件で等方性エッチングすることにより、アンダーカットを形成する。

【 0 0 6 8 】

図 2 2 の例以外に、図 2 7 に示すように、第 1 のハードマスク層 1 5 上に、例えば窒化シリコン (SiN) からなる第 2 のハードマスク層 1 5 B、例えば酸化シリコン (SiO₂) からなる第 3 のハードマスク層 1 5 A を順に成膜し、例えば C D E (Chemical Dry Etching) により第 2 のハードマスク層 1 5 B をエッチングすることで、第 3 のハードマスク層 1 5 A の下にアンダーカットを入れる方法もある。或いは、下側の第 2 のハードマスク層 1 5 B を酸化シリコン (SiO₂) で構成し、上側の第 3 のハードマスク層 1 5 A を窒化シリコン (SiN) で構成する。そして、酸化シリコン (SiO₂) からなる第 2 のハードマスク層 1 5 B をフッ酸 (HF) を用いてエッチングすることで、第 3 のハードマスク層 1 5 A の下にアンダーカットを入れるようにしてもよい。その後、第 1 のハードマスク層 1 5、M T J、下地層 1 1 を所望の形状にパターンニングする。

10

20

30

40

50

【 0 0 6 9 】

次に、ハードマスク層にオーバーハング（或いは、アンダーカット）を形成する他の方法について説明する。図 2 8 に示すように、MTJ 膜を成膜後に、この MTJ 膜上に、例えば酸化シリコン（ SiO_2 ）からなる絶縁層 2 7 を堆積する。続いて、リソグラフィ及びエッチングにより、絶縁層 2 7 のエッチング面が順テーパになるように、絶縁層 2 7 内に MTJ 膜を露出する孔 2 8 を形成する。

【 0 0 7 0 】

続いて、図 2 9 に示すように、孔 2 8 内に、例えばタンタル（Ta）からなるハードマスク層 1 5 を埋め込んだ後、ハードマスク層 1 5 の上面を CMP により平坦化する。そして、絶縁層 2 7 を除去することで、オーバーハングを有するハードマスク層 1 5 を形成す

10

【 0 0 7 1 】

以上詳述したように第 1 の実施形態では、マトリクス状に 2 次元配列された複数の MTJ 素子 1 0 を有する MRAM が、これら複数の MTJ 素子 1 0 に共有され、かつ各 MTJ 素子 1 0 を囲むバイアス磁界層 1 6 を新たに備えている。また、このバイアス磁界層 1 6 は、実効的に 2 次元の平面状に広がっている。そして、バイアス磁界層 1 6 は、参照層 1 4 と同じ垂直方向の磁気異方性を有しており、その飽和磁化は、参照層 1 4 の飽和磁化と同程度かそれ以上に設定される。

【 0 0 7 2 】

従って第 1 の実施形態によれば、記録層 1 2 に作用する参照層 1 4 からの漏洩磁界をバイアス磁界層 1 6 によってほぼキャンセルすることができる。これにより、記録層 1 2 の磁化状態が漏洩磁界によって反転するのを防ぐことが可能となる。特に、記録層 1 2 と参照層 1 4 との磁化が反平行状態での安定性が向上する。この結果、記憶素子としての MTJ 素子 1 0 のリテンション特性を向上させることができる。

20

【 0 0 7 3 】

また、バイアス磁界層 1 6 の厚さ及び飽和磁化を調整する、或いは、バイアス磁界層 1 6 の高さを調整することで、記録層 1 2 に作用する漏洩磁界を高精度に相殺することができる。

【 0 0 7 4 】

また、バイアス磁界層 1 6 と参照層 1 4 との磁化の方向が同じであるため、バイアス磁界層 1 6 と参照層 1 4 とに保磁力差をつける必要がない。また、バイアス磁界層 1 6 と参照層 1 4 との着磁を同時に行なうことができる。これにより、材料の選択が容易となり、プロセス条件の制約を少なくすることができる。

30

【 0 0 7 5 】

[第 2 の実施形態]

第 2 の実施形態は、上部配線 2 6 と同じ方向に延在するようにバイアス磁界層 1 6 を形成し、このバイアス磁界層 1 6 を直接、或いは上部配線 2 6 を介して参照層 1 4 に電氣的に接続するようにしている。

【 0 0 7 6 】

[1 . バイアス磁界層 1 6 の構成]

図 3 0 は、本発明の第 2 の実施形態に係る MRAM の構成を示す斜視図である。MRAM は、マトリクス状に 2 次元配列された複数の MTJ 素子 1 0 を備えている。各 MTJ 素子 1 0 は、下地層 1 1、記録層 1 2、トンネルバリア層 1 3、参照層 1 4、ハードマスク層 1 5 が順に積層された積層構造を有する。記録層 1 2 は、下地層 1 1 を介して選択トランジスタ、或いは上部配線と直交する下部配線に電氣的に接続される。なお、図 3 0 では、図面の理解を容易にするために、下地層 1 1 及びハードマスク層 1 5 の図示を省略しており、すなわち、図 3 0 には MTJ 部分のみを示している。図 3 0 には、マトリクス状に 2 次元配列された複数の MTJ のうち 1 2 (4 × 3) 個を抽出して示している。

40

【 0 0 7 7 】

MRAM は、MTJ の列数に対応した数の複数のバイアス磁界層 1 6 を備えており、複

50

数のバイアス磁界層 16 は、X 方向に隣接して配置されている。各バイアス磁界層 16 は、上部配線と同じ方向（Y 方向）に延在する構造を有しており、同一平面内において 1 列分の MTJ に含まれる参照層 14 の各々を囲むように形成されている。すなわち、バイアス磁界層 16 は、MTJ に対応する数の孔を有している。バイアス磁界層 16 は、参照層 14 と同じ向き（垂直方向）の磁気異方性を有しており、バイアス磁界層 16 の飽和磁化は、参照層 14 の飽和磁化と同程度に設定される。

【0078】

バイアス磁界層 16 は、参照層 14 に直接接触しており、少なくとも上部配線の一部を形成している。図 30 に示すように、上部配線を設けずに、バイアス磁界層 16 が上部配線の機能を兼ねるようにしてもよい。実際には、バイアス磁界層 16 上にこのバイアス磁界層 16 と同じ方向に延在する上部配線 26 を設け、この上部配線 26 にバイアス磁界層 16 及び参照層 14 を電氣的に接続することで、電気抵抗を低減することが望ましい。このように上部配線 26 を設ける場合は、バイアス磁界層 16 と参照層 14 とが直接接触している必要はなく、バイアス磁界層 16 と参照層 14 とがそれぞれ上部配線 26 に電氣的に接続されていればよい。すなわち、図 30 において、バイアス磁界層 16 と参照層 14 と間に絶縁領域を設けてもよい。この構成例を以下に説明する。

【0079】

図 31 は、第 2 の実施形態に係る MRAM の他の構成例を示す平面図である。図 32 は、図 31 に示した A - A' 線に沿った MRAM の断面図である。図 31 では、マトリクス状に 2 次元配列された複数の MTJ のうち 9（3 × 3）個を抽出して示している。

【0080】

MRAM は、MTJ の列数に対応した数の複数のバイアス磁界層 16 を備えており、複数のバイアス磁界層 16 はそれぞれ、Y 方向に延在している。各バイアス磁界層 16 は、同一平面内において一列分の MTJ 素子 10 の各々を囲むように構成されており、絶縁膜 23 によって MTJ 素子 10 と絶縁されている。バイアス磁界層 16 は、参照層 14 と同じ向き（垂直方向）の磁気異方性を有しており、バイアス磁界層 16 の飽和磁化は、参照層 14 の飽和磁化と同程度かそれ以上に設定される。

【0081】

バイアス磁界層 16 上及びハードマスク層 15 上には、Y 方向に延在する上部配線 26 が設けられている。すなわち、バイアス磁界層 16 と参照層 14 とは、上部配線 26 を介して電氣的に接続されている。この上部配線 26 は、バイアス磁界層 16 と同様に、Y 方向に延在している。このようにして第 2 の実施形態の MRAM を構成するようにしてもよい。

【0082】

X 方向に隣接して配置された複数のバイアス磁界層 16 と参照層 14 とは、バイアス磁界層 16 間の距離を小さくすることで、同一平面状に広がった 1 個の磁性膜とみなすことができる。よって、第 2 の実施形態で示したバイアス磁界層 16 を用いた場合、参照層 14 及びバイアス磁界層 16 から記録層 12 に作用する漏洩磁界をほぼキャンセルすることができる。漏洩磁界がキャンセルされる原理は、第 1 の実施形態で示した図 3 及び図 4 と同じである。

【0083】

図 33 は、バイアス磁界層 16 と参照層 14 とが接触している条件で、バイアス磁界層 16 の効果を確認するためのシミュレーション計算に用いたモデルを示す図である。図 33 は、図 30 の構成を X 方向に沿って切断した断面図に対応する。このモデルにおいて、バイアス磁界層 16 及び参照層 14 の幅が 50 nm、厚さが 10 nm、トンネルバリア層 13 の厚さを 1 nm、記録層 12 の幅が 50 nm、厚さが 2 nm とした。隣接するバイアス磁界層 16 間の距離は 50 nm とした。また、図 33 の構造が 2 μm × 2 μm の領域に広がっていると計算した。

【0084】

図 34 は、記録層 12 の厚さ方向の中心の位置（一点鎖線の位置）に作用する漏洩磁界

10

20

30

40

50

分布を示すグラフである。図34の横軸はバイアス磁界層16の端からの距離(nm)、縦軸は記録層12の厚さ方向の中心の位置での漏洩磁界のz成分[Hz(Oe)]を示している。また、図34には、参照層14から発生される漏洩磁界のz成分、バイアス磁界層16から発生される漏洩磁界のz成分、及びこれらの合成磁界のz成分を示している。

【0085】

図34に示すように、記録層12の厚さ方向の中心の位置において、参照層14とバイアス磁界層16との漏洩磁界は互いに打ち消しあう方向に働く。なお、バイアス磁界層16間の距離がゼロではないため、参照層14からの漏洩磁界を完全にキャンセルするには、この距離分の磁化を補う必要がある。図33のモデルでは、参照層14の飽和磁化=1000emu/cc、バイアス磁界層16の飽和磁化=1200emu/ccに設定することで、参照層14及びバイアス磁界層16から記録層12に作用する漏洩磁界をほぼゼロにすることができる。

10

【0086】

なお、第2の実施形態においても第1の実施形態と同様の理由により、MTJ素子アレイのうち最外周に配置されたMTJ素子からバイアス磁界層16の端部までの距離は、約1μm以上のマージンが必要である。よって、第2の実施形態においても、MTJ素子アレイのうち最外周に配置されたMTJ素子に対して、バイアス磁界層16の端部を約1μm以上のマージンをとって設定する必要がある。

【0087】

また、バイアス磁界層16の高さは、記録層12に印加される漏洩磁界がキャンセルされるように、参照層14と記録層12との間で調整する。

20

【0088】

[2.MRAMの製造方法]

次に、バイアス磁界層16を備えたMRAMの製造方法の一例について図面を参照しながら説明する。なお、図13乃至図17までの製造工程は、第1の実施形態と同じである。

【0089】

図35に示すように、バイアス磁界層16上に例えばルテニウム(Ru)からなるキャップ層(図示せず)を堆積した後、試料全面に、例えばアルミニウム(Al)からなる上部配線26を例えばスパッタにより堆積する。続いて、図36に示すように、CMPにより、ハードマスク層15の途中まで平坦化を行ない、ハードマスク層15の上面を露出させる。

30

【0090】

続いて、図37に示すように、例えばスパッタにより、上部配線26の積み増しを行う。続いて、CMPにより、上部配線26の上面を平坦化する。続いて、図38に示すように、リソグラフィ及びエッチングにより、上部配線26をパターンニングするとともに、バイアス磁界層16及び下地層24を切断する。これにより、X方向に隣接するバイアス磁界層16を電氣的に分離でき、かつ各バイアス磁界層16をこれに対応する上部配線26に電氣的に接続することができる。このようにして、本実施形態のMRAMが形成される。

40

【0091】

以上詳述したように第2の実施形態では、マトリクス状に2次元配列された複数のMTJ素子10を有するMRAMにおいて、列数に対応する複数のバイアス磁界層16を設け、各バイアス磁界層16は、一列に配列されたMTJ素子10に共有され、かつこれら一列のMTJ素子10をそれぞれ囲むように構成される。そして、バイアス磁界層16は、これと同じ方向に延在する上部配線26を介して参照層14に電氣的に接続され、或いは上部配線26を介さずに直接参照層14に電氣的に接続されている。

【0092】

従って第2の実施形態によれば、記録層12に作用する参照層14からの漏洩磁界をバイアス磁界層16によってほぼキャンセルすることができる。これにより、記録層12の

50

磁化状態が漏洩磁界によって反転するのを防ぐことが可能となる。

【0093】

また、図30の構造では、バイアス磁界層16と参照層14とを絶縁する必要がない。よって、第1の実施形態で説明したような、バイアス磁界層16を成膜する際に参照層14の側面に磁性層が付着しないようにするための工程が不要である。これにより、バイアス磁界層16の成膜工程を容易にすることが可能となる。

【0094】

また、バイアス磁界層16を上部配線の一部として使用しているため、バイアス磁界層を有しない従来のデバイス構造と同様の構造を用いることができる。すなわち、MRAMの大きな設計変更を行う必要がなく、MRAMにバイアス磁界層16を適用したことによる製造工程の増加も抑えることができる。

10

【0095】

[第3の実施形態]

第3の実施形態は、参照層14を平面状に構成し、この参照層14を複数のMTJ素子10で共有するようにしている。これにより、参照層14から記録層12に作用する漏洩磁界をなくすようにしている。

【0096】

[1.MRAMの構成]

図39は、本発明の第3の実施形態に係るMRAMの構成を示す平面図である。図40は、図39に示したA-A'線に沿ったMRAMの断面図である。

20

【0097】

MRAMは、記録層12、トンネルバリア層13、参照層14が順に積層されたMTJを複数個備えている。図39では、マトリクス状に2次元配列された複数のMTJのうち6(2×3)個を抽出して示している。各MTJの参照層14は電氣的に接続されている。すなわち、参照層14は、平面状に広がっており、複数のMTJに共有されている。

【0098】

換言すると、本実施形態は、参照層14とバイアス磁界層とが一体になっている或いは電氣的に接続されている構造である。この構造では、参照層14とバイアス磁界層との隙間がないのと等価であるため、参照層14を平面状に形成する(すなわち、参照層14及びバイアス磁界層の厚さ及び飽和磁化を同じにする)ことで、参照層14から記録層12に作用する漏洩磁界をなくすことができる。

30

【0099】

各記録層12の下には、第1の実施形態と同様に下地層(図示せず)が設けられる。平面状の参照層14上には、例えば参照層14と同じ平面形状を有する上部配線(図示せず)が設けられる。

【0100】

図40の構造では、MTJの参照層同士が電氣的に接続されるため、素子選択は、MTJの下側(基板側)のみで行なう必要が生じる。このため、記録層12は、選択トランジスタ31を介してビット線BLに電氣的に接続される。選択トランジスタ31のゲート端子は、ワード線WLに電氣的に接続される。

40

【0101】

図41は、第3の実施形態に係るMRAMの他の構成例を示す平面図である。図42は、図41に示したA-A'線に沿ったMRAMの断面図である。

【0102】

バイアス磁界層16は、MTJと同一平面に延在しており、複数のMTJの各々を囲むように構成されている。また、バイアス磁界層16は、絶縁膜23によってMTJ素子10と絶縁されている。バイアス磁界層16上及び参照層14上には、平面状に広がった上部配線26が設けられている。すなわち、バイアス磁界層16と参照層14とは、上部配線26を介して電氣的に接続されている。このようにして第3の実施形態のMRAMを構成することも可能である。

50

【 0 1 0 3 】

[2 . M R A M の製造方法]

次に、第 3 の実施形態に係る M R A M の製造方法の一例について図面を参照しながら説明する。

【 0 1 0 4 】

図 4 3 に示すように、下地層（図示せず）上に、参照層 1 4、トンネルバリア層 1 3、記録層 1 2 を順に成膜し、M T J 膜を形成する。続いて、図 4 4 に示すように、リソグラフィ及びエッチングにより、記録層 1 2 及びトンネルバリア層 1 3 を所望の平面形状にパターンニングすることで、素子分離を行なう。

【 0 1 0 5 】

続いて、図 4 5 に示すように、素子選択のための回路（選択トランジスタ 3 1 を含む）を別の基板に作成する。そして、記録層 1 2 が回路基板と向き合うようにして、2 つの基板を貼り合わせる。このようにして、図 3 9 及び図 4 0 に示した M R A M が形成される。

【 0 1 0 6 】

次に、第 3 の実施形態に係る M R A M の他の製造方法について説明する。図 1 3 乃至図 1 7 までの製造工程は、第 1 の実施形態と同じである。続いて、図 4 6 に示すように、C M P により、ハードマスク層 1 5 まで除去し、参照層 1 4 及びバイアス磁界層 1 6 の上面を露出させる。

【 0 1 0 7 】

続いて、図 4 7 に示すように、参照層 1 4 及びバイアス磁界層 1 6 上に、例えばアルミニウム（A l）からなる上部配線 2 6 を例えばスパッタにより堆積する。その後、C M P により、上部配線 2 6 の上面を平坦化する。このようにして、図 4 1 及び図 4 2 に示した M R A M が形成される。

【 0 1 0 8 】

以上詳述したように第 3 の実施形態では、参照層 1 4 を平面状に構成することで、参照層 1 4 から記録層 1 2 に作用する漏洩磁界をなくすようにしている。これにより、記録層 1 2 の磁化状態が漏洩磁界によって反転するのを防ぐことが可能となる。

【 0 1 0 9 】

[実施例]

以下に、第 1 及び第 2 の実施形態で示した M R A M の実施例について説明する。

【 0 1 1 0 】

図 4 8 は、実施例の係る M R A M の構成を示す回路図である。M R A M は、マトリクス状に配列された複数のメモリセル M C を有するメモリセルアレイ 3 2 を備えている。メモリセルアレイ 3 2 には、それぞれが列（カラム）方向に延在するように、複数のビット線対 B L , / B L が配設されている。また、メモリセルアレイ 3 2 には、それぞれが行（ロウ）方向に延在するように、複数のワード線 W L が配設されている。

【 0 1 1 1 】

ビット線 B L とワード線 W L との交差領域には、メモリセル M C が配置されている。各メモリセル M C は、M T J 素子 1 0、及び N チャネル M O S トランジスタからなる選択トランジスタ 3 1 を備えている。M T J 素子 1 0 の一端は、ビット線 B L に接続されている。M T J 素子 1 0 の他端は、選択トランジスタ 3 1 のドレイン端子に接続されている。選択トランジスタ 3 1 のゲート端子は、ワード線 W L に接続されている。選択トランジスタ 3 1 のソース端子は、ビット線 / B L に接続されている。

【 0 1 1 2 】

ワード線 W L には、ロウデコーダ 3 3 が接続されている。ビット線対 B L , / B L には、書き込み回路 3 5 及び読み出し回路 3 6 が接続されている。書き込み回路 3 5 及び読み出し回路 3 6 には、カラムデコーダ 3 4 が接続されている。各メモリセル M C は、ロウデコーダ 3 3 及びカラムデコーダ 3 4 により選択される。

【 0 1 1 3 】

メモリセル M C へのデータの書き込みは、以下のように行われる。まず、データ書き込

10

20

30

40

50

みを行うメモリセルMCを選択するために、このメモリセルMCに接続されたワード線WLがロウデコーダによって活性化される。これにより、選択トランジスタ31がターンオンする。さらに、接続メモリセルMCに接続されたビット線対BL、/BLがカラムデコーダ34によって選択される。

【0114】

ここで、MTJ素子10には、書き込みデータに応じて、双方向の書き込み電流が供給される。具体的には、MTJ素子10に左から右へ書き込み電流を供給する場合、書き込み回路35は、ビット線BLに正の電圧を印加し、ビット線/BLに接地電圧を印加する。また、MTJ素子10に右から左へ書き込み電流を供給する場合、書き込み回路35は、ビット線/BLに正の電圧を印加し、ビット線BLに接地電圧を印加する。このようにして、メモリセルMCにデータ“0”、或いはデータ“1”を書き込むことができる。

10

【0115】

次に、メモリセルMCからのデータ読み出しは、以下のように行われる。まず、書き込みの場合と同様に、選択されたメモリセルMCの選択トランジスタ31がターンオンする。読み出し回路36は、MTJ素子10に、例えば右から左へ流れる読み出し電流を供給する。この読み出し電流は、スピン注入によって磁化反転する閾値よりも小さい値に設定される。そして、読み出し回路36は、読み出し電流に基づいて、MTJ素子10の抵抗値を検出する。このようにして、MTJ素子10に記憶されたデータを読み出すことができる。

【0116】

20

本発明は、上述した実施形態に限定されるものではなく、その要旨を逸脱しない範囲内で、構成要素を変形して具体化できる。また、実施形態に開示されている複数の構成要素の適宜な組み合わせにより種々の発明を構成することができる。例えば、実施形態に開示される全構成要素から幾つかの構成要素を削除してもよいし、異なる実施形態の構成要素を適宜組み合わせてもよい。

【図面の簡単な説明】

【0117】

【図1】第1の実施形態に係るMTJ素子10の構成を示す断面図。

【図2】バイアス磁界層16を備えたMRAMの構成を示す斜視図。

【図3】漏洩磁界をバイアス磁界層16がキャンセルする様子を説明する図。

30

【図4】垂直磁化を有しかつ面内方向に広がる磁性膜の一部を示す図。

【図5】バイアス磁界層16を備えたMRAMの他の構成例を示す斜視図。

【図6】バイアス磁界層16の効果を確認するためのシミュレーション計算に用いたモデルを示す図。

【図7】記録層12に作用する漏洩磁界分布を示すグラフ。

【図8】記録層12作用する漏洩磁界の面積平均を示すグラフ。

【図9】外径 $R = 170 \text{ nm}$ に固定した場合の記録層12に作用する漏洩磁界の面積平均を示すグラフ。

【図10】バイアス磁界層16の厚さ $d = 15 \text{ nm}$ に固定した場合の記録層12に作用する漏洩磁界を示すグラフ。

40

【図11】バイアス磁界層16の端部のマージンを説明する図。

【図12】参照層14と同じ高さにバイアス磁界層16を配置した場合の記録層12に作用する漏洩磁界の面積平均を示すグラフ。

【図13】MRAMの製造方法の一工程を示す断面図。

【図14】MRAMの製造方法の一工程を示す断面図。

【図15】MRAMの製造方法の一工程を示す断面図。

【図16】MRAMの製造方法の一工程を示す断面図。

【図17】MRAMの製造方法の一工程を示す断面図。

【図18】MRAMの製造方法の一工程を示す断面図。

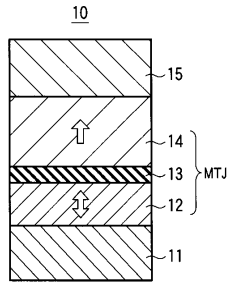
【図19】MRAMの製造方法の一工程を示す断面図。

50

- 【図20】MRAMの製造方法の一工程を示す断面図。
- 【図21】MRAMの他の製造方法の一工程を示す断面図。
- 【図22】MRAMの他の製造方法の一工程を示す断面図。
- 【図23】MRAMの他の製造方法の一工程を示す断面図。
- 【図24】MRAMの他の製造方法の一工程を示す断面図。
- 【図25】MRAMの他の製造方法の一工程を示す断面図。
- 【図26】MRAMの他の製造方法の一工程を示す断面図。
- 【図27】MRAMの他の製造方法の一工程を示す断面図。
- 【図28】MRAMの他の製造方法の一工程を示す断面図。
- 【図29】MRAMの他の製造方法の一工程を示す断面図。 10
- 【図30】第2の実施形態に係るMRAMの構成を示す斜視図。
- 【図31】MRAMの他の構成例を示す平面図。
- 【図32】図31に示したA-A'線に沿ったMRAMの断面図。
- 【図33】バイアス磁界層16の効果を確認するためのシミュレーション計算に用いたモデルを示す図。
- 【図34】記録層12に作用する漏洩磁界分布を示すグラフ。
- 【図35】MRAMの製造方法の一工程を示す断面図。
- 【図36】MRAMの製造方法の一工程を示す断面図。
- 【図37】MRAMの製造方法の一工程を示す断面図。
- 【図38】MRAMの製造方法の一工程を示す断面図。 20
- 【図39】第3の実施形態に係るMRAMの構成を示す平面図。
- 【図40】図39に示したA-A'線に沿ったMRAMの断面図。
- 【図41】第3の実施形態に係るMRAMの他の構成例を示す平面図。
- 【図42】図41に示したA-A'線に沿ったMRAMの断面図。
- 【図43】MRAMの製造方法の一工程を示す断面図。
- 【図44】MRAMの製造方法の一工程を示す断面図。
- 【図45】MRAMの製造方法の一工程を示す断面図。
- 【図46】MRAMの他の製造方法の一工程を示す断面図。
- 【図47】MRAMの他の製造方法の一工程を示す断面図。
- 【図48】実施例に係るMRAMの構成を示す回路図。 30
- 【符号の説明】
- 【0118】
- 10...MTJ素子、11...下地層、12...記録層、13...トンネルバリア層、14...参照層、16...バイアス磁界層、21...層間絶縁層、22...コンタクト、23...絶縁膜、24...下地層、25...層間絶縁層、26...上部配線、27...絶縁層、28...孔、31...選択トランジスタ、32...メモリセルアレイ、33...ロウデコーダ、34...カラムデコーダ、35...書き込み回路、36...読み出し回路、BL...ビット線、WL...ワード線、MC...メモリセル。

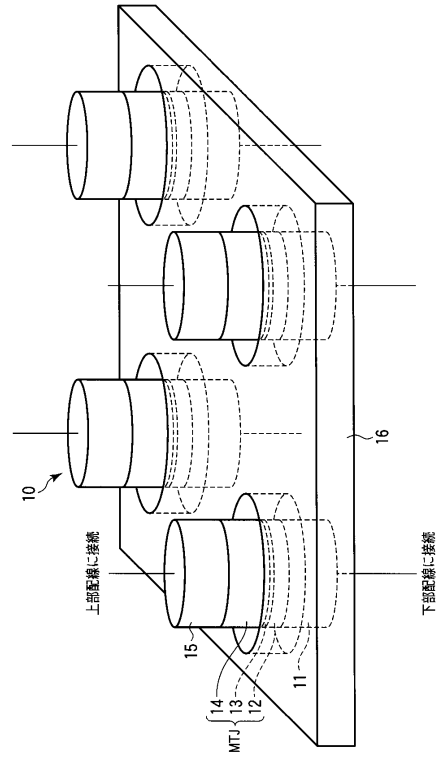
【図 1】

図 1



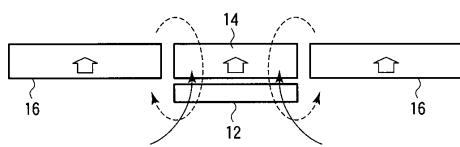
【図 2】

図 2



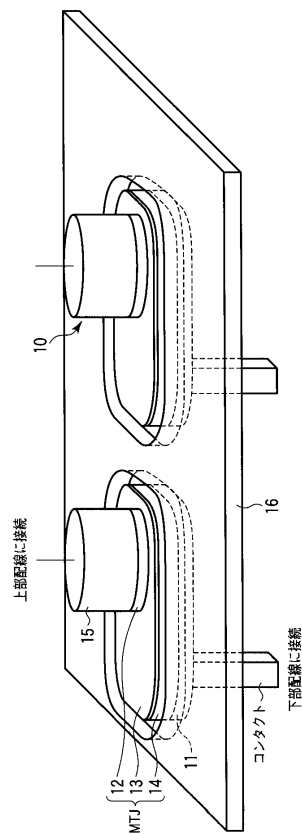
【図 3】

図 3



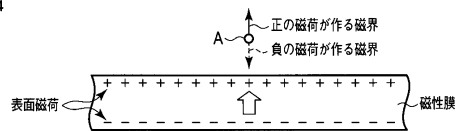
【図 5】

図 5

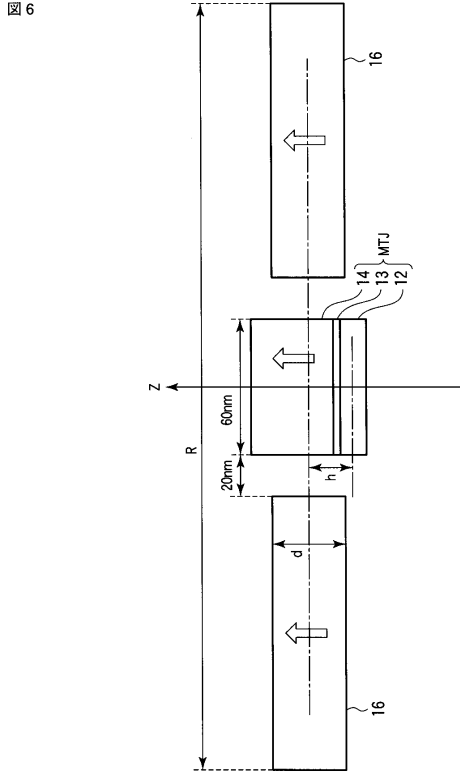


【図 4】

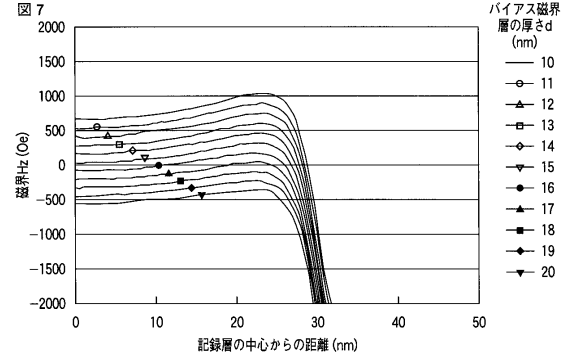
図 4



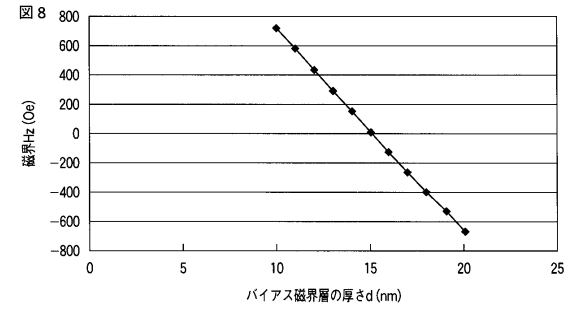
【 図 6 】



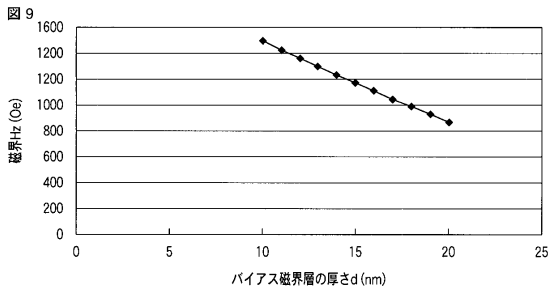
【 図 7 】



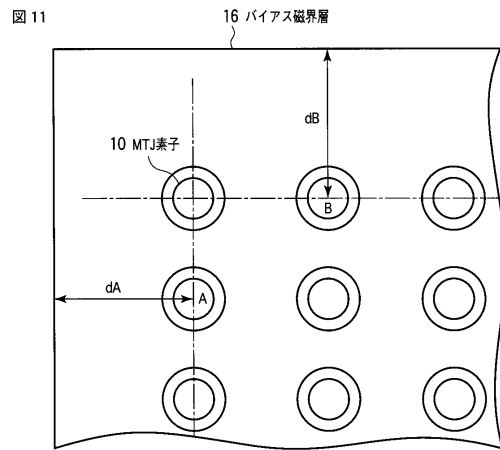
【 図 8 】



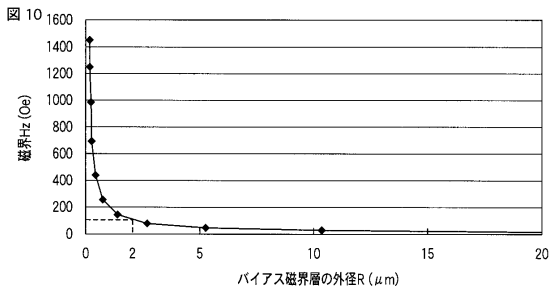
【 図 9 】



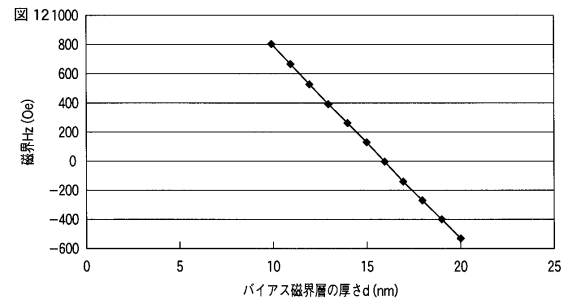
【 図 1 1 】



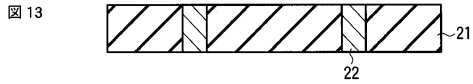
【 図 1 0 】



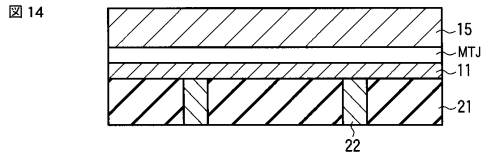
【 図 1 2 】



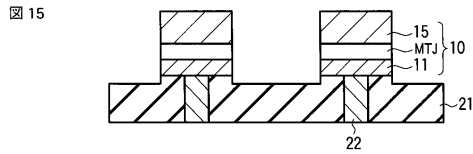
【 図 1 3 】



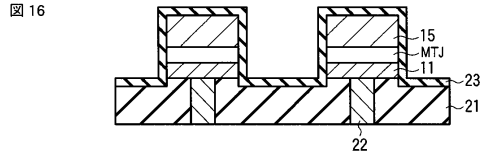
【 図 1 4 】



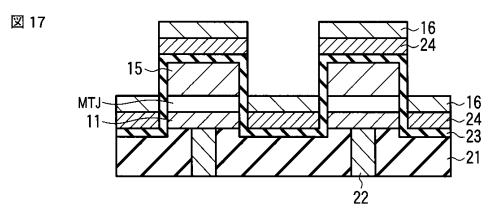
【 図 1 5 】



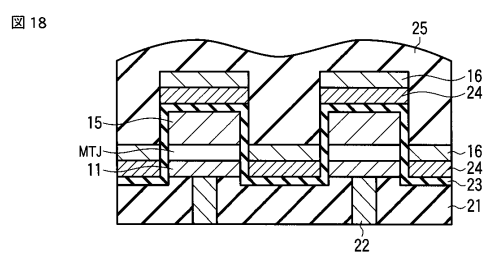
【 図 1 6 】



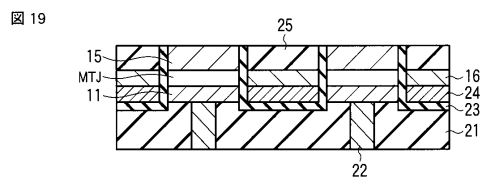
【 図 1 7 】



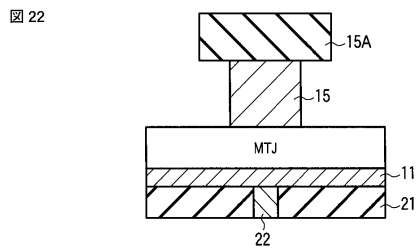
【 図 1 8 】



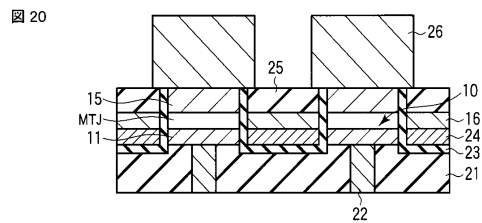
【 図 1 9 】



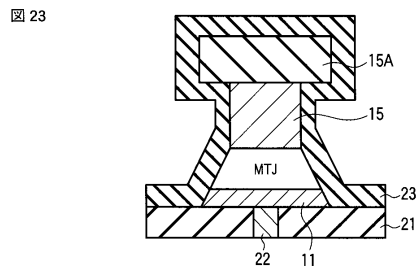
【 図 2 2 】



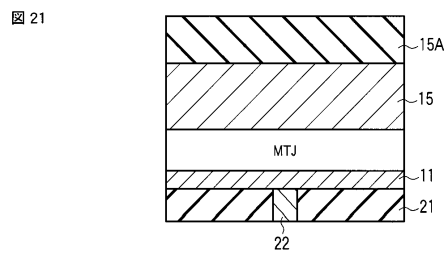
【 図 2 0 】



【 図 2 3 】

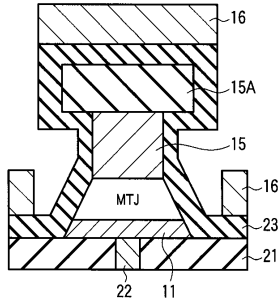


【 図 2 1 】



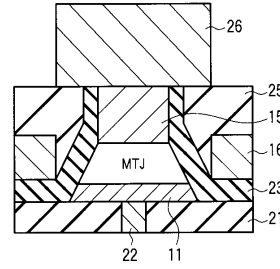
【図 24】

図 24



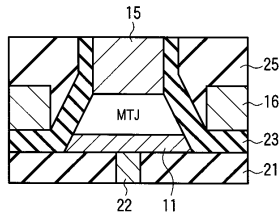
【図 26】

図 26



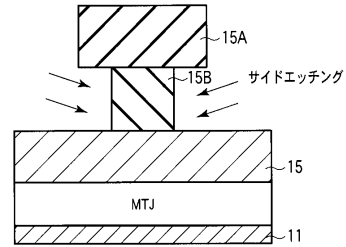
【図 25】

図 25



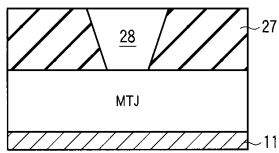
【図 27】

図 27



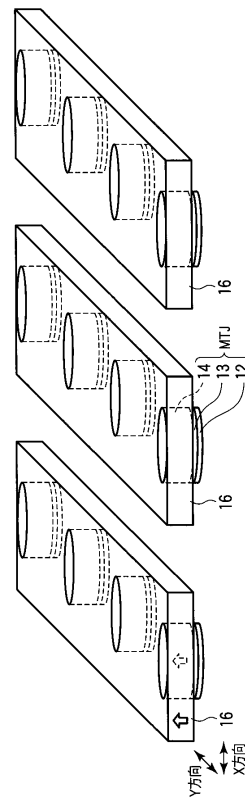
【図 28】

図 28



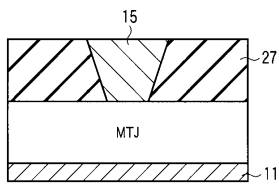
【図 30】

図 30

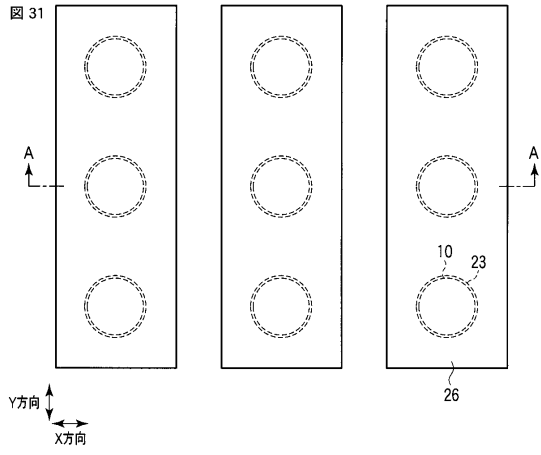


【図 29】

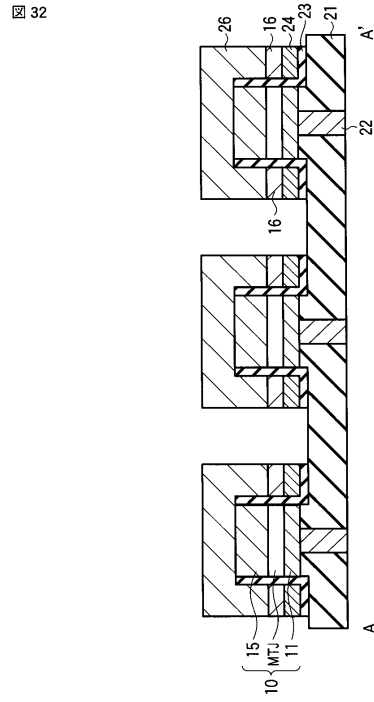
図 29



【図 3 1】

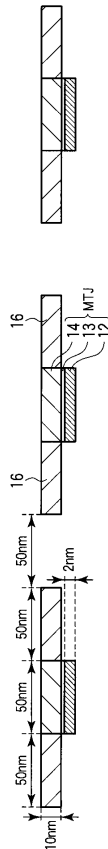


【図 3 2】



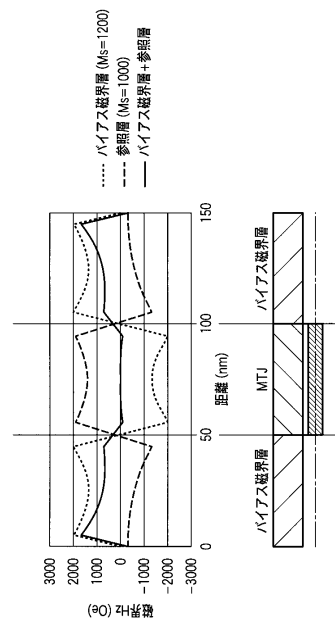
【図 3 3】

図 33



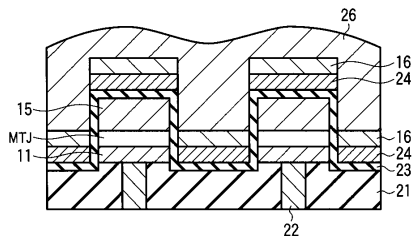
【図 3 4】

図 34



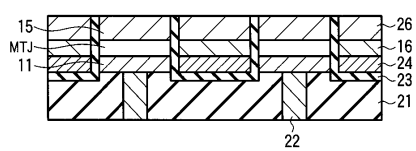
【 35 】

图 35



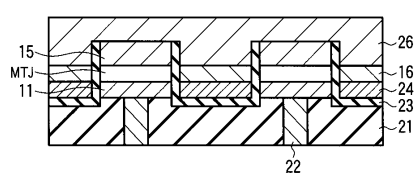
【 36 】

图 36



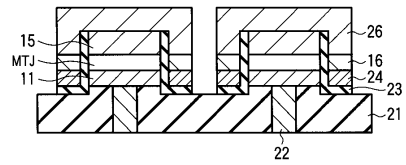
【 37 】

图 37



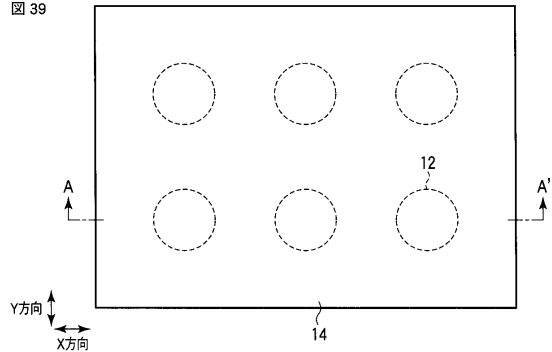
【 38 】

图 38



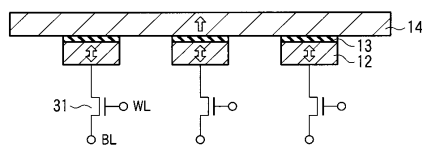
【 39 】

图 39



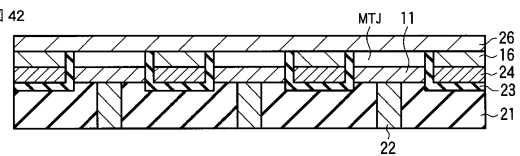
【 40 】

图 40



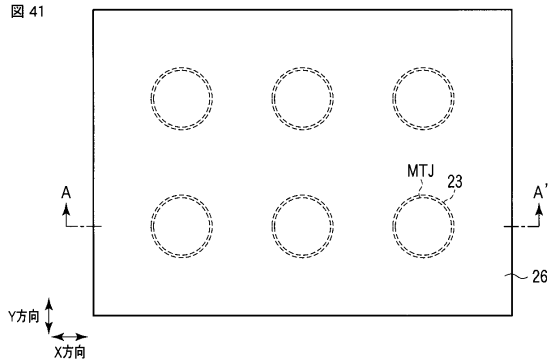
【 42 】

图 42



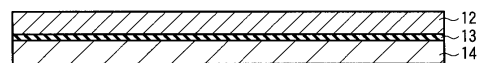
【 41 】

图 41



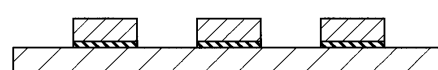
【 43 】

图 43



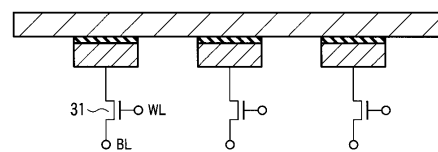
【 44 】

图 44



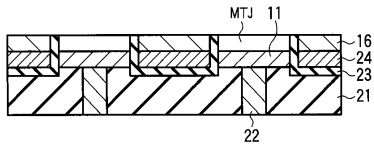
【 45 】

图 45



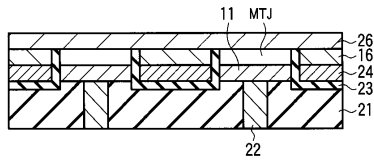
【図46】

図46



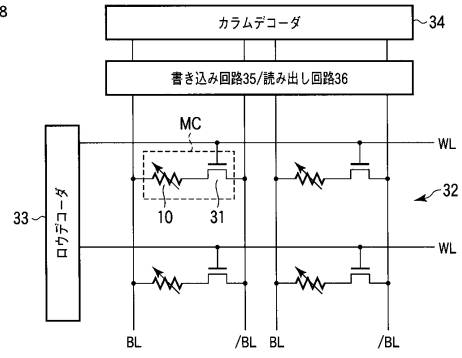
【図47】

図47



【図48】

図48



フロントページの続き

- (74)代理人 100084618
弁理士 村松 貞男
- (74)代理人 100103034
弁理士 野河 信久
- (74)代理人 100119976
弁理士 幸長 保次郎
- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100100952
弁理士 風間 鉄也
- (74)代理人 100101812
弁理士 勝村 紘
- (74)代理人 100070437
弁理士 河井 将次
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (74)代理人 100134290
弁理士 竹内 将訓
- (74)代理人 100127144
弁理士 市原 卓三
- (74)代理人 100141933
弁理士 山下 元
- (72)発明者 下村 尚治
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 天野 実
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 上田 善寛
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 相川 尚徳
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 池川 純夫
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 高橋 茂樹
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 小瀬木 淳一
東京都港区芝浦一丁目1番1号 株式会社東芝内
- (72)発明者 永瀬 俊彦
東京都港区芝浦一丁目1番1号 株式会社東芝内

審査官 三浦 尊裕

特開2007-266498(JP,A)
特開2002-319664(JP,A)
特開2002-299584(JP,A)
特開2005-094002(JP,A)
特開2008-171882(JP,A)
特開2008-159613(JP,A)

(58)調査した分野(Int.Cl., DB名)

H01L 21/8246
H01F 10/32
H01L 27/105
H01L 43/08