



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0109170
(43) 공개일자 2017년09월28일

(51) 국제특허분류(Int. Cl.)
H01L 21/8238 (2006.01) H01L 21/02 (2006.01)
H01L 29/10 (2006.01) H01L 29/417 (2006.01)
(52) CPC특허분류
H01L 21/823814 (2013.01)
H01L 21/02472 (2013.01)
(21) 출원번호 10-2016-0032842
(22) 출원일자 2016년03월18일
심사청구일자 2016년03월18일

(71) 출원인
고려대학교 산학협력단
서울특별시 성북구 안암로 145, 고려대학교 (안암동5가)
인하대학교 산학협력단
인천광역시 남구 인하로 100, 인하대학교 (용현동)
(72) 발명자
유현용
서울특별시 서초구 사평대로 240, 503동 706호 (반포동, 미도2차아파트)
김선우
서울특별시 성북구 정릉로 388 (돈암동, 동부센트레빌아파트) 107동704호
(뒷면에 계속)
(74) 대리인
김동용, 김홍석

전체 청구항 수 : 총 17 항

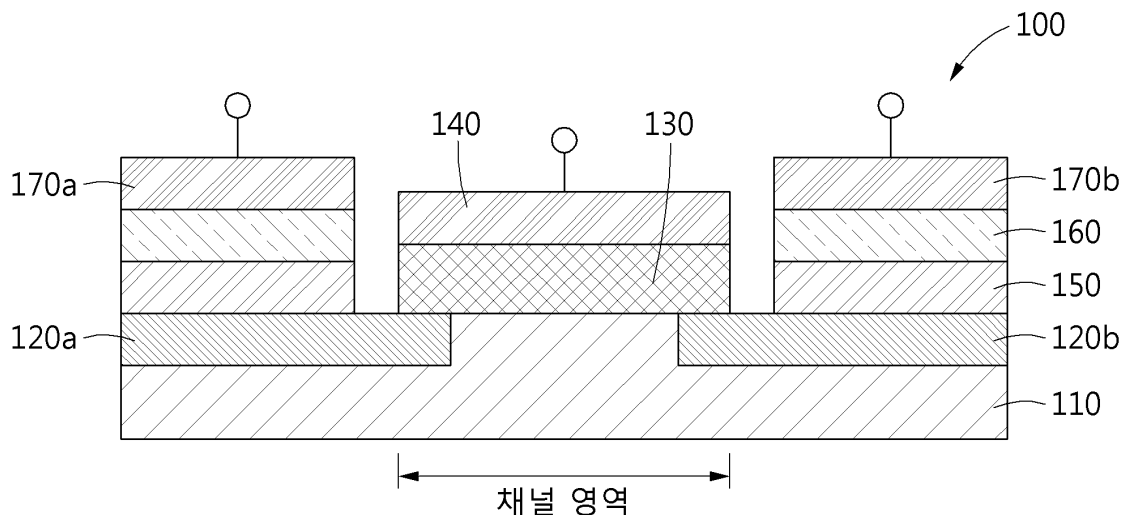
(54) 발명의 명칭 반도체 소자 및 그 제조방법

(57) 요약

본 발명의 제1 실시 예에 따른 반도체 소자는, 채널 영역, 고농도로 도핑 된 소스 영역 및 드레인 영역을 포함한 반도체 기판; 상기 반도체 기판의 채널 영역 상에 형성된 게이트 구조체; 상기 반도체 기판상의 소스 영역 및 드레인 영역에 형성된 제1 중간층; 상기 제1 중간층 상에 형성된 제2 중간층; 및 상기 제2 중간층 상에 금속 물질로 형성된 소스 전극 및 드레인 전극을 포함한다.

본 발명은 접촉 저항 감소를 위한 반도체 표면 공정 기술로써 금속과 반도체 사이에 고 유전율의 산화물을 이중 중간층으로 형성하여 반도체 표면에서의 접촉 저항을 감소할 수 있다.

대표도 - 도1



(52) CPC특허분류

H01L 21/823807 (2013.01)

H01L 21/823871 (2013.01)

H01L 29/1025 (2013.01)

H01L 29/41725 (2013.01)

(72) 발명자

김승환

서울특별시 성북구 인촌로17길 27 204호 (안암동2가, 하랑빌)

최리노

서울특별시 마포구 월드컵북로 502-37 (상암동, 상암월드컵파크11단지) 1105동 305호

이 발명을 지원한 국가연구개발사업

과제고유번호 10052804

부처명 산업통상자원부

연구관리전문기관 한국산업기술평가관리원

연구사업명 전자정보디바이스산업원천기술개발사업

연구과제명 시퀀셜 소자 적층을 위한 초저온 전공정 집적 기술 개발

기 여 율 1/1

주관기관 인하대학교 산학협력단

연구기간 2015.06.01 ~ 2020.05.31

명세서

청구범위

청구항 1

채널 영역, 고농도로 도핑 된 소스 영역 및 드레인 영역을 포함한 반도체 기판;
상기 반도체 기판의 채널 영역 상에 형성된 게이트 구조체;
상기 반도체 기판상의 소스 영역 및 드레인 영역에 형성된 제1 중간층;
상기 제1 중간층 상에 형성된 제2 중간층; 및
상기 제2 중간층 상에 금속 물질로 형성된 소스 전극 및 드레인 전극을 포함하는 반도체 소자.

청구항 2

제1항에 있어서,
상기 제1 중간층 및 상기 제2 중간층은 서로 다른 산화물로 형성되는 것을 특징으로 하는 반도체 소자.

청구항 3

제3항에 있어서,
상기 산화물은 징크옥사이드(ZnO), 티타늄옥사이드(TiO₂), 지르코늄옥사이드(ZrO₂), 실리콘옥사이드(SiO₂), hafnium 옥사이드(HfO₂), 란타늄옥사이드(La₂O₃), 알루미늄옥사이드(Al₂O₃), 이트륨옥사이드(Y₂O₃), 마그네슘옥사이드(MgO), 게르마늄옥사이드(GeO₂), 스트론튬옥사이드(SrO) 및 루테튬옥사이드(Lu₂O₃) 중에서 어느 하나 인 것을 특징으로 하는 반도체 소자.

청구항 4

제1항에 있어서,
상기 제1 중간층은 상기 제2 중간층보다 산소 면밀도(Oxygen Areal Density :OAD)가 높은 산화물로 형성되는 것을 특징으로 하는 반도체 소자.

청구항 5

제1항에 있어서,
상기 제1 중간층은 티타늄옥사이드(TiO₂)로 형성되고, 상기 제2 중간층은 징크옥사이드(ZnO)로 형성되는 것을 특징으로 하는 반도체 소자.

청구항 6

제1항에 있어서,
상기 제1 중간층 및 상기 제2 중간층을 포함한 두께는 0.5 ~ 2 nm 로 형성되는 것을 특징으로 하는 반도체 소자.

청구항 7

고농도로 도핑 된 소스 영역 및 드레인 영역을 포함한 반도체 기관;
상기 반도체 기관상의 소스 영역 및 드레인 영역에 형성된 제1 중간층;
상기 제1 중간층 상에 형성된 제2 중간층; 및
상기 제2 중간층 상에 금속 물질로 형성된 소스 전극 및 드레인 전극을 포함하는 반도체 소자.

청구항 8

반도체 기관상에 채널 영역, 고농도로 도핑 된 소스 영역 및 드레인 영역을 형성하는 단계;
상기 반도체 기관의 채널 영역 상에 게이트 구조체를 형성하는 단계;
상기 반도체 기관상의 소스 영역 및 드레인 영역에 제1 중간층을 형성하는 단계;
상기 제1 중간층 상에 제2 중간층을 형성하는 단계; 및
상기 제2 중간층 상에 금속 물질로 소스 전극 및 드레인 전극을 형성하는 단계를 포함하는 반도체 소자의 제조 방법.

청구항 9

제9항에 있어서,
상기 제1 중간층을 형성하는 단계는,
상기 게이트 구조체가 형성된 반도체 기관상에 감광성 절연물질을 도포한 후, 소스 영역 및 드레인 영역이 노출 되도록 패터닝하는 단계; 및
상기 노출된 소스 영역 및 드레인 영역에 제1 산화물을 증착하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 10

제9항에 있어서,
상기 소스 전극 및 드레인 전극을 형성하는 단계 이후,
상기 게이트 구조체 상에 남아있는 감광성 절연물질, 제1 중간층, 제2 중간층, 금속 물질 및 상기 게이트 구조체와 상기 소스/드레인 사이의 이격된 영역에 남아있는 제1 중간층, 제2 중간층, 금속 물질을 제거하는 단계를 더 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 11

제9항에 있어서,
상기 제1 중간층 및 상기 제2 중간층은 서로 다른 산화물로 형성되는 것을 특징으로 하는 반도체 소자의 제조 방법.

청구항 12

제11항에 있어서,

상기 산화물은 징크옥사이드(ZnO), 티타늄옥사이드(TiO₂), 지르코늄옥사이드(ZrO₂), 실리콘옥사이드(SiO₂), hafnium옥사이드(HfO₂), 란타늄옥사이드(La₂O₃), 알루미늄옥사이드(Al₂O₃), 이트륨옥사이드(Y₂O₃), 마그네슘옥사이드(MgO), 게르마늄옥사이드(GeO₂), 스트론튬옥사이드(SrO) 및 루테튬옥사이드(Lu₂O₃) 중에서 어느 하나 인 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 13

제9항에 있어서,

상기 제1 중간층은 상기 제2 중간층보다 산소 면밀도(Oxygen Areal Density :OAD)가 높은 산화물로 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 14

제9항에 있어서,

상기 제1 중간층은 티타늄옥사이드(TiO₂)로 형성되고, 상기 제2 중간층은 징크옥사이드(ZnO)로 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 15

제9항에 있어서,

상기 제1 중간층은 두께는 0.25 ~ 1 nm 로 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 16

제9항에 있어서,

상기 제2 중간층은 두께는 0.25 ~ 1 nm 로 형성되는 것을 특징으로 하는 반도체 소자의 제조방법.

청구항 17

제9항에 있어서,

상기 게이트 구조체를 형성하는 단계는,

상기 반도체 기판의 채널 영역 상에 게이트 산화막을 형성하는 단계; 및

상기 게이트 산화막 상에 금속물질로 게이트 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.

발명의 설명

기술 분야

[0001]

본 발명은 반도체 소자 및 그 제조방법에 관한 것으로, 특히 접촉 저항 감소를 위한 반도체 표면 공정 기술로써 금속과 반도체 사이에 고 유전율의 산화물을 이중 중간층으로 형성하여 반도체 표면에서의 접촉 저항을 감소할 수 있는 반도체 소자 및 그 제조방법에 관한 것이다.

배경 기술

- [0002] 모든 반도체의 기본 구성 요소인 전계효과트랜지스터(Field-Effect Transistor:FET)는 온/오프 스위칭을 위한 게이트(gate)와 전류의 흐름을 위한 소스/드레인(source/drain)으로 이루어져 있다. 이러한, FET 소자의 고성능/저전력 특성을 확보하기 위해서는 전류 흐름을 원활히 하여야 하는데 이는 소스/드레인의 접촉 저항 감소를 통해 달성할 수 있으며, 현재 이를 위해 고농도의 도핑을 해주는 기법이 이용되었다.
- [0003] 소스/드레인의 구조로 주로 사용되고 있는 금속-반도체 구조에서는 반도체의 CNL(charge neutrality level)에 금속의 페르미 레벨(Fermi level)이 고정되고, 이에 의해 금속의 일함수(work function)와는 무관하게 큰 쇼트키 장벽(Schottky barrier)이 생성되는 페르미 레벨 고정(Fermi-level pinning) 현상이 관찰되며, 이는 p형과 n형 반도체 소자에 관계없이 발생하게 된다.
- [0004] 이러한, 페르미 레벨 고정 현상은 금속-반도체 접합시 계면에서 발생하는 전자의 파동함수의 침투에 의한 금속 유도 틈 상태(Metal-Induced Gap States: MIGS)와 반도체층 표면 결함으로 인해 형성되는 경계면 상태(interface states)가 원인이 된다.
- [0005] 따라서, 페르미 레벨 고정 현상으로 인해 큰 쇼트키 장벽이 생성될 경우 FET의 소스/드레인에서 쇼트키 접합을 형성, 전자의 흐름을 방해하여 접촉 저항을 크게 증가시키고 소자의 성능을 저하시키게 된다.
- [0006] 이러한 MIGS에 의한 페르미 레벨 고정 현상을 완화하는 방안으로 금속과 반도체 사이에 수 nm 수준의 중간층(interlayer)을 삽입한 금속-중간층-반도체(metal-interlayer-semiconductor) 구조를 적용하였으나, 중간층의 두께가 얇은 경우 MIGS에 의한 페르미 레벨 고정을 효과적으로 방지하지 못하여 접촉 저항이 크게 되고, 반대로 중간층의 두께가 두꺼운 경우 전자 친화도(electron affinity)의 차이로 인한 터널링 장벽(tunneling barrier)이 급격하게 커져 접촉 저항이 커지게 되는 문제점이 발생된다.

발명의 내용

해결하려는 과제

- [0007] 본 발명은 접촉 저항 감소를 위한 반도체 표면 공정 기술로써 금속과 반도체 사이에 고 유전율의 산화물을 이중 중간층으로 형성하여 반도체 표면에서의 접촉 저항을 감소할 수 있는 반도체 소자 및 그 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0008] 상기의 과제를 달성하기 위한 본 발명의 일 실시 예에 따른 반도체 소자는, 채널 영역, 고농도로 도핑 된 소스 영역 및 드레인 영역을 포함한 반도체 기판; 상기 반도체 기판의 채널 영역 상에 형성된 게이트 구조체; 상기 반도체 기판상의 소스 영역 및 드레인 영역에 형성된 제1 중간층; 상기 제1 중간층 상에 형성된 제2 중간층; 및 상기 제2 중간층 상에 금속 물질로 형성된 소스 전극 및 드레인 전극을 포함하는 점에 그 특징이 있다.
- [0009] 여기서, 특히 상기 제1 중간층 및 상기 제2 중간층은 서로 다른 산화물로 형성되는 점에 그 특징이 있다.
- [0010] 여기서, 특히 상기 산화물은 징크옥사이드(ZnO), 티타늄옥사이드(TiO₂), 지르코늄옥사이드(ZrO₂), 실리콘옥사이드(SiO₂), 하프늄옥사이드(HfO₂), 란타넘옥사이드(La₂O₃), 알루미늄옥사이드(Al₂O₃), 이트륨옥사이드(Y₂O₃), 마그네슘옥사이드(MgO), 게르마늄옥사이드(GeO₂), 스트론튬옥사이드(SrO) 및 루테튬옥사이드(Lu₂O₃) 중에서 어느 하나 인 점에 그 특징이 있다.
- [0011] 여기서, 특히 상기 제1 중간층은 상기 제2 중간층보다 산소 면밀도(Oxygen Areal Density :OAD)가 높은 산화물로 형성되는 점에 그 특징이 있다.
- [0012] 여기서, 특히 상기 제1 중간층은 티타늄옥사이드(TiO₂)로 형성되고, 상기 제2 중간층은 징크옥사이드(ZnO)로 형성되는 점에 그 특징이 있다.
- [0013] 여기서, 특히 상기 제1 중간층 및 상기 제2 중간층을 포함한 두께는 0.5 ~ 2 nm 로 형성되는 점에 그 특징이 있다.
- [0014] 또한, 상기의 과제를 달성하기 위한 본 발명의 또 다른 실시 예에 따른 반도체 소자는, 고농도로 도핑 된 소스 영역 및 드레인 영역을 포함한 반도체 기판; 상기 반도체 기판상의 소스 영역 및 드레인 영역에 형성된 제1 중간층; 상기 제1 중간층 상에 형성된 제2 중간층; 및 상기 제2 중간층 상에 금속 물질로 형성된 소스 전극 및 드레인 전극을 포함하는 점에 그 특징이 있다.

- [0015] 또한, 상기의 과제를 달성하기 위한 본 발명의 일 실시 예에 따른 반도체 소자의 제조방법은, 반도체 기판상에 채널 영역, 고농도로 도핑 된 소스 영역 및 드레인 영역을 형성하는 단계; 상기 반도체 기판의 채널 영역 상에 게이트 구조체를 형성하는 단계; 상기 반도체 기판상의 소스 영역 및 드레인 영역에 제1 중간층을 형성하는 단계; 상기 제1 중간층 상에 제2 중간층을 형성하는 단계; 및 상기 제2 중간층 상에 금속 물질로 소스 전극 및 드레인 전극을 형성하는 단계를 포함하는 점에 그 특징이 있다.
- [0016] 여기서, 특히 상기 제1 중간층을 형성하는 단계는, 상기 게이트 구조체가 형성된 반도체 기판상에 감광성 절연 물질을 도포한 후, 소스 영역 및 드레인 영역이 노출되도록 패터닝하는 단계; 상기 노출된 소스 영역 및 드레인 영역에 제1 산화물을 증착하는 단계를 포함하는 것을 특징으로 하는 반도체 소자의 제조방법.
- [0017] 여기서, 특히 상기 소스 전극 및 드레인 전극을 형성하는 단계 이후, 상기 게이트 구조체 상에 남아있는 감광성 절연물질, 제1 중간층, 제2 중간층, 금속 물질 및 상기 게이트 구조체와 상기 소스/드레인 사이의 이격된 영역에 남아있는 제1 중간층, 제2 중간층, 금속 물질을 제거하는 단계를 더 포함하는 점에 그 특징이 있다.
- [0018] 여기서, 특히 상기 제1 중간층 및 상기 제2 중간층은 서로 다른 산화물로 형성되는 점에 그 특징이 있다.
- [0019] 여기서, 특히 상기 산화물은 징크옥사이드(ZnO), 티타늄옥사이드(TiO₂), 지르코늄옥사이드(ZrO₂), 실리콘옥사이드(SiO₂), 하프늄옥사이드(HfO₂), 란타늄옥사이드(La₂O₃), 알루미늄옥사이드(Al₂O₃), 이트륨옥사이드(Y₂O₃), 마그네슘옥사이드(MgO), 게르마늄옥사이드(GeO₂), 스트론튬옥사이드(SrO) 및 루테튬옥사이드(Lu₂O₃) 중에서 어느 하나 인 점에 그 특징이 있다.
- [0020] 여기서, 특히 상기 제1 중간층은 상기 제2 중간층보다 산소 면밀도(Oxygen Areal Density :OAD)가 높은 산화물로 형성되는 점에 그 특징이 있다.
- [0021] 여기서, 특히 상기 제1 중간층은 티타늄옥사이드(TiO₂)로 형성되고, 상기 제2 중간층은 징크옥사이드(ZnO)로 형성되는 점에 그 특징이 있다.
- [0022] 여기서, 특히 상기 제1 중간층은 두께는 0.25 ~ 1 nm 로 형성되는 점에 그 특징이 있다.
- [0023] 여기서, 특히 상기 제2 중간층은 두께는 0.25 ~ 1 nm 로 형성되는 점에 그 특징이 있다.
- [0024] 여기서, 특히 상기 게이트 구조체를 형성하는 단계는, 상기 반도체 기판의 채널 영역 상에 게이트 산화막을 형성하는 단계; 및 상기 게이트 산화막 상에 금속물질로 게이트 전극을 형성하는 단계를 포함하는 점에 그 특징이 있다.

발명의 효과

- [0025] 본 발명의 효과는 다음과 같다.
- [0026] 첫째, 본 발명은 금속-반도체 접촉시의 페르미 레벨 피닝 현상을 완화하는 동시에 OAD 차이에 관한 이론을 기반으로 하는 쌍극자 생성을 통해 III-V족 반도체 CMOS 소자의 소스/드레인 접촉 저항을 현격하게 감소시킬 수 있다.
- [0027] 둘째, 접촉 저항 감소를 위한 반도체 표면 공정 기술로써 금속과 반도체 사이에 고 유전율의 산화물을 이중 중간층으로 형성하여 반도체 표면에서의 접촉 저항을 감소할 수 있다.

도면의 간단한 설명

- [0028] 도 1은 본 발명의 제1 실시 예에 따른 반도체 소자의 구조를 개략적으로 도시한 도면.
- 도 2는 본 발명의 이중 중간층을 갖는 반도체 소자의 쇼트키 장벽의 실험 결과를 도시한 도면.
- 도 3은 본 발명의 제2 실시 예에 따른 반도체 소자의 구조를 개략적으로 도시한 도면.
- 도 4a 내지 4h는 본 발명의 반도체 소자의 제조방법에 대한 순서를 도시한 공정도.

발명을 실시하기 위한 구체적인 내용

- [0029] 본 발명은 다양한 변경을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 이를 상세한 설명을 통해 상세히 설명하고자 한다. 그러나, 이는 본 발명을 특정한 실시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로

이해되어야 한다.

- [0030] 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명을 생략한다. 또한, 본 명세서의 설명 과정에서 이용되는 숫자(예를 들어, 제1, 제2 등)는 하나의 구성요소를 다른 구성요소와 구분하기 위한 식별기호에 불과하다.
- [0031] 또한, 본 명세서에서, 일 구성요소가 다른 구성요소와 "연결된다" 거나 "접속된다" 등으로 언급된 때에는, 상기 일 구성요소가 상기 다른 구성요소와 직접 연결되거나 또는 직접 접속될 수도 있지만, 특별히 반대되는 기재가 존재하지 않는 이상, 중간에 또 다른 구성요소를 매개하여 연결되거나 또는 접속될 수도 있다고 이해되어야 할 것이다.
- [0032] 이하, 첨부된 도면들을 참조하여 본 발명의 실시 예들에 따른 반도체 소자 및 그 제조방법에 관하여 상세히 설명하기로 한다.
- [0033] 도 1은 본 발명의 제1 실시 예에 따른 반도체 소자의 구조를 개략적으로 도시한 도면이다. 도 1에 도시된 바와 같이, 본 발명의 제1 실시 예에 따른 반도체 소자(100)는, 채널 영역, 고농도로 도핑 된 소스 영역 및 드레인 영역(120a, 120b)을 포함한 반도체 기판(110); 상기 반도체 기판(110)의 채널 영역 상에 형성된 게이트 구조체(130, 140); 상기 반도체 기판(110)상의 소스 영역 및 드레인 영역(120a, 120b)에 형성된 제1 중간층(150); 상기 제1 중간층(150) 상에 형성된 제2 중간층(160); 및 상기 제2 중간층(160) 상에 금속 물질로 형성된 소스 전극 및 드레인 전극(170a, 170b)을 포함한다.
- [0034] 상기 반도체 기판(110)은 실리콘 웨이퍼와 같은 III - V족 화합물 웨이퍼로 형성될 수 있다. 또한, 상기 반도체 기판(110)은 형성 방법적인 측면에서 실리콘 단결정 웨이퍼와 같은 단결정 웨이퍼로 형성될 수 있다. 그러나 상기 반도체 기판(110)은 단결정 웨이퍼에 한정되지 않고, 에피택셜(Epitaxial) 웨이퍼, 폴리시드(polished) 웨이퍼, 열처리된(Annealed) 웨이퍼, SOI (Silicon On Insulator) 웨이퍼 등 다양한 웨이퍼들이 상기 반도체 기판으로 이용될 수 있다. 여기서, 에피택셜 웨이퍼는 단결정 실리콘 기판상에 결정성 물질을 성장시킨 웨이퍼를 말한다.
- [0035] 또한, 상기 반도체 기판(110)은 소스/드레인 영역(120a, 120b), 및 채널 영역을 포함할 수 있다. 도시된 바와 같이 채널 영역은 게이트 구조체(130, 140) 하부에 배치되고 소스/드레인 영역(120a, 120b)은 채널 영역 양측에 배치될 수 있다.
- [0036] 이러한 반도체 기판(110)은 수 내지 수십 μm 의 두께를 가질 수 있다. 물론, 반도체 기판(110)의 두께가 상기 수치에 한정되는 것은 아니다.
- [0037] 채널 영역은 반도체 기판(110)을 기반으로 하여 형성되므로, 앞서 반도체 기판(110)의 성분으로서 언급한 여러 가지 III-V족 화합물 반도체로 형성될 수 있다. 이러한 채널 영역에는 불순물 이온이 도핑되지 않을 수 있다. 그러나 채널 영역에 불순물 이온이 도핑되는 것을 배제하는 것은 아니다. 예컨대, 채널 영역에 미량의 불순물 이온이 도핑될 수 있다. 한편, 채널 영역은 반도체 기판(110) 전체를 말하는 것이 아니라 소스 영역(120a)과 드레인 영역(120b) 사이에 채널이 형성되는 부분만을 의미한다. 그에 따라, 채널 영역은 게이트 구조체(130, 140) 하부에 위치하는 반도체 기판(110)의 매우 얇은 두께 부분만을 의미할 수 있다. 예컨대, 채널 영역은 100nm 이하의 두께로 형성될 수 있다. 물론, 채널 영역의 두께가 상기 수치에 한정되는 것은 아니다.
- [0038] 채널 영역을 구성하는 III-V족 화합물은 실리콘을 대체할 수 있는 고이동도(high mobility) 물질로 주목받고 있다. 예컨대, GaAs, InGaAs, InAs, InP 등과 같은 III-V족 화합물 반도체는 실리콘에 비해 우수한 전자 이동도로 가져 차세대 NMOS 채널 물질로 연구가 활발히 진행 중이다. 특히, InGaAs의 경우 전자 이동도가 실리콘과 비교하여 10배 정도 빠르면서도 밴드갭은 0.75eV 정도여서 온-커런트(On-Current)는 최대화하면서 오프 상태(Off State)에서는 리키지(leakage)를 용이하게 제어할 수 있어 최적의 채널 물질로 떠오르고 있다.
- [0039] 다만, III-V족 화합물은 실리콘과 비교하여 일함수(work function)가 크기 때문에, III-V족 화합물을 채널로 하면서 금속으로 게이트를 구성한 MOSFET을 구현하는 경우, 문턱 전압(threshold voltage, V_{th})이 0V 정도 또는 그 이하가 되어 0.3V 이상의 문턱 전압을 얻지 못하는 한계가 있다. 일반적으로 MOSFET의 안정적인 동작을 위해서는 최소 0.2V 이상의 문턱 전압이 필요하며, 또한 최적의 동작을 위해서는 0.3V 이상의 문턱 전압이 필요할 수 있다.
- [0040] 상기 소스/드레인 영역(120a, 120b)은 III-V족 화합물 기반의 반도체 기판(110)에 불순물 이온이 도핑되어 형성될 수 있다. 일반적으로, III-V족 화합물 기반의 반도체 기판(110)을 이용하는 경우, P-채널 MOS, 즉 PMOS를 구

현하기 위하여 4가의 탄소족 원소를 불순물 이온으로 이용하고, N-채널 MOS, 즉 NMOS를 구현하기 위하여 2가의 알칼리토금속 원소를 불순물 이온으로 이용할 수 있다. 그러나 구체적인 PMOS 또는 NMOS를 구현하는 데 있어서, 불순물 이온이 상기 탄소족이나 알칼리토금속에 제한되는 것은 아니고, 다른 족 또는 금속의 원소들이 불순물 이온으로 이용될 수도 있다.

- [0041] 구체적 예로서, 채널 영역을 구성하는 반도체 기판(110)이 InGaAs로 형성된 경우에, PMOS를 구현하기 위하여, 반도체 기판(110)의 소정 영역에 베릴륨(Be), 망간(Mg), 아연(Zn), 탄소(C) 등의 이온이 도핑됨으로써, 소스/드레인 영역(120a, 120b)이 형성될 수 있다. 한편, NMOS를 구현하기 위하여, 반도체 기판(110)의 소정 영역에 실리콘(Si), 주석(Sn) 등의 이온이 도핑됨으로써, 소스/드레인 영역(120a, 120b)이 형성될 수 있다.
- [0042] 또한, 반도체 기판(110)이 InAs로 형성된 경우에, PMOS를 구현하기 위하여, 반도체층(110)의 소정 영역에 베릴륨(Be), 아연(Zn), 카드뮴(Cd) 등의 이온이 도핑됨으로써, 소스/드레인 영역(120a, 120b)이 형성될 수 있다. 한편, NMOS를 구현하기 위하여, 반도체 기판(110)의 소정 영역에 탄소(C), 실리콘(Si), 주석(Sn) 등의 이온이 도핑됨으로써, 소스/드레인 영역(120a, 120b)이 형성될 수 있다.
- [0043] 소스/드레인 영역(120a, 120b)을 형성하기 위하여 이용되는 불순물 이온들이 전술한 이온들에 한정되는 것은 아니다.
- [0044] 예컨대, 반도체층을 구성하는 III-V족 화합물의 종류, 그리고 PMOS 또는 NMOS를 구현할 것인가에 따라 다양한 불순물 이온들이 이용될 수 있음은 물론이다.
- [0045] 상기 게이트 구조체(130, 140)는 게이트 산화막(130)과 게이트 전극(140)으로 이루어진다.
- [0046] 상기 게이트 산화막(130)은 반도체 기판(110), 예컨대 채널 영역 상에 배치될 수 있다. 경우에 따라, 게이트 산화막(142)은 반도체 기판(110) 상면 전체에 배치될 수도 있다. 이러한 게이트 산화막(130)은 2.2 내지 3nm의 두께로 형성될 수 있다. 물론, 게이트 산화막(130)의 두께가 상기 수치에 한정되는 것은 아니다.
- [0047] 상기 게이트 산화막(130)은 실리콘옥사이드(SiO₂)와 같은 산화물 또는 실리콘나이트라이드(SiN_x)와 같은 질화물로 형성될 수 있다. 또한, 게이트 산화막(130)은 유전상수 값이 큰(high-k) 유전물질로 형성될 수도 있다. 예컨대, 게이트 산화막(130)은 하프늄옥사이드(HfO₂), 하프늄실리콘옥사이드(HfSiO₄), 란타늄옥사이드(La₂O₃), 란타늄알루미늄옥사이드(LaAlO₃), 지르코늄옥사이드(ZrO₂), 지르코늄실리콘옥사이드(ZrSiO₄), 탄탈륨옥사이드(Ta₂O₅), 티타늄옥사이드(TiO₂), 스트론튬티타늄옥사이드(SrTiO₃), 이트륨옥사이드(Y₂O₃), 알루미늄옥사이드(Al₂O₃), 레드스칸듐탄탈륨옥사이드(PbSc_{0.5}Ti_{0.5}AlO₃), 레드징크니오베이트(PbZnNbO₃) 등을 포함할 수 있다.
- [0048] 또한, 게이트 산화막(130)은 알루미늄옥시나이트라이드(AlON), 지르코늄옥시나이트라이드(ZrON), 하프늄옥시나이트라이드(HfON), 란타늄옥시나이트라이드(LaON), 이트륨옥시나이트라이드(YON)과 같은 금속질화산화물, 그들의 실리케이트 또는 알루미늄네이트로 형성될 수 있다. 상기 실리케이트 또는 알루미늄네이트는 예컨대, ZrSiON, HfSiON, LsAlON, YsION, ZrAlON, HfAlON 등일 수 있다.
- [0049] 더 나아가 게이트 산화막(130)은 페로브스카이트형 산화물(perovskite-type oxides), 니오베이트(niobate) 또는 탄탈레이트(tantalate) 시스템 물질, 텅스텐-브론즈(tungsten-bronze) 시스템 물질, 그리고 Bi-layered 페로스카이트 시스템 물질 등으로도 형성될 수 있다.
- [0050] 상기 게이트 전극(140)은 금속을 기반으로 형성될 수 있다. 게이트 전극(140)은 게이트 산화막(130) 상에 단일층 또는 다중층으로 형성될 수 있다. 이러한 게이트 전극(140)은 20 ~ 30 nm의 두께로 형성될 수 있다. 물론, 게이트 전극(140)의 두께가 상기 수치에 한정되는 것은 아니다.
- [0051] 게이트 전극(140)은 하부의 III-V족 화합물 기반의 반도체 기판(110)과의 일함수 차이를 크게 하기 위하여 일함수가 높은 금속으로 형성될 수 있다. 예컨대, 게이트 전극(140)은 일함수가 3.9 ~ 4.2eV 정도인 하프늄(Hf), 지르코늄(Zr), 티타늄(Ti), 탄탈륨(Ta), 알루미늄(Al) 및 그들의 합금으로 형성될 수 있다. 상기 합금으로 상기 금속들을 포함한 메탈카바이드, 예컨대, 하프늄카바이드(HfC), 지르코늄카바이드(ZrC), 티타늄카바이드(TiC), 탄탈륨카바이드(TaC), 및 알루미늄카바이드(Al₄C₃) 등을 들 수 있다.
- [0052] 또한, 게이트 전극(140)은 일함수가 4.9 ~ 5.2eV 정도인 루테튬(Ru), 팔라듐(Pd), 플래티늄(Pt), 코발트(Co), 니켈(Ni), 텅스텐(W), 몰리브덴(Mo) 및 도전성 금속산화물로 형성될 수 있다. 상기 도전성 금속산화물은 예컨대, 루테튬옥사이드(RuO₂)를 들 수 있다.
- [0053] 한편, 게이트 전극(140)은 상기 금속들에 한정되지 않고 다른 다양한 금속들로 형성될 수 있음은 물론이다.

- [0054] 게이트 전극(140)은 채널 영역(135)을 구성하는 III-V족 화합물 반도체 기판과의 일함수 차이를 크게 하기 위하여 이온 주입(Ion-Implantation)이 수행된 상태일 수 있다. 즉, 게이트 전극(140)은 이온 주입을 통해 주입된 이온들을 포함할 수 있다. 예컨대, 게이트 전극(140)은 TiN, 나이트라이드(TaN), 티타늄카바이드(TiC), 및 탄탈륨카바이드(TaC) 등으로 형성된 후 이온이 도핑된 층일 수 있다.
- [0055] 상기 제1 중간층(150) 및 상기 제2 중간층(160)은 서로 다른 산화물로 형성된다. 그리고 상기 제1 중간층(150) 및 제2 중간층(160)은 각각 0.25 ~ 1 nm 의 두께로 형성되고, 두 층을 포함한 전체 두께가 0.5 ~ 2 nm 이내로 형성하는 것이 바람직하다.
- [0056] 상기 제1 중간층(150) 및 상기 제2 중간층(160)의 산화물로는 징크옥사이드(ZnO), 티타늄옥사이드(TiO₂), 지르코늄옥사이드(ZrO₂), 실리콘옥사이드(SiO₂), 하프늄옥사이드(HfO₂), 란타늄옥사이드(La₂O₃), 알루미늄옥사이드(Al₂O₃), 이트륨옥사이드(Y₂O₃), 마그네슘옥사이드(MgO), 게르마늄옥사이드(GeO₂), 스트론튬옥사이드(SrO) 및 루테튬옥사이드(Lu₂O₃) 중에서 어느 하나를 선택하여 형성될 수 있다.
- [0057] 보다 구체적으로, 상기 제1 중간층(150)은 상기 제2 중간층(160)보다 산소 면밀도(Oxygen Areal Density :OAD)가 높은 산화물로 형성된다. 일 예로, 상기 제1 중간층은 티타늄옥사이드(TiO₂)로 형성되고, 상기 제2 중간층은 징크옥사이드(ZnO)로 형성되는 것이 바람직하고, 이에 한정되는 것은 아니다.
- [0058] 다시 말해, 반도체 기판(110)과 유사한 전자 친화도를 가지면서 동시에 상대적으로 높은 유전율을 보이는 징크옥사이드(ZnO)나 티타늄옥사이드(TiO₂)와 같은 물질을 중간층 물질로 사용시 전자의 터널링 장벽을 거의 발생시키지 않아 중간층 두께에 대한 접촉 저항의 의존도를 크게 낮출 수 있다.
- [0059] 따라서, 실리콘옥사이드(SiO₂)와 같은 산화물은 다른 산화물과 인접하여 있을 때 전기 쌍극자(electric dipole)를 형성하며, 전기 쌍극자의 전기장으로 인해 페르미 레벨이 변화하게 되므로 이러한 현상을 이용하여 금속-산화물 간 유효 일함수 차이를 변화시키는 것이 가능하며, 이는 전기 쌍극자의 크기에 의해 좌우된다.
- [0060] 이러한 전기 쌍극자는 두 산화물간 산소 면밀도(Oxygen Areal Density :OAD)의 차이가 존재할 때 OAD가 높은 쪽에서 낮은 쪽으로 음이온화된 산소 원자가 확산(diffuse)하며 생성되는데, 산소 면밀도(Oxygen Areal Density :OAD)에 의한 전기 쌍극자의 발생은 비단 산화물-산화물뿐만 아니라 산화물-반도체 간의 접촉 계면에서도 발생하며, 산소 원자가 존재하지않는 반도체 쪽이 음의 쌍극자를 갖도록 형성된다.
- [0061] 도 2는 본 발명의 이중 중간층을 갖는 반도체 소자의 쇼트키 장벽의 실험 결과를 도시한 도면이다.
- [0062] 도 2에 도시된 바와 같이, 산소 면밀도(Oxygen Areal Density :OAD)가 높은 중간층 물질을 반도체와 인접하게 하고 산소 면밀도(Oxygen Areal Density :OAD)가 낮은 중간층 물질을 금속과 인접하게 한 금속-이중 중간층-반도체 구조에서는 중간층-중간층 간 생성된 전기 쌍극자가 페르미 레벨을 상승시켜 쇼트키 장벽을 감소시키므로 접촉 저항을 동일 두께의 단일 중간층보다도 더욱 감소시키는 것이 가능하다.
- [0063] 따라서 이중으로 삽입한 두 중간층 물질의 산소 면밀도(Oxygen Areal Density :OAD) 차이에 의한 전기 쌍극자의 존재로 쇼트키 장벽을 아주 효과적으로 감소시킬 수 있을 뿐만 아니라 더욱 낮은 접촉 저항 및 소스/드레인의 옴릭 접합(Ohmic Contact) 또한 달성할 수 있을 것으로 기대된다.
- [0064] 상기 소스/드레인 전극(170a, 170b)은 상기 제2 중간층 상에 금속 물질을 증착한 후, 소정 패턴으로 식각하여 형성될 수 있다. 여기서, 금속 물질은 CVD(chemical vapor deposition), ALD(atomic layer deposition), 무전해 도금 같은 컨포말(conformal) 증착 프로세스, 또는 다른 적절한 증착 프로세스에 의해 증착될 수 있다.
- [0065] 또한, 도 3은 본 발명의 제2 실시 예에 따른 반도체 소자의 구조를 개략적으로 도시한 도면이다. 도 3에 도시된 바와 같이, 본 발명의 또 다른 실시 예에 따른 반도체 소자는, 고농도로 도핑된 소스 영역 및 드레인 영역을 포함한 반도체 기판; 상기 반도체 기판상의 소스 영역 및 드레인 영역에 형성된 제1 중간층; 상기 제1 중간층 상에 형성된 제2 중간층; 및 상기 제2 중간층 상에 금속 물질로 형성된 소스 전극 및 드레인 전극을 포함한다.
- [0066] 여기서, 제2 실시 예의 상세한 설명은 상기 제1 실시 예를 참조로 하여 생략하기로 한다.
- [0067] 도 3에 도시된 바와 같이, 제2 실시 예의 게이트 구조체가 생략된 반도체 소자의 구조로 소스/드레인을 형성하는 다양한 형태의 반도체 소자의 반도체 기판과 소스/드레인 전극 사이에 이중 중간층을 형성하여 적용 가능한 것을 보여주고 있다.
- [0068] 또한, 도 4a 내지 4h는 본 발명의 반도체 소자의 제조방법에 대한 순서를 도시한 공정도이다.

- [0069] 본 발명의 일 실시 예에 따른 반도체 소자의 제조방법은 도 4a에 도시된 바와 같이, 반도체 기판상에 채널 영역, 고농도로 도핑 된 소스 영역 및 드레인 영역을 형성하는 단계가 수행된다.
- [0070] 보다 구체적으로, 상기 반도체 기판(110)은 소스/드레인 영역(120a, 120b), 및 채널 영역을 포함할 수 있다. 채널 영역은 게이트 구조체(130, 140) 하부에 배치되고 소스/드레인 영역(120a, 120b)은 채널 영역 양측에 배치될 수 있다.
- [0071] 이러한 반도체 기판(110)은 수 내지 수십 μm 의 두께를 가질 수 있다. 물론, 반도체 기판(110)의 두께가 상기 수치에 한정되는 것은 아니다.
- [0072] 채널 영역은 반도체 기판(110)을 기반으로 하여 형성되므로, 앞서 반도체 기판(110)의 성분으로서 언급한 여러 가지 III-V족 화합물 반도체로 형성될 수 있다. 이러한 채널 영역에는 불순물 이온이 도핑되지 않을 수 있다. 그러나 채널 영역에 불순물 이온이 도핑되는 것을 배제하는 것은 아니다. 예컨대, 채널 영역에 미량의 불순물 이온이 도핑될 수 있다. 한편, 채널 영역은 반도체 기판(110) 전체를 말하는 것이 아니라 소스 영역(120a)과 드레인 영역(120b) 사이에 채널이 형성되는 부분만을 의미한다. 그에 따라, 채널 영역은 게이트 구조체(130, 140) 하부에 위치하는 반도체 기판(110)의 매우 얇은 두께 부분만을 의미할 수 있다. 예컨대, 채널 영역은 100nm 이하의 두께로 형성될 수 있다. 물론, 채널 영역의 두께가 상기 수치에 한정되는 것은 아니다.
- [0073] 채널 영역을 구성하는 III-V족 화합물은 실리콘을 대체할 수 있는 고이동도(high mobility) 물질로 주목받고 있다. 예컨대, GaAs, InGaAs, InAs, InP 등과 같은 III-V족 화합물 반도체는 실리콘에 비해 우수한 전자 이동도로 가져 차세대 NMOS 채널 물질로 연구가 활발히 진행 중이다. 특히, InGaAs의 경우 전자 이동도가 실리콘과 비교하여 10배 정도 빠르면서도 밴드갭은 0.75eV 정도여서 온-커런트(On-Current)는 최대화하면서 오프 상태(Off State)에서는 리키지(leakage)를 용이하게 제어할 수 있어 최적의 채널 물질로 떠오르고 있다.
- [0074] 다만, III-V족 화합물은 실리콘과 비교하여 일함수(work function)가 크기 때문에, III-V족 화합물을 채널로 하면서 금속으로 게이트를 구성한 MOSFET을 구현하는 경우, 문턱 전압(threshold voltage, V_{th})이 0V 정도 또는 그 이하가 되어 0.3V 이상의 문턱 전압을 얻지 못하는 한계가 있다. 일반적으로 MOSFET의 안정적인 동작을 위해서는 최소 0.2V 이상의 문턱 전압이 필요하며, 또한 최적의 동작을 위해서는 0.3V 이상의 문턱 전압이 필요할 수 있다.
- [0075] 상기 소스/드레인 영역(120a, 120b)은 III-V족 화합물 기반의 반도체 기판(110)에 불순물 이온이 도핑되어 형성될 수 있다. 일반적으로, III-V족 화합물 기반의 반도체 기판(110)을 이용하는 경우, P-채널 MOS, 즉 PMOS를 구현하기 위하여 4가의 탄소족 원소를 불순물 이온으로 이용하고, N-채널 MOS, 즉 NMOS를 구현하기 위하여 2가의 알칼리토금속 원소를 불순물 이온으로 이용할 수 있다. 그러나 구체적인 PMOS 또는 NMOS를 구현하는 데 있어서, 불순물 이온이 상기 탄소족이나 알칼리토금속에 제한되는 것은 아니고, 다른 족 또는 금속의 원소들이 불순물 이온으로 이용될 수도 있다.
- [0076] 구체적인 예로서, 채널 영역을 구성하는 반도체 기판(110)이 InGaAs로 형성된 경우에, PMOS를 구현하기 위하여, 반도체 기판(110)의 소정 영역에 베릴륨(Be), 망간(Mg), 아연(Zn), 탄소(C) 등의 이온이 도핑됨으로써, 소스/드레인 영역(120a, 120b)이 형성될 수 있다. 한편, NMOS를 구현하기 위하여, 반도체 기판(110)의 소정 영역에 실리콘(Si), 주석(Sn) 등의 이온이 도핑됨으로써, 소스/드레인 영역(120a, 120b)이 형성될 수 있다.
- [0077] 또한, 반도체 기판(110)이 InAs로 형성된 경우에, PMOS를 구현하기 위하여, 반도체층(110)의 소정 영역에 베릴륨(Be), 아연(Zn), 카드뮴(Cd) 등의 이온이 도핑됨으로써, 소스/드레인 영역(120a, 120b)이 형성될 수 있다. 한편, NMOS를 구현하기 위하여, 반도체 기판(110)의 소정 영역에 탄소(C), 실리콘(Si), 주석(Sn) 등의 이온이 도핑됨으로써, 소스/드레인 영역(120a, 120b)이 형성될 수 있다.
- [0078] 소스/드레인 영역(120a, 120b)을 형성하기 위하여 이용되는 불순물 이온들이 전술한 이온들에 한정되는 것은 아니다.
- [0079] 예컨대, 반도체층을 구성하는 III-V족 화합물의 종류, 그리고 PMOS 또는 NMOS를 구현할 것인가에 따라 다양한 불순물 이온들이 이용될 수 있음은 물론이다.
- [0080] 도 4b에 도시된 바와 같이, 반도체 기판의 채널 영역 상에 게이트 구조체를 형성하는 단계가 수행된다. 여기서, 게이트 구조체의 형성은 상기 반도체 기판의 채널 영역 상에 게이트 산화막을 형성하고, 상기 게이트 산화막 상에 금속물질로 게이트 전극을 형성하게 된다.
- [0081] 보다 구체적으로, 상기 게이트 산화막(130)은 반도체 기판(110)상에 2.2 내지 3nm의 두께로 증착하고 패터닝하

여 형성하게 된다. 물론, 게이트 산화막(130)의 두께가 상기 수치에 한정되는 것은 아니다. 여기서, 상기 게이트 산화막(130)은 실리콘옥사이드(SiO_2)와 같은 산화물 또는 실리콘나이트라이드(SiN_x)와 같은 질화물로 형성될 수 있다. 또한, 게이트 산화막(130)은 유전상수 값이 큰(high-k) 유전물질로 형성될 수도 있다. 예컨대, 게이트 산화막(130)은 하프늄옥사이드(HfO_2), 하프늄실리콘옥사이드(HfSiO_4), 란타늄옥사이드(La_2O_3), 란타늄알루미늄옥사이드(LaAlO_3), 지르코늄옥사이드(ZrO_2), 지르코늄실리콘옥사이드(ZrSiO_4), 탄탈륨옥사이드(Ta_2O_5), 티타늄옥사이드(TiO_2), 스트론튬티타늄옥사이드(SrTiO_3), 이트륨옥사이드(Y_2O_3), 알루미늄옥사이드(Al_2O_3), 레드스칸듐탄탈륨옥사이드($\text{PbSc}_{0.5}\text{Ta}_{0.5}\text{O}_3$), 레드징크니오베이트(PbZnNbO_3) 등을 포함할 수 있다.

[0082] 이러한 게이트 산화막(130)은 CVD(chemical vapor deposition), LPCVD(low pressure CVD), APCVD(atmospheric Pressure CVD), LTCVD(low temperature CVD), PECVD(plasma enhanced CVD), ALCVD(atomic layer CVD) 또는 ALD(atomic layer deposition), PVD(physical vapor deposition) 등 다양한 증착 방법으로 형성될 수 있다.

[0083] 그리고 상기 게이트 산화막(130)상에 상기 게이트 전극(140)은 금속 물질을 증착한 후, 소정 패턴으로 식각하여 형성될 수 있다. 여기서, 금속 물질은 CVD(chemical vapor deposition), ALD(atomic layer deposition), 무전해 도금 같은 컨포말(conformal) 증착 프로세스, 또는 다른 적절한 증착 프로세스에 의해 증착될 수 있다.

[0084] 보다 구체적으로, 상기 게이트 전극(140)은 게이트 산화막(130) 상에 단일층 또는 다중층으로 형성될 수 있다. 이러한 게이트 전극(140)은 20 ~ 30 nm의 두께로 형성될 수 있다. 물론, 게이트 전극(140)의 두께가 상기 수치에 한정되는 것은 아니다. 게이트 전극(140)은 하부의 III-V족 화합물 기반의 반도체 기판(110)과의 일함수 차이를 크게 하기 위하여 일함수가 높은 금속으로 형성될 수 있다. 예컨대, 게이트 전극(140)은 일함수가 3.9 ~ 4.2eV 정도인 하프늄(Hf), 지르코늄(Zr), 티타늄(Ti), 탄탈륨(Ta), 알루미늄(Al) 및 그들의 합금으로 형성될 수 있다. 상기 합금으로 상기 금속들을 포함한 메탈카바이드, 예컨대, 하프늄카바이드(HfC), 지르코늄카바이드(ZrC), 티타늄카바이드(TiC), 탄탈륨카바이드(TaC), 및 알루미늄카바이드(Al_4C_3) 등을 들 수 있다.

[0085] 이어서, 도 4c 및 도 4d에 도시된 바와 같이, 상기 게이트 구조체가 형성된 반도체 기판(110)상에 감광성 절연 물질을 도포한 후, 상기 소스/드레인 영역(120)이 노출되도록 패터닝하게 된다. 즉, 상기 반도체 기판(110)상에 감광성 폴리머 등을 스핀 코팅을 이용하여 형성하게 된다. 그리고 마스크를 이용하여 상기 소스/드레인 영역(120)에 UV 를 조사하여 노광시킨다.

[0086] 이어, 도 4e 및 도 4f에 도시된 바와 같이, 상기 노출된 반도체 기판(110)상의 소스 영역 및 드레인 영역(120)에 제1 중간층(150) 및 제2 중간층을 순차적으로 형성하는 단계가 수행된다. 여기서, 상기 제1 중간층(150) 및 상기 제2 중간층(160)은 서로 다른 산화물로 형성된다. 그리고 상기 제1 중간층(150) 및 제2 중간층(160)은 각각 0.25 ~ 1 nm 의 두께로 형성되고, 두 층을 포함한 전체 두께가 0.5 ~ 2 nm 이내로 형성하는 것이 바람직하다.

[0087] 상기 제1 중간층(150) 및 상기 제2 중간층(160)의 제1, 제2 산화물은 CVD(chemical vapor deposition), LPCVD(low pressure CVD), APCVD(atmospheric Pressure CVD), LTCVD(low temperature CVD), PECVD(plasma enhanced CVD), ALCVD(atomic layer CVD) 또는 ALD(atomic layer deposition), PVD(physical vapor deposition) 등 다양한 증착 방법으로 형성될 수 있다.

[0088] 상기 제1 중간층(150) 및 상기 제2 중간층(160)의 산화물로는 징크옥사이드(ZnO), 티타늄옥사이드(TiO_2), 지르코늄옥사이드(ZrO_2), 실리콘옥사이드(SiO_2), 하프늄옥사이드(HfO_2), 란타늄옥사이드(La_2O_3), 알루미늄옥사이드(Al_2O_3), 이트륨옥사이드(Y_2O_3), 마그네슘옥사이드(MgO), 게르마늄옥사이드(GeO_2), 스트론튬옥사이드(SrO) 및 루테튬옥사이드(Lu_2O_3) 중에서 어느 하나를 선택하여 형성될 수 있다.

[0089] 보다 구체적으로, 상기 제1 중간층(150)은 상기 제2 중간층(160)보다 산소 면밀도(Oxygen Areal Density :OAD)가 높은 산화물로 형성된다. 일 예로, 상기 제1 중간층은 티타늄옥사이드(TiO_2)로 형성되고, 상기 제2 중간층은 징크옥사이드(ZnO)로 형성되는 것이 바람직하고, 이에 한정되는 것은 아니다.

[0090] 다시 말해, 반도체 기판(110)과 유사한 전자 친화도를 가지면서 동시에 상대적으로 높은 유전율을 보이는 징크옥사이드(ZnO)나 티타늄옥사이드(TiO_2)와 같은 물질을 중간층 물질로 사용시 전자의 터널링 장벽을 거의 발생시키지 않아 중간층 두께에 대한 접촉 저항의 의존도를 크게 낮출 수 있다.

[0091] 따라서, 실리콘옥사이드(SiO_2)와 같은 산화물은 다른 산화물과 인접하여 있을 때 전기 쌍극자(electric dipole)를 형성하며, 전기 쌍극자의 전기장으로 인해 페르미 레벨이 변화하게 되므로 이러한 현상을 이용하여 금속-산화물 간 유효 일함수 차이를 변화시키는 것이 가능하며, 이는 전기 쌍극자의 크기에 의해 좌우된다.

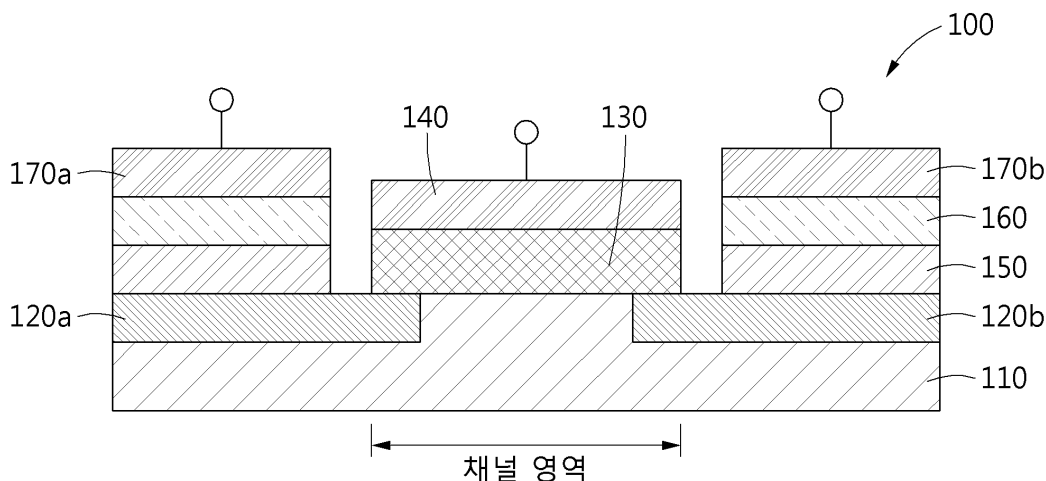
- [0092] 이러한 전기 쌍극자는 두 산화물간 산소 면밀도(Oxygen Areal Density :OAD)의 차이가 존재할 때 OAD가 높은 쪽에서 낮은 쪽으로 음이온화된 산소 원자가 확산(diffuse)하며 생성되는데, 산소 면밀도(Oxygen Areal Density :OAD)에 의한 전기 쌍극자의 발생은 비단 산화물-산화물뿐만 아니라 산화물-반도체 간의 접촉 계면에서도 발생하며, 산소 원자가 존재하지않는 반도체 쪽이 음의 쌍극자를 갖도록 형성된다.
- [0093] 그 다음, 도 4g에 도시된 바와 같이, 상기 제2 중간층 상에 금속 물질로 소스 전극 및 드레인 전극을 형성하는 단계가 수행된다. 여기서, 상기 제2 중간층이 증착된 결과물 상에 금속 물질을 증착한 후, 소정 패턴으로 식각하여 형성될 수 있다. 여기서, 금속 물질은 CVD(chemical vapor deposition), ALD(atomic layer deposition), 무전해 도금 같은 컨포말(conformal) 증착 프로세스, 또는 다른 적절한 증착 프로세스에 의해 증착될 수 있다.
- [0094] 도 4h에 도시된 바와 같이, 상기 소스/드레인 전극(170a,170b)을 제외한 부분의 금속 물질을 제거하고, 상기 게이트 구조체(140) 상에 남아있는 제1, 제2 산화물 및 상기 게이트 구조체(134,140)와 상기 소스/드레인 전극 사이에 남아있는 제1, 제2 산화물을 리프트-오프를 수행하여 제거하게 된다.
- [0095] 따라서, 고온 공정 없이 증착 공정만을 필요로 하는 본 발명을 CMOS 소스/드레인 공정에 적용할 경우 개선된 성능을 지닌 전계효과 트랜지스터(FET) 소자를 제작할 수 있다.
- [0096] 본 발명의 권리범위는 상술한 실시예에 한정되는 것이 아니라 첨부된 특허청구범위내에서 다양한 형태의 실시예로 구현될 수 있다. 특허청구범위에서 청구하는 본 발명의 요지를 벗어남이 없이 당해 발명이 속하는 기술분야에서 통상의 지식을 가진자라면 누구든지 변형 가능한 다양한 범위까지 본 발명의 청구범위 기재의 범위 내에 있는 것으로 본다.

부호의 설명

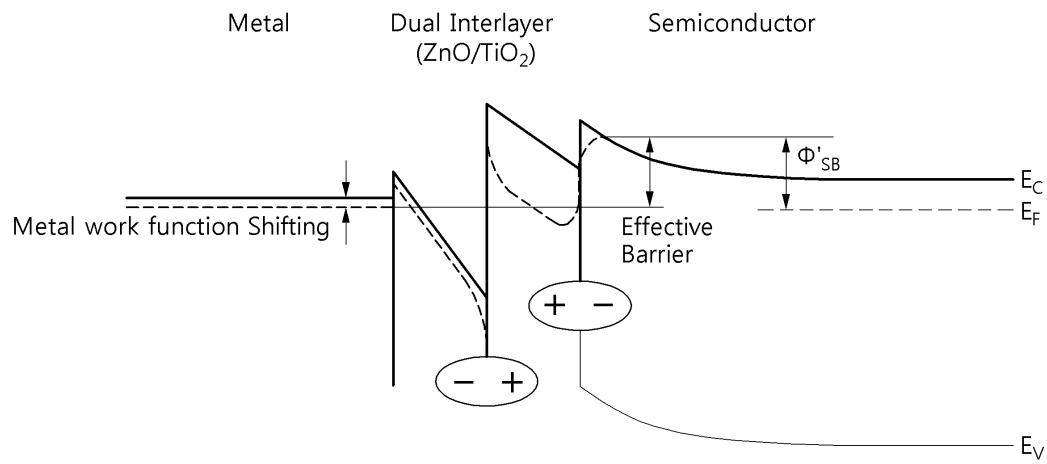
- | | | |
|--------|-------------------|-------------------|
| [0097] | 100 --- 반도체 소자 | 110 --- 반도체 기판 |
| | 120 --- 소스/드레인 영역 | 130 --- 게이트 산화물 |
| | 140 --- 게이트 전극 | 150 --- 제1 중간층 |
| | 160 --- 제2 중간층 | 170 --- 소스/드레인 전극 |

도면

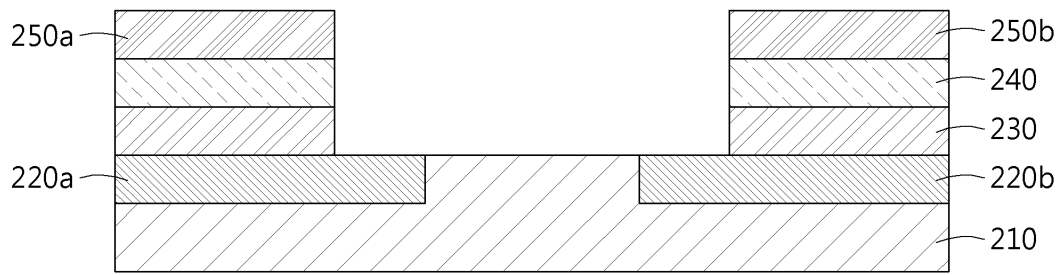
도면1



도면2



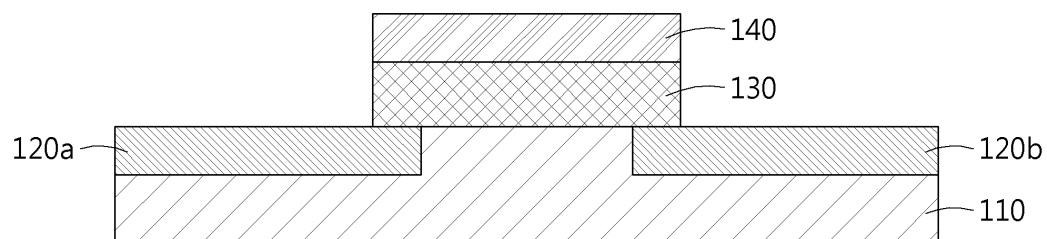
도면3



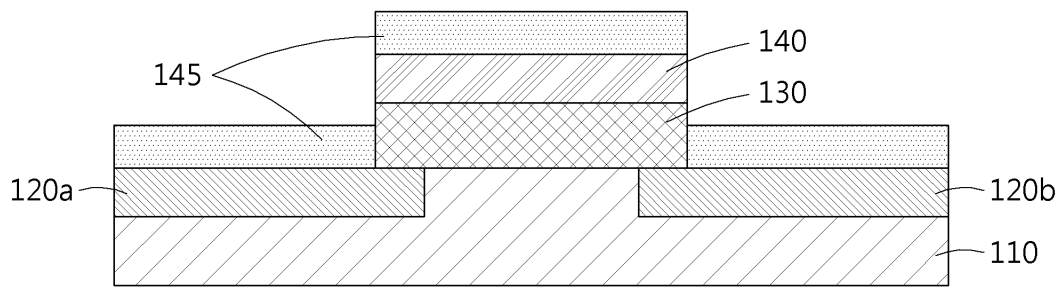
도면4a



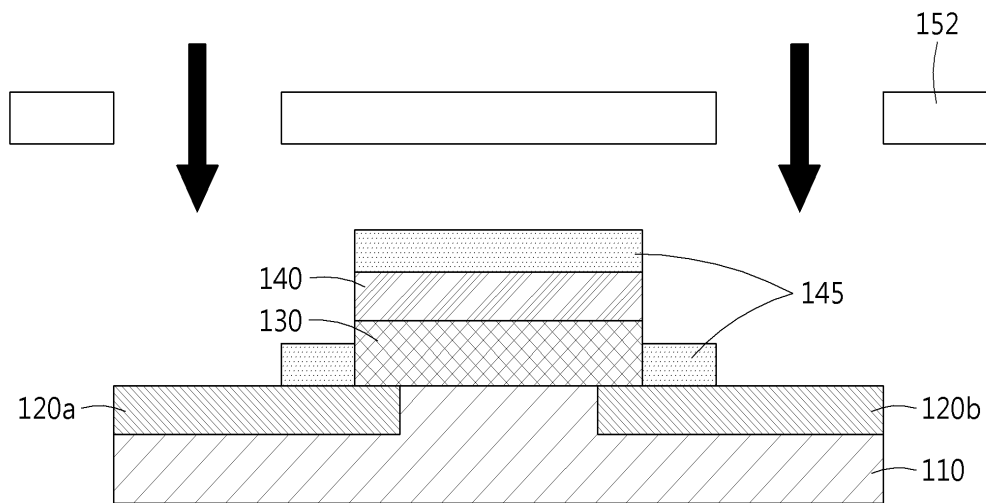
도면4b



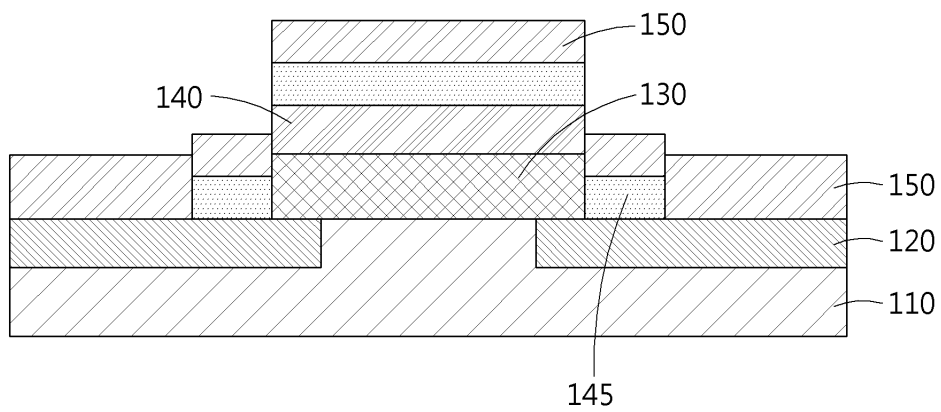
도면4c



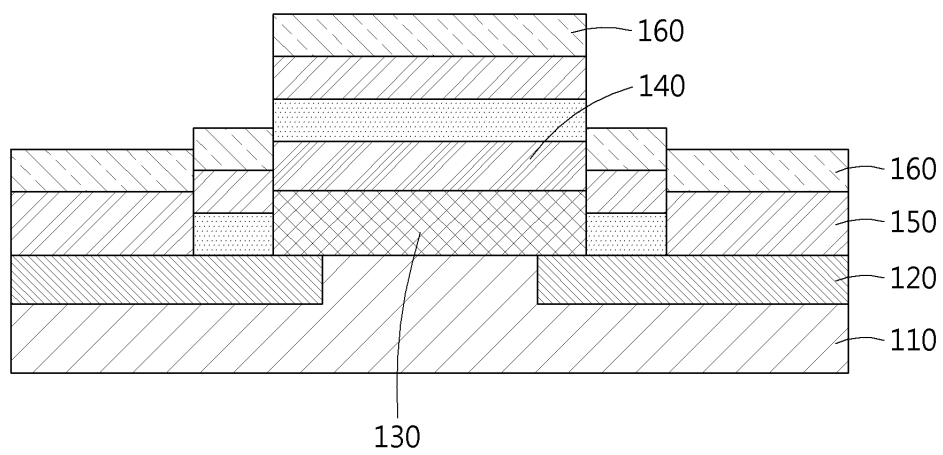
도면4d



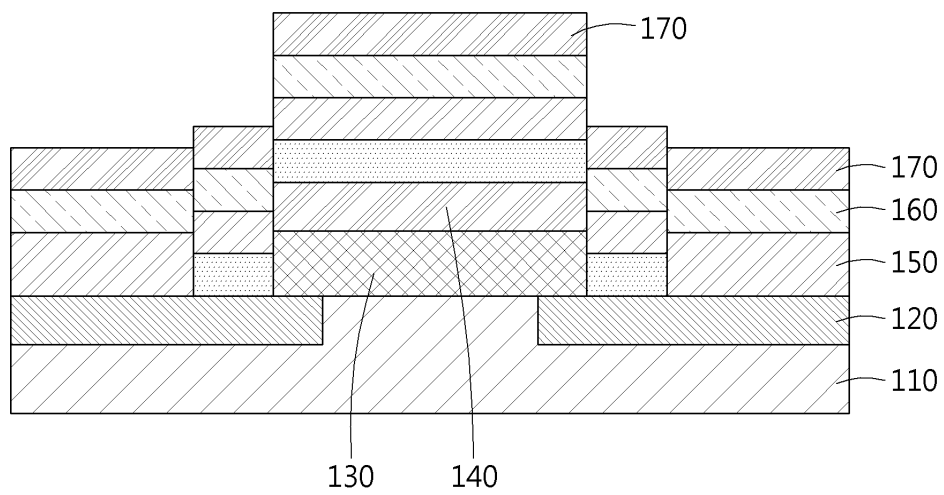
도면4e



도면4f



도면4g



도면4h

