



(12) 发明专利申请

(10) 申请公布号 CN 120240003 A

(43) 申请公布日 2025. 07. 01

(21) 申请号 202380076082.5

(74) 专利代理机构 永新专利商标代理有限公司
72002

(22) 申请日 2023.11.01

专利代理师 吕文卓

(30) 优先权数据

2022-176618 2022.11.02 JP

(51) Int. Cl.

H10D 30/60 (2025.01)

(85) PCT国际申请进入国家阶段日

H10D 62/80 (2025.01)

2025.04.28

H10D 12/00 (2025.01)

(86) PCT国际申请的申请数据

PCT/JP2023/039460 2023.11.01

(87) PCT国际申请的公布数据

W02024/096070 JA 2024.05.10

(71) 申请人 株式会社电装

地址 日本

(72) 发明人 萩野勇志 合田健太

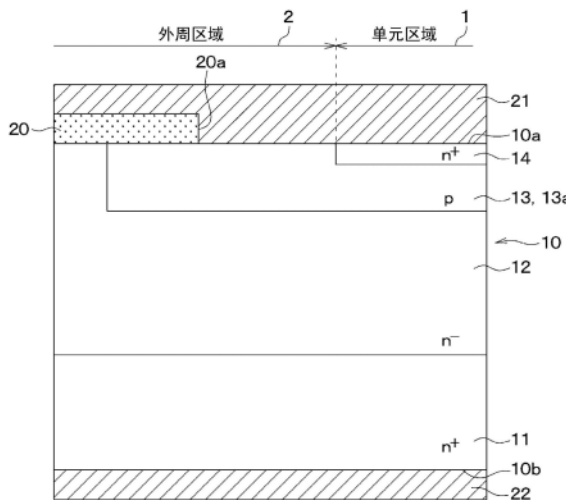
权利要求书1页 说明书5页 附图5页

(54) 发明名称

纵型半导体装置

(57) 摘要

具备半导体衬底(10),其具有形成有半导体元件的单元区域(1)和包围单元区域(1)的外周区域(2),将形成有杂质层(14)的区域作为单元区域(1),沟槽栅极构造从单元区域(1)延伸设置至外周区域(2),基极层(13)从单元区域(1)延伸设置至外周区域(2),接触孔(20a)从单元区域(1)延伸设置至外周区域(2),上部电极(21)在外周区域(2)中也经由接触孔(20a)而与基极层(13)连接。



1. 一种纵型半导体装置,形成有具有沟槽栅极构造的半导体元件,其特征在于,具备半导体衬底(10),该半导体衬底具有形成有所述半导体元件的单元区域(1)和包围所述单元区域的外周区域(2),

所述单元区域具有:

第一导电型的漂移层(12);

第二导电型的基极层(13),形成在所述漂移层上;

第一导电型的杂质层(14),形成在所述基极层的表层部,杂质浓度比所述漂移层高;

所述沟槽栅极构造,在沟槽(16)内隔着栅极绝缘膜(17)而配置有栅极电极(18),所述沟槽将所述杂质层及所述基极层贯通而达到所述漂移层,并且沿着所述半导体衬底的面方向而延伸设置;

第一导电型或第二导电型的高浓度层(11),隔着所述漂移层而形成在所述基极层的相反侧,杂质浓度比所述漂移层高;

层间绝缘膜(20),形成在所述半导体衬底的一面(10a)上,形成有使所述基极层及所述杂质层露出的接触孔(20a);

第一电极(21),经由所述接触孔而与所述杂质层及所述基极层电连接以及

第二电极(22),与所述高浓度层电连接,

形成有所述杂质层的区域被设为所述单元区域,

所述沟槽栅极构造从所述单元区域延伸设置至所述外周区域,

所述基极层从所述单元区域延伸设置至所述外周区域,

所述接触孔从所述单元区域延伸设置至所述外周区域,

所述第一电极在所述外周区域中也经由所述接触孔而与所述基极层连接。

2. 根据权利要求1所述的纵型半导体装置,其特征在于,

将所述接触孔的在所述外周区域中的沿着所述沟槽的延伸设置方向上的长度设为调整距离(d)的情况下,所述调整距离为 $0.1\mu\text{m}$ 以上。

3. 根据权利要求1或2所述的纵型半导体装置,其特征在于,在所述半导体衬底形成有与所述接触孔连通的接触沟槽(23),

所述杂质层以与所述接触沟槽的侧面相接的状态形成,

所述基极层以与所述接触沟槽的底面相接的状态形成。

纵型半导体装置

[0001] 关联申请的相互参照

[0002] 本申请基于2022年11月2日申请的日本专利申请第2022-176618号,这里通过参照而引入其记载内容。

技术领域

[0003] 本公开涉及具有沟槽栅极构造的纵型半导体装置。

背景技术

[0004] 以往,提出了具有沟槽栅极构造的纵型半导体装置(例如参照专利文献1)。具体而言,形成MOSFET(metal Oxide semiconductor field effect transistor(金属氧化物半导体场效应晶体管)的简称)元件而构成了该纵型半导体装置。更详细而言,纵型半导体装置在 n^+ 型的漏极区域上形成有 n^- 型的漂移层,在漂移层上形成有 p 型的基极(base)层。在基极层的表层部形成有 n^+ 型的源极层,沟槽栅极构造形成为,贯通源极层及基极层而到达漂移层。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献1:日本特开2013—84905号公报

发明内容

[0008] 这样的纵型半导体装置通常具备形成MOSFET元件的单元区域和将单元区域包围而配置的外周区域。并且,沟槽栅极构造有从单元区域延伸设置到外周区域的情况,以使得能够实现外周区域中的电场缓和。

[0009] 但是,在上述那样的纵型半导体装置中,由漂移层、基极层、源极层构成寄生双极晶体管。并且,根据本发明人的研究,确认到,在将沟槽栅极构造延伸设置至外周区域的情况下,在配置于外周区域的沟槽栅极构造的周围,寄生双极晶体管容易工作。因此,期望以寄生双极晶体管不易工作的方式提高雪崩耐量。

[0010] 本公开的目的在于,提供能够提高雪崩耐量的纵型半导体装置。

[0011] 根据本公开的一个观点,涉及纵型半导体装置,形成有具有沟槽栅极构造的半导体元件;具备半导体衬底,该半导体衬底具有形成有所述半导体元件的单元区域和包围所述单元区域的外周区域;单元区域具有:第一导电型的漂移层;第二导电型的基极层,形成在漂移层上;第一导电型的杂质层,形成在基极层的表层部,杂质浓度比漂移层高;沟槽栅极构造,在沟槽内隔着栅极绝缘膜而配置有栅极电极,沟槽将杂质层及基极层贯通而达到漂移层并且沿着半导体衬底的面方向而延伸设置;第一导电型或第二导电型的高浓度层,隔着漂移层而形成在基极层的相反侧,杂质浓度比漂移层高;层间绝缘膜,形成在半导体衬底的一面上,形成有使基极层及杂质层露出的接触孔;第一电极,经由接触孔而与杂质层及基极层电连接以及第二电极,与高浓度层电连接;形成有杂质层的区域被设为单元区域,沟

槽栅极构造从单元区域延伸设置至外周区域,基极层从单元区域延伸设置至外周区域,接触孔从单元区域延伸设置至外周区域,第一电极在外周区域中也经由接触孔而与基极层连接。

[0012] 由此,在纵型半导体装置进行雪崩动作时,载流子(例如空穴)容易经过外周区域的基极层而被从第一电极抽取。因此,能够实现雪崩耐量的提高,能够抑制寄生双极晶体管的工作。

[0013] 另外,附加于各构成要素等的带括号的参照标记表示该构成要素等与后述实施方式中记载的具体构成要素等的对应关系的一例。

附图说明

[0014] 图1是第一实施方式的纵型半导体装置的平面图。

[0015] 图2是沿着图1中的II-II线的剖视图。

[0016] 图3是沿着图1中的III-III线的剖视图。

[0017] 图4是表示图1所示的纵型半导体装置的电路结构的示意图。

[0018] 图5是表示调整距离与雪崩耐量的关系的图。

[0019] 图6是第二实施方式的纵型半导体装置的剖视图。

具体实施方式

[0020] 以下,基于附图对本公开的实施方式进行说明。此外,在以下各实施方式中,对彼此相同或等同的部分附加相同的标记来进行说明。

[0021] (第一实施方式)

[0022] 参照附图对第一实施方式进行说明。此外,本实施方式的纵型半导体装置例如搭载于汽车等车辆,优选作为用于将车辆用的各种电子装置进行驱动的装置而应用。

[0023] 如图1所示,本实施方式的纵型半导体装置具有单元区域1及外周区域2。另外,虽然具体后述,但本实施方式的纵型半导体装置构成为,作为半导体元件而形成具有源极层14的n沟道型的MOSFET元件。并且,在本实施方式中,单元区域1和外周区域2根据是否形成有源极层14来划分,形成有源极层14的部分被设为单元区域1。换言之,实际上作为MOSFET元件发挥功能的部分被设为单元区域1,不作为MOSFET元件发挥功能的部分被设为外周区域2。另外,在图1中,省略了后述的层间绝缘膜20和上部电极21。另外,图1虽不是剖视图,但为了容易理解,对后述的栅极绝缘膜17及栅极电极18施加了阴影。

[0024] 如图2及图3所示,本实施方式的纵型半导体装置采用具有由杂质浓度被设为高浓度的 n^+ 型的硅衬底等构成的衬底11的半导体衬底10而形成。在衬底11的表面上,形成有杂质浓度比衬底11低的 n^- 型的漂移层12。此外,在本实施方式中,衬底11作为漏极区域发挥功能,相当于高浓度层。

[0025] 在漂移层12的表层部,形成有杂质浓度被设定得较低的p型的基极层13。基极层13例如通过对漂移层12离子注入p型杂质等而形成,作为形成沟道区域的沟道层发挥功能。在本实施方式中,包含基极区域13a和基极接触区域13b而构成基极层13,基极区域13a位于漂移层12侧,基极接触区域13b其杂质浓度比基极区域13a高且形成在基极区域13a上。并且,本实施方式的基极层13从单元区域1形成至外周区域2。

[0026] 另外,在基极层13的表层部,形成有杂质浓度比漂移层12高的 n^+ 型的源极层14。源极层14在后述的多个沟槽16之间以与沟槽16的侧面相接的方式形成。另外,基极接触区域13b形成为,隔着源极层14而位于后述的沟槽16的相反侧。

[0027] 并且,在本实施方式中,形成了源极层14的区域被设为单元区域1。此外,在后述的沟槽16的长度方向(即,延伸设置方向)上,基极接触区域13b可以形成为与源极层14一致,也可以形成为从单元区域1向外周区域2稍微突出。并且,在本实施方式中,源极层14相当于杂质层。另外,关于半导体衬底10,将衬底11侧设为另一面10b,将基极层13及源极层14层侧设为一面10a。

[0028] 在半导体衬底10,以从一面10a侧贯通基极层13、源极层14而到达漂移层12的方式形成有多个沟槽16。多个沟槽16形成为,以半导体衬底10的面方向上的一个方向为长度方向,沿着与该一个方向交叉的方向排列。更详细而言,多个沟槽16通过等间隔地平行排列而成为条状的布局。另外,在图1中,沟槽16以纸面左右方向为长度方向而延伸设置,并在纸面上下方向上排列。另外,各沟槽16形成为,长度方向的两端部从单元区域1向外周区域2突出。

[0029] 沟槽16的内壁面被栅极绝缘膜17覆盖。在沟槽16内,隔着栅极绝缘膜17而配置有由掺杂多晶硅构成的栅极电极18。

[0030] 在半导体衬底10的一面10a侧,以将栅极电极18覆盖的方式形成有由氧化膜等构成的层间绝缘膜20。并且,在层间绝缘膜20,形成有使源极层14、基极层13露出的接触孔20a。

[0031] 这里,本实施方式的接触孔20a形成为,在沟槽16的长度方向上比源极层14突出。换言之,接触孔20a形成为,使位于外周区域2的基极层13也露出。但是,接触孔20a形成为,在比沟槽16的长度方向上的端部更靠单元区域1侧的位置终止。此外,在图1中,用虚线表示接触孔20a。即,在图1中,由虚线包围的区域成为从层间绝缘膜20露出的区域。

[0032] 并且,在层间绝缘膜20上形成有相当于源极电极的上部电极21。具体而言,上部电极21在单元区域1中形成为,通过接触孔20a而与源极层14及基极接触区域13b(即基极层13)连接。另外,上部电极21在外周区域2中形成为,通过接触孔20a而与基极层13连接。此外,在本实施方式中,上部电极21相当于第一电极。

[0033] 在衬底11中的另一面10b侧,形成有相当于漏极电极的下部电极22。此外,在本实施方式中,下部电极22相当于第二电极。

[0034] 以上是本实施方式的纵型半导体装置的结构。此外,在本实施方式中, n^- 型、 n 型、 n^+ 型相当于第一导电型, p 型、 p^+ 型相当于第二导电型。另外,在本实施方式中,如上所述,包括衬底11、漂移层12、基极层13、源极层14等而构成了半导体衬底10。

[0035] 接着,对上述纵型半导体装置的工作及效果进行说明。首先,上述那样的纵型半导体装置,通过对栅极电极18施加绝缘栅构造的阈值电压以上的电压,从而在基极层13中的与沟槽16相接的部分形成沟道区域,在源极—漏极间流过电流从而成为导通状态。另外,若施加于栅极电极18的电压变得小于阈值电压,则形成于基极层13的沟道区域消失,电流被切断从而成为截止状态。

[0036] 并且,上述那样的纵型半导体装置成为图4所示那样的电路结构。即,本实施方式的纵型半导体装置成为包含MOS晶体管MTr、由漂移层12、基极层13、源极层14所形成的寄生

双极晶体管PTr、耗尽电容DC、基极层13的内部电阻R的电路结构。并且,在上述那样的纵型半导体装置中,在从导通状态成为截止状态时,有可能发生雪崩击穿而在源极—漏极间流过过大的电流。

[0037] 因此,在本实施方式中,接触孔20a延伸设置至外周区域2,在外周区域2中使基极层13与上部电极21电连接。由此,在纵型半导体装置进行雪崩动作时,容易经过外周区域2的基极层13而从上部电极21抽取空穴。即,基极层13的内部电阻R变小的区域增加。因此,能够提高雪崩耐量,能够抑制寄生双极晶体管PTr的工作。

[0038] 这里,如图4所示,将从单元区域1向外周区域2突出的接触孔20a的长度设为调整距离d。即,将从源极层14向外周区域2侧突出的接触孔20a的长度设为调整距离d。换言之,将在外周区域2中与上部电极21连接的基极层13的沿着沟槽16的长度方向的长度设为调整距离d。在该情况下,调整距离d越长,越能够容易地将空穴从上部电极21抽取。但是,根据本发明人等的研究,如图5所示,确认到,雪崩耐量在调整距离d为0.1 μm 以上时几乎不变化。因此,在本实施方式中,调整距离d设为0.1 μm 以上。

[0039] 另外,图5表示在各杂质浓度中将衬底11设为 $1 \times 10^{18} \sim 1 \times 10^{20} \text{cm}^{-3}$,将漂移层12设为 $1 \times 10^{16} \sim 1 \times 10^{18} \text{cm}^{-3}$,将基极区域13a设为 $1 \times 10^{13} \text{cm}^{-3}$,将基极接触区域13b设为 $1 \times 10^{15} \sim 1 \times 10^{16} \text{cm}^{-3}$ 左右,将源极层14设为 $1 \times 10^{13} \text{cm}^{-3}$ 左右的结果。

[0040] 如以上说明的那样,在本实施方式中,接触孔20a从单元区域1向外周区域2延伸设置,上部电极21在外周区域2中也与基极层13连接。因此,在纵型半导体装置进行雪崩动作时,容易经过外周区域2的基极层13从上部电极21抽取空穴。因此,能够实现雪崩耐量的提高,能够抑制寄生双极晶体管PTr的工作。

[0041] (1) 在本实施方式中,调整距离设为0.1 μm 以上。因此,能够充分提高雪崩耐量。

[0042] (第二实施方式)

[0043] 对第二实施方式进行说明。本实施方式相对于第一实施方式而言形成了沟槽接触。其他与第一实施方式相同,因此这里省略说明。

[0044] 在本实施方式中,如图6所示,在半导体衬底10,以与形成于层间绝缘膜20的接触孔20a连通的方式形成有接触沟槽23。更详细而言,接触沟槽23形成为,在相对于半导体衬底10的一面10a的法线方向上与接触孔20a一致。即,接触沟槽23与接触孔20a同样地,距单元区域1的调整距离d为0.1 μm 以上。

[0045] 并且,本实施方式的源极层14构成为,具有源极区域14a和源极接触区域14b,源极区域14a位于栅极绝缘膜17侧,源极接触区域14b形成为,与源极层14相比杂质浓度高并且与接触沟槽23的侧面相接。另外,基极接触区域13b以与接触沟槽23的底面相接的方式形成。

[0046] 根据以上说明的本实施方式,接触孔20a从单元区域1向外周区域2延伸设置,上部电极21在外周区域2中也与基极层13连接。因此,能够得到与上述第一实施方式相同的效果。

[0047] 这里,例如也可以考虑采用如下结构:不将接触孔20a及接触沟槽23延伸设置至外周区域2,而是在外周区域2形成其他接触孔并将上部电极21与外周区域2的基极层13连接。但是,在该结构下,需要分别进行形成接触沟槽23及接触孔20a的工序和形成其他接触孔的工序,制造工序增加。即,本实施方式的纵型半导体装置能够抑制制造工序的增加,并且得

到与上述第一实施方式同样的效果。

[0048] (1) 在本实施方式中,在半导体衬底10形成有接触沟槽23,源极接触区域14b及基极接触区域13b以与接触沟槽23相接的方式形成。因此,能够容易地确保与上部电极21的连接面积,能够缩短相邻的沟槽16间的长度。因此,能够实现导通电阻的降低并且实现纵型半导体装置的小型化。

[0049] (其他实施方式)

[0050] 本公开虽然以实施方式为基准进行了记述,但应理解的是本公开并不限于该实施方式及构造。本公开还包含各种变形例、均等范围内的变形。除此以外,各种组合及形态、以及在它们中仅包含一个要素、其以上或其以下的其他组合及形态也落入本公开的范畴及思想范围。

[0051] 例如,在上述各实施方式中,以将第一导电型设为n型、将第二导电型设为p型的n沟道型的沟槽栅极构造的MOSFET为例进行了说明。但是,纵型半导体装置例如也可以构成为,形成有相对于n沟道型使各构成要素的导电型反转了的p沟道型的沟槽栅极构造的MOSFET。进而,纵型半导体装置除了MOSFET以外,也可以构成为形成有同样的构造的IGBT。在IGBT的情况下,除了将上述各实施方式中的n⁺型的衬底11变更为p⁺型的集电极层以外,与在上述第一实施方式中说明的纵型MOSFET相同。

[0052] 另外,在上述各实施方式中,对半导体衬底10由硅衬底构成的例子进行了说明。但是,半导体衬底10也可以是碳化硅衬底,也可以是氮化镓衬底。

[0053] 并且,在上述各实施方式中,也可以不形成基极接触区域13b,将基极层13直接与上部电极21连接。另外,在上述第一实施方式中,也可以是,以与上部电极21连接的方式形成有源极接触区域14b,在上述第二实施方式中,也可以不形成源极接触区域14b。

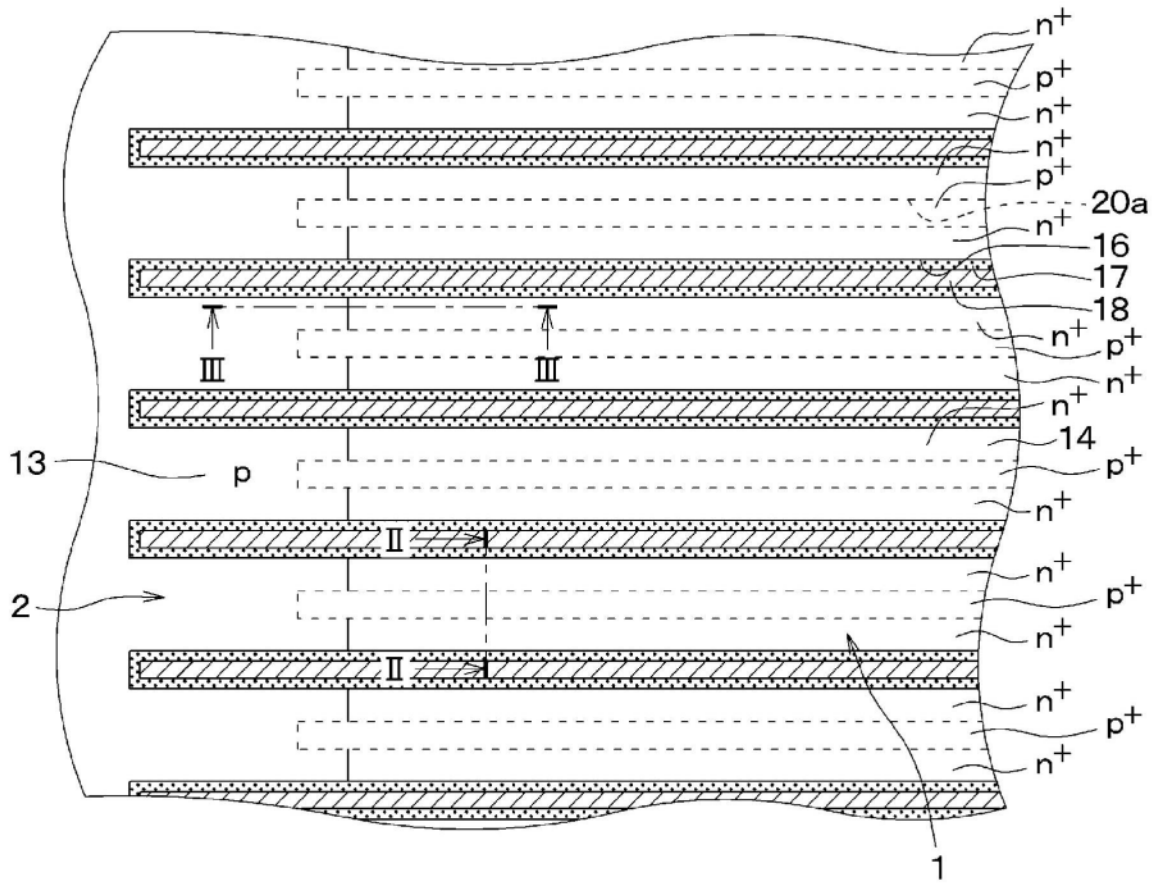


图1

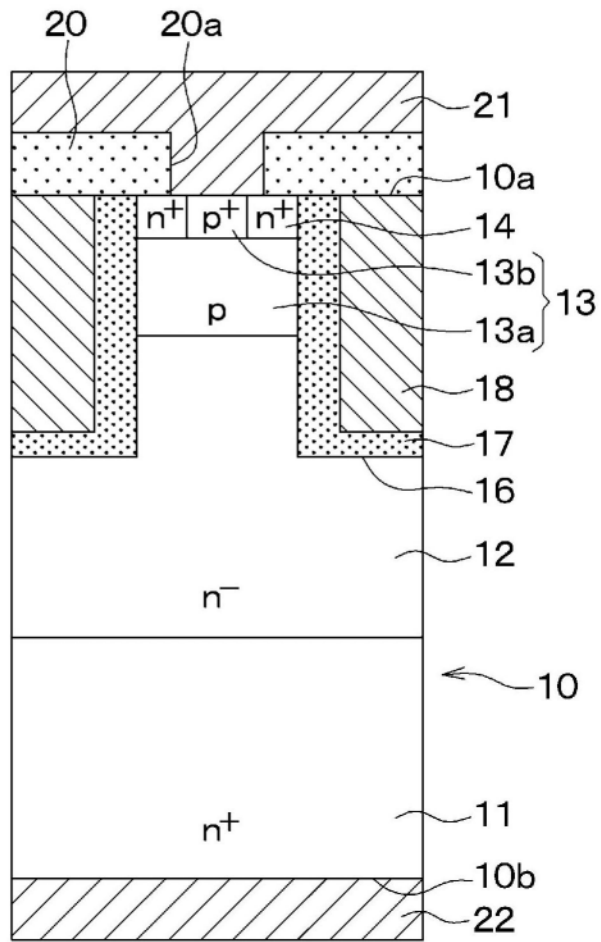


图2

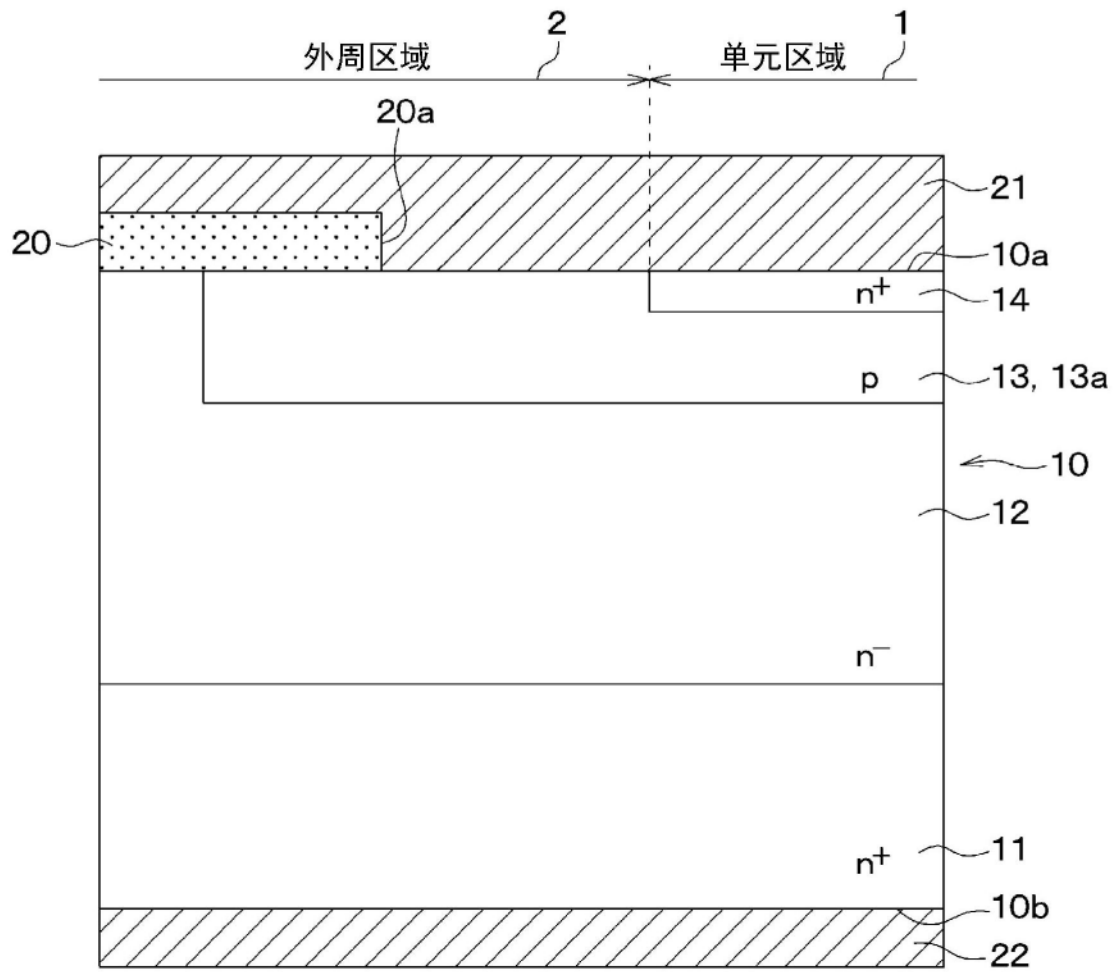


图3

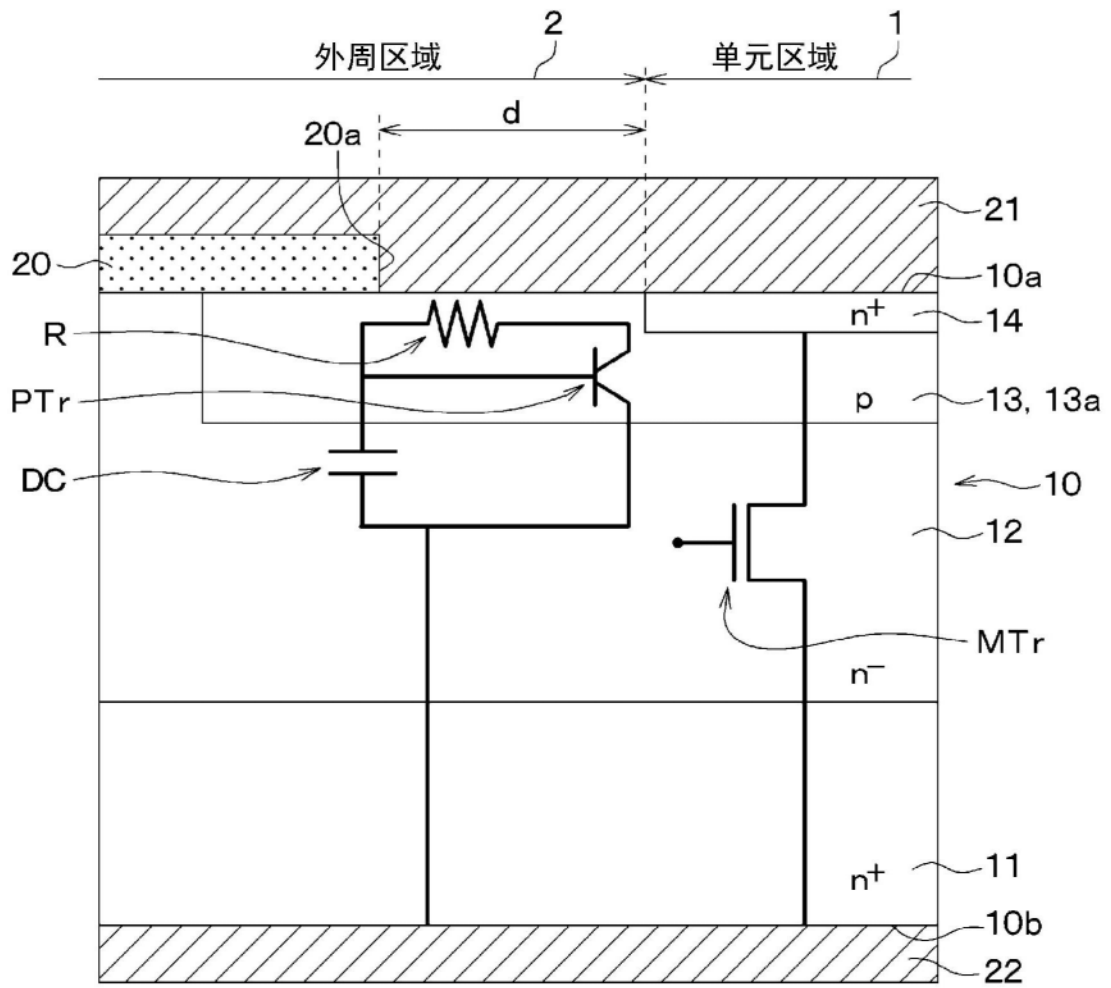


图4

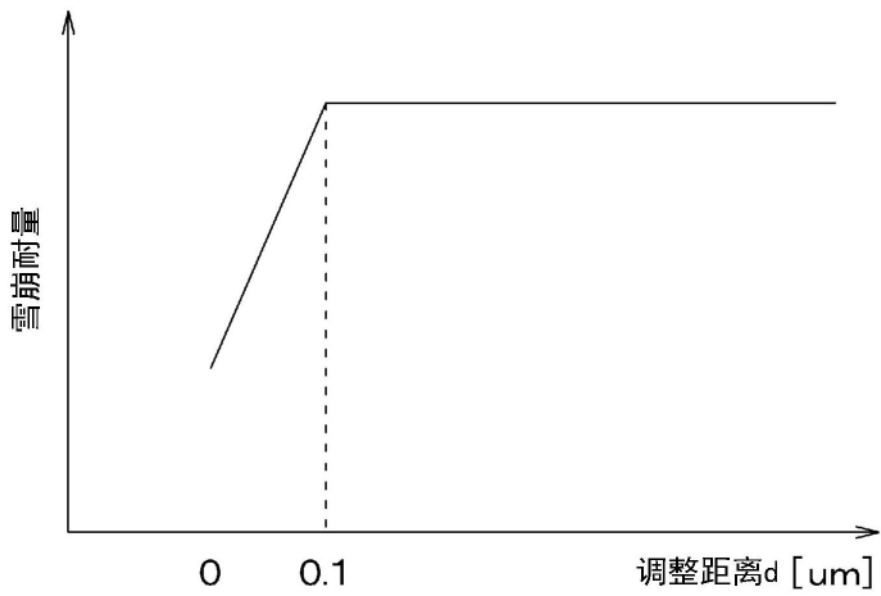


图5

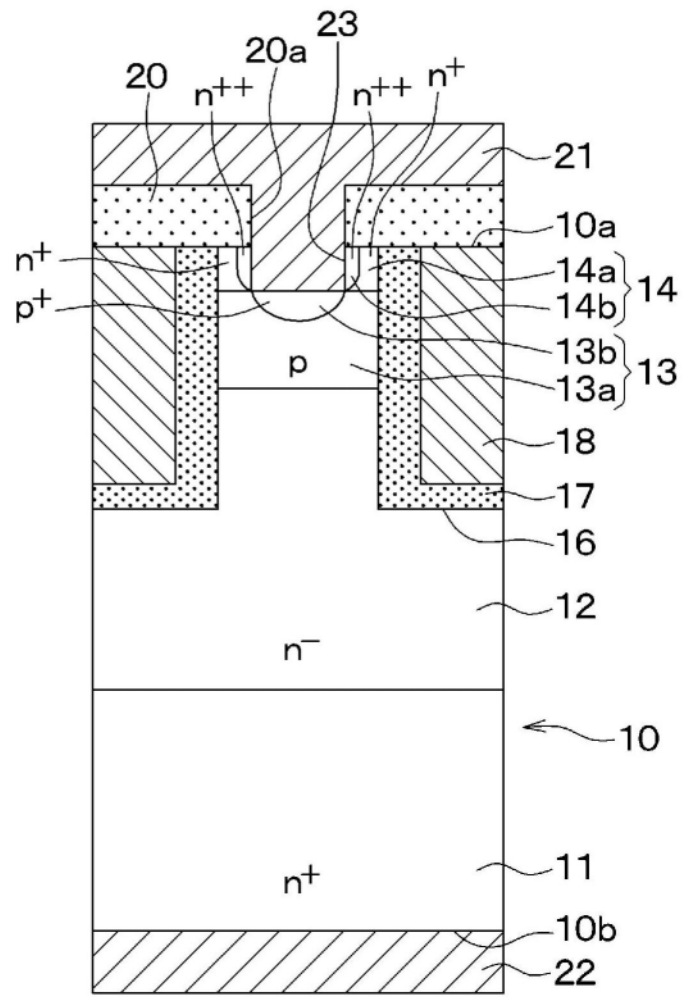


图6