RÉPUBLIQUE FRANÇAISE

INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE

PARIS

(11) N° de publication : **2 519 461**
(A n'utiliser que pour les commandes de reproduction).

A1

DEMANDE DE BREVET D'INVENTION

(21) **N° 82 20049**

(54) **Dispositif de mémoire à semi-conducteurs et procédé de fabrication d'un tel dispositif.**

(51) Classification internationale (Int. Cl. ³). **G 11 C 11/40.**

(22) Date de dépôt ..... 30 novembre 1982.

(33) (32) (31) Priorité revendiquée : *JP, 6 janvier 1982, 3 demandes, n^os 350, 353 et 354.*

(41) Date de la mise à la disposition du public de la demande ..... B.O.P.I. — « Listes » n° 27 du 8-7-1983.

(71) Déposant : Société dite : HITACHI, LTD. — JP.

(72) Invention de : Masamichi Ishihara, Masanori Tazunoki et Takeshi Kajimoto.

(73) Titulaire : *Idem* (71)

(74) Mandataire : R. G. Dupuy et J. M. L. Loyer,
14, rue La Fayette, 75009 Paris.

La présente invention concerne un dispositif de mémoire à semiconducteurs et plus particulièrement une mémoire D-RAM (mémoire dynamique à accès direct ou aléatoire) constituée par des transistors MISFET (transistors à effet de champ du type métal-isolant-semiconducteur). De même l'invention concerne un procédé de fabrication d'un tel dispositif de mémoire à semiconducteurs.

Ci-après on va décrire l'art antérieur.

Dans une mémoire D-RAM courante, en vue de détecter la donnée mémorisée dans le condensateur C_s d'une cellule de mémoire "1" ou "0", on utilise habituellement le condensateur C_{ds} d'une celle fictive (une cellule servant à produire un niveau de référence) dont la capacité est réglée à une valeur égale à environ la moitié de la capacité du condensateur C_s. Le procédé de détection consiste à comparer par avance le niveau de tension mémorisé dans le condensateur C_s de la cellule de mémoire conformément à ladite donnée au niveau de tension de référence mémorisé dans le condensateur C_{ds} de la cellule fictive. Dans la structure de la mémoire D-RAM de l'art antérieur, afin de régler le rapport des valeurs des capacités des condensateurs C_s et C_{ds} à la valeur $C_s : C_{ds} = 2 : 1$, on utilise pour les deux cellules le même matériau (SiO_2) pour constituer des couches diélectriques et l'on donne à la surface S du condensateur C_s une valeur égale approximativement au double de la surface S_d du condensateur C_{ds}. En outre ces condensateurs possèdent une structure dans laquelle la couche diélectrique est interposée entre une couche d'inversion ou une couche de diffusion formée à l'intérieur d'un subtrat semiconducteur, et le silicium polycristallin.

A ce point de vue, dans le cas où l'on cherche à réduire la surface d'occupation des cellules de mémoire afin d'accroître la capacité de la mémoire D-RAM, il se présente du point de vue de la construction de la mémoire D-RAM telle que décrite ci-dessus, les problèmes que l'on

va indiquer ci-après.

Tout d'abord lorsqu'on cherche à accroître la densité d'intégration, il se pose un problème dans le cadre du procédé de fabrication. Une surface occupée par des réseaux de mémoire à l'intérieur d'un corps semiconducteur unique (puce ou microplaquette semiconductrice) est très importante et la surface d'occupation des condensateurs C_s des cellules de mémoire est très étendue à l'intérieur du réseau de mémoire. Par conséquent il est nécessaire de réduire la surface S du condensateur C_s afin de diminuer la taille de la microplaquette de la mémoire D-RAM. A ce sujet lorsque l'on donne une faible valeur à la surface S du condensateur C_s, la surface S_d du condensateur C_{ds} devient encore plus petite étant donné que le rapport des capacités doit être réglé à la valeur $C_s : C_{ds} = 2 : 1$. Par conséquent, par rapport au taux de variation de la surface S du condensateur C_s en raison de dispersions de fabrication provoquées par une corrosion ou attaque chimique, etc., le taux de variation de la surface S_d du condensateur C_{ds}, qui doit être approximativement égale à la moitié de la surface S indiquée ci-dessus, devient très important. Il en résulte que le condensateur C_{ds} possèdant une capacité dont la valeur est égale à environ la moitié de celle du condensateur C_s ne peut pas être fabriqué. Par conséquent il existe une limitation à la réduction de la surface du condensateur C_s et il se présente un obstacle à l'accroissement de la densité d'intrégration.

En second lieu, la structure des condensateurs de l'art antérieur pose le problème d'erreurs temporaires imputables aux particules α qui sont émises par l'uranium U, le thorium Th, etc. dans un matériau d'emballage. Il s'est avéré que les particules α, qui se sont introduites dans le corps semiconducteur, sont une cause de production de porteurs qui neutralisent des charges dans les condensateurs en exerçant une influence nuisible sur le maintien

des données. En particulier le condensateur C_s de la cellule de mémoire possédant la surface importante d'occupation est soumis à la pénétration d'une quantité importante de particules α et est sensible à l'influence que ces particules exercent.

Un but de la présente invention est d'accroître la densité d'intrégration d'une mémoire D-RAM et d'obtenir une bonne fonction de maintien ou retenue des données.

Selon un aspect de la mise en oeuvre de la présente invention, on donne des valeurs différentes aux constantes diélectriques des pellicules diélectriques des condensateurs respectifs C_s et C_{ds} d'une cellule de mémoire et d'une cellule fictive, ce qui a pour effet que la capacité du condensateur C_s prend une valeur double de celle du condensateur C_{ds} en dépit du fait que les condensateurs C_s et C_{ds} ont des surfaces essentiellement égales, et, à côté de cela, le condensateur C_s est réalisé selon une structure empilée qui est constituée d'une première et d'une seconde couches conductrices formées sur le substrat et entre lesquelles est interposée la pellicule diélectrique.

La surface du condensateur C_s, qui possédait une surface d'encombrement plus importante, est amenée à une valeur plus faible, grâce à l'utilisation de la pellicule possédant la constante diélectrique supérieure. En outre, en raison de l'existence de la structure empilée, on utilise efficacement un espace sur la pellicule d'oxyde épais pour l'isolation et une partie en forme de bec d'oiseau de cette pellicule pour le condensateur C_s.

Etant donné que le condensateur C_s possède une faible surface et une capacité importante, il présente une immunité vis-à-vis des particules α. En outre il est résistant aux particules α en raison de la présence de la structure empilée.

D'autres caractéristiques et avantages de la pré-

sente invention ressortiront de la description donnée ci-après prise en référence aux dessins annexés, sur lesquels:

la figure 1 est un schéma montrant l'agencement du circuit principal d'une mémoire D-RAM du type à lignes repliées de transmission de bits;

la figure 2 est une vue en perspective et en coupe de la structure d'une cellule de mémoire située dans la mémoire D-RAM de la figure 1;

la figure 3 est une vue en perspective et en coupe montrant la structure d'une cellule fictive située dans la mémoire D-RAM de la figure 1;

la figure 4 est une vue en perspective et en coupe montrant la structure d'une partie du circuit périphérique d'un réseau de mémoire situé dans la mémoire D-RAM de la figure 1;

la figure 5 est une vue en plan montrant l'agencement du réseau de mémoire et d'un réseau fictif situés dans la mémoire D-RAM de la figure 1;

les figures 6A, 6B et 6C sont des vues en plan à plus grande échelle d'une pellicule d'oxyde de champ, d'une première couche en silicium polycristallin et d'une seconde couche en silicium polycristallin représentées respectivement sur la figure 5;

les figures 7A à 7F sont des vues en coupe illustrant les phases opératoires de fabrication de la mémoire D-RAM des figures 2 à 6C dans l'ordre;

les figures 8A à 8D sont des vues en plan montrant les états du réseau de mémoire et du réseau fictif au cours des phases opératoires de fabrication illustrées sur les figures 7A à 7P;

la figure 9 est une vue en perspective et en coupe montrant la structure d'une cellule fictive qui est une variante de réalisation de la cellule fictive de la figure 3;

les figures 10A à 10F sont des vues en coupe illustrant les phases opératoires de fabrication d'une mémoire D-RAM qui comporte la cellule fictive de la figure 9, dans l'ordre;

les figures 11A et 11B sont des vues en plan montrant les états d'un réseau de mémoire et d'un réseau fictif au cours des phases opératoires de fabrication illustrées sur les figures 10A à 10F;

la figure 12 est un schéma montrant les relations de position d'une cellule de mémoire et d'une cellule fictive par rapport à un amplificateur de détection ou de lecture dans une mémoire D-RAM du type à lignes ouvertes de transmission de bits;

la figure 13 est une vue en perspective et en coupe montrant la structure d'une cellule de mémoire située dans la mémoire D-RAM de la figure 12;

la figure 14 est une vue en perspective et en coupe montrant la structure d'une cellule fictive située dans la mémoire D-RAM de la figure 12;

la figure 15 est une vue en plan montrant l'agencement d'un réseau de mémoire et d'un réseau fictif situés dans la mémoire D-RAM représentée sur les figures 12 à 14;

la figure 16 est une vue montrant un plan de coupe pris suivant la ligne Y-Y sur la figure 15;

la figure 17 est une vue en perspective et en coupe montrant la structure d'une cellule fictive qui est une variante de la cellule fictive de la figure 14; et

la figure 18 est une vue en plan montrant le schéma d'agencement d'un réseau de mémoire et d'un réseau fictif situés dans une mémoire D-RAM qui comporte la cellule fictive de la figure 17.

On va décrire ci-après les formes de réalisation préférées de l'invention.

Les formes de réalisation, dans lesquelles la présente invention est appliquée à une mémoire D-RAM du

type à lignes de transmission de bits repliées, vont être décrit en référence aux dessins.

Un circuit de mémoire D-RAM réalisé selon la première forme de réalisation de la présente invention est réprésenté sur la figure 1. Le circuit de la mémoire D-RAM est constitué d'un amplificateur de lecture ou de détection SA_1, d'un réseau de mémoire M-ARY, d'un réseau fictif D-ARY, d'un commutateur de colonnes $C\text{-}SW_1$, d'un décodeur de lignes et de colonnes RC-DCR, d'un tampon d'adresses ADB, d'un tampon de sortie de données DOB, d'un tampon d'entrée de données DIB, d'un amplificateur principal MA, etc.. Une cellule de mémoire M-CEL située dans le réseau M-ARY est constituée d'un condensateur C_s, qui mémorise les charges correspondant à la valeur logique d'un signal logique,et d'un transistor MISFET de transfert Q_M dont la grille reçoit un signal de mot D'autre part une cellule fictive (une cellule servant à produit un niveau de référence) D-CEL qui est contenue dans le réseau D-ARY et qui sert à fournir la référence pour la comparaison du niveau avec la cellule M-CEL, se composé d'un condensateur C_{ds} qui possède une capacité dont la valeur est égale à environ la moitié de celle du condensateur C_s, d'un transistor MISFET de transfert Q_{D1}, dont la grille reçoit un signal de mot fictif, et d'un transistor MISFET Q_{D2} qui sert à décharger des charges dans le condensateur C_{ds}.

Sur la figure 1, les transistors MISFET affectés d'astérisques *, par exemple Q_{s2} et Q_{s3}, sont agencés de manière que les tensions de seuil de ces transistors puissent prendre des valeurs inférieures à celles d'autres transistors MISFET, tels que par exemple Q_{s8} et Q_{s9}.

La structure d'une cellule M-CEL de la figure 1 est représentée sur la figure 1.

Dans cette figure la référence 1 désigne un substrat semiconducteur de type P, la référence 2 désigne

une pellicule de matériau isolant épais (désignée ci-après sous le terme de "pellicule d'oxyde de champ"), la référence 3 désigne une pellicule isolante mince (désignée ci-après sous le terme de "seconde pellicule d'isolant de grille"), la référence 3 désigne une pellicule diélectrique possédant une constante diélectrique élevée, les références 4 et 5 désignent des régions semiconductrices de type N^+, la référence 6a désigne une première couche de silicium polycristallin, la référence 6b désigne une seconde couche de silicium polycristallin, la référence 7 désigne une région semiconductrice de type N^+, la référence 8 désigne une troisième couche de silicium polycristallin, la référence 9 désigne une couche de PSG (abréviation de verre aux phosphosilicates) et la référence 10 désigne une couche d'aluminiun.

Le substrat, la région de source, la région de drain, la pellicule d'isolant de grille et l'électrode de grille du transistor MISFET Q_M situé dans la cellule M-CLE sont constitués respectivement par le substrat semiconducteur de type P 1, la région semiconductrice de type N^+ 4, la région semiconductrice de type N^+ 5, une seconde pellicule d'isolant de grille (pellicule de SiO_2) 3 et une troisième couche de silicium polycristallin 8 mentionnées précédemment. La troisième couche de silicium polycristallin 8 est utilisée par exemple en tant que ligne de transmission de mots WL_{1-2} représentée sur la figure 1. La couche d'aluminium 10 raccordée à la région semiconductrice de type N^+ 5 est utilisée par exemple en tant que ligne de transmission de données DL_{1-1} représentée sur la figure 1. En outre le condensateur de stockage C_s situé dans la cellume M-CEL est caractérisé par le fait que les électrodes, une couche diélectrique et l'autre électrode de ce condensateur sont constituées respectivement par la première couche de silicium polycristallin 6a, par une pellicule isolante (essentiellement la pellicule de nitrure semiconducteur

3a, c'est-à-dire du nitrure de silicium Si_3N_4 possédant une constante diélectrique élevée) et par la seconde couche de silicium polycristallin 6b. C'est-à-dire que le condensateur C_s utilise du Si_3N_4 en tant que diélectrique et est réalisé selon une structure empilée, dans laquelle une électrode est située en contact direct avec le substrat. La première couche de silicium polycristallin 6a, qui forme l'électrode inférieure du condensateur C_s, est en contact direct avec la région de type N^+ 7 à l'intérieur du substrat 1, tandis que l'électrode supérieure (la seconde couche de silicium polycristallin 6b) est raccordée à une ligne V_{ss} (MASSE). La surface de la pellicule 3a de Si_3N_4 est recouverte par une mince pellicule 3b de SiO_2.

La figure 3 concerne la cellule D-CEL de la figure 1, et montre la structure d'une telle cellule.

En particulier sur la figure 3, les références 11 - 14 désignent des régions semiconductrices de type N^+, la référence 15 désigne une seconde couche de silicium polycristallin, la référence 16 désigne une région semiconductrice de type N^+, les références 17 et 18 désignent des troisième couches de silicium polycristallin, la référence 19 désigne une couche d'aluminium et la référence 29 désigne une première pellicule d'isolant de grille.

Le substrat, la région de drain, la région de source, la pellicule d'isolant de grille et l'électrode de grille du transistor MISFET Q_{D1} situé dans la cellule D-CEL sont constitués respectivement par le substrat semiconducteur de type P 1, la région semiconductrice de type N^+ 11, la région semiconductrice de type N^+ 12, la seconde pellicule d'isolant de grille 3 et la troisième couche de silicium polycristallin 17. La seconde pellicule d'isolant de grille 3 est constituée par exemple par une pellicule de SiO_2. La troisième couche de silicium polycristallin 17 s'étend sur le substrat semiconducteur de type P1 en tant que par exemple ligne fictive de transmission de

mots DWL_{1-2} représentée sur la figure 1. La couche d'aluminium 19 raccordée à la région semiconductrice de type N^+ s'étend sur le substrat semiconducteur de type P 1, pour former par exemple une ligne fictive de transmission de données DL_{1-1} réprésentée sur la figure 1.

Le substrat, la région de drain, la région de source, la pellicule d'isolant de grille et l'électrode de grille du transistor MISFET Q_{D2} situé dans la cellule D-CEL sontconstitués respectivement par le substrat semiconducteur de type P 1, la région semiconductrice de type N^+ 13, la région semiconductrice de type N^+ 14, une seconde pellicule d'isolant de grille (pellicule de SiO_2) 3 et la troisième couche de silicium polycristallin 18. La troisième couche de silicium polycristallin 18 est alimentée par un signal de décharge ϕ_{dc}, par exemple, qui est représenté à l'intérieur de la cellule D-CEL de la figure 1.

Le condensateur C_{ds} situé dans la cellule D-CEL comporte une électrode, une couche diélectrique et son autre électrode qui sont constituées respectivement par la seconde couche de silicium polycristallin 15, la première pellicule d'isolant de grille 29 et la région semiconductrice de type N^+ 16. Etant donné que la face inférieure (surface du substrat) du condensateur C_{ds} est constituée par la région semiconductrice de type N^+, l'électrode supérieure (seconde couche de silicium polycristallin 15) est raccordée à la ligne V_{ss} (MASSE).

Comme cela a été décrit ci-dessus, le condensateur C_s dans la cellule de mémoire utilise du Si_3N_4 possédant une constante diélectrique élevée et dont la constante diélectrique relative est égale à 7 - 8 et qui sert de couche diélectrique agissant essentiellement en tant que capacité, tandis que le condensateur C_{ds} situé dans la cellule fictive utilise du SiO_2 possédant une constante diélectrique relativement faible et ayant pour constante

diélectrique relative la valeur de 3,7 - 4 et servant à former la couche diélectrique agissant essentiellement en tant que capacité. Les surfaces de ces condensateurs sont dimensionnées de manière à être approximativement identiques. Le condensateur C_s est constitué par la structure empilée: silicium polycristallin - Si_3N_4 - silicium polycristallin.

La figure 4 montre sous la forme d'une vue en perspective en coupe partielle, les structures de certains éléments situés dans un circuit périphérique ménagé dans la périphérie du réseau de mémoire M-ARY, et ce par exemple dans un circuit de régénération active AR_1 représenté sur la figure 1. En particulier sur la figure 4, les références 20 - 23 désignent des régions semiconductrices de type N^+ tandis que les références 24 - 27 désignent des troisièmes couches de silicium polycristallin et que la référence 28 désigne une couche d'aluminium.

Un transistor MISFET Q_{s6} situé dans le circuit de régénération active AR_1 représenté sur la figure 1 possède son substrat, sa région de source, sa région de drain, sa pellicule d'isolant de grille et son électrode de grille constitués respectivement par le substrat semiconducteur de type P 1, la région semiconductrice de type N^+ 20, la région semiconductrice de type N^+ 21, la seconde pellicule d'isolant de grille 3 et une troisième couche de silicium polycristallin 24.

Un transistor MISFET Q_{s4} situé dans le circuit de régénération active AR_1 possède son substrat, sa source, sa région de drain, sa pellicule d'isolant de grille et son électrode de grille constitués respectivement par le substrat semiconducteur de type P 1, la région semiconductrice de type N^+ 22, la région semiconductrice de type N^+ 23, la seconde pellicule d'isolant de grille 3 et la troisième couche de silicium polycristallin 27. Un signal

ϕ_{rg} de commande de régénération active, représenté sur la figure 1, est appliqué à la troisième couche de silicium polycristallin 27.

Un condensateur C_{B11} situé dans le circuit de régénération active AR_1 possède une électrode et une couche diélectrique constituées respectivement par la troisième couche de silicium polycristallin 25 et par la pellicule d'isolant de grille 3. La troisième couche de silicium polycristallin 25 est raccordée de façon continue à une troisième couche de silicium polycristallin 24 qui est utilisée en tant qu'électrode de grille du transistor de MISFET Q_{s6}. En outre une partie 25a de cette troisième couche de silicium polycristallin 25 est raccordée directement à la région semiconductrice de type N^+ 22 du transistor MISFET Q_{s4}. La raison en est que, lorsque la troisième couche de silicium polycristallin 24 et la région semiconductrice de type N^+ 22 sont raccordées à la couche de câblage en aluminium, il est nécessaire d'avoir la surface de contact entre la surface de silicium polycristallin 24 et la couche de câblage en aluminium, de sorte que la densité du câblage ne peut pas être améliorée. Les moyens de raccordement mentionnés précédemment sont par conséquent adoptés en vue d'accroître la densité du câblage.

L'autre électrode du condensateur précédent C_{B11} est constituée par exemple par une couche d'inversion de type N (ou une région semiconductrice du type N^+) qui est formée à la surface du substrat semiconducteur 1. Cette couche d'inversion du type N est formée à l'aide d'une tension qui est appliquée à la troisième couche de silicium polycristallin 25. Bien que ceci ne soit pas représenté, la couche d'inversion s'étend jusqu'à une région semiconductrice de type N^+ qui est formée dans le substrat semiconducteur 1 et à laquelle est appliqué un signal ϕ_{rs} de commande de régénération active, représenté sur la figure 1. La troisième

couche de silicium polycristallin 26 constitue une électrode d'un condensateur R_B12 représenté sur la figure 1. Comme dans le cas du condensateur C_{B11}, une partie de la couche de silicium polycristallin est raccordée directement à la région de source d'un transistor MISFET Q_{s5} représenté sur la figure 1, et une autre partie est raccordée de façon continue à l'électrode de grille d'un transistor MISFET Q_{s7}.

Ci-après on va décrire le schéma d'agencement du réseau de mémoire M-ARY et du réseau facteur D-ARY en référence à la figure 5.

Le réseau de mémoire M-ARY représenté sur la figure 5 est tel que plusieurs cellules de mémoire M-CEL représentées sur la figure 2 sont disposées selon un réseau sur le substrat semiconducteur 1. D'autre part le réseau fictif D-ARY est tel que plusieurs cellules fictives D-CEL représentées sur la figure 3 sont disposées selon un réseau sur le subtrat semiconducteur 1.

Tout d'abord le réseau de mémoire M-ARY représenté sur la figure 5 est constitué comme indiqué ci-dessous.

Afin d'isoler les unes par rapport aux autres les différentes cellules de mémoire M-CEL dont chacune est constituée par le transistor MISFET Q_M et par le condensateur de mémorisation C_s, on forme, à la surface du substrat semiconducteur 1, la pellicule d'oxyde de champ 2 sur la base d'une configuration représentée sur la figure 6A (indiquée par une ligne formée de tirets sur la figure 5). Contrairement à une telle loi de base de configuration, une pellicule d'oxyde de champ 2a est exceptionnellement disposée au-dessous d'un trou de contact CH_0 pour l'application de la tension V_{ss} à la seconde couche de silicium polycristallin 6b. Il est par conséquent possible d'empêcher le défaut selon lequel un alliage aluminium-silicium, qui est formé sur la base de l'interaction

entre la couche d'aluminium et la couche de silicium polycristallin au voisinage du trou de contact CH_0, ne pénètre à travers une pellicule isolante directement au-dessous du trou de contact CH_0, et n'atteigne de façon indésirable la surface du substrat semiconducteur 1.

Sur une partie d'une surface entourée par la pellicule d'oxyde de champ 2, on forme la première couche de silicium polycristallin 6a possédant une forme telle que représentée sur la figure 6B (sur la figure 5 cette zone est indiquée dans une partie entourée par une ligne formée de tirets séparés par des points doubles pour conserver la clarté du dessin). Cette première couche de silicium polycristallin 6a est l'électrode du condensateur C_s de la cellule de mémoire et est située en contact direct avec la région semiconductrice du type N^+ qui est formée à l'intérieur du substrat dans une partie autre que la pellicule d'oxyde de champ 2.

Sur la première couche de silicium polycristallin 6a, on forme une seconde couche de silicium polycristallin 6b (repérée par une ligne formée de tirets avec des points doubles intercalés sur la figure 5) qui est l'électrode supérieure du condensateur C_s, et ce sur la pellicule de Si_3N_4, qui forme le diélectrique du condensateur C_s, et sur la base d'un dessin ou d'une configuration telle que représentée sur la figure 6C. La seconde couche de silicium polycristallin 6b est l'électrode commune à tous les condensateurs C_s et est alimentée par la tension V_{ss} par l'intermédiaire du trou de contact TH_0, comme décrit ci-dessus.

En outre des lignes de transmission de mots WL_{1-1}-WL_{1-6} qui sont formées dans la troisième couche de silicium polycristallin 8 sur la figure 2 suivant la direction verticale de la figure 5 s'étendent au-dessus de la seconde couche de silicium polycristallin 6b. En outre une ligne d'alimentation en énergie V_{ss}-L, qui sert à appliquer la tension V_{ss} par l'intermédiaire du trou de contact CH_0 à la

couche de silicium polycristallin 6b, qui forme une électrode du condensateur de stockage C_s, s'étend suivant la direction horizontale de la figure 5.

D'autre part des lignes de transmission de données DL_{l-1} et $\overline{DL}_{l-1}$, dont chacune est constituée par le couche d'aluminium 10 sur la figure 2, s'étendent essentiellement parallèlement à la ligne d'alimentation en énergie V_{ss}-L comme cela est représenté sur la figure 5. La ligne de transmission de données DL_{l-1} est raccordée à la région de drain du transistor MISFET Q_M situé dans la cellule M-CEL par l'intermédiaire d'un trou de contact CH_1, tandis que la ligne de transmission de données $\overline{DL}_{l-1}$ est raccordée à la région de drain du transistor MISFET Q_M situé dans une autre cellule M-CEL par l'intermédiaire d'un trou de contact CH_2. De la même manière que les lignes de transmission de données DL_{l-1} et $\overline{DL}_{l-1}$, des lignes de transmission de données $DL_{l=2}$ et $\overline{DL}_{l-2}$ s'étendent suivant la direction horizontale sur la figure 5 et sont raccordées aux régions de drain des transistors MISFET Q_M situés dans les cellules M-CEL, par l'intermédiaire de trous de contact, dans des régions prédéterminées.

Le réseau fictif D-ARY représenté sur la figure 5 est constitué de la manière indiquée ci-après.

On forme la pellicule d'oxyde de champ 2 sur une partie de la surface du substrat semiconducteur 1, tandis que l'on forme la seconde pellicule d'isolant de grille sur une autre partie de la surface du substrat semiconducteur 1. Sur la pellicule d'oxyde de champ 2 et sur la pellicule d'isolant de grille 3, des secondes couches de silicium polycristallin 15a et 15b s'étendent dans des directions représentées sur la figure 5 et de manière à être distantes l'une de l'autre. La largeur de chacune de ces secondes couches de silicium polycristallin 15a et 15b est très importante pour la détermination de la valeur de la capacité du condensateur C_{ds}. La région semiconductrice de type

N^+ 14 représentée sur la figure 3 est située entre la seconde couche de silicium polycristallin 15a et la seconde couche de silicium polycristallin 15b. Cette région semiconductrice de type N^+ 14 est utilisée en tant que ligne de masse commune (V_{ss}) d'un ensemble de plusieurs cellules fictives D-CEL. En outre la ligne fictive de transmission de mot DWL_{1-1} qui est formée par la troisième couche de silicium polycristallin 17 sur la figure 3, s'étend au-dessus de la seconde couche de silicium polycristallin 15a. Cette ligne fictive de transmission de mots WL_{1-1} forme l'électrode de grille du transistor MISFET Q_{D1} situé dans la cellule D-CEL. D'autre part une ligne de transmission de signaux de commande ϕ_{dc-L1}, qui est formée par la troisième couche de silicium polycristallin 18 sur la figure 3 en vue d'appliquer le signal ϕ_{dc} de commande de décharge représenté sur la figure 1, est distante de la ligne fictive de transmission de mots DWL_{1-1} et s'étend parallèlement à cette dernière. Une ligne de transmission de signaux de commande ϕ_{dc-L2} forme l'électrode de grille du transistor MISFET Q_{D2} situé dans la cellule D-CEL.

De façon similaire la ligne fictive de transmission de mots DWL_{1-2} et la ligne de transmission de commande ϕ_{ds-L2} s'étendent parallèlement à la ligne fictive de transmission de mots DWL_{1-1} et à la ligne de transmission de signaux de commande ϕ_{dc-L1}. En outre les lignes de transmission de données DL_{1-1}, $\overline{DL}_{1-1}$, DL_{1-2} et $\overline{DL}_{1-2}$ s'étendent à partir du réseau de mémoire (M-ARY) comme cela est représenté sur la figure 5. La ligne $\overline{DL}_{1-1}$ est raccordée à la région de drain du transistor MISFET Q_{D-1} situé dans la cellule D-CEL par l'intermédiaire du trou de contact CH_3, et la ligne $\overline{DL}_{1-2}$ est raccordée, d'une manière similaire, à la région de drain du transistor MISFET Q_{D1} situé dans une autre cellule D-CEL, par l'intermédiaire du trou de contact TH_4.

Ci-après on va décrire de façon détaillée le procédé de fabrication de la mémoire D-RAM selon la présente

forme de réalisation en référence aux figures 7A - 7P. Sur chacune de ces figures, une région X_1 représente une vue en coupe du dispositif pendant la mise en oeuvre du processus, prise suivant la ligne X1 - X1 dans le réseau de mémoire M-ARY représenté sur la figure 5, tandis qu'une région X_2 représente une vue en coupe du dispositif lors de la mise en oeuvre du procédé, prise suivant une ligne X_2 - X_2 dans le réseau de mémoire D-ARY représenté sur la figure 5, et qu'une région X_3 représente une vue en coupe du dispositif lors de la mise en oeuvre du procédé, d'un transistor MISFET autre que ceux du réseau de mémoire et du réseau fictif, par exemple le transistor MISFET Q_{s4} sur la figure 1.

(A. Phase opératoire de formation de la pellicule d'oxyde et de la pellicule résistant à l'oxydation).

Comme cela est représenté sur la figure 7A, on recouvre la surface d'un substrat semiconducteur 101 par une pellicule d'oxyde 102 et par une pellicule isolante qui ne permet pas le passage de l'oxygène à travers elle-même, c'est-à-dire qu'il s'agit d'une pellicule 103 résistant à l'oxydation. On utilise respectivement un substrat en silicium (Si) monocristallin de type P possédant l'orientation cristalline (100), une pellicule de bioxyde de silicium (SiO_2) et une pellicule de nitrure de silicium (Si_3N_4) respectivement pour constituer les matériaux réels appropriés constitutifs du substrat semiconducteur 101, de la pellicule d'oxyde 102 et de la pellicule d'oxyde 103 résistant à l'oxydation. La pellicule 102 de SiO_2 est formée sur une épaisseur d'environ 50 nanomètres au moyen de l'oxydation superficielle du substrat en Si 101 et ce pour la raison indiquée ci-après. Dans le cas où la pellicule 103 de Si_3N_4 est formée directement sur la surface du substrat en Si 101, une contrainte thermique est appliquée à la surface du substrat en Si 101 en raison de la différence existant entre les coefficients de dilatation thermique du substrat en Si 101 et de la pellicule de Si_3N_4. C'est pourquoi des défauts

cristallins sont créés dans la surface du substrat en Si 101. Afin d'empêcher ce phénomène, on forme la pellicule de SiO_2 102 à la surface du substrat en Si 101 avant de réaliser la formation de la pellicule de Si_3N_4 104. D'autre part on forme la pellicule de Si_3N_4 103 sur une épaisseur d'environ 140 nanomètres en utilisant par exemple le procédé de dépôt chimique en phase vapeur étant donné que cette pellicule est utilisée en tant que masque pour l'oxydation locale du substrat en Si 101 comme cela sera décrit de façon détaillée ci-après.

(B. Phase opératoire d'enlèvement sélectif de la pellicule résistant à l'oxydation et, de l'implantation d'ions).

Comme cela est représenté sur la figure 7B, afin de retirer de façon sélective la pellicule de Si_3N_4 103 sur les parties de la surface du substrat en Si 101 sur lesquelles une pellicule isolante relativement épaisse, à savoir une pellicule d'oxyde de champ, doit être formée, on forme tout d'abord une pellicule de résine photosensible 104 sur les parties choisies de la surface de la pellicule de Si_3N_4 103 de manière à servir de masque contre l'attaque chimique. Dans cet état, les parties à nu de la pellicule de Si_3N_4 103 sont éliminées au moyen par exemple d'un processus de corrosion plasmatique, qui permet de réaliser une corrosion avec une précision élevée. Ultérieurement, afin d'empêcher qu'une couche possédant un type de conductivité opposé à celui du substrat ou à celui de ce qu'on appelle la couche d'inversion ne soit formée dans chacune des parties de la surface du substrat en Si 101 sur lesquelles la pellicule d'oxyde de champ doit être formée, on introduit une impureté possédant le même type de conductivité que celui du substrat ou une impureté de type P dans le substrat en Si 101, par l'intermédiaire des parties à nu de la pellicule de SiO_2 102 dans l'état dans lequel la pellicule de résine photosensible 104 est laissée , comme représenté sur la

figure 7B. L'implantation ionique est un procédé favorable d'introduction de l'impureté de type P. A titre d'exemple, les ions de bore (B), qui sont l'impureté de type P, sont implantés à l'intérieur du substrat en Si 101 avec une énergie d'implantation de 75 keV. La dose des ions est alors égale à 3×10^{12} atomes/cm^2.

(C. Phase opératoire de formation d'une pellicule d'oxyde de champ).

La pellicule d'oxyde de champ 105, qui est mentionnée ci-dessus, est formée dans les zones choisies de la surface du substrat en Si 101. De façon plus spécifique, comme représenté sur la figure 7C, une fois que la pellicule de résine photosensible 104 a été éliminée, on oxyde de façon sélective la surface du substrat en Si 101 en utilisant comme masque la pellicule de Si_3N_4 103 de manière à former la pellicule de SiO_2 105 possédant une épaisseur d'environ 950 nanomètres (désignée ci-après sous le terme de "pellicule de SiO_2 de champ"). Pendant la formation de cette pellicule de SiO_2 de champ 105, les ions de bore déjà implantés sont introduits à l'intérieur du substrat en Si 101 au moyen de la diffusion dite de pénétration ou de redistribution, de sorte qu'une couche empêchant l'inversion de type P (non représentée) possédant une épaisseur prédéterminée est formée directement au-dessous de chaque partie de la pellicule de SiO_2 de champ 105.

(D. Phase opératoire d'élimination de la pellicule résistant à l'oxydation et de la pellicule d'oxyde).

Afin d'exposer ou de mettre à nu les parties de la surface du substrat en Si 101, qui ne sont pas recouvertes par les pellicules de SiO_2 de champ 105, on élimine la pellicule de Si_3N_4 103 en utilisant par exemple une solution d'acide phosphorique chaud (H_3OP_4). Ensuite on élimine la pellicule de SiO_2 102 en utilisant par exemple une solution d'acide fluorhydrique (HF). Ensuite, comme cela est représenté sur la figure 7D, on met à nu les parties

sélectionnées de la surface du substrat en Si 101. Une vue en plan du réseau de mémoire et du réseau fictif dans l'état dans lequel la pellicule de Si_3N_4 103 et la pellicule de SiO_2 102 ont été éliminées, est représentée sur la figure 8A. En d'autres termes, des vues en coupe dans le cas d'un découpage du substrat le long des lignes X_{1D} et X_{2D} sur la figure 8A sont représentées respectivement dans les parties X_1 et X_2 de la figure 7D. Comme cela est représenté sur la figure 8A, bien qu'une partie, dans laquelle chaque condensateur C_s dans la cellule M-CEL doit être formé, diffère du point de vue de sa forme d'une partie dans laquelle chaque condensateur C_{ds} dans la cellule D-CEL doit être formé, on donne à ladite première partie une faible étendue de manière qu'elle ait une surface égale à la surface de la seconde partie mentionnée.

(E.Phase opératoire de formation de la première pellicule isolante).

On recouvre la surface du substrat mise à nu dans l'état de la figure 7D au moyen d'une première couche isolante (pellicule de SiO_2) 140 possédant une épaisseur de 75 nanomètres à l'aide d'un traitement thermique dans une atmosphère oxydante. On élimine par attaque chimique la première pellicule isolante 140 correspondant à la région du condensateur C_s dans la partie (X_1) servant à former la cellule de mémoire et à la région du condensateur C_{ds} dans la partie (X_2) servant à former la cellule fictive. Ainsi les parties correspondantes du substrat en Si 101 sont mises à nu comme cela est représenté sur la figure 7E, de sorte que la première couche de silicium polycristallin peut venir en contact direct avec le substrat. La première pellicule isolante résultante 140 sert de masque pour la formation de régions semiconductrices de type N au-dessous des condensateurs C_s et C_{ds}.

(F. Phase opératoire de dépôt de la première couche conductrice).

En tant que première couche conductrice pour la formation de l'électrode inférieure du condensateur C_s de la cellule de mémoire, on forme la première couche de silicium polycristallin 141 mentionnée ci-dessus et possédant une épaisseur comprise entre 100 et 200 nanomètres, sur l'ensemble de la surface du dispositif en utilisant par exemple le procédé de dépôt chimique en phase vapeur. Ensuite on forme des régions semiconductrices de type N^+ destinées à servir d'électrodes, situées du côté du substrat, pour le condensateur situé dans la cellule de mémoire et pour le condensateur situé dans la cellule fictive.

On réalise une implantion d'ions d'une impureté de type N^+, par exemple d'ions arsenic (énergie d'implantation: 30 keV, dose: 1×10^{16} atomes/cm^2), en utilisant en tant que masque la première pellicule isolante 140, qui est située au-dessous de la première couche de silicium polycristallin 141, ce qui a pour effet que les régions semiconductrices de type N^+ 143 sont formées dans les parties de la surface du substrat en Si correspondant à la partie du condensateur de la cellule de mémoire et à la partie du condensateur de la cellule fictive, comme cela est représenté sur la figure 7F. La valeur de la résistance de la première couche de silicium polycristallin 141 est réduite par l'implantation d'ions d'arsenic.

(G. Phase opératoire d'élimination sélective de la première couche conductrice et de formation de la pellicule de nitrure).

Afin de donner à la première couche de silicium polycristallin 141 une forme d'électrode prédéterminée, on élimine de façon sélective cette première couche de silicium polycristallin 141 en utilisant le procédé d'attaque chimique photosensible et la laisse subsister sous la forme de l'électrode 141A du condensateur C_s, comme représenté sur la figure 7G. La corrosion plasmatique, qui permet de réaliser une corrosion à une précision élevée, est favorable

comme procédé d'élimination sélective de la première couche de silicium polycristallin 141. Sur la figure 8B on a représenté la configuration obtenue dans cet état, selon une vue en plan.

Ensuite, afin de réaliser la couche diélectrique du condensateur C_s, on forme une pellicule de Si_3N_4 142 sur l'ensemble de la surface du dispositif et ce sur une épaisseur de 40 nanomètres en utilisant le procédé de dépôt chimique en phase vapeur, comme représenté sur la figure 7B. Cette pellicule de Si_3N_4 142 est formée de manière à obtenir une constante diélectrique différente de celle de la couche diélectrique (pellicule de SiO_2) du condensateur C_{ds}. Dans ce processus, l'arsenic qui a été introduit dans la surface du substrat fait l'objet de la diffusion dite de pénétration ou de redistribution, si bien que la formation des régions semiconductrices du type N^+ 143 destinées à constituer les électrodes inférieures des condensateurs C_s et C_{ds} est achevée.

(H. Phase opératoire d'élimination de la pellicule de Si_3N_4 de la cellule fictive).

La pellicule de Si_3N_4 de la partie (X_2) destinée à former la cellule fictive est soumise à une attaque chimique sélective et est éliminée employant en tant que masque une pellicule de résine photosensible formée de nouveau, à la suite de quoi on élimine la première pellicule isolante 140 correspondant à la même partie. Ainsi, comme cela est représenté sur la figure 7H, les surfaces du substrat en Si 101 dans la partie X_2 et la pellicule d'oxyde de champ 105, qui en est proche, sont mises à nu.

(I. Phase opératoire de formation de la première pellicule d'isolant de grille).

Sur la surface à nu ou dégagée du substrat en Si 101 dans la partie (X_2) destinée à former la cellule D-CEL, on dépose une première pellicule d'isolant de grille 144 afin de réaliser la couche diélectrique du conden-

sateur C_{ds} situé dans la cellule fictive. C'est-à-dire que, comme cela est représenté sur la figure 7I, on forme la pellicule d'oxyde 144 possédant une épaisseur d'environ 40 nanomètres sur la surface à nu du substrat en Si de la partie (X_2) de la cellule fictive moyennant la mise en oeuvre d'une oxydation thermique. Compte tenu de l'oxydation thermique, les parties de la surface du Si_3N_4 situées dans la partie (X_1) servant à former la cellule de mémoire et dans la partie (X_3) servant à former le circuit périphérique sont oxydées simultanément de sorte qu'il se forme une pellicule d'oxyde mince 139 possédant une épaisseur d'environ 4 nanomètres, comme cela est représenté sur la figure 7I.

(J. Phase opératoire de dépôt de la seconde couche conductrice).

Afin de réaliser les électrodes supérieures des condensateurs C_s et C_{ds} dans la cellule de mémoire et dans la cellule fictive, on forme une seconde couche de silicium polycristallin servant de seconde couche conductrice 145 sur l'ensemble de la surface du substrat en Si 101, et ce sur une épaisseur de 400 nanomètres en utilisant le procédé de dépôt chimique en phase vapeur. On dépose la couche de silicium polycristallin 145 formée sur la cellule de mémoire, au-dessus de la pellicule de Si_3N_4 142, moyennant l'interposition de la pellicule d'oxyde mince 139. Une impureté de type N, par exemple du phosphore, est introduite à l'intérieur de ce silicium polycristallin au moyen du processus de diffusion dans le but d'abaisser la valeur de la résistance de la seconde couche de silicium polycristallin 145. Il en résulte que la valeur de la résistance de la couche de silicium polycristallin prend une valeur égale à environ 16 Ω/□. Ensuite on élimine de façon sélective la seconde couche de silicium polycristallin 145 au moyen d'un traitement d'attaque chimique qui met en oeuvre une pellicule de résine photosensible formant masque de manière à former une seconde couche de silicium polycris-

tallin 145A servant d'électrode supérieure du condensateur C_s de la cellule de mémoire, une seconde couche de silicium polycristallin 145B servant d'électrode supérieure du condensateur C_{ds} de la cellule fictive et une seconde couche de silicium polycristallin 145C servant de partie de raccordement entre ces secondes régions de silicium polycristallin et la ligne V_{ss-L}, comme cela est représenté sur la figure 7J.

(K. Phase opératoire d'élimination de la pellicule de nitrure).

En utilisant telle quelle la configuration de la pellicule de résine photosensible utilisée dans la phase opératoire précédente, on élimine par attaque chimique les parties à nu de la pellicule de SiO_2 139 et de la pellicule de Si_3N_4 142, à savoir la pellicule de SiO_2 139 et la pellicule de Si_3N_4 142 non recouvertes par la seconde de silicium polycristallin 145. Ensuite, en utilisant la même pellicule de résine photosensible à titre de masque, on élimine par attaque chimique la première pellicule de silicium polycristallin 141A dans une partie à nouveau mise à nu et on lui donne la forme qui est représentée sur la figure 7A. Ainsi la première couche de silicium polycristallin 141A, qui a été mise sous la forme telle que représentée sur la figure 8B, selon une vue en plan, prend la forme telle que représentée sur la figure 6B. C'est-à-dire que la forme finale de la première couche de silicium polycristallin 141A est déterminée par la forme de la seconde couche de silicium polycristallin 155A, et les parties d'extrémité soumises à attaque chimique des deux couches se correspondent en raison des opérations d'attaque chimique effectuées avec le même masque. Par conséquent on peut dire que la capacité du condensateur C_s est déterminée par la forme de la seconde couche de silicium polycristallin 145A. Il n'y a pas la dispersion de la capacité du condensateur C_s imputable au défaut de positionnement entre la

configuration de la pellicule d'oxyde de champ et la configuration de la première couche de silicium polycristallin servant à former l'électrode supérieure du condensateur C_s, ni la dispersion de l'attaque chimique de la pellicule d'oxyde pour la formation de la première couche d'isolant de grille destinée à servir de diélectrique pour le condensateur C_s, etc., comme dans le cas de l'art antérieur.

(L. Phase opératoire d'élimination de la première pellicule isolante et de la première pellicule d'isolant de grille).

Ensuite, en utilisant la même structure de pellicule de résine photosensible en tant que masque, on élimine par attaque chimique toutes les parties à nu de la première pellicule isolante 140 (épaisseur 75 nanomètres) et de la première pellicule d'isolant de grille 144 (épaisseur 40 nanomètres), de manière à dégager le substrat 101 comme cela est représenté sur la figure 7L. Comme solution pour réaliser cette attaque chimique, on recommande d'utiliser une attaque chimique avec de l'acide fluorhydrique ou un acide analogue, qui possède une action corrosive sur le SiO_2, mais non sur le silicium, afin d'empêcher une attaque chimique de la surface du substrat 101.

Sur la figure 8C on a représenté selon une vue en plan une forme obtenue dans cet état. C'est-à-dire que les vues en coupe dans le cas de coupes dans le substrat prisent suivant les lignes X_{1L} et X_{2L} sur la figure 8C sont représentés respectivement en X_1 et X_2 sur la figure 7L.

(M. Phase opératoire de formation de la seconde pellicule d'isolant de grille).

Afin de réaliser la pellicule d'isolant de grilles des transistors MISFET dans la cellule M-CEL dans la cellule D-CEL et dans le circuit périphérique, on forme une seconde pellicule d'isolant de grille 146 sur la surface à nu du substrat en Si 101, comme représenté sur la figure

7M. C'est-à-dire que la surface à nu du substrat Si 101 est oxydée thermiquement, de manière à former la seconde pellicule d'isolant de grille (pellicule de SiO_2) 146 possédant une épaisseur d'environ 50 nanomètres. Simultanément on forme une pellicule d'oxyde (pellicule de SiO_2) 147 sur la surface de la seconde couche de silicium polycristallin 145, et ce sur une épaisseur comprise entre 100 et 150 nanomètres.

Ensuite, afin de régler les tensions de seuil des transistors MISFET Q_{S1}-Q_{S3}, Q_{S6} et Q_{S7} possédant de basses tensions de seuil comme indiqué sur la figure 1, on réalise une implantation d'ions d'une impureté de type P, par exemple des ions de bore, dans l'ensemble de la surface du substrat à travers une seconde pellicule de SiO_2 de grille 146 (énergie d'implantation : 75 keV, dose: $2,4 \times 10^{11}$ atomes/cm^2).

Ultérieurement, afin de régler les tensions de seuil des transistors MISFET possédant des tensions de seuil élevées comme représenté sur la figure 1, par exemple du transistor MISFET Q_1 situé dans la cellule M-CEL, des transistors MISFET Q_{D1} et Q_{D2} situés dans la cellule D-CEL et des transistors MISFET Q_{S4} et Q_{S5} situés dans la partie ou le circuit de régénération active, on forme une pellicule de résine photosensible sur les régions des transistors MISFET Q_{S1} - Q_{S3}, Q_{S6} et Q_{S7} en tant que masque pour l'implantation ionique, et on réalise une implantation d'ions de bore dans cet état (énergie d'implantation: 75 keV, dose d'ions: 1×10^{11} atomes/cm^2).

Ensuite on forme le trou de contact, qui sert à relier une électrode 25 de chaque condensateur C_{D11} directement à la région semiconductrice de type N^+ 22 du transistor MISFET Q_{S4} comme cela a été expliqué en référence à la figure 4, à savoir ce qu'on appelle le trou de contact direct, en réalisant une attaque chimique sélective de la seconde pellicule de SiO_2 de grille.

(N. Phase opératoire de dépôt de la troisième couche conductrice et de formation des régions de source et de drain).

On forme une troisième couche conductrice sur l'ensemble de la surface du substrat en Si 101 de manière à l'utiliser pour former les électrodes de grille de tous les transistors MISFET et les couches de câblage. En tant que troisième couche conductrice, on forme une troisième couche de silicium polycristallin 148 par exemple sur l'ensemble de la surface du substrat en Si 101, et ce sur une épaisseur de 350 nanomètres en utilisant le procédé de dépôt chimique en phase vapeur. Ultérieurement, on introduit une impureté de type N, par exemple du phosphore dans cette couche de silicium polycristallin en utilisant le procédé de diffusion de manière à abaisser la valeur de la résistance de cette couche et l'on amène cette résistance à une valeur égale à environ 10 Ω/cm^2.

On élimine de façon sélective la troisième couche de silicium polycristallin 148 de manière à lui donner une forme prédéterminée d'électrode ou de câblage, en utilisant le procédé d'attaque chimique photosensible. Comme cela est représenté sur la figure 7N, une fois réalisée l'attaque chimique photosensible, la couche de silicium 148 forme les lignes de transmission de mots WL_{1-1}-WL_{1-6}, les lignes fictives de transmission de mots DWL_{1-1}-DWL_{1-2} et les lignes de transmission de signaux de commande ϕ_{DC-L1}-ϕ_{DC-L2} représentées sur la figure 5, et forme également la ligne ϕ_{rg-L} de transmission des signaux de commande du circuit de régénération active, les électrodes des condensateurs C_{B11}, C_{B12} et les électrodes de grille des transistors MISFET Q_{S1}-Q_{S3} représentés sur la figure 1.

Afin d'empêcher la contamination des parties de la surface, dans lesquelles les régions de source et les

régions de drain des transistors MISFET doivent être formées, on recouvre la surface à nu du substrat en Si 101 au moyen d'une pellicule de SiO_2 149 possédant une épaisseur de 10 nanomètres au moyen de l'oxydation thermique de la surface, comme représenté sur la figure 7N. En même temps que la formation de la pellicule de SiO_2 149, on oxyde des surfaces des lignes de transmission de mots WL_{1-1}-WL_{1-6}, des lignes fictives de transmission de mots DWL_{1-1}, DWL_{1-2}, des lignes de transmission de signaux de commande ϕ_{DC-L1}, ϕ_{DC-L2}, des électrodes des condensateurs C_{B11}, C_{B12} et des électrodes de grille des transistors MISFET Q_{S1}-Q_{S3}, qui sont constitués par la troisième couche de silicium polycristallin. Il en résulte que ces surfaces sont recouvertes par la pellicule de SiO_2 149 possédant une épaisseur d'environ 30 nanomètres, comme cela est représenté sur la figure 7N.

Ensuite, comme cela est illustré sur cette figure 7N, on réalise l'implantation d'ions d'une impureté de type N, par exemple d'arsenic, à travers la pellicule de SiO_2 149 (énergie d'implantation : 80 keV, dose: 1×10^{16} atomes/cm^2) de manière à former les régions de source et de drain 150 des transistors MISFET. La forme obtenue à cet instant est représentée selon une vue en plan sur la figure 8D. C'est-à-dire que les vues en coupe obtenues en coupant le substrat suivant les lignes X_{1N} et X_{2N} sur la figure 8D sont représentées en X_1 et X_2 sur la figure 7N.

(O. Phase opératoire de formation de la pellicule isolante inter-couches et du trou de contact).

Une pellicule isolante inter-couches est formée sur l'ensemble de la surface du substrat en Si 101. De façon plus spécifique, comme cela est représenté sur la figure 7O, on forme une pellicule isolante inter-couches, par exemple une pellicule de verre aux phosphosilicates (PSG) 151 possédant une épaisseur d'environ 800 nanomètres sur l'ensemble de la surface du substrat en Si 101.

Cette pellicule de PSG 151 sert également de getter pour des ions de sodium (Na) qui ont une influence nuisible sur les caractéristiques des transistors MISFET.

Ensuite on forme des trous de contact dans la pellicule de PSG 151, c'est-à-dire que, comme représenté sur la figure 7O, on soumet à une attaque chimique sélective la pellicule de PSG 151 de manière à former les trous de contact CH_{101}-CH_{104}.

Ensuite on soumet la pellicule de PSG 151 à un traitement thermique à une température d'environ 1000°C de manière à l'aplatir. Par suite du traitement thermique effectué à cet instant, l'impureté formée d'ions d'arsenic implantés fait l'objet d'une diffusion de pénétration ou de redistribution, de sorte que la formation des régions semiconductrices de type N^+ 150 possédant une profondeur prédéterminée est achevée.

(P. Phase opératoire de formation de la quatrième couche conductrice).

Afin de former la ligne d'alimentation en énergie V_{ss-L} et les lignes de transmission de données DL_{1-1}, $\overline{DL}_{1-1}$; DL_{1-2} et $\overline{DL}_{1-2}$ représentées sur la figure 1, on forme tout d'abord une quatrième couche conductrice, par exemple une couche d'aluminium possédant une épaisseur de 1200 nanomètres sur l'ensemble de la surface du substrat en Si 101. Ensuite on soumet à une attaque chimique sélective cette couche d'aluminium de manière à former la ligne d'alimentation en énergie G_{ss-L}, la ligne de transmission de données DL_{1-1} et la couche de câblage 152 comme représenté sur la figure 7P.

La formation de la mémoire D-RAM de la présente forme de réalisation est achevée de la manière indiquée précedemment.

La mémoire D-RAM conforme à la présente forme de réalisation présente les avantages suivants:

1) La densité d'intégration peut être accrue.

La pellicule de Si_3N_4, dont la constante diélectrique relative est égale à 7 - 8, est utilisée essentiellement pour constituer le diélectrique du condensateur C_s de la cellule de mémoire et la pellicule de SiO_2, dont la constante diélectrique relative est égale à 3,5 - 4, c'est-à-dire à une valeur égale à environ la moitié de la valeur de la constante de la pellicule de Si_3N_4, est utilisée pour servir de diélectrique pour le condensateur C_{ds} situé dans la cellule fictive, ce qui a pour effet que les surfaces de C_s et C_{ds} peuvent être rendues essentiellement égales tout en maintenant le rapport de leurs capacités à la valeur 2:1. Par conséquent la différence des taux de variation (ou des variations) des surfaces des deux condensateurs, attribuées aux fluctuations des conditions de fabrication inévitables lors de la mise en oeuvre du processus de fabrication, peut être réduite de façon remarquable, et la limitation de la réduction de la surface de C_s, qui était attribuée à C_{ds}, est supprimée. C'est pour cette raison que l'on peut donner à la surface de C_s une valeur égale à environ la moitié de celle existant dans l'art antérieur. Etant donné que la surface de C_s occupant une partie importante du réseau de mémoire est devenue faible, on peut donner de faibles dimensions au réseau de mémoire occupant 50 - 60 % de la surface de la microplaquette, si bien que la densité d'intégration est accrue.

Etant donné que l'on peut former C_s de manière qu'il s'étende sur la pellicule d'oxyde de champ, on peut utiliser efficacement des parties en forme de bec d'oiseau et des parties de champ et on peut accroître dans cette mesure, de façon supplémentaire, la densité d'intégration.

2) Le rapport des capacités de C_s et C_{ds} peut être obtenu essentiellement comme une valeur de conception.

Dans l'art antérieur il était nécessaire tout d'abord d'éliminer préalablement une pellicule d'oxyde exis-

tant à la surface du substrat afin de former les couches diélectriques de C_s et C_{ds}. Compte tenu de la dispersion de l'attaque chimique mise en oeuvre pour ce faire dans les parties en forme de bec d'oiseau, les surfaces des couches diélectriques de C_s et de C_{ds} présentaient des fluctuations importantes. Au contraire, lorsque C_s est réalisé avec une structure empilée comme selon la présente invention, un tel inconvénient ne se présente pas et l'on peut donner à C_s une capacité ayant une valeur sensiblement égale à une valeur théorique de conception.

En outre la dispersion de la surface de C_s possédant une capacité importante par unité de surface est supprimée étant donné que l'on donne à C_s la forme d'une structure empilée. Par conséquent le rapport des capacités de C_s et de C_{ds} peut être obtenu essentiellement comme une valeur de conception théorique.

3) L'inversion des données dûe à des particules α peut être réduite.

Par suite de la réduction de surface de C_s, la probabilité de pénétration de particules α diminue. En outre le condensateur C_s possède la structure sandwich du silicium polycristallin. Par conséquent la neutralisation d'une couche d'inversion de type N par des trous créés par les particules α ne se produit pas de sorte que l'inversion des données imputable aux particules α peut être réduite de façon remarquable.

4) Le retenue ou le maintien des données peut être stabilisée en utilisant V_{ss}.

Etant donné que les électrodes (couches de silicium polycristallin) des condensateurs C_s, C_{ds} sont mises à la masse (MASSE), on peut conserver des données stables par rapport aux données basées sur une méthode selon laquelle on applique aux électrodes une tension d'alimentation V_{cc} (5 V). Avec la méthode d'application de la tension d'alimentation V_{cc}, il se produit une variation de la capacité par

suite d'une fluctuation dans la tension d'alimentation et les données mémorisées dans les condensateurs C_s, C_{ds} deviennent instables.

5) Les condensateurs peuvent être stabilisés au moyen du procédé de fabrication.

Conformément à la présente forme de réalisation, il est possible d'empêcher que la couche de silicium polycristallin soit déposée directement sur la pellicule de Si_3N_4 du condensateur C_s. Afin de modérer la contrainte thermique imputable à la différence entre les coefficients de dilatation thermique de la couche de silicium polycristallin et de la couche de Si_3N_4, alors que simultanément la pellicule de Si_3N_4 est oxydée thermiquement de manière à former la pellicule mince de SiO_2 à la surface de ladite pellicule, on forme la pellicule de SiO_2 qui constitue la couche diélectrique du condensateur C_{ds}.

En outre aucune phase opératoire indépendante n'est nécessaire dans ce but et le condensateur C_s stable est réalisé sans aucun accroissement du nombre des phases opératoires.

En se référant maintenant aux figures 9 - 11B, on va décrire la seconde forme de réalisation de la présente invention. Cette forme de réalisation est un exemple dans lequel la structure de la cellule fictive de la première forme de réalisation décrite précédemment (se référer à la figure 3) est remplacée par une structure représentée sur la figure 9. Le reste de la construction incluant la structure de la cellule de mémoire,etc., est identique au cas de la première forme de réalisation. Par conséquent l'explication concernant la présente forme de réalisation sera axée sur la cellule fictive.

La figure 9 représente la structure de la cellule D-CEL. Sur la figure la référence 3C désigne une pellicule de SiO_2 mince, les références 11 - 14 désignent une région semiconductrice du type N^+, la référence 15a

désigne une première couche de silicium polycristallin, la référence 15b désigne une seconde couche de silicium polycristallin, la référence 16 désigne une région semiconductrice de type N^+, les références 17 et 18 désignent des troisièmes couches de silicium polycristallin et la référence 19 désigne une couche d'aluminium.

Un condensateur C_{ds} situé dans la cellule D-CEL possède une électrode, une couche diélectrique et son autre électrode qui sont constituées respectivement par la première couche de silicium polycristallin 15a, par la pellicule d'oxyde superficiel (pellicule de SiO_2) 3C de la couche de silicium polycristallin 15a et par la seconde couche de silicium polycristallin 15b. La région semiconductrice de type N^+ 16 est formée en contact direct avec l'électrode inférieure (la première couche de silicium polycristallin 15a) du condensateur C_{ds}, et l'électrode supérieure (la seconde couche de silicium polycristallin 15b) est raccordée à une ligne V_{ss} (MASSE).

Etant donné que les transistors MISFET Q_{D1} et Q_{D2} situés dans la cellule D-CEL sont les mêmes que dans la figure 3, les mêmes parties sont affectées des mêmes chiffres de référence et ne seront pas décrites à nouveau.

Par conséquent, dans cette forme de réalisation, les condensateurs C_s et C_{ds} sont formés respectivement par des organes empilés qui sont des structures sandwich formées des couches de silicium polycristallin incluant la pellicule de Si_3N_4 et la pellicule de SiO_2 en tant que couches diélectriques. Naturellement un condensateur C_s situé dans la cellule de mémoire utilise du Si_3N_4 possédant une constante diélectrique électrique élevée avec une constante diélectrique relative égale à 7 - 8, en tant que couche diélectrique agissant essentiellement comme capacité, tandis que le condensateur C_{ds} situé dans la cellule fictive utilise du SiO_2 possédant une constante diélectrique relativement faible, avec une constante diélectrique

relative de 3,4 - 4, en tant que couche diélectrique agissant essentiellement comme capacité. Les surfaces de ces condensateurs sont dimensionnées de manière à être approximativement égales.

On va décrire en référence aux figures 10A-10G le procédé de fabrication de la mémoire D-RAM selon la seconde forme de réalisation. Sur les figures respectives, les régions X_1, X_3 et X_3 représentent des vues en coupe des mêmes parties que les régions X_1, X_2 et X_3 sur les figures 7A - 7P, selon l'ordre des phases opératoires. Lors de la fabrication de cette seconde forme de réalisation, les phases opératoires de fabrication de la première forme de réalisation illustrées sur les figures 7A-7F sont effectuées de façon similaire. Par conséquent on obtient la structure représentée sur la figure 7F. Ensuite on met en oeuvre successivement les phases opératoires suivantes.

(A. Phase opératoire d'enlèvement sélectif de la première couche conductrice et de la formation de la pellicule de nitrure).

Pour donner à la première couche de silicium polycristallin 141 des formes d'électrodes prédéterminées, on élimine sélectivement cette première couche de silicium polycristallin 141 en utilisant le procédé d'attaque chimique photosensible en laissant subsister ladite couche de manière à former les électrodes 141A et 141B des condensateurs C_s et C_{ds} tels que représentés sur les figures 10A. La corrosion plasmatique permettant de réaliser une corrosion avec une précision élevée est favorable en tant que processus d'élimination sélective en ce qui concerne la première couche de silicium polycristallin 141. Sur la figure 11A on a représenté, selon une vue en plan, la configuration obtenue dans cet étape.

Puis, afin de réaliser la couche diélectrique du condensateur C_s, on forme une pellicule de Si_3N_4 142 sur

l'ensemble de la surface , et ce sur une épaisseur de 40 nanomètres, en utilisant un procédé de dépôt chimique en phase vapeur comme représenté sur la figure 10A. Cette pellicule de Si_3N_4 142 est formée de manière à établir une constante diélectrique différente de celle de la couche diélectrique (pellicule de SiO_2) du condensateur C_{ds}.

Au cours de ce processus, l'arsenic qui a été introduit dans la surface du substrat fait l'objet d'une diffusion de pénétration ou de redistribution, de sorte que les régions semiconductrices de type N^+ 143 destinées à constituer les électrodes inférieures des condensateurs C_s et C_{ds} sont formées.

(B. Phase opératoire de l'élimination de la pellicule de Si_3N_4 de la cellule fictive).

On soumet à une attaque chimique sélective la pellicule de Si_3N_4 142 de la partie (X_2) de manière à former la cellule fictive et on l'élimine en utilisant comme masque une pellicule de résine photosensible à nouveau formée. Ainsi, comme cela est représenté sur la figure 10B, on met à nu les surfaces de la première couche de silicium polycristallin 141B et de la première pellicule isolante 140 dans la partie X_2 et la pellicule d'oxyde de champ 105 au voisinage de cette partie.

(C. Phase opératoire de formation de la pellicule de SiO_2 de la cellule fictive).

Sur la surface à nu de la première couche de silicium polycristallin 141B située dans la partie (X_2) servant à former la cellule D-CEL, on forme une seconde pellicule isolante (pellicule de SiO_2) 144 afin de réaliser la couche diélectrique du condensateur C_{ds} situé dans la cellule fictive. C'est-à-dire, que, comme cela est représenté sur la figure 10C, la surface à nu de la première couche de silicium polycristallin 141B située dans la partie (X_2) de la cellule fictive est recouverte par une pellicule d'oxyde (pellicule de SiO_2) 144 possédant une épaisseur d'

environ 40 nanomètres, au moyen d'une oxydation thermique de ladite couche. Par suite de cette oxydation thermique, les parties de la surface du Si_3N_4 situées dans la partie (X_1) et destinées à former la cellule de mémoire, et la partie (X_3) destinée à former le circuit périphérique sont simultanément oxydées de sorte qu'il se produit la formation d'une pellicule d'oxyde mince 139 possédant une épaisseur d'environ 4 nanomètres, comme cela est représenté sur la figure 10C.

(J. Phase opératoire de dépôt de la seconde couche conductrice).

Afin de réaliser les électrodes supérieures des condensateurs C_s et C_{ds} dans la cellule de mémoire et dans la cellule fictive, on forme une seconde couche de silicium polycristallin 145 servant de seconde couche conductrice sur l'ensemble de la surface du substrat, et ce sur une épaisseur de 400 nanomètres, en utilisant le procédé de dépôt chimique en phase vapeur. La couche de silicium polycristallin 145 formée sur la cellule de mémoire est déposée par-dessus la pellicule de Si_3N_4 142 moyennant l'interposition de la pellicule d'oxyde mince 139. Une impureté de type N, par exemple du phosphore, est introduite dans ce silicium polycristallin au moyen du procédé de diffusion afin d'abaisser la valeur de la résistance de la seconde couche de silicium polycristallin 145. Il en résulte que la valeur de la résistance de la couche de silicium polycristallin devient égale à environ 16 $\Omega/\square$. Ensuite on élimine de façon sélective de la seconde couche de silicium polycristallin 145 en utilisant un processus d'attaque chimique qui met en oeuvre comme masque une pellicule de résine photosensible, de manière à former une seconde couche de silicium polycristallin 145A destinée à constituer l'électrode supérieure du condensateur C_s de la cellule de mémoire, et une seconde couche de silicium polycristallin 145B servant d'électrode supérieure du condensateur C_{ds} de

la cellule de mémoire fictive, et une seconde couche de silicium polycristallin 145C servant de partie de raccordement entre ces secondes couches de silicium polycristallin et la ligne V_{ss-L}, comme cela est représenté sur la figure 10D.

(E. Phase opératoire de conformation de C_s et C_{ds}).

En utilisant la forme ou la structure de la pellicule de résine photosensible obtenue lors de la précédente phase opératoire, telle quelle est, on élimine par attaque chimique les parties à nu de la pellicule de SiO_2 139 et de la première pellicule isolante 140. En outre en utilisant la même pellicule de résine photosensible en tant que masque, on élimine par attaque chimique les premières couches de silicium polycristallin 141A et 141B, dans des parties à nouveau à nu, et on leur donne des formes telles que représentées sur la figure 10D. Ainsi les premières couches de silicium polycristallin 141A et 141B, qui ont présenté les formes telles qu'indiquées sur la figure 11A en plan, deviennent ce qui est décrit ci-dessus. Les formes définitives des premières couches de silicium polycristallin 141A et 141B sont déterminées par les formes des secondes couches de silicium polycristallin 141A et 141B, et les parties d'extrémité, ayant subi l'attaque chimique, de ces deux couches se correspondent, étant donné que les opérations d'attaque chimique sont réalisées avec le même masque. Par conséquent on peut dire que les capacités des condensateurs C_s et C_{ds} sont déterminées par les formes des secondes couches de silicium polycristallin 145A et 145B. Il n'y a pas les dispersions des capacités des condensateurs C_s et C_{ds} imputables aux défauts de positionnement entre la structure de la pellicule d'oxyde de champ et les structures des premières couches de silicium polycristallin constituant les électrodes supérieures des condensateurs C_s et C_{ds}, ni la dispersion provoquée par l'attaque chimique des pellicules d'oxyde en vue de la for-

mation des premières pellicules d'isolant de grille constituant les diélectriques des condensateurs C_s et C_{ds}, etc., comme c'était le cas dans l'art antérieur.

En outre en utilisant la même structure ou configuration de la pellicule de résine photosensible en tant que masque, toutes les parties à nu de la pellicule SiO_2 sont éliminées par attaque chimique, afin de mettre à nu ainsi le substrat 101 comme représenté sur la figure 10E. En tant que solution pour la réalisation de cette attaque chimique, il est recommandé d'utiliser une attaque chimique avec de l'acide fluorhydrique ou analogue, qui possède une action corrosive sur le SiO_2, mais pas sur le silicium, afin d'empêcher que la surface du substrat 101 ne soit soumise à une attaque chimique.

Sur la figure 11B on a représenté selon une vue en plan, une configuration de l'état obtenu. C'est-à-dire que les vues en coupe dans le cas d'une coupe du substrat suivant X_{1K} et X_{2K} selon la figure 11B sont représentées respectivement en X_1 et X_2 sur la figure 10E.

(F. Phase opératoire de formation de la pellicule d'isolant de grille).

Afin de réaliser la pellicule d'isolant de grille des transistors MISFET dans la cellule M-CEL, dans la cellule D-CEL et dans le circuit périphérique, on forme une pellicule d'isolant de grille 146 sur la surface à nu du substrat en Si 101, comme représenté sur la figure 10F. C'est-à-dire que la surface à nu du substrat en Si 101 est oxydée thermiquement, ce qui a pour effet de former la pellicule d'isolant de grille (pellicule de SiO_2) 146 possédant une épaisseur d'environ 50 nanomètres. Simultanément on forme une pellicule d'oxyde (pellicule de SiO_2) 147 à la surface de la seconde couche de silicium polycristallin 145,

et ce sur une épaisseur entre 100 et 150 nanomètres.

Grâce à la mise en oeuvre des phases opératoires indiquées ci-dessus on obtient une structure représentée sur la figure 10F. Cette structure correspond à la structure de la première forme de réalisation représentée sur les figures 7M. Ensuite on effectue, de la même manière que dans le cas de la première forme de réalisation, l'implantation ionique pour réaliser le réglage des tensions de seuil des transistors MISFET et la formation de trous de contact direct . De plus on met en oeuvre de façon similaire les phases opératoires de fabrication illustrées sur les figures 7N-7P en liaison avec le première forme de réalisation.

La réalisation de la mémoire D-RAM de la présente réalisation est achevée avec le mode opératoire indiqué précédemment.

La mémoire D-RAM selon la présente forme de réalisation présente les avantages de la première forme de réalisation antérieure et en outre fournit les avantages (2) et (3) tels qu'indiqués ci-dessous.

2) Le rapport des capacités de C_s et de C_{ds} peut être obtenu essentiellement comme une valeur de conception théorique.

Dans l'art antérieur, il était nécessaire d'enlever préalablement une pellicule d'oxyde existant sur la surface du substrat en vue de former les couches diélectrique de C_s et C_{ds}. Compte tenu de la dispersion de l'attaque chimique mise en oeuvre à cet effet dans les parties en forme de bec d'oiseau, les surfaces des couches diélectriques de C_s et de C_{ds} présentaient des fluctuations importantes. Au contraire, lorsque C_s et C_{ds} sont réalisés selon les structures empilées comme dans la présente invention, un tel inconvénient ne se présente pas et on peut donner aux condensateurs C_s et C_{ds} des valeurs de capacité essentiellement égales aux valeurs théoriques de concep-

tion.

Les capacités des deux condensateurs C_s et C_{ds} dépendent de la condition du positionnement de la seconde couche de silicium polycristallin par rapport à la première couche de silicium polycristallin. C'est-à-dire que ces capacités sont déterminées de telle manière que les parties de la première couche de silicium polycristallin sont à nouveau soumises à une attaque chimique en rapport avec les structures ou configurations de la seconde couche de silicium polycristallin. les parties devant être à nouveau attaquées chimiquement sont, dans les deux condensateurs C_s et C_{ds}, des emplacements où les structures sont resserrées et étroites de sorte que l'on peut rendre faibles les variations des capacités respectives elles-mêmes, attribuées aux écarts de positionnement. En outre étant donné que les électrodes supérieures et inférieures des deux condensateurs C_s et C_{ds} sont formés respectivement au moyen des mêmes phases opératoires, il est possible de rendre faible la variation du rapport des capacités, attribuée à des écarts de positionnement. Par conséquent on peut obtenir comme rapport des capacités de C_s et de C_{ds}, la valeur théorique de conception.

3) L'inversion des données due à des particules α peut être réduite.

Compte tenu du fait que la surface de C_s est plus petite que dans le cas de l'art antérieur, la probabilité de pénétration de particules α est diminuée. En outre les condensateurs C_s et C_{ds} possèdent les structures sandwich du silicium polycristallin. Par conséquent la neutralisation des couches d'inversion de type N par des trous créés par des particules α ne se produit pas de sorte que l'inversion des données imputable aux particules α peut être remarquablement réduite.

Ci-après on va décrire en référence aux dessins, des formes de réalisation dans lesquelles la présente invention est appliquée à une mémoire D-RAM du type à lignes

de transmission de bits ouvertes.

Une partie d'un circuit de mémoire D-RAM conforme à la troisième forme de réalisation de la présente invention est représenté sur la figure 2.

Sur cette figure, pour conserver la clarté du dessin, on a représenté une cellule de mémoire M-CEL et une mémoire fictive D-CEL en liaison avec un couple de lignes formé d'une ligne de transmission de mots W et d'une ligne fictive de transmission de mots DW et un couple de lignes complémentaires de transmission de données D, $\overline{D}$, mais des cellules respectives sont raccordées de façon similaire à d'autres lignes de transmission de mots et à d'autres lignes de transmission de données. La cellule M-CEL est constituée par un condensateur de stockage ou mémorisation C_s qui sert à stocker des charges correspondant à la valeur logique d'un signal logique, et par un transistor MISFET à savoir un MISFET de transfert Q_M qui reçoit un signal de mot sur sa grille et qui est raccordé à un amplificateur de lecture ou de détection S.A. par l'intermédiaire de la ligne de transmission de données D. D'autre part la cellule fictive D-CEL, qui sert à fournir la référence de la comparaison du niveau avec la cellule M-CEL, est constituée par un condensateur C_{ds} qui possède une capacité dont la valeur est égale à environ la moitié de la capacité du condensateur C_s, un transistor MISFET Q_{D1} qui reçoit un signal de mot fictif sur sa grille et qui est raccordé à l'amplificateur de détection S.A. par l'intermédiaire de la ligne de transmission de données $\overline{D}$, et un transistor MISFET Q_{D2} qui est utilisé pour décharger les charges situées dans le condensateur C_{ds}. Comme cela est représenté sur la figure, dans la mémoire D-RAM du type à lignes de transmission de bits ouvertes, les lignes complémentaires appariées transmission de données D et $\overline{D}$ s'étendent vers la droite et vers la gauche à partir de l'amplificateur de détection S.A. Par conséquent, conformément aux première et seconde formes

de réalisation, la cellule de mémoire et la cellule fictive qui lui correspond, sont disposées en étant distantes sur la droite et sur la gauche de l'amplificateur de détection. La structure de la cellule M-CEL de la figure 12 conforme à cette troisième forme de réalisation est représentée sur la figure 13. Sur cette figure, la référence 1 désigne un substrat semiconducteur de type P, la référence 2 une pellicule d'oxyde de champ, la référence 3 une seconde pellicule d'oxyde de grille, la référence 3a une pellicule diélectrique possédant une constante diélectrique élevée, les références 4 et 5 des régions semiconductrices de type N^+, la référence 6a une première couche de silicium polycristallin, la référence 6b une seconde couche de silicium polycristallin, la référence 30 une troisième couche de silicium polycristallin et la référence 31 une couche d'aluminium.

Le condensateur de stockage C_s situé dans la cellule M-CEL possède une électrode, une couche diélectrique et son autre électrode constituées respectivement par la première couche de silicium polycristallin 6a, par la pellicule isolante de nitrure semiconducteur 3a, c'est-à-dire une pellicule de Si_3N_4, et par la seconde couche de silicium polycristallin 6b. L'électrode supérieure (la seconde couche de silicium polycristallin 6b) du condensateur C_s est placée à une tension V_{DD}.

Le substrat, la région de source, la région de drain, la pellicule d'isolant de grille et l'électrode de grille du transistor MISFET Q_M situé dans la cellule M-CEL sont constitués respectivement par le substrat semiconducteur de type P 1, la région semiconductrice de type N^+ 4, la région semiconductrice de type N^+ 5, la seconde pellicule d'isolant de grille formée d'un oxyde semiconducteur (pellicule de SiO_2) 3 et par la troisième couche de silicium polycristallin 30, mentionnées précédemment. La troisième couche de silicium polycristallin 30 est raccordée

à la couche d'aluminium 31 en tant que par exemple ligne de transmission de mots W représentée sur la figure 12. La région semiconductrice de type N^+ 5 est utilisée en tant que ligne de transmission de données D.

La figure 14 représente la structure de la mémoire D-CEL de la figure 12. Sur la figure 14, la référence 29 désigne une première pellicule d'isolant de grille (pellicule de SiO_2), les références 11, 14 et 16 désignent des régions semiconductrices de type N^+, la référence 15 désigne une seconde couche de silicium polycristallin, les références 32 et 33 désignent des troisièmes couches de silicium polycristallin et les références 34 et 35 désignent de scouches d'aluminium.

Le condensateur C_{ds} situé dans la cellule D-CEL possède une électrode, une couche diélectrique et son autre électrode constituées respectivement par la seconde couche de silicium polycristallin 15, la première pellicule d'isolant de grille 29 et une région semiconductrice de type N^+ 16. L'électrode supérieure (la seconde couche de silicium polycristallin 15) du condensateur C_{ds} est placée à la tension V_{DD}.

Le substrat , la région de drain, la région de source, la pellicule d'isolant de grille et l'électrode de grille du transistor MISFET Q_{D1} situé dans la cellule D-CEL sont constitués respectivement par le substrat semiconducteur de type P 1, la région semiconductrice du type N^+ 11, la région semiconductrice de type N^+ 16, la seconde pellicule d'isolant de grille (pellicule de SiO_2) 3 et la troisième couche de silicium polycristallin. Cette troisième couche de silicium polycristallin 32 est raccordée à la couche d'aluminium 34 en tant que par exemple ligne fictive de transmission de mots DW représentée sur la figure 12. Le substrat, la région de drain, la région de source, la pellicule d'isolant de grille et l'électrode de grille du transistor MISFET Q_{D2} située dans la cellule D-

CEL sont constitués respectivement par le substrat semiconducteur de type P 1, la région semiconductrice de type N^+ 14, la région semiconductrice de type N^+ 16, la seconde pellicule d'isolant de grille (pellicule SiO_2) 3 et la troisième couche de silicium polycristallin 33. Cette couche de silicium polycristallin 33 est alimentée, à partir de la couche d'aluminium 35, par un signal de décharge ϕ_{DC} représenté par exemple dans la cellule D-CEL de la figure 12.

Dans cette forme de réalisation, le condensateur C_s situé dans la cellule M-CEL utilise du Si_3N_4 possédant une constante diélectrique élevée, avec une constante diélectrique relative de 7 - 8, en tant que couche diélectrique qui agit essentiellement à la manière d'une capacité, tandis que le condensateur C_{ds} situé dans la cellule D-CEL utilise du SiO_2 possédant une constante diélectrique relative de 3,5 - 4, en tant que couche diélectrique agissant essentiellement comme capacité. Les surfaces de ces condensateurs sont dimensionnées de manière à être approximativement identiques. Le condensateur C_s est formé avec la structure empilée : silicium polycristallin - Si_3N_4 - silicium polycristallin. La surface de la couche de Si_3N_4 3a est recouverte par la pellicule d'oxyde 3b de cette couche et la surface de la couche de silicium polycristallin 6b est actuellement recouverte par la pellicule de SiO_2 36. Par conséquent la relation entre la cellule de mémoire et la cellule fictive devient semblable à celle prévue dans la première forme de réalisation.

La figure 15 est un schéma servant à expliquer la configuration ou structure d'agencement des cellules de mémoire et des cellules fictives.

En premier lieu on va décrire le schéma d'agencement de la partie de la cellule de mémoire. Afin de définir les lignes de transmission de données constituées par les régions semiconductrices de type N^+ et les condensateurs C_s, on

a disposé de façon régulière les pellicules d'oxyde de champ 2 telles qu'indiquées par des lignes en trait plein et des lignes formées de tirets. Comme indiqué par des lignes formées de tirets avec des ensembles de points doubles intercalés, les première couches de silicium polycristallin 6a constituant les électrodes inférieures des condensateurs C_s sont formées dans les parties des condensateurs correspondants C_s. Comme indiqué par des lignes en trait plein et par des lignes en traits mixtes, les secondes couches de silicium polycristallin 6b qui forment les électrodes supérieures des condensateurs C_s sont réalisées sous la forme d'électrodes qui sont communes à tous les condensateurs C_s, réunissant deux lignes voisines de transmission de données, et sont raccordées à une ligne d'alimentation de tension V_{DD-L} constituée en aluminium, par l'intermédiaire d'un trou de contact CH_3 ménagé dans une pellicule isolante intercouches (non représentée). Ainsi la tension V_{DD} est appliquée à la seconde couche de silicium polycristallin 6b. Les troisièmes couches de silicium polycristallin 30 qui constituent les électrodes de grille du transistor MISFET Q_M, sont disposées de manière à se répéter régulièrement avec des configurations polygonales comme indiqué par des lignes en trait plein et des lignes formées de tirets, et sont raccordées aux lignes de transmission de mots 31 (W) constituées en aluminium, par l'intermédiaire de trous de contact CH_1 et CH_2 ménagés dans une pellicule isolant inter-couches (non représentée). Les lignes de câblage en aluminium s'étendent de manière à intersecter à angle droit les lignes de transmission de données constituées par les régions semiconductrices.

D'autre part dans la partie de la cellule fictive, les pellicules d'oxyde de champ 2 sont disposées comme cela est indiqué par des lignes en trait plein et par des lignes formées de tirets, de manière à définir les surfaces des condensateurs C_{ds} de sorte que la capacité de chaque con-

densateur C_{ds} peut prendre environ une valeur égale à la moitié de la capacité de chaque condensateur C_s. Comme indiqué par des lignes en trait plein et par des lignes formées de tirets, les secondes couches de silicium polycristallin 15 constituant les électrodes supérieures des condensateurs C_{ds} forment des électrodes qui sont communes aux deux condensateurs C_{ds} reliant deux lignes voisines de transmission de données, et sont également adjacentes aux secondes couches de silicium polycristallin 6b de la partie de la cellule de mémoire. Par conséquent la tension V_{DD} est appliquée aux secondes couches de silicium polycristallin 15. Les troisièmes couches de silicium polycristallin 32 et 33 constituant les électrodes de grille des transistors MISFET Q_{D1} et Q_{D2} sont agencées de la manière indiquée par des lignes en trait plein et par des lignes formées de tirets et sont respectivement raccordées à la ligne fictive de transmission de mots 34 (DW) et à la ligne de transmission de signaux 35 ($\emptyset_{DC-L}$) réalisée en aluminium, par l'intermédiaire de trous de contact CH_4 et CH_5 ménagés dans une pellicule isolante inter-couches (non représentée). En outre les régions semiconductrices du type N^+ 14 sont raccordées à la ligne de potentiel de masse V_{SS-L} par l'intermédiaire de trous de contact CH_6 et CH_7, et les régions semiconductrices de type N^+ 11 sont raccordées aux régions semiconductrices 5 qui constituent les lignes de transmission de données.

En tant que procédé de fabrication de la mémoire D-RAM de la présente forme de réalisation, le procédé de fabrication de la première forme de réalisation représentée sur les figures 7A-7B est utilisé tel quel. Cette partie de la première couche de silicium polycristallin, qui subsiste sur la région devant devenir le canal du transistor MISFET Q_M, dans la phase opératoire illustrée sur la figure 7K est éliminée en même temps qu'est réalisée la conformation de la seconde couche de silicium polycristallin au moyen de la pha-

se opératoire illustrée sur la figure 7J. Ceci est identique au cas de la première forme de réalisation. Les troisièmes couches de silicium polycristallin qui sont formées en tant qu'électrodes de grille des transistors MISFET Q_M, Q_{D1} et Q_{D2} au moyen de la phase opératoire illustrée sur la figure 7N, sont empilées sur les secondes couches de silicium polycristallin constituant les électrodes supérieures des condensateurs C_s et C_{ds} par l'intermédiaire des pellicules d'oxyde de ces couches, comme cela est visible sur la figure 15. Il en résulte que contrairement à la première forme de réalisation, aucune région semiconductrice de type N^+ n'est formée entre le condensateur C_s et le transistor MISFET Q_M, ni entre le condensateur C_{ds} et le transistor MISFET Q_{D1} ou Q_{D2}. Ensuite on met en oeuvre, avec les modifications nécessaires, les phases opératoires illustrées sur les figures 7O et 7P. Alors, la réalisation de la mémoire D-RAM de la troisième forme de réalisation est achevée.

La troisième forme de réalisation présente l'avantage suivant, en plus des avantages de la première forme de réalisation décrite précédemment.

5) Il est aisé de réaliser un câblage en aluminium.

Une coupe de la présente forme de réalisation correspondant à la coupe suivant la ligne X-X sur la figure 15, est représentée sur la figure 16. Conformément à cette figure, les deux condensateurs C_s de deux cellules de mémoire réciproquement voisines sont disposés sur la pellicule de SiO_2 de champ 2 sous la forme de structures empilées. Par conséquent les surfaces des pellicules isolantes inter-couches 37 sur les deux condensateurs C_s proches l'un de l'autre peuvent être réalisées sous la forme de surfaces planes d'une taille relativement importante. Par conséquent le contact entre la troisième couche de silicium polycristallin 30 et la ligne de transmission de mots 31 peut être aisément établi , et ce contact n'est pas beaucoup limité du point de vue position tant qu'il est situé sur la couche de sili-

cium polycristallin 30.

En se référant maintenant aux figures 17 et 18, on va décrire la quatrième forme de réalisation de la présente invention. Cette forme de réalisation est un exemple dans lequel la structure de la cellule fictive située dans la troisième forme de réalisation décrite précédemment (se référer à la figure 14) est remplacée par une structure représentée sur la figure 17. L'autre construction incluant la structure de la cellule de mémoire, etc., est identique à celle de la troisième de réalisation. Par conséquent l'explication de la présente forme de réalisation sera axée sur la cellule fictive.

La figure 17 représente la structure de la cellule D-CEL. Sur la figure la référence 3C désigne une pellicule de SiO_2 minde, les références 11 et 14 des régions semiconductrices de type N^+, la référence 15a une première couche de silicium polycristallin, la référence 15a, une seconde couche de silicium polycristallin, la référence 16 une région semiconductrice de type N, les références 32 et 33 des troisièmes couches de silicium polycristallin et les références 34 et 35 des couches d'aluminium.

Le condensateur C_{ds} situé dans la cellule D-CEL possède une électrode, une couche diélectrique et son autre électrique constituées respectivement par la seconde couche de silicium polycristallin 15b, par la pellicule d'oxyde superficiel du silicium polycristallin (pellicule de SiO_2) 3C et par la première couche de silicium polycristallin 15a. La région semiconductrice de type N 16 est formée en contact direct avec l'électrode inférieure (la première couche de silicium polycristallin 15a) du condensateur C_{ds}, et l'électrode supérieure (la seconde couche de silicium polycristallin 15b) est placée à une tension V_{DD}.

Etant donné que les transistors MISFET Q_{D1} et Q_{D2} situés dans la cellule D-CEL sont identiques à ceux de la figure 14, les mêmes parties sont affectées des mêmes chif-

fres de référence et ne seront pas décrites à nouveau.

La figure 18 est un diagramme montrant le schéma ou la structure d'agencement de cellules de mémoire et de cellules fictives. Comme cela est indiqué par une ligne en trait plein et par des lignes formées de tirets avec des doubles points intercalés, les premières couches de silicium polycristallin 15a formant les électrodes inférieures des condensateurs C_{ds} sont formées dans les parties des condensateurs correspondants C_{ds}. Etant donné que les autres parties sont les mêmes que sur la figure 15, elles sont affectées des mêmes chiffres de référence et on n'en donnera à nouveau aucune explication.

Par conséquent, dans cette forme de réalisation, les condensateurs C_s et C_{ds} sont formés respectivement par des organes empilés qui sont des structures sandwich des couches de silicium polycristallin incluant la pellicule de Si_3N_4 et la pellicule de SiO_2 en tant que couches diélectriques. Naturellement le condensateur C_s situé dans la cellule de mémoire utilise du Si_3N_4 possédant une constante diélectrique élevée, avec une constante diélectrique relative de 7 - 8, en tant que couche diélectrique agissant essentiellement à la manière d'une capacité, tandis que le condensateur C_{ds} situé dans la cellule fictive utilise du SiO_2 possédant une constante diélectrique relativement faible, avec une constante diélectrique relative de 3,7 - 4, en tant que couche diélectrique agissant essentiellement à la manière d'une capacité. Les surfaces de ces condensateurs sont dimensionnées de manière à être approximativement identiques. Par conséquent la relation entre la cellule de mémoire et la cellule fictive dans cette forme de réalisation devient semblable à celle existante dans le cas de la seconde forme de réalisation.

En tant que procédé de fabrication de la mémoire D-RAM de la quatrième forme de réalisation, on peut utiliser tel quel le procédé de fabrication de la seconde forme

de réalisation.

La quatrième forme de réalisation présente les avantages de la seconde et de la troisième formes de réalisation décrites précédemment.

Sur la base de l'idée technique de la présente invention, on peut en outre modifier comme indiqué ci-après les formes de réalisation précédentes.

Comme on le comprendra d'après les formes de réalisation précédentes, contrairement à l'art antérieur, la capacité du condensateur C_s est déterminée par la première couche de silicium polycristallin et par la seconde couche de silicium polycristallin et est tout-à-fait indépendante de la forme de la pellicule d'oxyde de champ. Par conséquent la forme de la pellicule d'oxyde de champ située dans la partie de la cellule de mémoire n'a pas besoin d'avoir la configuration représentée sur la figure 6A, qui peut être au contraire modifiée à volonté tant que la connexion électrique avec la première couche de silicium polycristallin, qui constitue l'électrode inférieure du condensateur C_s, peut être maintenue par un contact direct .

Il est également possible de supprimer les régions semiconductrices de type N qui sont prévues dans les régions des condensateurs C_s et C_{ds}. Dans ce cas la tension V_{DD} est appliquée aux secondes couches de silicium polycristallin qui sont les électrodes supérieures de C_s et de C_{ds}. En outre on peut utiliser, comme matériaux pour les électrodes et comme matériaux diélectriques pour les condensateurs, d'autres matériaux que ceux mentionnés précédemment. Il est également possible d'utiliser pour une partie de la couche conductrice (en particulier la ligne de transmission de mots), un alliage silicium-aluminium, n'importe lequel des matériaux que sont le molybdène, le tungstène, le chrome, le tantale, etc., ou bien un métal résistant à la chaleur, tel qu'un siliciure de ces éléments et d'utiliser en tant que couche conductrice, une structure empilée qui est

constituée par un tel métal et une couche de silicium polycristallin. En outre chaque transistor MISFET de transfert décrit ci-dessus peut être un transistor MISFET du type à canal P, et un transistor MISFET de transfert décrit ci-dessus peut être un transistor MISFET du type à canal P et un transistor MISFET à canal P est prévu par exemple dans un puits de type N formé dans un substrat de type P. Dans ce cas il est souhaitable que les circuits périphériques soient réalisés par des transistors MISFET à canal N.

REVENDICATIONS

1. Dispositif de mémoire à semiconducteurs intégré, caractérisé en ce qu'il comporte des réseaux (M-ARY) de cellules de mémoire dont chacun comporte plusieurs cellules de mémoire (M-CEL) disposées suivant des lignes et des colonnes sur un substrat semiconducteur (1) et dont chacune comporte un premier condensateur (C_s) servant à stocker des charges et un transistors MISFET (Q_M) raccordé en série avec ledit condensateur (C_s) qui se compose d'une première et d'une seconde couches conductrices (6a, 6b) formées sur une zone d'une surface principale du subtrat semiconducteur (1), et d'une première pellicule diélectrique (3a) interposée entre lesdites couches conductrices, des réseaux fictifs (D-ARY) dont chacune comporte plusieurs cellules fictives (D-CEL) formées sur ledit substrat semiconducteur (1) et servant à produit un niveau de référence et comportant chacune des transistors MISFET (Q_{D1},Q_{D2}) et un second condensateur (C_{ds}) servant à stocker des charges et constitué par une troisième couche conductrice (16;15a), une seconde pellicule diélectrique (29,3c) formée sur ladite troisième couche conductrice et une quatrième couche conductrice (15; 15b) formée sur ladite seconde pellicule diélectrique et possédant une capacité inférieure à la capacité dudit premier condensateur, alors que la seconde pellicule diélectrique possède une constante diélectrique inférieure à celle de ladite première pellicule diélectrique, plusieurs lignes de transmission de données (D,$\overline{D}$; DL_{1-1}, $\overline{DL}_{1-1}$) qui sont disposées suivant des lignes et qui sont accouplées aux cellules de mémoire (M-CEL) et aux cellules fictives (D-CEL) réparties dans les lignes correspondantes, plusieurs lignes de transmission de mots (W,DW;WL_{1-1},WL_{1-6}) qui sont disposées suivant des colonnes et qui sont accouplées aux cellules de mémoire (M-CEL) ou aux cellules fictives (D-CEL) réparties suivant les colonnes correspondantes, et un amplificateur de détection (SA_1;S.A.) qui reçoit des signaux

dans un couple formé de la ligne de transmission de données de la cellule de mémoire (M-CEL) sélectionnée et de la ligne de transmission de données de la cellule fictive (D-CEL) sélectionnée.

2. Dispositif de mémoire à semiconducteurs intégré selon la revendication 1, caractérisé en ce que le premier condensateur (C_s) occupe une surface essentiellement égale à la surface du second condensateur (C_{ds}).

3. Dispositif de mémoire à semiconducteurs intégré selon la revendication 2, caractérisé en ce que la constante diélectrique de la seconde pellicule diélectrique est essentiellement égale à la moitié de celle de la première pellicule diélectrique.

4. Dispositif de mémoire à semiconducteurs intégré selon la revendication 1, caractérisé en ce que la troisième couche conductrice est constituée par une partie dudit substrat semiconducteur (1).

5. Dispositif de mémoire à semiconducteurs intégré selon la revendication 1, caractérisé en ce que la troisième couche conductrice est formée sur une pellicule isolante qui recouvre la surface principale dudit substrat semiconducteur (1).

6. Dispositif de mémoire à semiconducteurs intégré selon la revendication 4, caractérisé en ce que le couple des lignes de transmission de données (DL_{l-1}, $\overline{DL}_{l-1}$) qui sont accouplées audit amplificateur de détecteur (SA_l) s'étendent suivant une direction identique.

7. Dispositif de mémoire à semiconducteurs intégré selon la revendication 4, caractérisé en ce que le couple des lignes de transmission de données (D,$\overline{D}$), qui sont accouplées audit amplificateur de détection (S.A.) s'étendent dans des directions opposées l'une de l'autre.

8. Dispositif de mémoire à semiconducteurs intégré selon la revendication 5, caractérisé en ce que le couple des lignes de transmission de données (DL_{l-1},$\overline{DL}_{l-1}$), qui

sont accouplées audit amplificateur de détection (SA_1) s'étendent suivant une direction identique.

9. Dispositif de mémoire à semiconducteurs intégré selon la revendication 5, caractérisé en ce que le couple des lignes de transmission de données ($D,\overline{D}$) qui sont accouplées audit amplificateur de détection (S.A.) s'étendent dans des directions opposées l'une à l'autre.

10. Dispositif de mémoire à semiconducteurs intégré selon la revendication 1, caractérisé en ce que lesdites première et seconde couches conductrices (6a,6b) sont constituées par du silicium polycristallin.

11. Dispositif de mémoire à semiconducteurs intégré selon la revendication 1, caractérisé en ce que lesdites première et seconde pellicules diélectriques (3a,29,3c) sont constituées respectivement par du nitrure de silicium et par du bioxyde de silicium.

12. Dispositif de mémoire à semiconducteurs intégré selon la revendication 1, caractérisé en ce que ladite première couche conductrice (6a) dudit premier condensateur (C_s) est placée en contact direct avec une région semiconductrice (4,5,7) qui est prévue dans le substrat semiconducteur (1).

13. Dispositif de mémoire à semiconducteurs intégré selon la revendication 12, caractérisé en ce que ladite région semiconductrice (4,5) est une région de source ou de drain dudit transistor MISFET (Q_M).

14. Procédé de fabrication d'un dispositif de mémoire à semiconducteurs intégré comportant plusieurs cellule de mémoire (M-CEL) dont chacune comporte un transistor MISFET (Q_M) et un condensateur de stockage (C_s) et plusieurs cellules fictives (D-CEL) comportant chacune des transistors MISFET (Q_{D1},Q_{D2}) et un condensateur de cellule fictive (C_{ds}), caractérisé en ce qu'il inclut

a) la phase opératoire de formation d'une première couche conductrice (141) sur chacune des premières zones

sélectionnées d'une surface principale d'un substrat semiconducteur (1), dans lesquelles des condensateurs de stockage (C_s) doivent être formés;

b) la phase opératoire de formation d'une première pellicule isolante (142) sur ladite première couche conductrice (141) de chaque première zone,

c) la phase opératoire de formation d'une seconde pellicule isolante (144) sur chacune des secondes zones sélectionnées de la surface principale du substrat semiconducteur (1), qui sont distantes desdites premières zones et dans lesquelles les condensateurs (C_{ds}) doivent être formés, ladite seconde pellicule isolante (144) possédant une constante diélectrique inférieure à celle de la première pellicule isolante (142), et

d) la phase opératoire de formation d'une seconde couche conductrice (145) sur ladite première pellicule isolante (142) dans chaque première zone, et de formation de ladite seconde pellicule isolante (144) dans chaque seconde zone.

15. Procédé de fabrication d'un dispositif de mémoire à semiconducteurs intégré selon la revendication 14, caractérisé en ce que, lors de la phase opératoire (a), la couche conductrice (141) est formée sur chaque seconde zone.

16. Procédé de fabrication d'un dispositif de mémoire à semiconducteurs intégré selon l'une des revendications 14 et 15, caractérisé en ce que ladite première pellicule isolante (142) est une pellicule de nitrure de silicium et que ladite seconde pellicule isolante (144) est une pellicule de bioxyde de silicium.

17. Procédé de fabrication d'un dispositif de mémoire à semiconducteurs intégré selon l'une quelconque des revendications 14 et 15, caractérisé en ce qu'il comporte en outre la phase opératoire de formation d'une troisième couche conductrice (148) qui s'étend sur une pellicule isolante formée sur chaque seconde couche conductrice et qui

sert à former les électrodes de grille des transistors MIS-FET.

FIG. 1

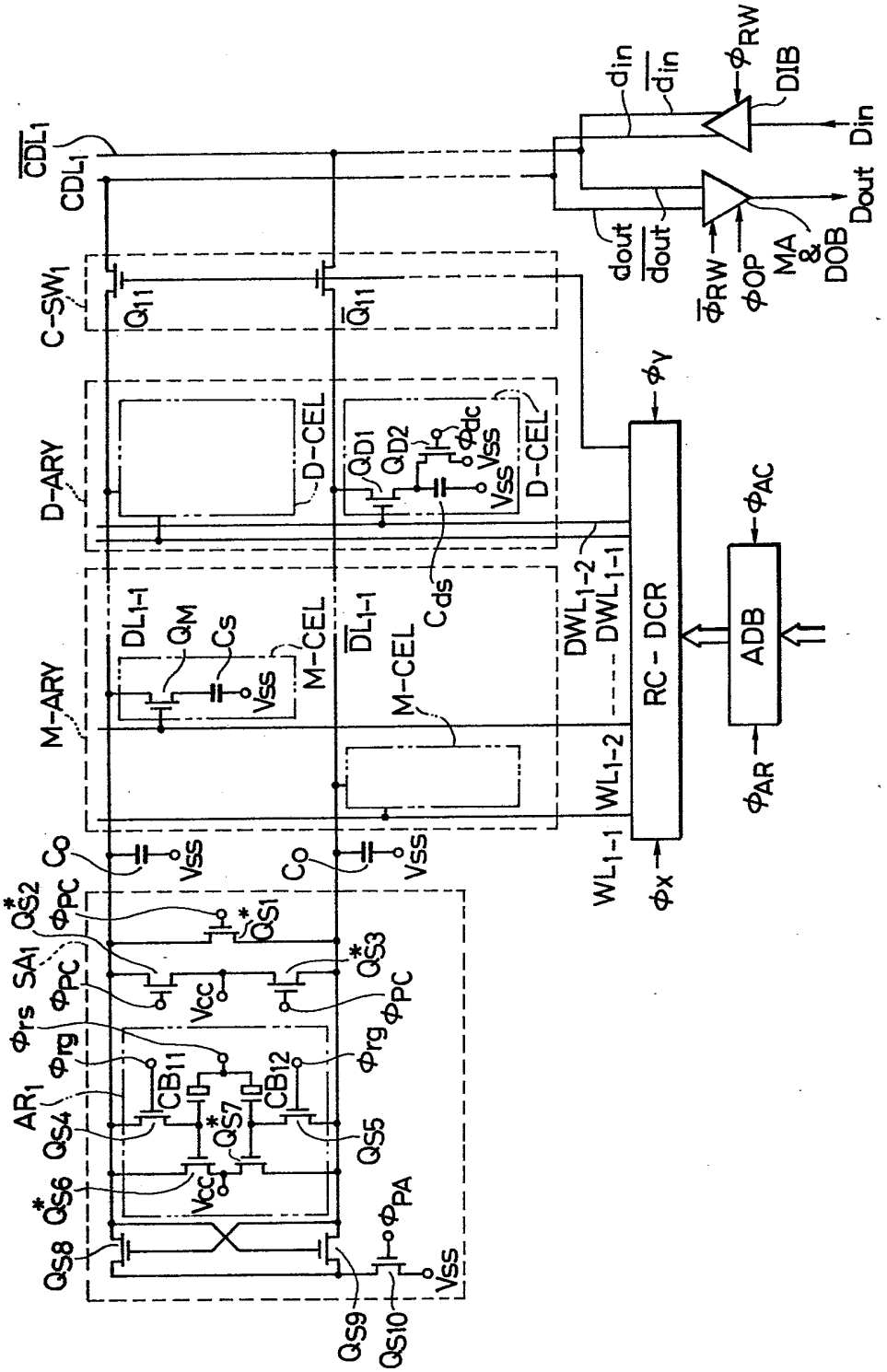

din
din
φRW
DIB
Din
dout
dout
Dout
φRW
φOP
MA & DOB
CDL1
CDL1
C-SW1
Q11
Q11
D-ARY
D-CEL
QD1
QD2
φdc
Vss
D-CEL
φY
M-ARY
DL1-1
QM
Cs
Vss
M-CEL
DL1-1
Cds
M-CEL
DWL1-2
DWL1-1
RC - DCR
ADB
φAC
WL1-2
WL1-1
φx
φAR
Co
Vss
Co
Vss
QS2*
φPC
QS1*
SA1
φPC
Vcc
QS3*
φPC
φrs
φrg
CB11
CB12
φrg
AR1
QS4
QS7*
QS5
QS6*
Vcc
φPA
QS8
Vss
QS9
QS10

FIG. 2

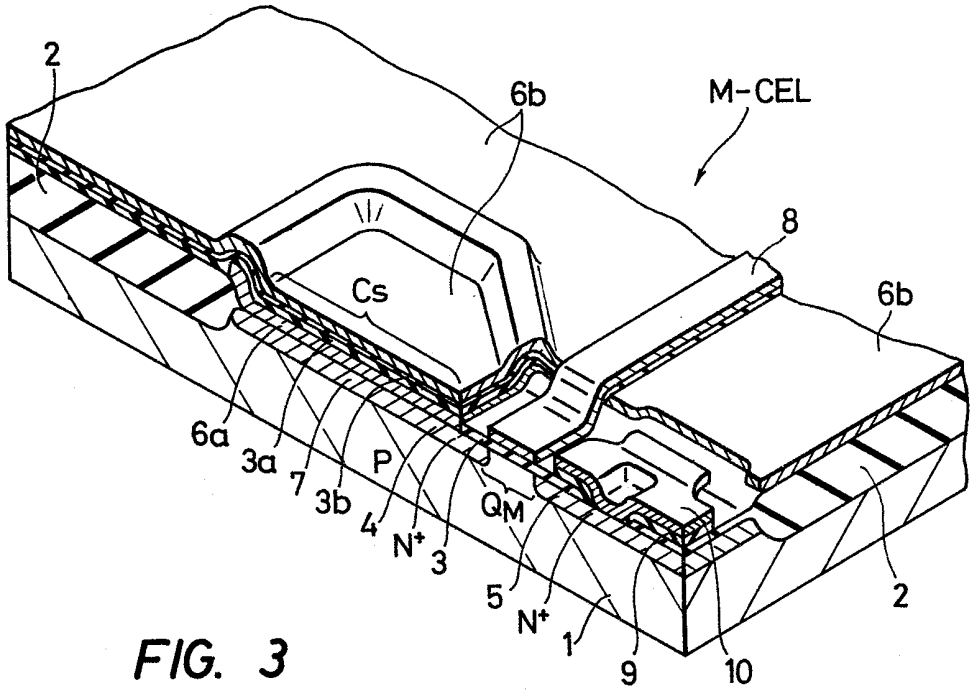

2
6b
M-CEL
8
Cs
6b
6a
3a
7
3b
P
4
N+
3
QM
5
N+
1
9
10
2

FIG. 3

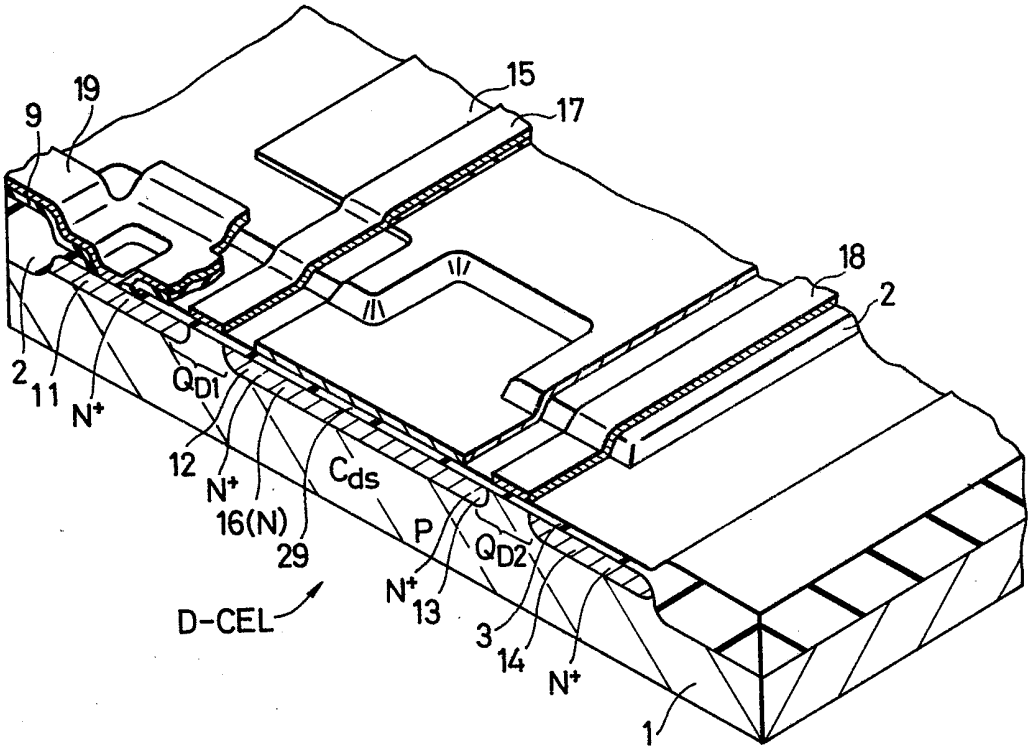

19
9
15
17
18
2
2
11
N+
QD1
12
N+
16(N)
29
Cds
P
QD2
N+
13
3
14
N+
1
D-CEL

FIG. 4

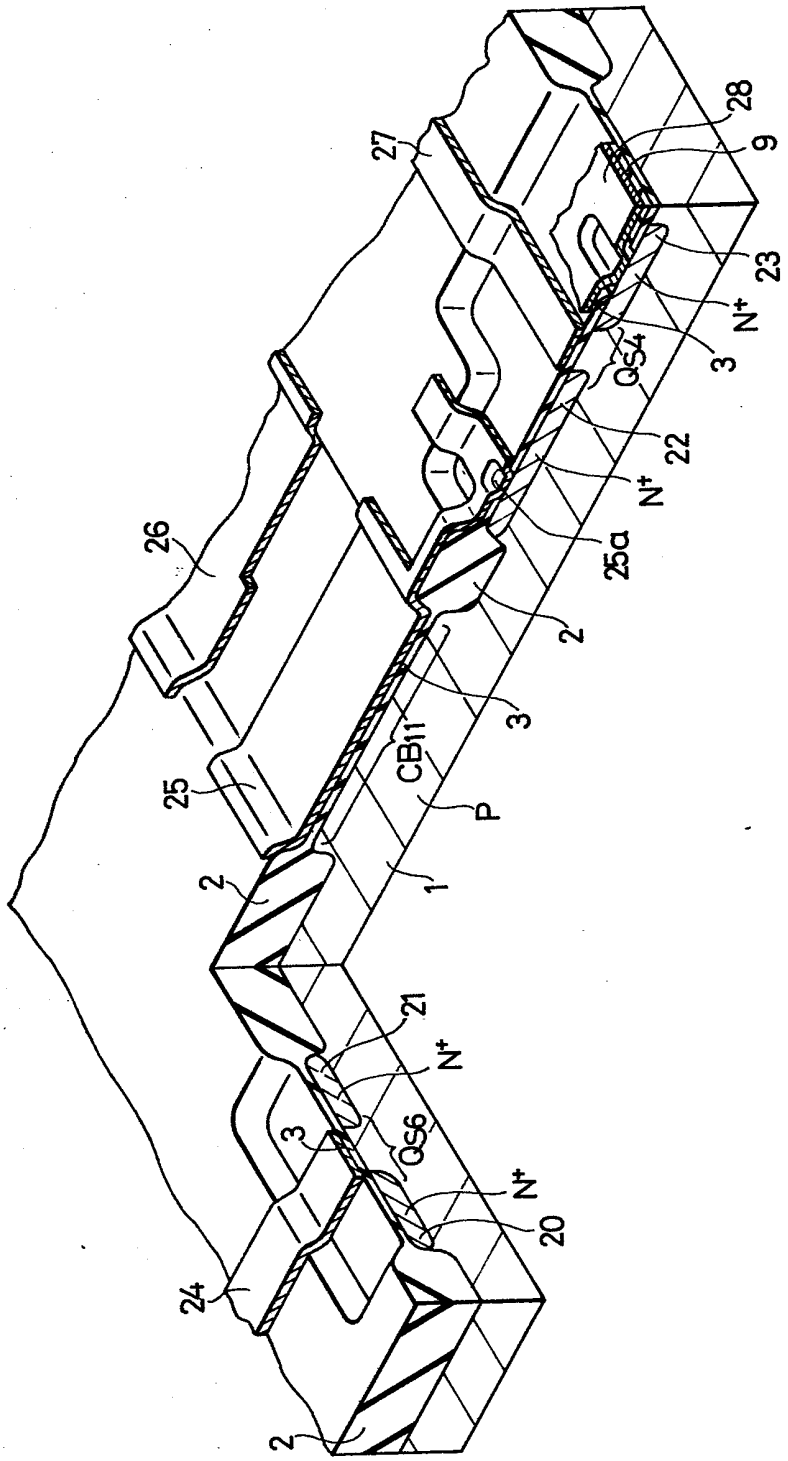


FIG. 5

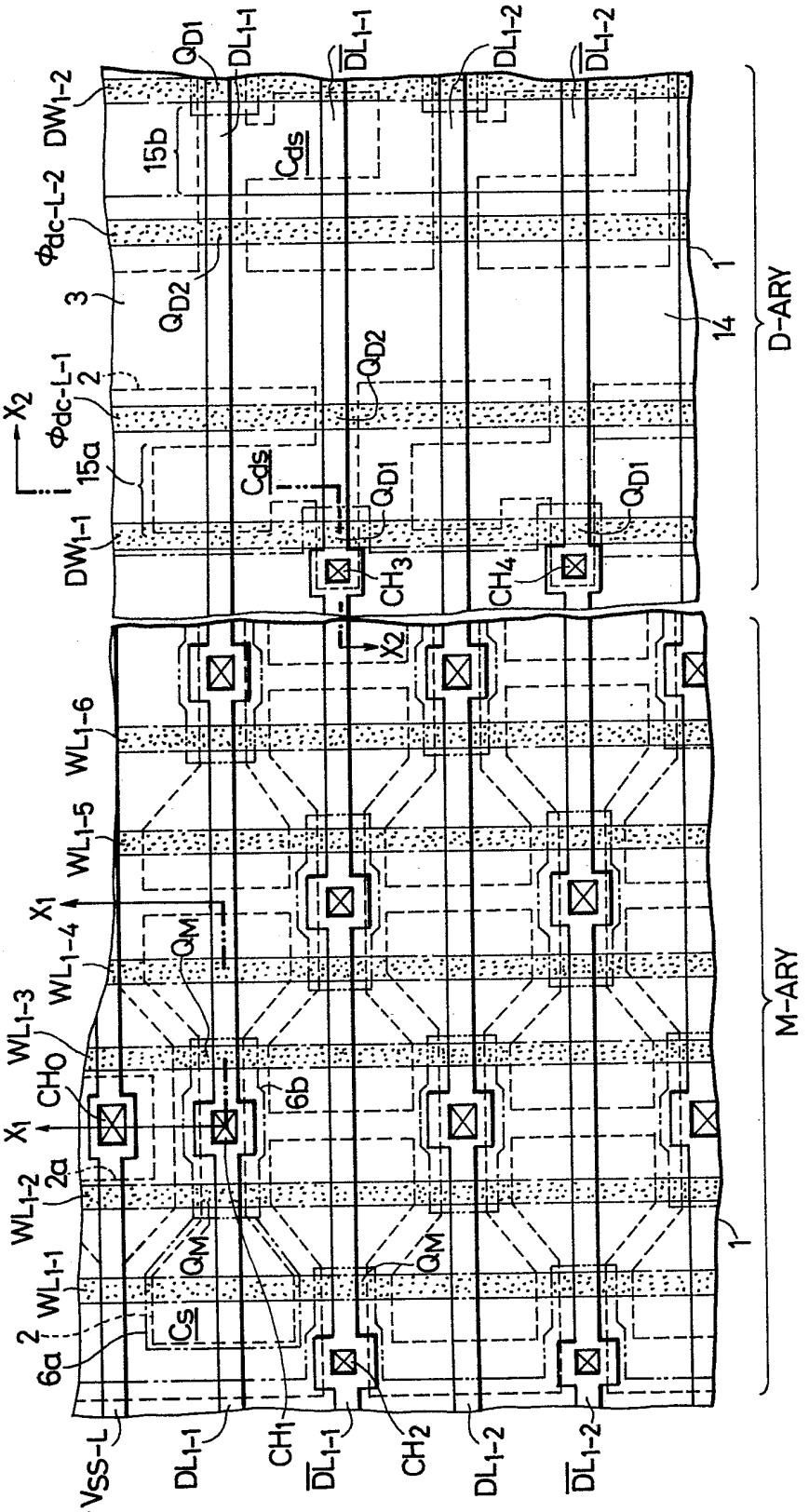

D-ARY
M-ARY
DW_{1-2}
DW_{1-1}
DL_{1-1}
$\overline{DL}_{1-1}$
DL_{1-2}
$\overline{DL}_{1-2}$
Q_{D1}
Q_{D2}
C_{ds}
CH_3
CH_4
Φ_{dc-L-2}
Φ_{dc-L-1}
X_2
X_1
WL_{1-6}
WL_{1-5}
WL_{1-4}
WL_{1-3}
WL_{1-2}
WL_{1-1}
Q_M
CH_0
C_s
CH_1
CH_2
V_{SS-L}
15a
15b
16b
2a
6a
1
2
3
14

FIG. 6A

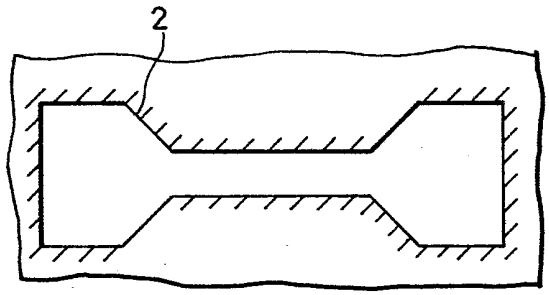


FIG. 6B

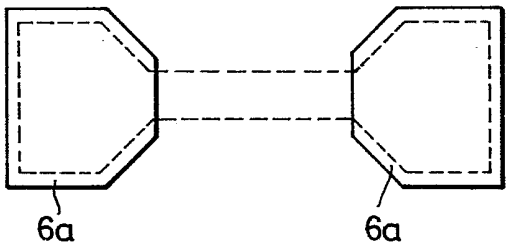
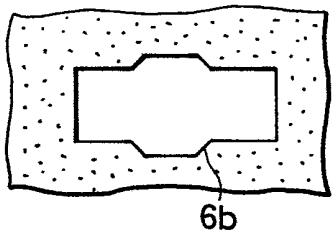


FIG. 6C



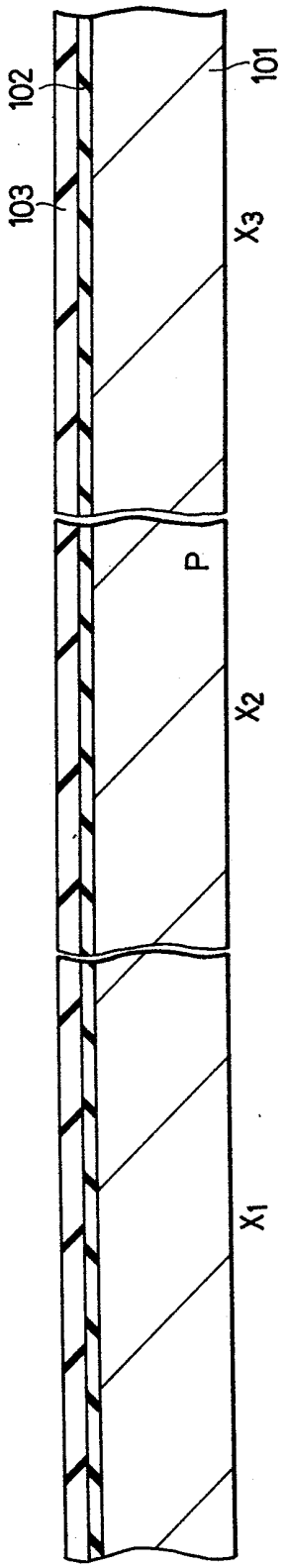

102
101
103
X3
P
X2
X1

FIG. 7A

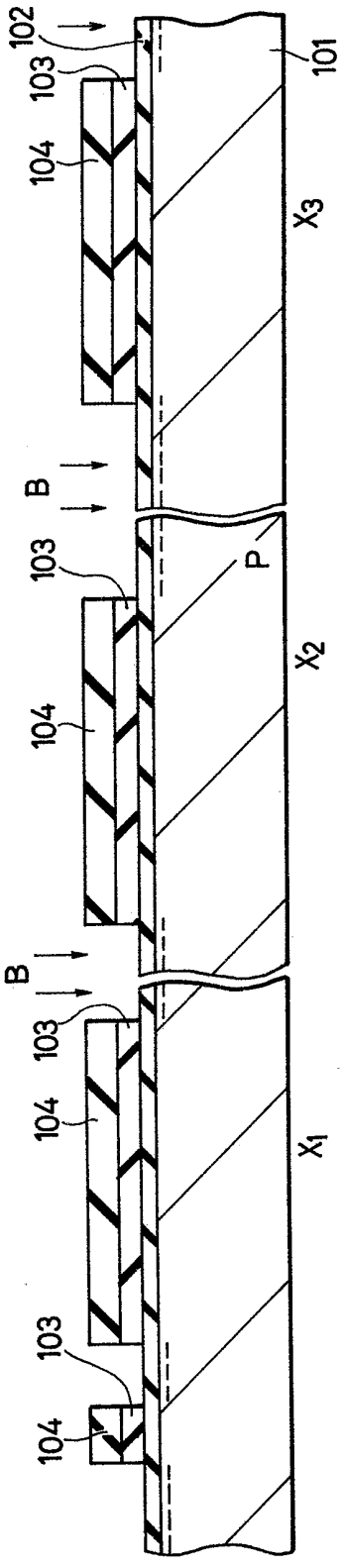

102
103
101
104
X3
B
103
P
104
X2
B
103
104
X1
103
104

FIG. 7B

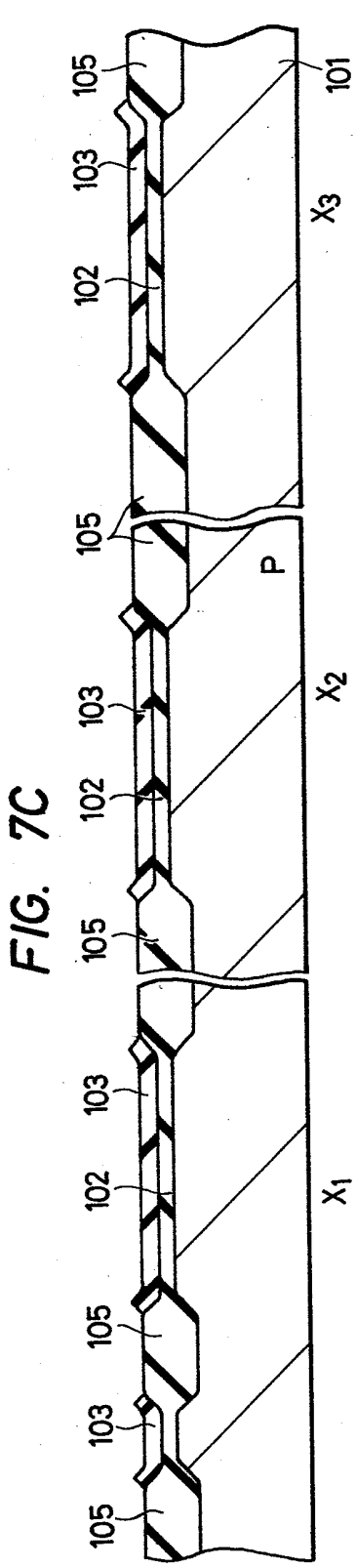

105
103
102
105
103
102
105
103
105
101
X3
P
X2
X1

FIG. 7C

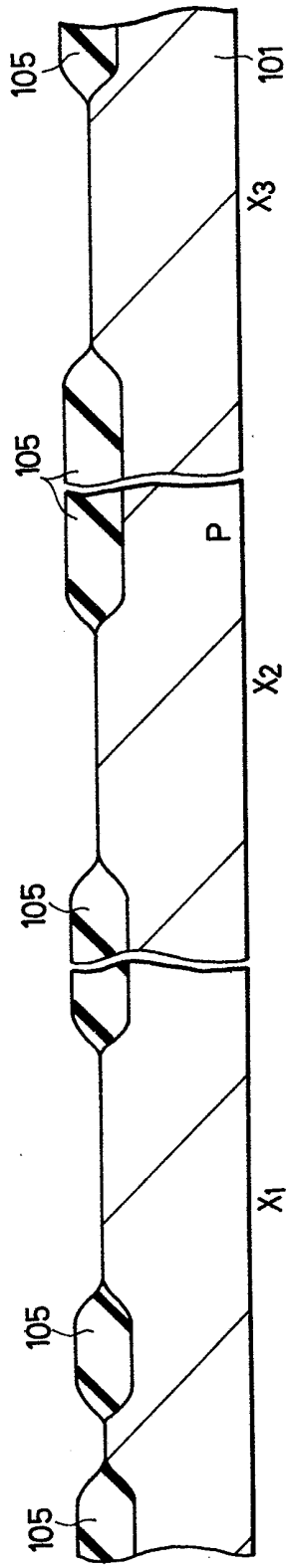

105
105
105
105
101
X3
P
X2
X1

FIG. 7D

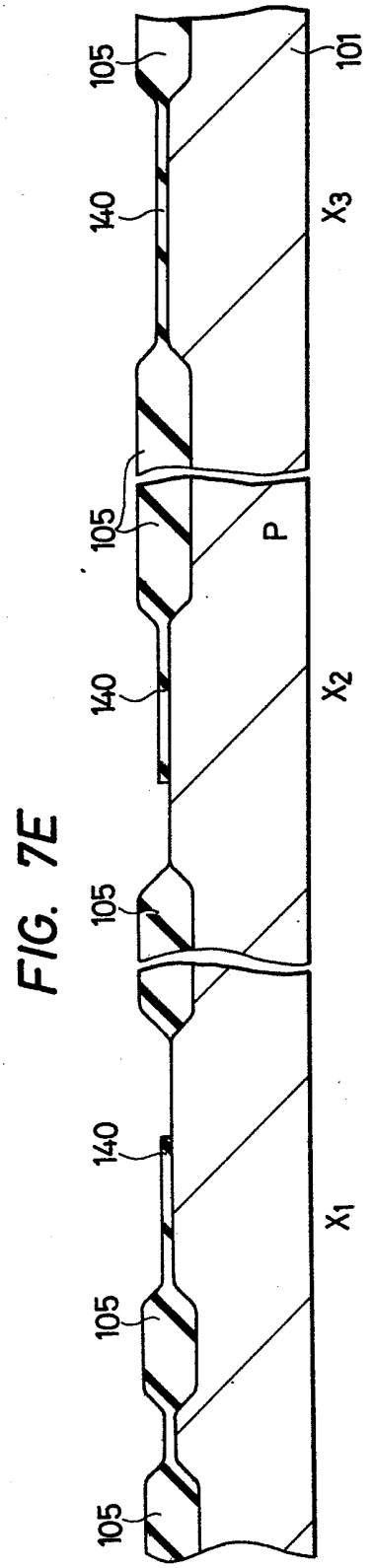

105
101
140
X3
105
P
140
X2
105
140
X1
105

FIG. 7E

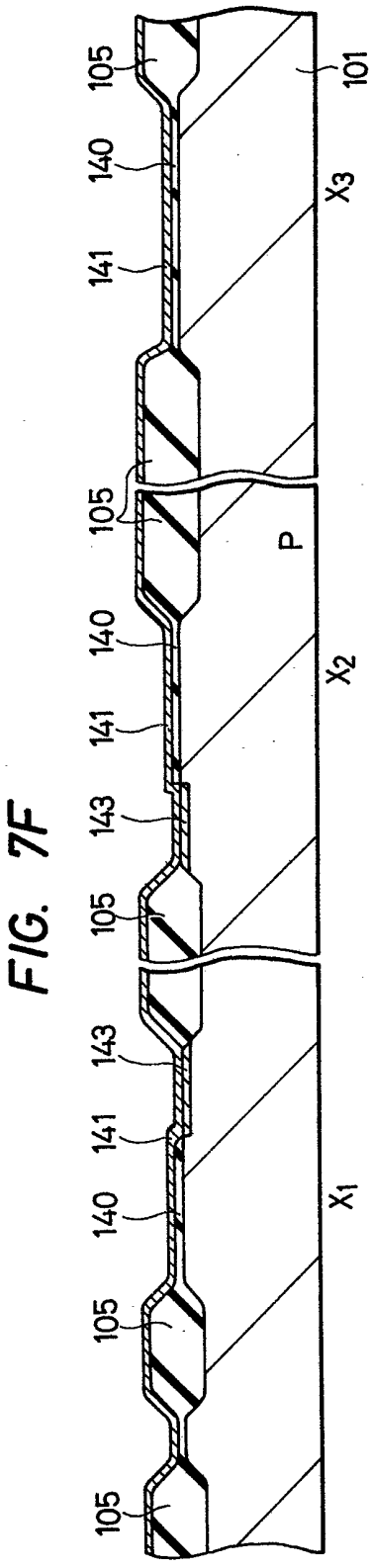

105
101
140
X3
141
105
P
140
X2
141
143
105
143
141
140
X1
105

FIG. 7F

FIG. 7G

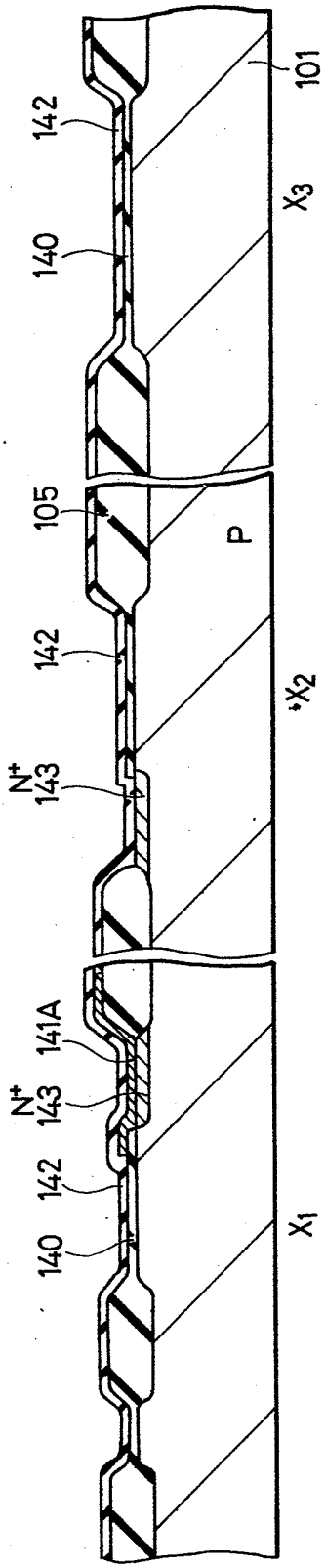

101
142
140
X3
105
P
142
X2
N+
143
141A
N+
143
142
140
X1

FIG. 7H

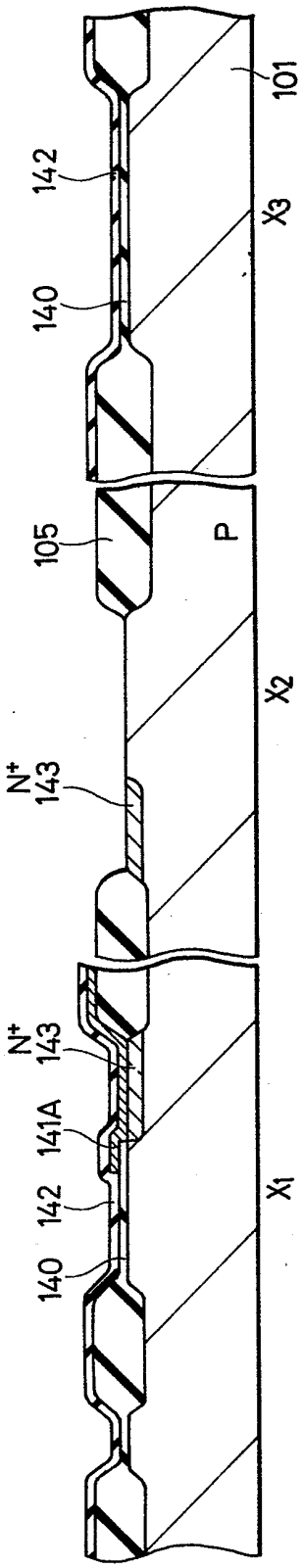

101
142
140
X3
105
P
X2
N+
143
N+
143
141A
142
140
X1

FIG. 7I

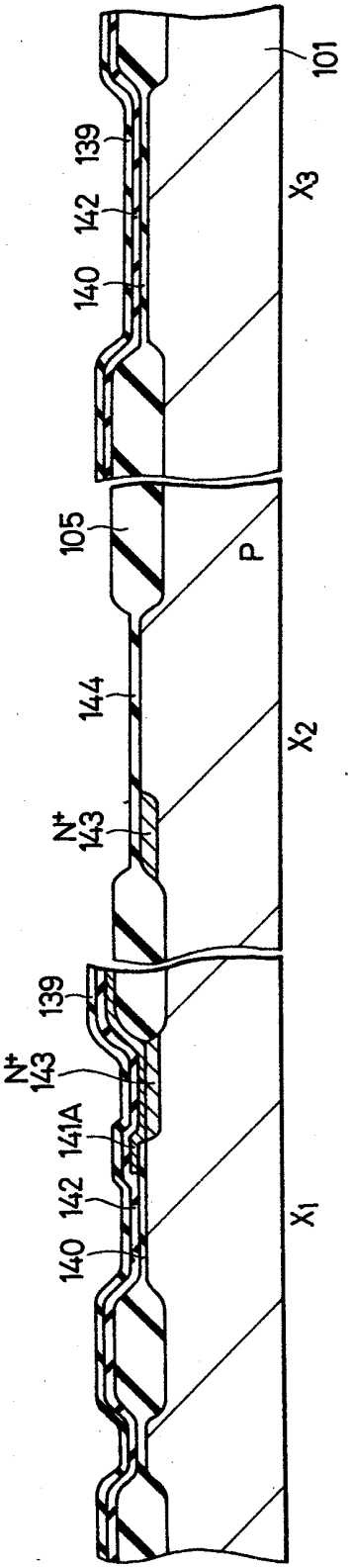
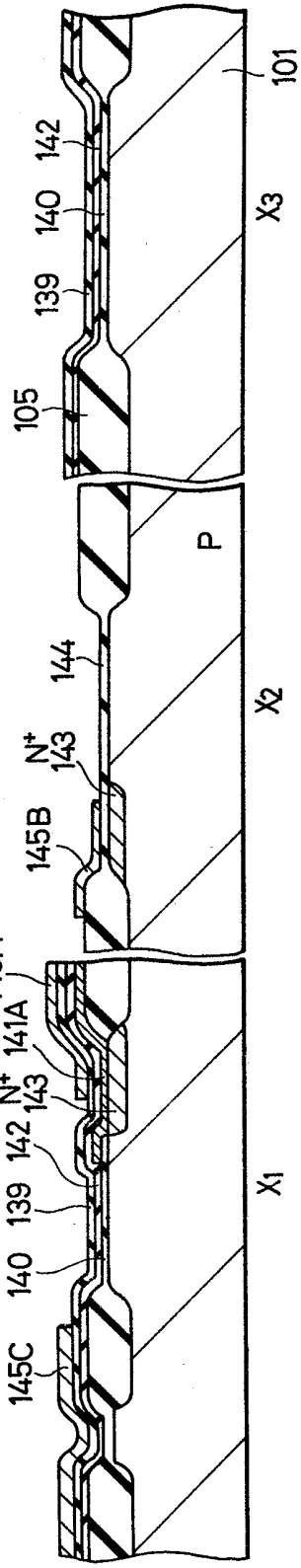

101
139
142
140
X3
105
P
144
X2
N+
143
139
N+
143
141A
142
140
X1

FIG. 7J


101
142
140
139
X3
105
P
144
X2
N+
143
145B
145A
141A
N+
143
142
139
140
145C
X1

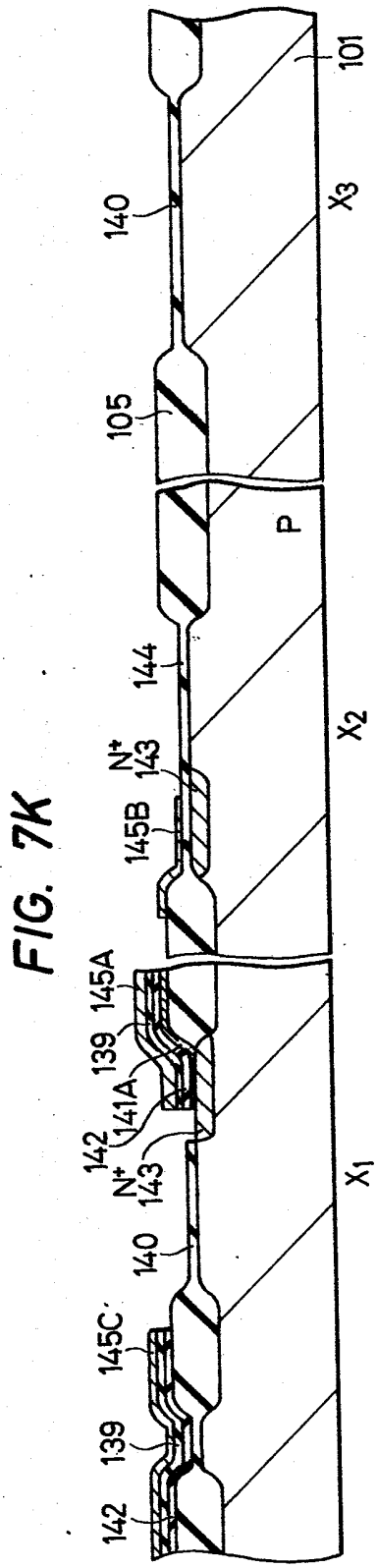

101
X3
140
105
P
144
N+
143
145B
X2
145A
139
141A
142
N+
143
140
X1
145C
139
142

FIG. 7K

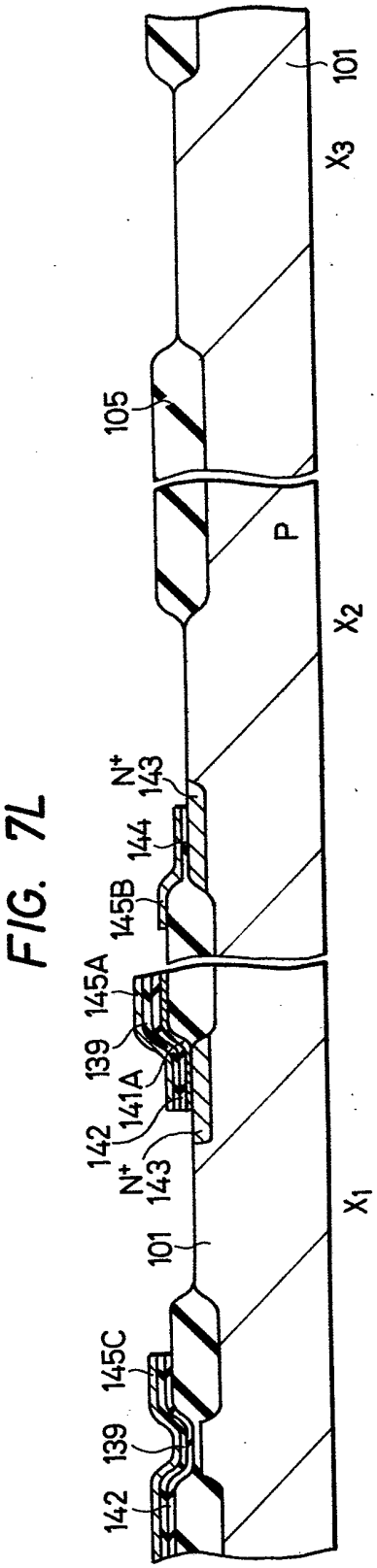

101
X3
105
P
X2
N+
143
144
145B
145A
139
141A
142
N+
143
101
X1
145C
139
142

FIG. 7L

FIG. 7M

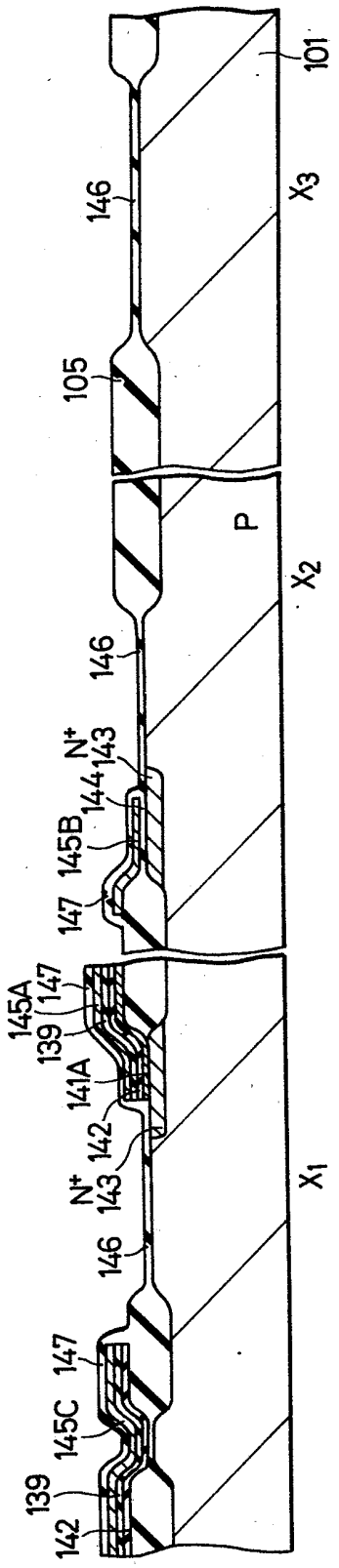

101
146
X3
105
P
X2
146
N+
143
144
145B
147
145A
147
139
141A
142
N+
143
X1
146
147
145C
139
142

FIG. 7N

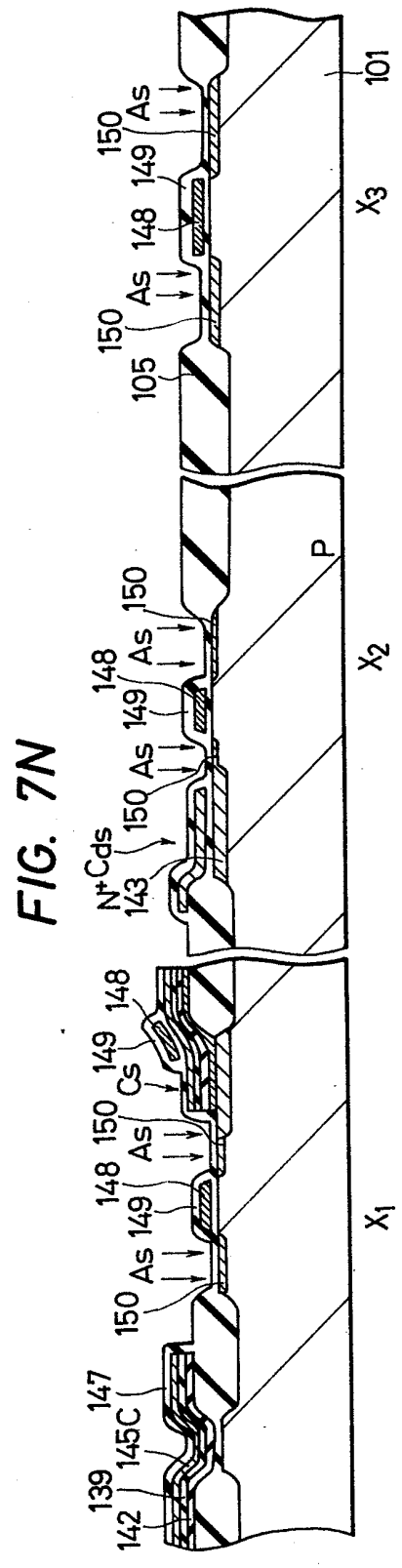

101
150
As
149
148
X3
As
150
105
P
X2
148
As
150
149
As
150
N+Cds
143
148
149
Cs
150
As
148
149
As
150
147
145C
139
142
X1

FIG. 70

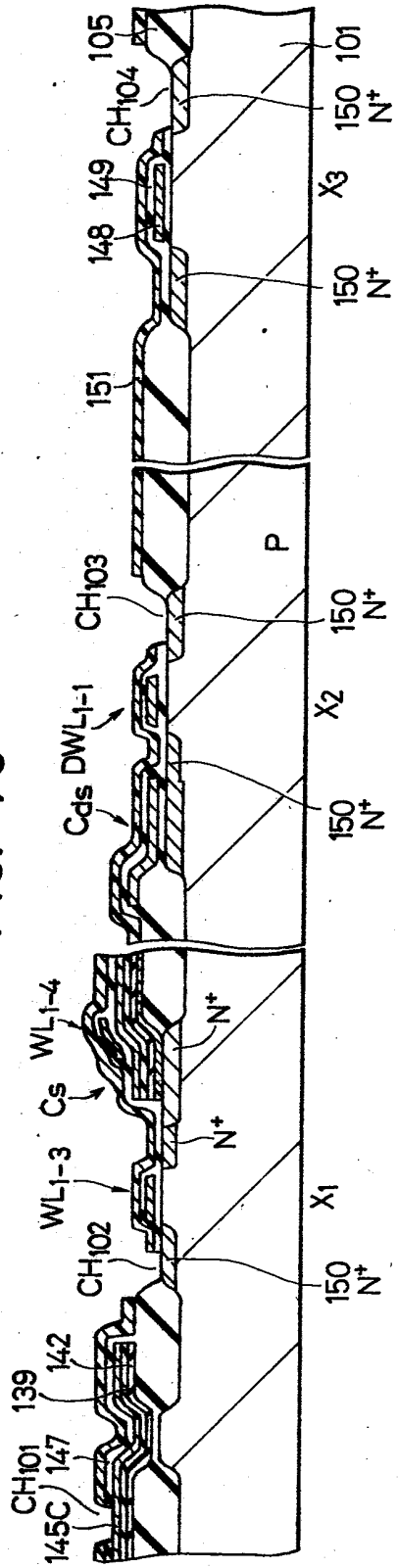

105
101
CH104
150
N+
149
148
X3
150
N+
151
P
CH103
150
N+
Cds
DWL1-1
X2
150
N+
WL1-4
Cs
N+
WL1-3
N+
X1
CH102
150
N+
142
139
CH101
147
145C

FIG. 7P

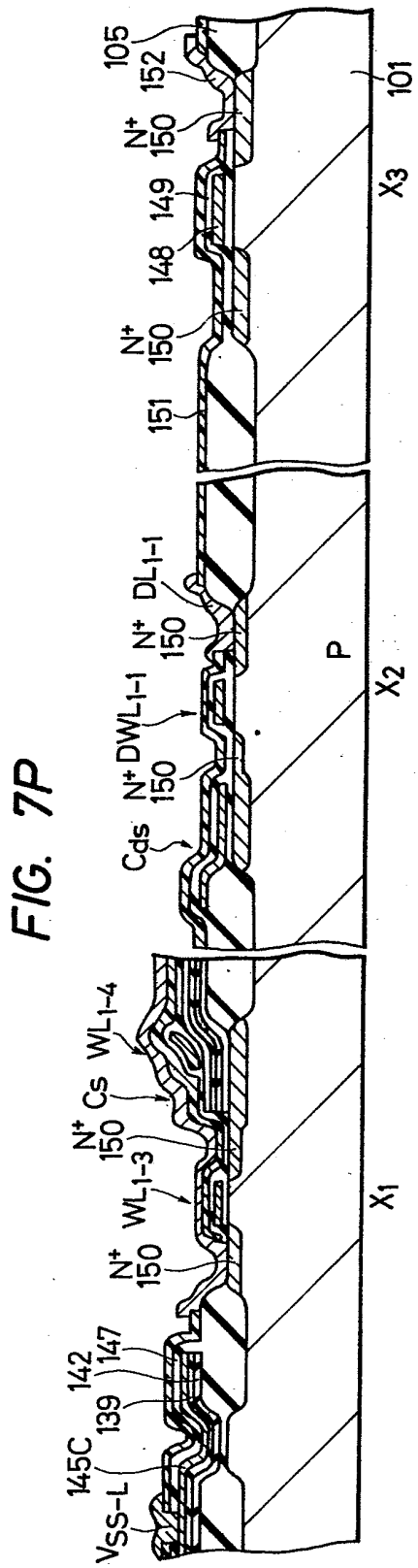

105
152
N+
150
101
149
148
X3
N+
150
151
DL1-1
N+
150
P
Cds
N+
150
DWL1-1
X2
WL1-4
N+
150
Cs
WL1-3
N+
150
X1
142
147
139
145C
VSS-L

FIG. 8A

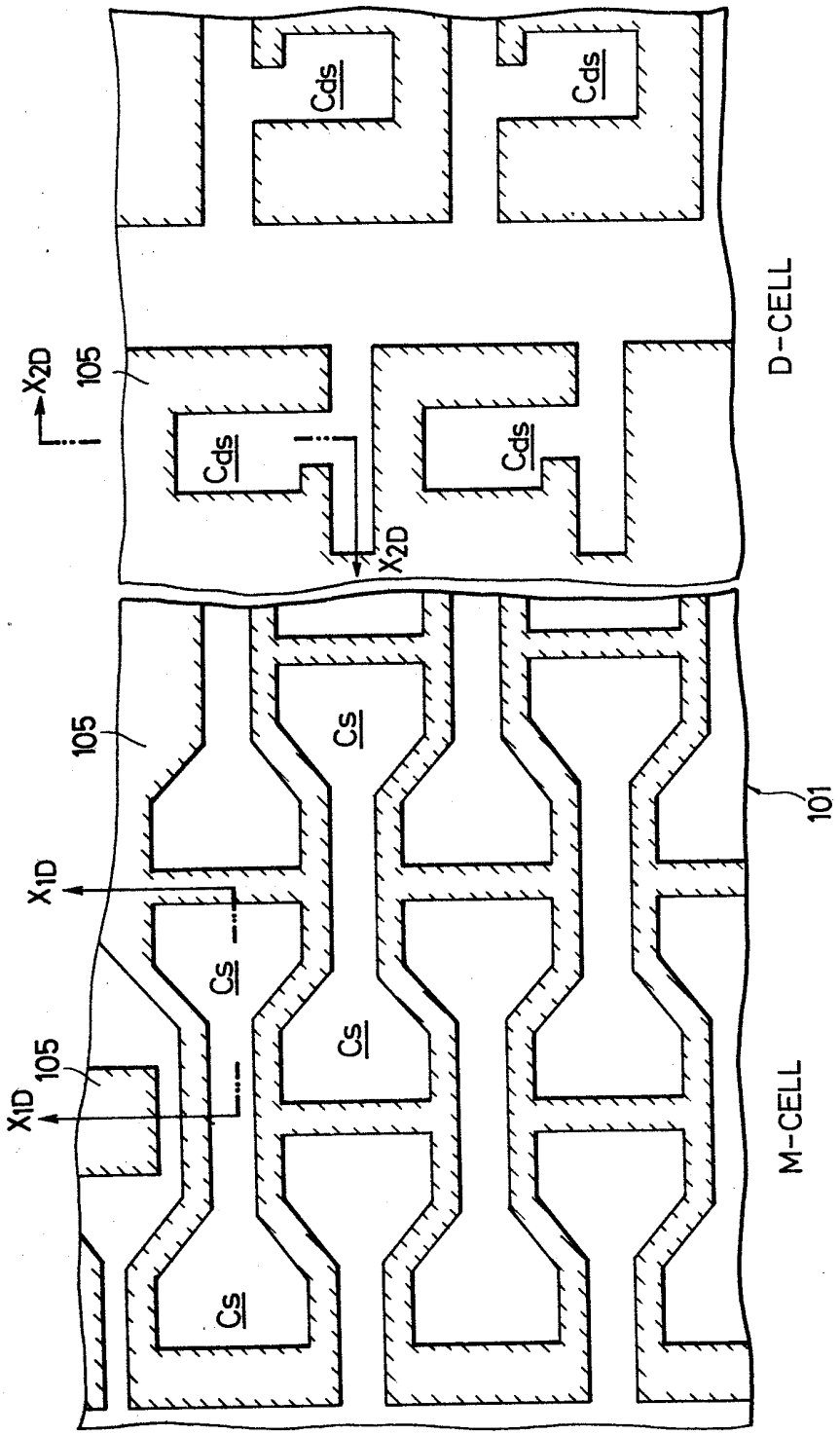
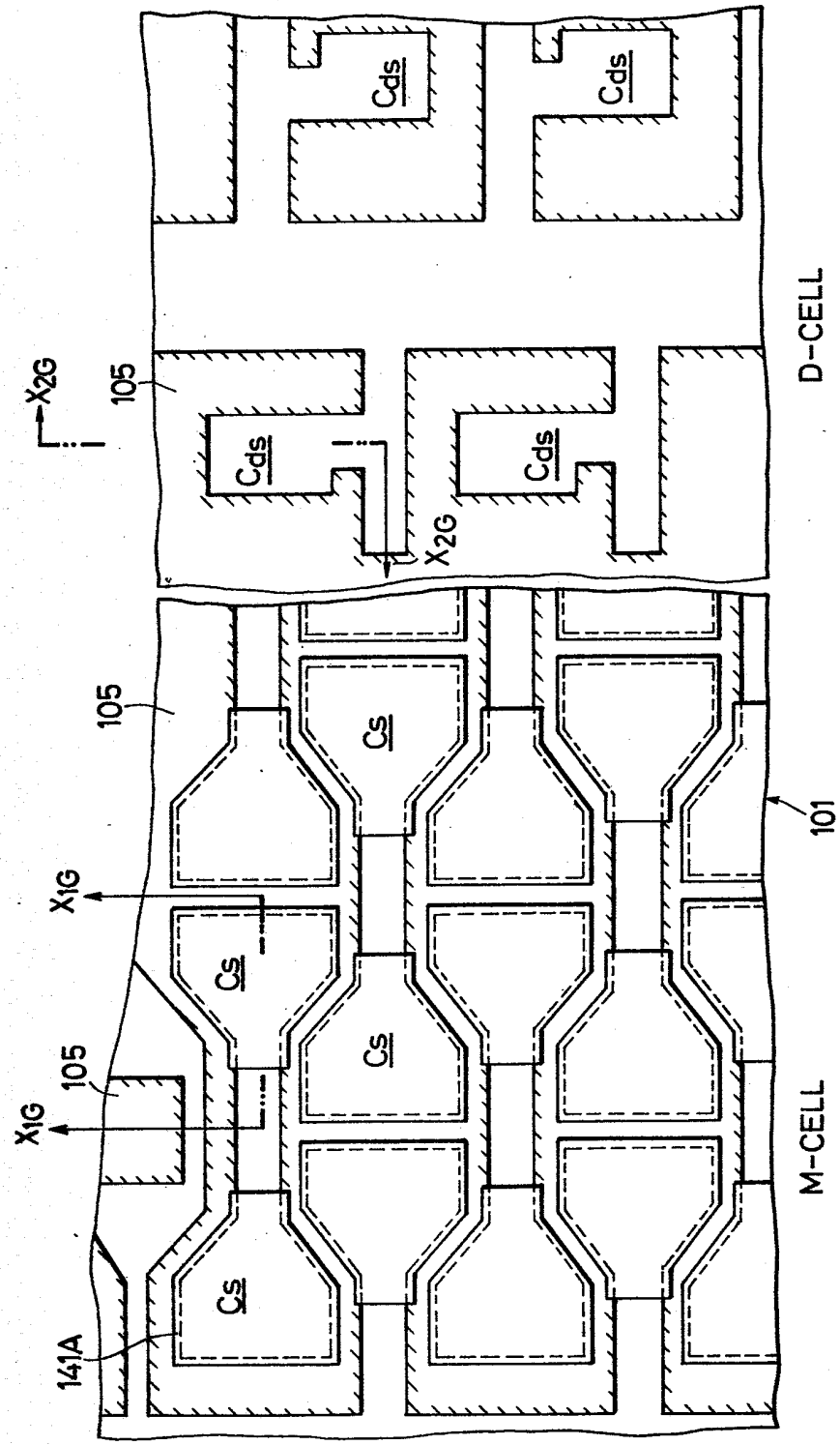

Cds
Cds
D-CELL
X2D
105
Cds
Cds
X2D
105
Cs
Cs
Cs
Cs
X1D
105
X1D
101
M-CELL

FIG. 8B


Cds
Cds
Cds
Cds
105
X2G
X2G
D-CELL
105
Cs
Cs
Cs
X1G
105
X1G
Cs
101
M-CELL
141A

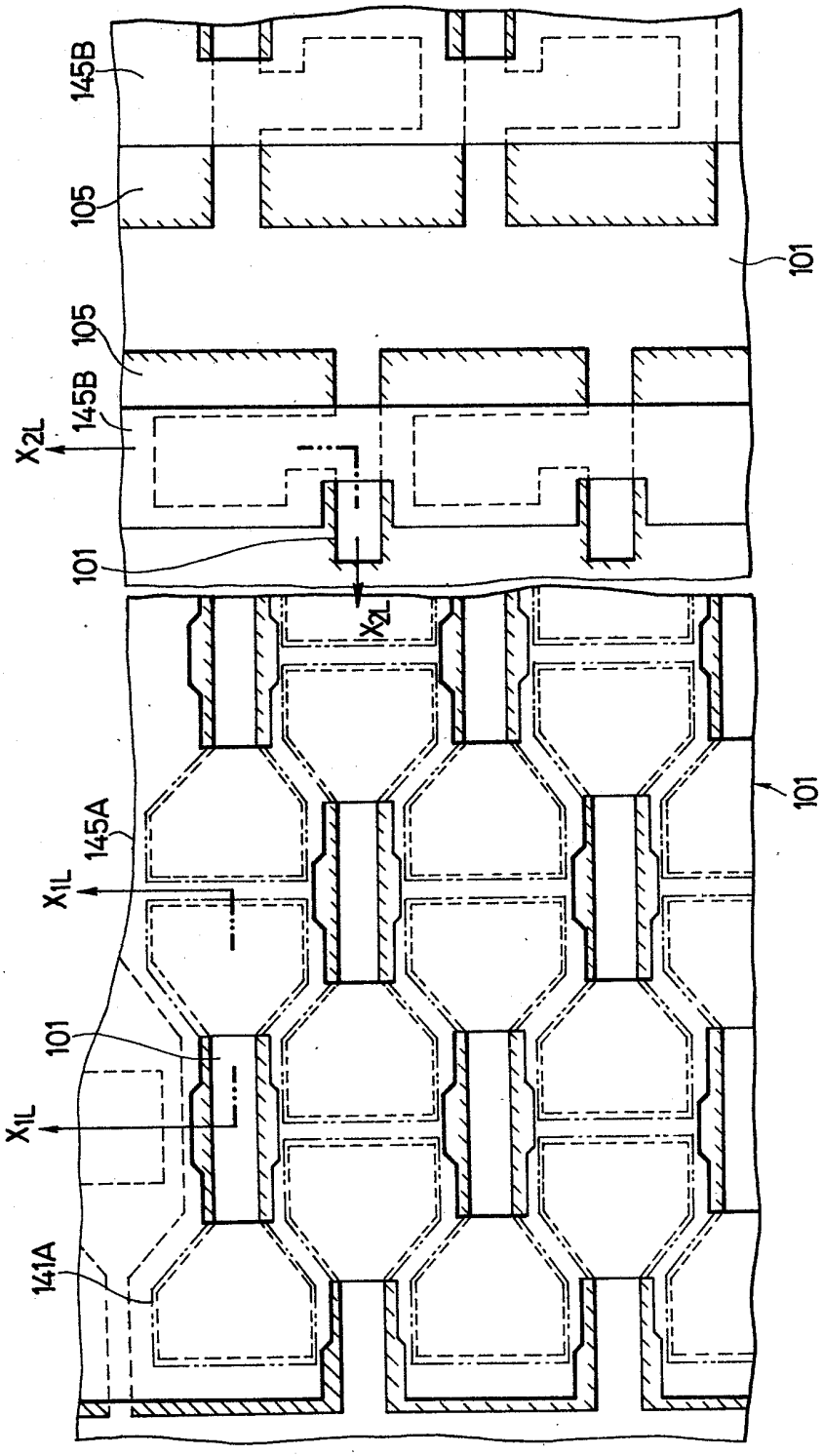


FIG. 8C

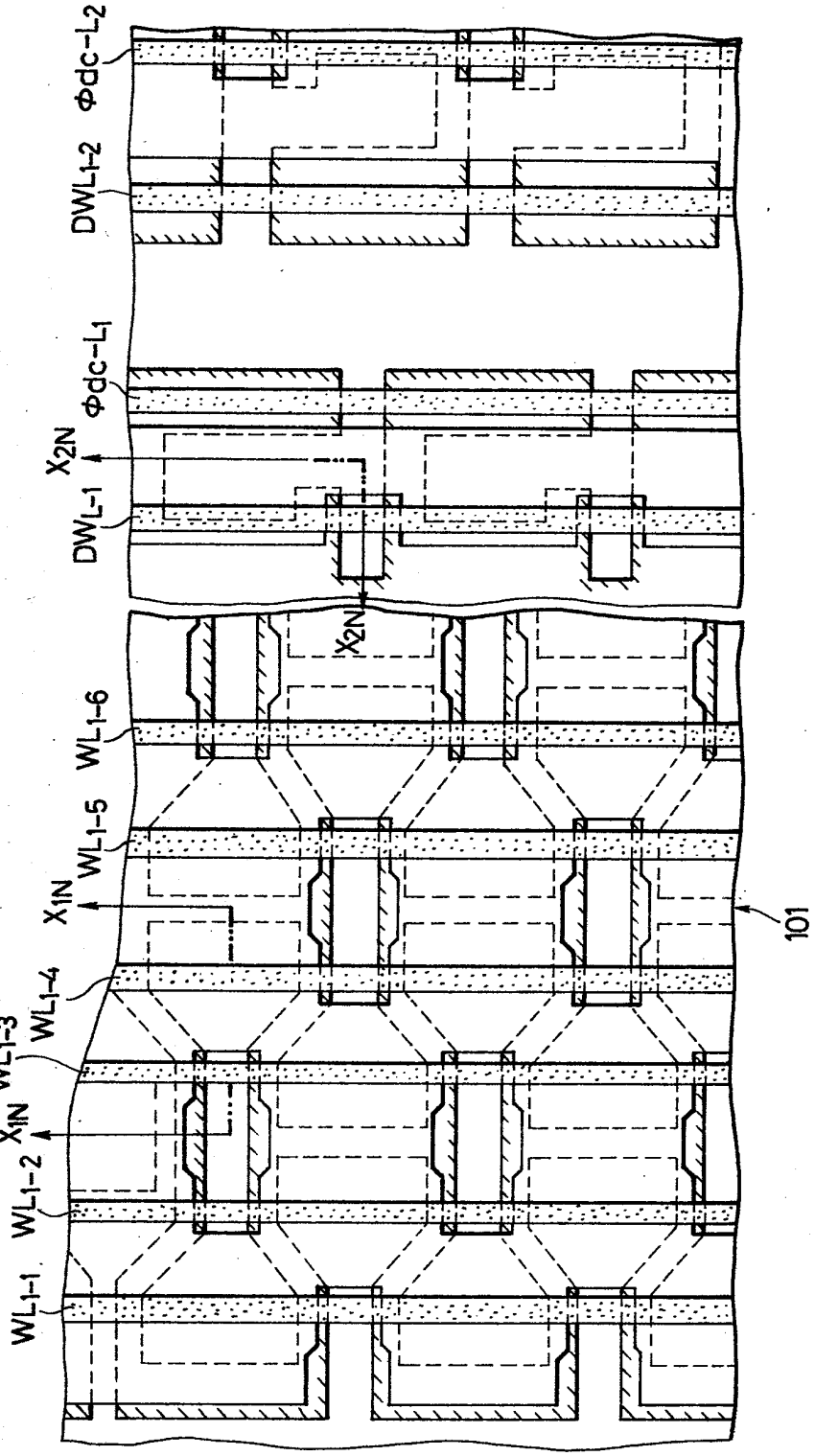

Φdc-L2
DWL1-2
Φdc-L1
X2N
DWL-1
X2N
WL1-6
WL1-5
X1N
WL1-4
WL1-3
X1N
WL1-2
WL1-1
101

FIG. 8D

FIG. 9

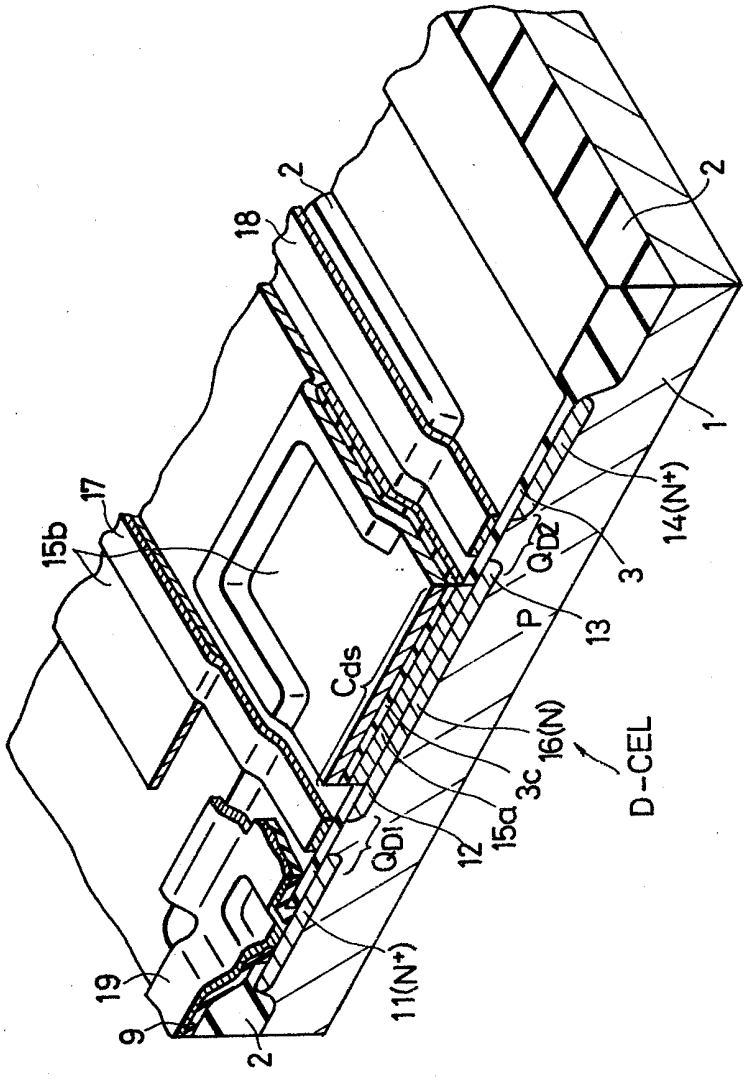


FIG. 10A

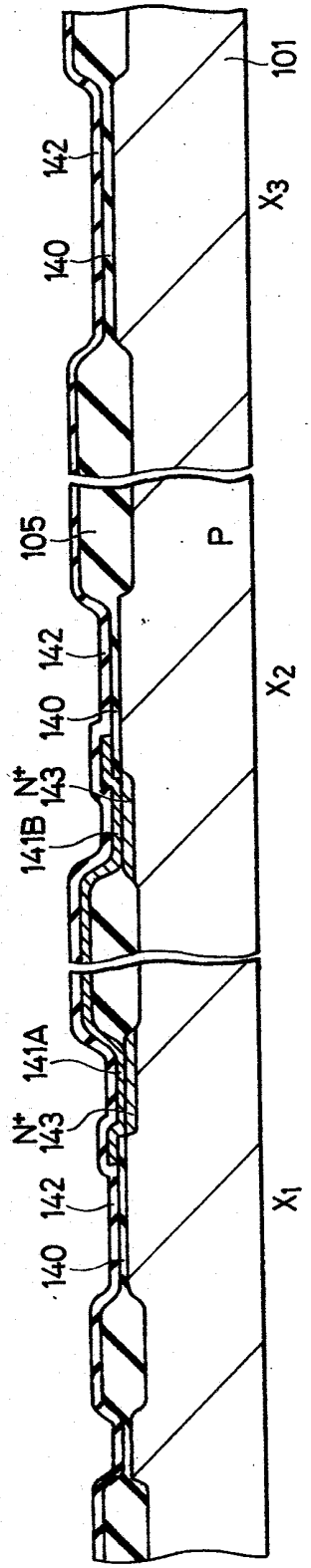


FIG. 10B

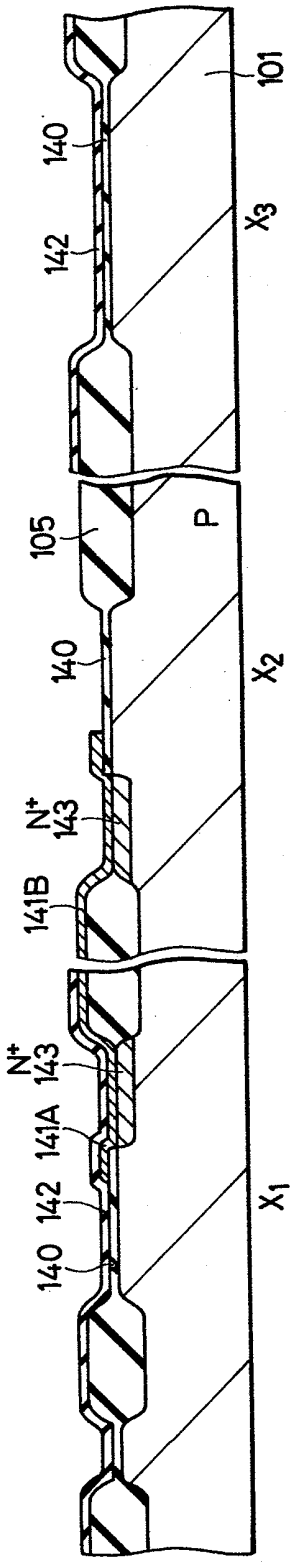


FIG. 10E

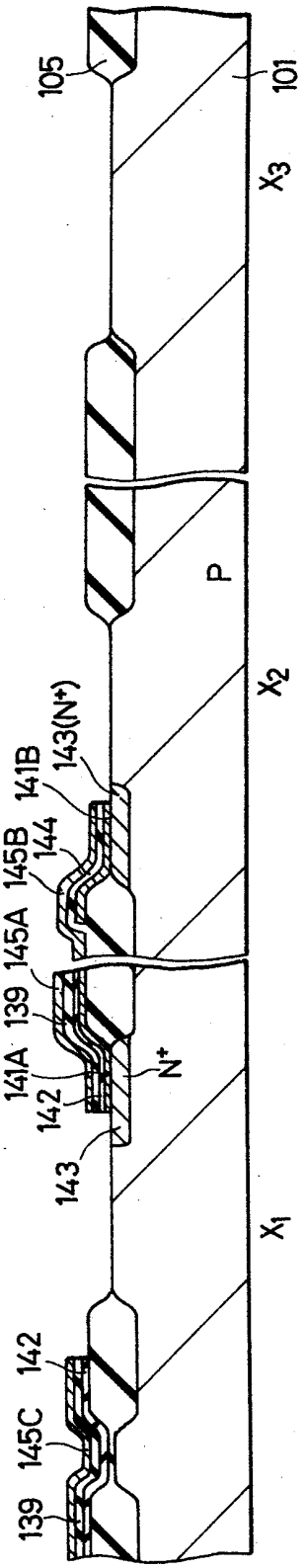


FIG. 10F

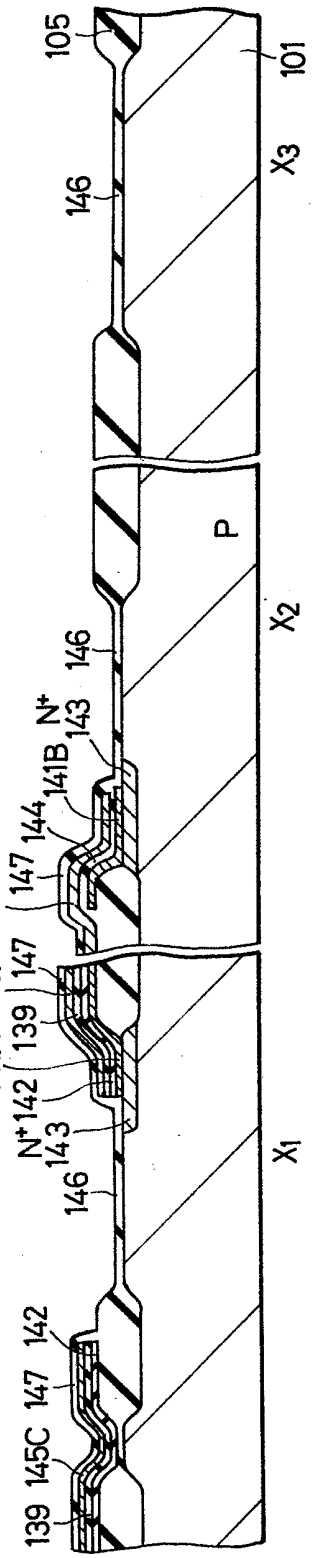


FIG. 10C

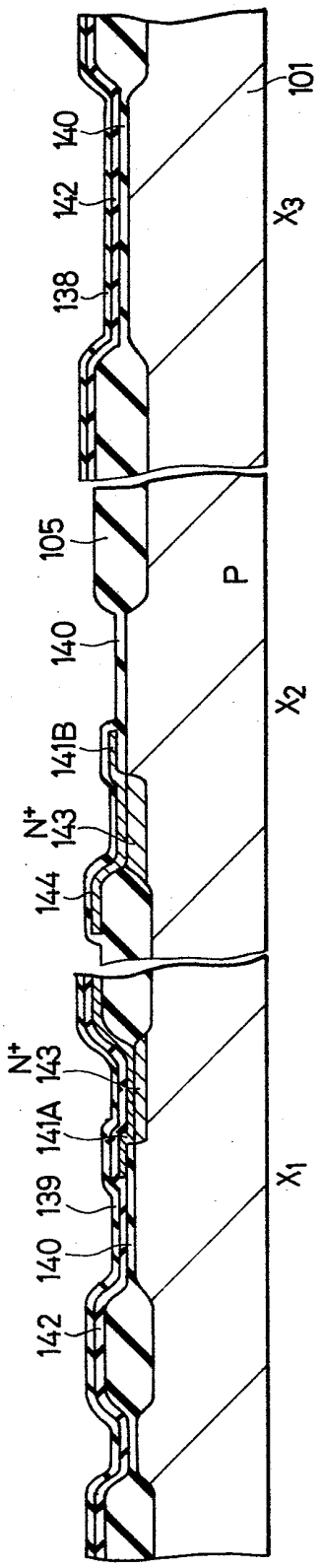


FIG. 10D

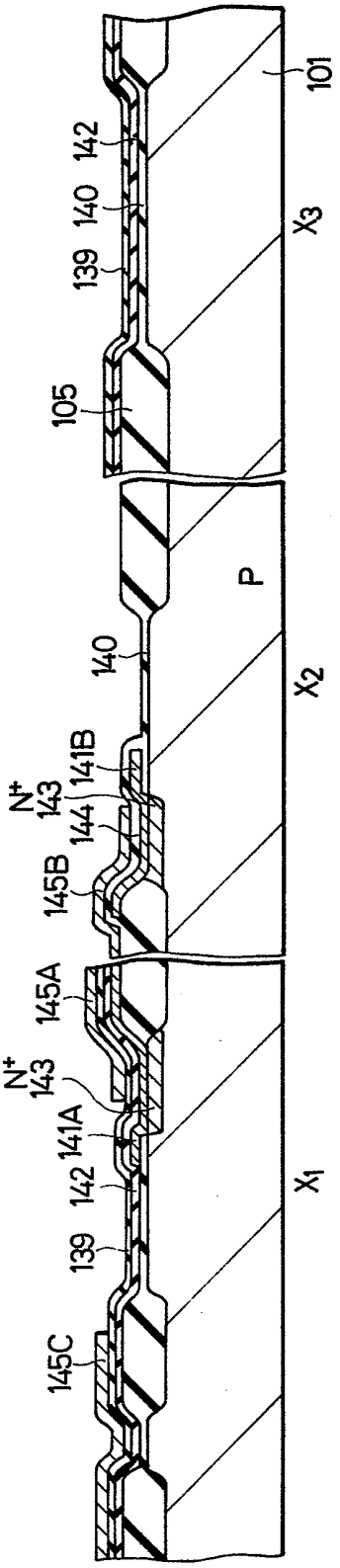


FIG. 11A

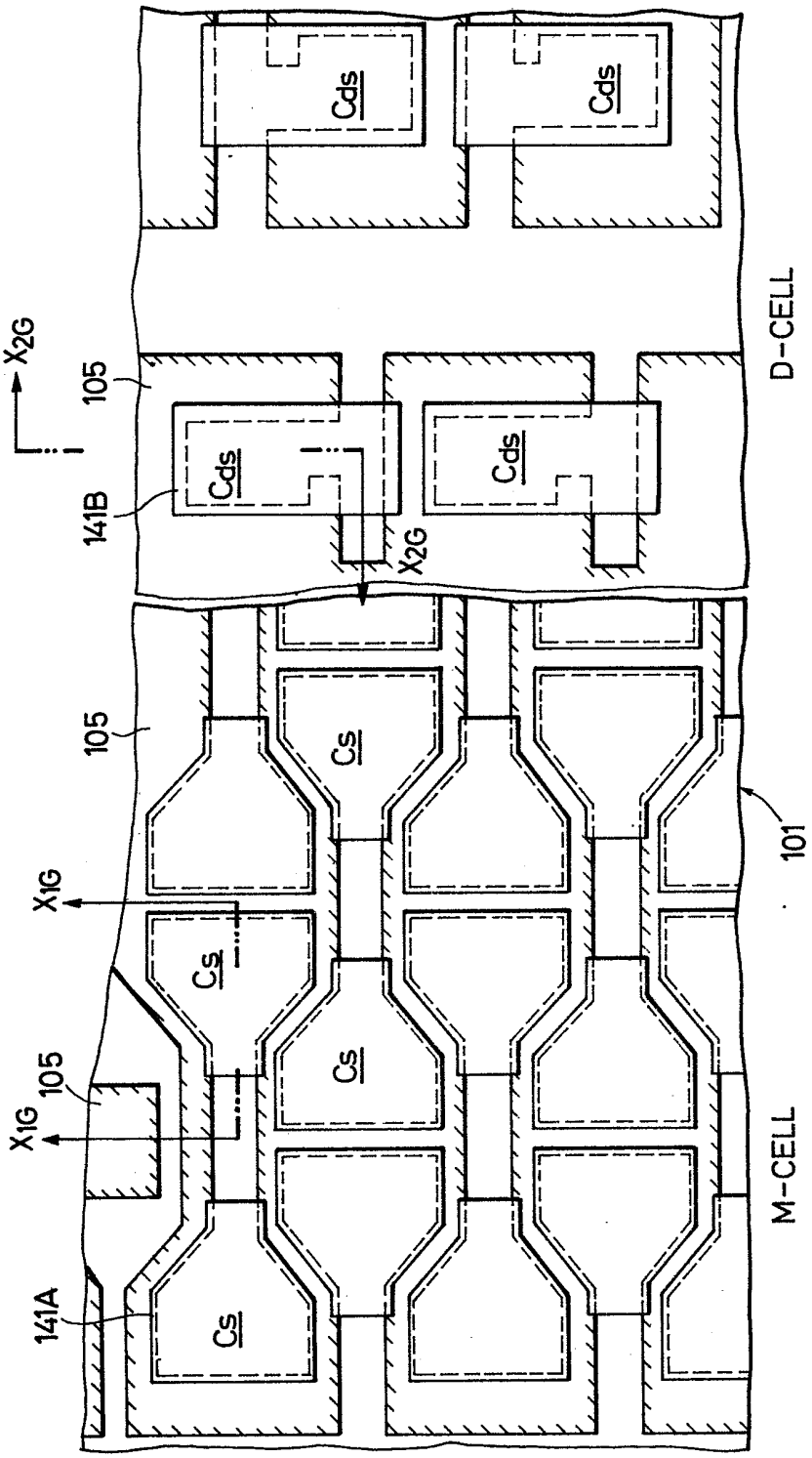

Cds
Cds
D-CELL
X2G
105
141B
Cds
Cds
X2G
105
Cs
X1G
Cs
Cs
105
X1G
141A
Cs
101
M-CELL

FIG. 11B

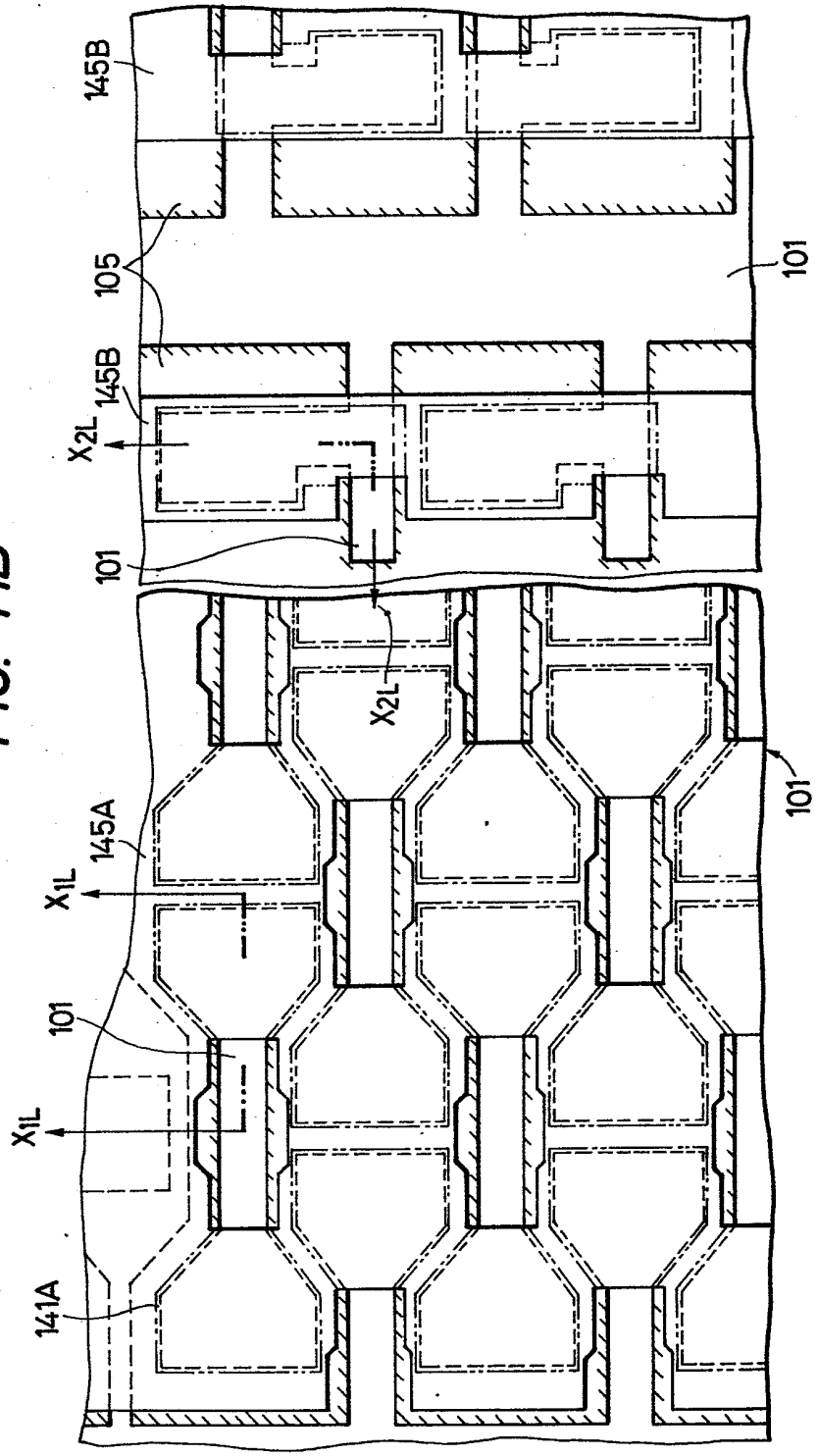


FIG. 12

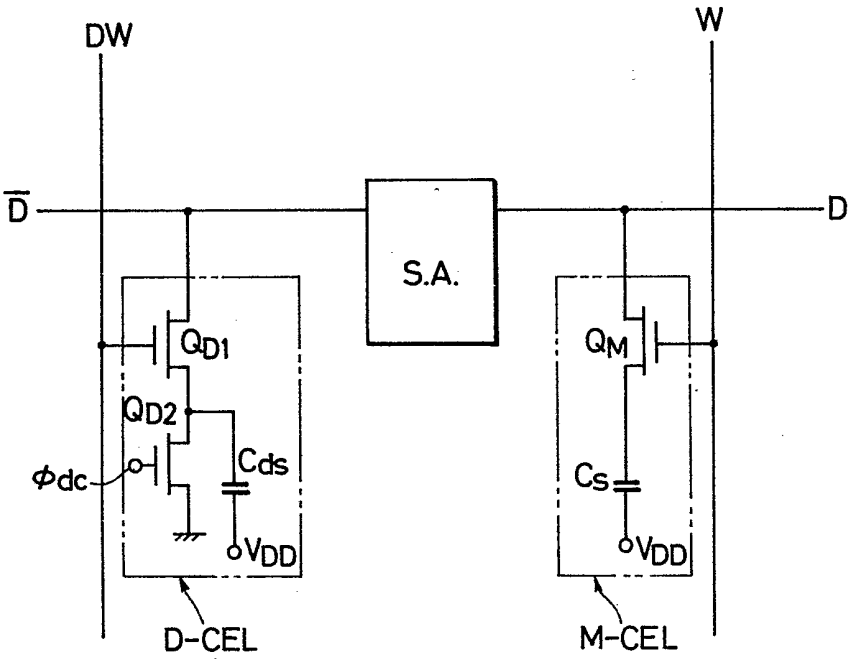


FIG. 13

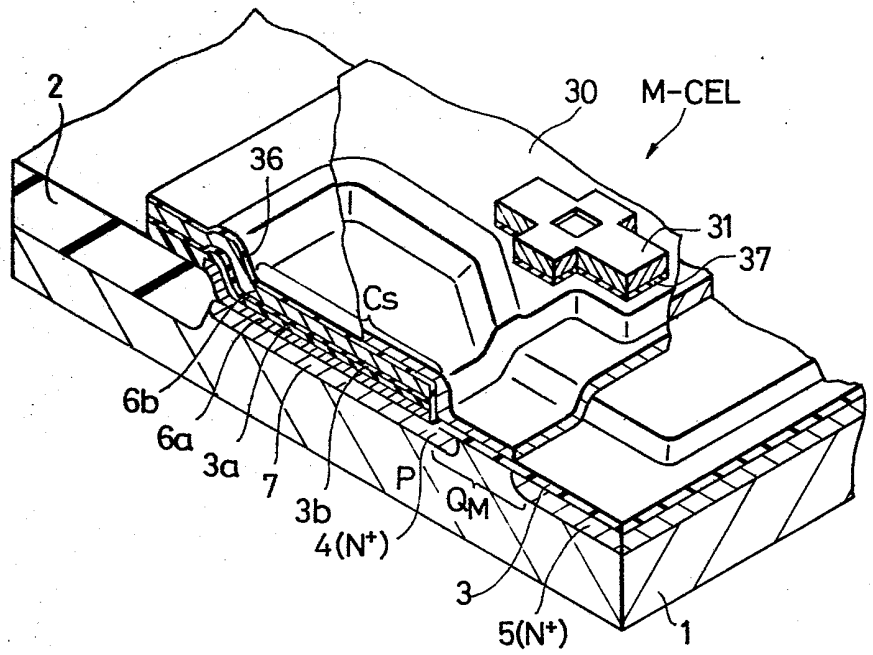

2
30
M-CEL
36
31
37
Cs
6b
6a
3a
7
3b
4(N+)
P
QM
3
5(N+)
1

FIG. 14

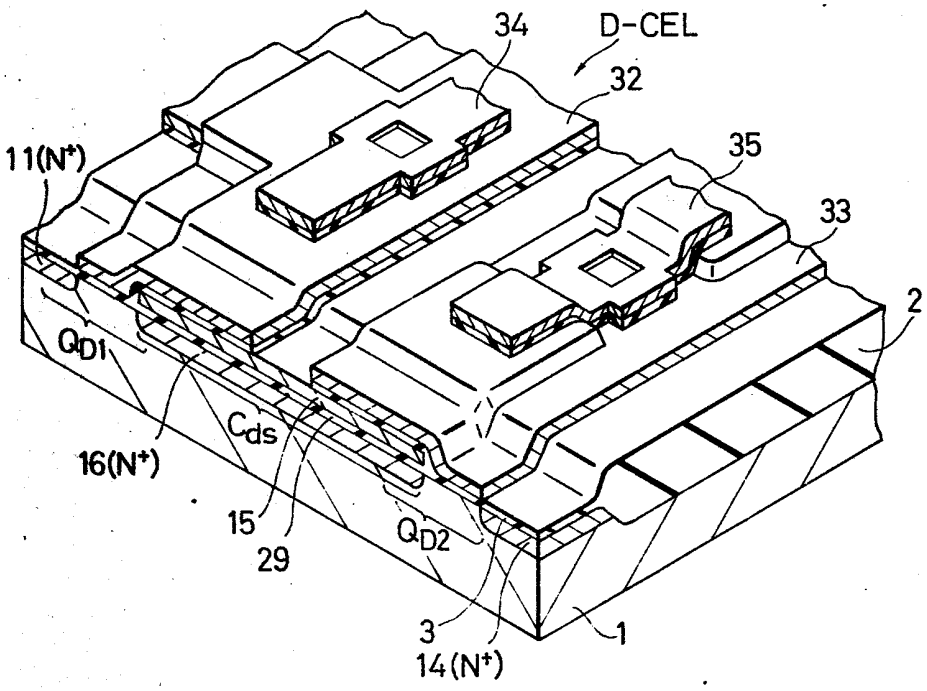

34
D-CEL
32
11(N+)
35
33
2
QD1
Cds
16(N+)
15
29
QD2
3
14(N+)
1

FIG. 15

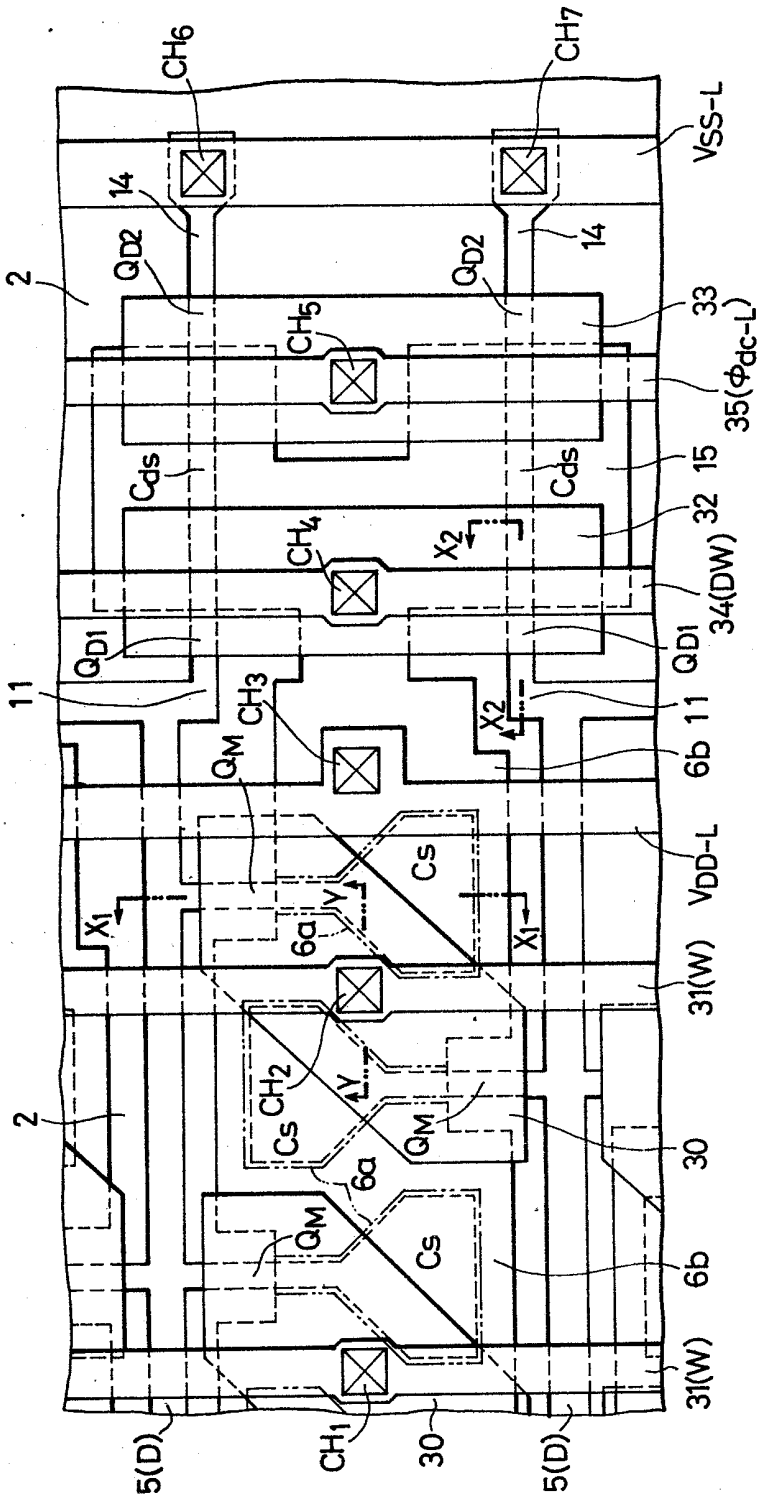

CH6
CH7
VSS-L
14
QD2
2
CH5
33
35(Φdc-L)
Cds
15
32
CH4
X2
34(DW)
QD1
11
CH3
6b
QM
Cs
VDD-L
X1
Y
6a
31(W)
CH2
30
5(D)
CH1

FIG. 16

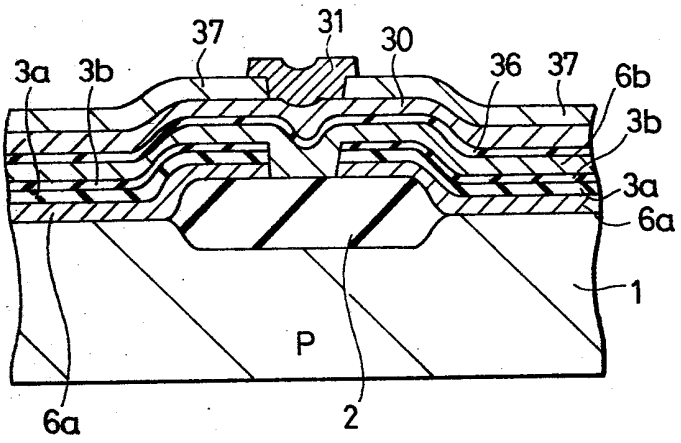

37
31
30
36
37
3a
3b
6b
3b
3a
6a
1
P
6a
2

FIG. 17

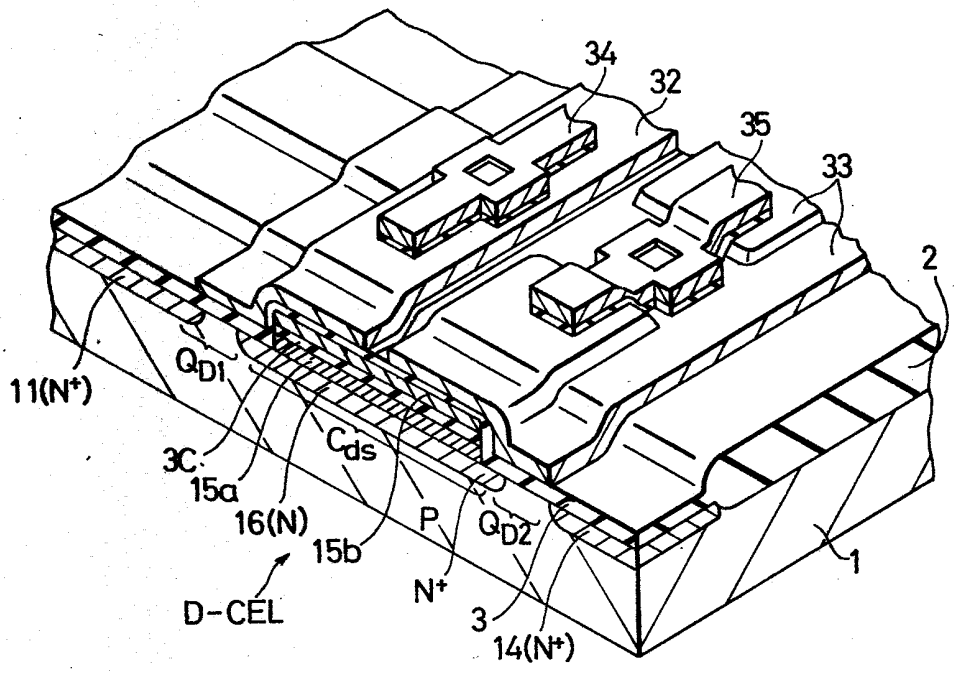
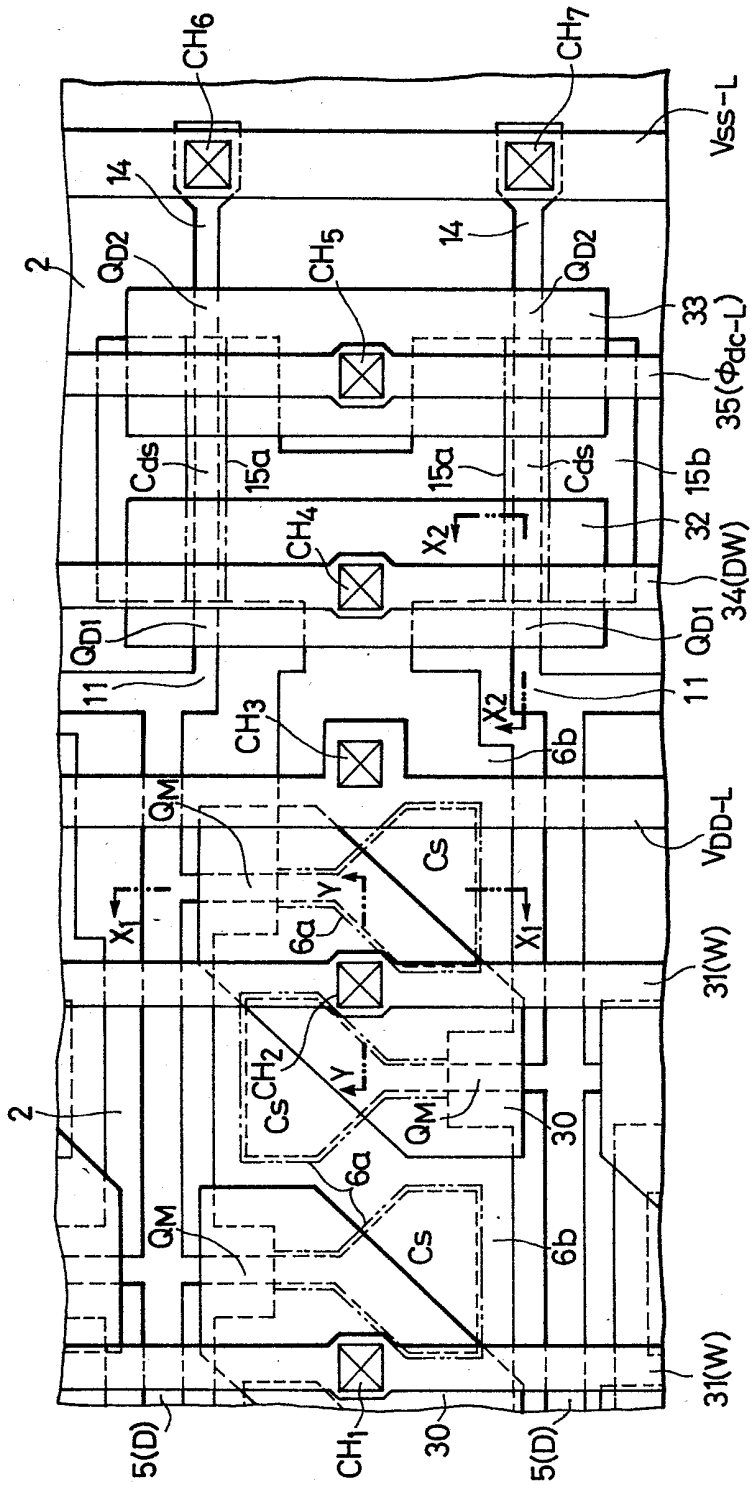

34
32
35
33
2
11(N+)
QD1
3C
15a
16(N)
Cds
15b
P
QD2
N+
3
14(N+)
D-CEL
1

FIG. 18


CH6
CH7
Vss-L
14
14
2
QD2
CH5
QD2
33
35(Φdc-L)
Cds
15a
15a
Cds
15b
32
CH4
X2
34(DW)
QD1
QD1
11
11
X2
CH3
6b
QM
VDD-L
Cs
Y
X1
X1
6a
31(W)
CsCH2
Y
2
QM
30
6a
QM
Cs
6b
31(W)
5(D)
CH1
30
5(D)