



(12)发明专利

(10)授权公告号 CN 103872050 B

(45)授权公告日 2017.01.04

(21)申请号 201310661354.6

(22)申请日 2013.12.09

(65)同一申请的已公布的文献号

申请公布号 CN 103872050 A

(43)申请公布日 2014.06.18

(30)优先权数据

2012-268539 2012.12.07 JP

(73)专利权人 三菱电机株式会社

地址 日本东京

(72)发明人 佐藤公敏

(74)专利代理机构 北京天昊联合知识产权代理

有限公司 11112

代理人 何立波 张天舒

(51)Int.Cl.

H01L 27/06(2006.01)

H01L 21/8234(2006.01)

G01L 1/14(2006.01)

G01L 9/12(2006.01)

(56)对比文件

CN 102564658 A, 2012.07.11,

CN 101846563 A, 2010.09.29,

US 2009261430 A1, 2009.10.22,

CN 101719482 A, 2010.06.02,

US 2002072144 A1, 2002.06.13,

审查员 林秀瑶

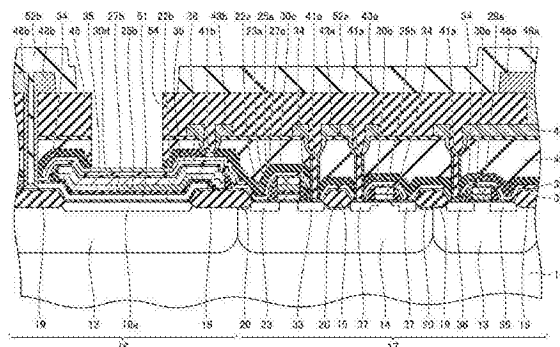
权利要求书4页 说明书16页 附图34页

(54)发明名称

半导体压力传感器及其制造方法

(57)摘要

本发明提供一种半导体压力传感器及其制造方法,其在压力传感器区域(16)上形成有包含固定电极(18a)、空隙(50)及可动电极(30d)在内的压力传感器,在CMOS区域(17)上形成有存储器单元晶体管和场效应型晶体管。与空隙(50)连通的蚀刻孔(46b)由第1封装膜(48b)进行闭塞。空隙(50)是通过将由与存储器单元晶体管的栅极电极(23a)相同的膜构成的部分去除而形成的。可动电极(30d)由与栅极电极(30c、30a、30b)相同的膜形成。



1. 一种半导体压力传感器,其具有:

第1区域、第2区域及第3区域,它们是在半导体衬底的表面规定出的;

压力传感器,其形成在所述第1区域,包含固定电极、空隙及可动电极,所述空隙配置在所述固定电极的上方,所述可动电极配置在所述空隙的上方;

存储器单元晶体管,其形成在所述第2区域,包含第1电极以及配置在所述第1电极上方的第2电极作为栅极电极;

场效应型晶体管,其形成在所述第3区域,包含第3电极作为另一个栅极电极;

层间绝缘膜,其以覆盖所述压力传感器、所述存储器单元晶体管以及所述场效应型晶体管的方式形成;

孔,其形成在所述层间绝缘膜上,与所述空隙连通;

封装部,其对所述空隙进行封装;以及

开口部,其形成在所述层间绝缘膜上,向所述压力传感器开口,

所述空隙是通过将由与成为所述第1电极的导电膜相同的膜构成的部分去除而形成的,

所述可动电极由与成为所述第2电极及所述第3电极的其他导电膜相同的膜同时形成,

所述可动电极具有与所述第2电极的厚度及所述第3电极的厚度相同的厚度,

所述孔在俯视时不与所述可动电极重叠,

所述孔不穿过所述可动电极。

2. 根据权利要求1所述的半导体压力传感器,其中,

该半导体压力传感器具有:

第1保护膜,其覆盖所述固定电极的上表面;

第2保护膜,其覆盖所述可动电极的下表面;

作为栅极绝缘膜的第1绝缘膜,其存在于所述第1电极和所述半导体衬底之间;以及

第2绝缘膜,其存在于所述第1电极和所述第2电极之间,

所述第1保护膜由与成为所述第1绝缘膜的膜相同的膜形成,

所述第2保护膜由与成为所述第2绝缘膜的膜相同的膜形成。

3. 根据权利要求1所述的半导体压力传感器,其中,

该半导体压力传感器具有配线,该配线以与所述层间绝缘膜接触的方式形成,并与所述存储器单元晶体管或所述场效应型晶体管电连接,

所述封装部包含由与成为所述配线的膜相同的膜形成的第1部分。

4. 根据权利要求1所述的半导体压力传感器,其中,

该半导体压力传感器具有以覆盖所述层间绝缘膜的方式形成的钝化膜,

所述封装部包含由与成为所述钝化膜的膜相同的膜形成的第2部分。

5. 根据权利要求1所述的半导体压力传感器,其中,

所述层间绝缘膜包含:

下层绝缘膜;以及

上层绝缘膜,其以覆盖所述下层绝缘膜的方式形成,

所述封装部由所述上层绝缘膜形成。

6. 根据权利要求1所述的半导体压力传感器,其中,

所述封装部包含由铝(Al)、铝硅(Al-Si)、铝硅铜(Al-Si-Cu)及铝铜(Al-Cu)中的某一个形成的部分。

7. 根据权利要求1所述的半导体压力传感器, 其中,
该半导体压力传感器具有第3保护膜, 该第3保护膜以覆盖所述可动电极的方式形成,
所述开口部以露出所述第3保护膜的方式形成。

8. 根据权利要求1所述的半导体压力传感器, 其中,
所述压力传感器包含:

第1压力传感器, 其包含作为所述固定电极的第1固定电极、作为所述空隙的第1空隙以及作为所述可动电极的第1可动电极; 以及

第2压力传感器, 其包含作为所述固定电极的第2固定电极、作为所述空隙的第2空隙以及作为所述可动电极的第2可动电极,

所述开口部形成在位于所述第1压力传感器上方的所述层间绝缘膜的部分上,
所述第2压力传感器形成为由所述层间绝缘膜覆盖的状态。

9. 根据权利要求1所述的半导体压力传感器, 其中,
具有形成在所述可动电极的侧壁面上的侧壁膜。

10. 根据权利要求1所述的半导体压力传感器, 其中,
所述固定电极是杂质扩散区域。

11. 根据权利要求1所述的半导体压力传感器, 其中,
具有:

元件分离绝缘膜, 其形成在所述第1区域; 以及
多晶硅膜, 其形成在所述元件分离绝缘膜上,
所述固定电极是所述多晶硅膜。

12. 根据权利要求1所述的半导体压力传感器, 其中,
所述固定电极是彼此隔开间隔的规定导电型的一对杂质扩散区域。

13. 一种半导体压力传感器的制造方法, 在该方法中, 具有下述工序:

在半导体衬底的表面规定出第1区域、第2区域及第3区域的工序, 其中, 第1区域用于形成压力传感器, 第2区域用于形成存储器单元晶体管, 第3区域用于形成场效应型晶体管;

在所述第1区域形成固定电极的工序;

以覆盖所述固定电极的方式形成第1导电膜的工序;

通过对所述第1导电膜进行图案化, 从而在所述第1区域形成成为空隙的第1导电膜图案, 在所述第2区域形成作为所述存储器单元晶体管的栅极电极的第1电极的工序;

以覆盖所述第1电极以及成为所述空隙的第1导电膜图案的方式形成第2导电膜的工序;

通过对所述第2导电膜进行图案化, 从而在所述第1区域, 在成为空隙的第1导电膜图案的上方形成可动电极, 在所述第2区域, 在所述第1电极的上方形成第2电极, 在所述第3区域形成作为所述场效应型晶体管的栅极电极的第3电极的工序;

以覆盖所述可动电极、所述第1电极、所述第2电极及所述第3电极的方式形成层间绝缘膜的工序;

在位于所述第1区域的所述层间绝缘膜的部分上, 形成到达成为所述空隙的第1导电膜

图案的孔的工序；

通过将作为所述空隙的第1导电膜图案去除，从而形成空隙的工序；

闭塞与所述空隙连通的所述孔的工序；以及

在位于所述第1区域的所述层间绝缘膜的部分上，朝向所述可动电极形成开口部的工序。

14. 根据权利要求13所述的半导体压力传感器的制造方法，其中，

在形成所述固定电极的工序和形成所述第1导电膜的工序之间，具有以覆盖所述固定电极的方式，形成成为所述存储器单元晶体管的栅极绝缘膜的第1绝缘膜的工序，

在形成所述第1导电膜的工序和形成所述第2导电膜的工序之间，具有以覆盖成为所述空隙的第1导电膜图案的方式，形成存在于所述第1电极和所述第2电极之间的第2绝缘膜的工序，

位于所述第1区域的所述第1绝缘膜的部分作为保护所述固定电极的上表面的第1保护膜，

位于所述第1区域的所述第2绝缘膜的部分作为覆盖所述可动电极的下表面的第2保护膜。

15. 根据权利要求14所述的半导体压力传感器的制造方法，其中，

在形成所述空隙的工序中，在所述固定电极由所述第1保护膜覆盖，所述可动电极由所述第2保护膜覆盖的状态下，通过经由所述孔实施湿蚀刻处理及干蚀刻处理的至少任意一种蚀刻处理，从而将成为所述空隙的第1导电膜图案去除。

16. 根据权利要求13所述的半导体压力传感器的制造方法，其中，

具有下述工序：

以与所述层间绝缘膜接触的方式，形成成为配线的膜的工序；以及

对成为所述配线的膜进行图案化的工序，

在对成为所述配线的膜进行图案化的工序中，

在所述第1区域，作为闭塞所述孔的工序而形成用于闭塞所述孔的第1部分，

在所述第2区域及所述第3区域，形成与所述存储器单元晶体管或所述场效应型晶体管电连接的配线。

17. 根据权利要求13所述的半导体压力传感器的制造方法，其中，

具有下述工序：

以覆盖所述层间绝缘膜的方式，形成成为钝化膜的膜的工序；以及

对成为所述钝化膜的膜进行图案化的工序，

在对成为所述钝化膜的膜进行图案化的工序中，

在所述第1区域，作为闭塞所述孔的工序而形成用于闭塞所述孔的第2部分，

在所述第2区域及所述第3区域，形成覆盖所述层间绝缘膜的钝化膜。

18. 根据权利要求13所述的半导体压力传感器的制造方法，其中，

形成所述层间绝缘膜的工序包含：

形成下层绝缘膜的工序；以及

以覆盖所述下层绝缘膜的方式形成上层绝缘膜的工序，

在形成所述上层绝缘膜的工序中，在所述第1区域，作为闭塞所述孔的工序而利用所述

上层绝缘膜将所述孔闭塞。

19. 根据权利要求13所述的半导体压力传感器的制造方法, 其中,
具有以覆盖所述可动电极的方式形成第3保护膜工序,
在形成所述开口部的工序中, 将所述第3保护膜作为蚀刻阻挡膜而形成所述开口部。

半导体压力传感器及其制造方法

技术领域

[0001] 本发明涉及一种半导体压力传感器及其制造方法,特别是涉及一种具有CMOS电路的半导体压力传感器和该半导体压力传感器的制造方法。

背景技术

[0002] 近年来,在以汽车为首的各种领域中正使用着半导体压力传感器。作为半导体压力传感器,具有集成在CMOS(Complementary Metal Oxide Semiconductor)电路中的半导体压力传感器。作为这种半导体压力传感器,对在专利文献1(日本特表2004-526299号公报(日本专利第4267322号))中公开的半导体压力传感器进行说明。

[0003] 在该半导体压力传感器中,在半导体衬底上规定出了形成CMOS电路的区域(CMOS区域)和形成压力传感器的区域(压力传感器区域)。在CMOS区域中形成有包含n沟道型的MOS晶体管和p沟道型的MOS晶体管在内的CMOS电路。在压力传感器区域中形成有电容式的压力传感器。在电容式的压力传感器中,形成固定电极和可动电极,并在固定电极和可动电极之间设置有真空室。真空室通过封装膜进行封装。通过将可动电极和固定电极之间的距离变化作为电容值的变化进行检测,从而对压力进行测定。

[0004] 在现有的半导体压力传感器中,存在下述问题。在该半导体压力传感器中,将形成压力传感器的工序设为在形成CMOS电路的工序之外的另一个工序。即,形成用于形成真空室的牺牲膜的工序、形成可动电极的工序以及形成对真空室进行封装的封装膜的工序,被迫加作为用于形成压力传感器的专用工序。

[0005] 另外,在通过蚀刻去除牺牲膜时,必须在这之前形成保护CMOS区域的保护膜,并在去除牺牲膜后将该保护膜去除。并且,配置在可动电极的下方的真空室由于在CMOS区域的工艺结束前形成,因此,例如必须采取粘附对策以不会由于湿处理等而使得可动电极发生粘接固定。因此,对于现有的半导体压力传感器,存在制造工序变长,并且变得复杂的问题。

发明内容

[0006] 本发明就是为了解决上述问题而提出的,其目的之一在于提供一种能够容易地制造的半导体压力传感器,另一个目的在于提供一种实现追加的工序数量的削减的半导体压力传感器的制造方法。

[0007] 本发明所涉及的半导体压力传感器具有:第1区域、第2区域及第3区域、压力传感器、存储器单元晶体管、场效应型晶体管、层间绝缘膜、孔、封装部、开口部。第1区域、第2区域及第3区域是通过元件分离绝缘膜而在半导体衬底的表面规定出的。压力传感器形成在第1区域,包含固定电极、空隙及可动电极,空隙配置在固定电极的上方,可动电极配置在空隙的上方。存储器单元晶体管形成在第2区域,包含第1电极以及配置在该第1电极上方的第2电极作为栅极电极。场效应型晶体管形成在第3区域,包含第3电极作为另一个栅极电极。层间绝缘膜以覆盖压力传感器、存储器单元晶体管以及场效应型晶体管的方式形成。孔形成在层间绝缘膜上,与空隙连通。封装部对空隙进行封装。开口部形成在层间绝缘膜上,向

压力传感器开口。空隙是通过将由与成为第1电极的导电膜相同的膜构成的部分去除而形成的。可动电极由与成为第2电极及第3电极的其他导电膜相同的膜形成。

[0008] 本发明所涉及的半导体压力传感器的制造方法具有以下工序。通过形成元件分离绝缘膜,从而在半导体衬底的表面规定出第1区域、第2区域及第3区域,其中,第1区域用于形成压力传感器,第2区域用于形成存储器单元晶体管,第3区域用于形成场效应型晶体管。在第1区域形成固定电极。以覆盖固定电极的方式形成第1导电膜。通过对第1导电膜进行图案化,从而在第1区域形成成为空隙的第1导电膜图案,在第2区域形成作为存储器单元晶体管的栅极电极的第1电极。以覆盖第1电极以及成为空隙的第1导电膜图案的方式形成第2导电膜。通过对第2导电膜进行图案化,从而在第1区域,在成为空隙的第1导电膜图案的上方形成可动电极,在第2区域,在第1电极的上方形成第2电极,在第3区域形成作为场效应型晶体管的栅极电极的第3电极。以覆盖可动电极、第1电极、第2电极及第3电极的方式形成层间绝缘膜。在位于第1区域的层间绝缘膜的部分上,形成到达成为空隙的第1导电膜图案的孔。通过将成为空隙的第1导电膜图案去除,从而形成空隙。闭塞与空隙连通的孔。在位于第1区域的层间绝缘膜的部分上,朝向可动电极形成开口部。

[0009] 根据本发明所涉及的半导体压力传感器,能够容易地制造在第2区域及第3区域形成有半导体元件,在第1区域形成有压力传感器的形态的半导体压力传感器。

[0010] 根据本发明所涉及的半导体压力传感器的制造方法,与在第2区域及第3区域形成的半导体元件等的制造工序相对应,能够容易地在第1区域制造压力传感器。

[0011] 本发明的上述及其他目的、特征、方案及优点,通过与附图相关联进行理解的关于本发明的以下详细说明能够清楚。

附图说明

[0012] 图1是表示本发明的实施方式1所涉及的半导体压力传感器的制造方法的一个工序的剖面图。

[0013] 图2是表示在本实施方式中,在图1所示的工序后进行的工序的剖面图。

[0014] 图3是表示在本实施方式中,在图2所示的工序后进行的工序的剖面图。

[0015] 图4是表示在本实施方式中,在图3所示的工序后进行的工序的剖面图。

[0016] 图5是表示在本实施方式中,在图4所示的工序后进行的工序的剖面图。

[0017] 图6是表示在本实施方式中,在图5所示的工序后进行的工序的剖面图。

[0018] 图7是表示在本实施方式中,在图6所示的工序后进行的工序的剖面图。

[0019] 图8是表示在本实施方式中,在图7所示的工序后进行的工序的剖面图。

[0020] 图9是表示在本实施方式中,在图8所示的工序后进行的工序的剖面图。

[0021] 图10是表示在本实施方式中,在图9所示的工序后进行的工序的剖面图。

[0022] 图11是表示在本实施方式中,在图10所示的工序后进行的工序的剖面图。

[0023] 图12是表示在本实施方式中,在图11所示的工序后进行的工序的剖面图。

[0024] 图13是表示在本实施方式中,在图12所示的工序后进行的工序的剖面图。

[0025] 图14是在本实施方式中,图13所示的工序中的压力传感器区域的局部俯视图。

[0026] 图15是分别表示在本实施方式中,检测用的压力传感器区域和参照用的压力传感器区域的局部剖面图。

[0027] 图16是表示本发明的实施方式2所涉及的半导体压力传感器的制造方法的一个工序的剖面图。

[0028] 图17是表示在本实施方式中,在图16所示的工序后进行的工序的剖面图。

[0029] 图18是表示本发明的实施方式3所涉及的半导体压力传感器的制造方法的一个工序的剖面图。

[0030] 图19是表示在本实施方式中,在图18所示的工序后进行的工序的剖面图。

[0031] 图20是表示在本实施方式中,在图19所示的工序后进行的工序的剖面图。

[0032] 图21是表示在本实施方式中,在图20所示的工序后进行的工序的剖面图。

[0033] 图22是表示本发明的实施方式4所涉及的半导体压力传感器的制造方法的一个工序的局部剖面图。

[0034] 图23是表示在本实施方式中,在图22所示的工序后进行的工序的局部剖面图。

[0035] 图24是表示在本实施方式中,在图23所示的工序后进行的工序的局部剖面图。

[0036] 图25是表示本发明的实施方式5所涉及的半导体压力传感器的制造方法的一个工序的剖面图。

[0037] 图26是表示在本实施方式中,在图25所示的工序后进行的工序的剖面图。

[0038] 图27是表示在本实施方式中,在图26所示的工序后进行的工序的剖面图。

[0039] 图28是表示在本实施方式中,在图27所示的工序后进行的工序的剖面图。

[0040] 图29是表示在本实施方式中,在图28所示的工序后进行的工序的剖面图。

[0041] 图30是表示在本实施方式中,在图29所示的工序后进行的工序的剖面图。

[0042] 图31是分别表示在本实施方式中,检测用的压力传感器区域和参照用的压力传感器区域的局部剖面图。

[0043] 图32是表示本发明的实施方式6所涉及的半导体压力传感器的制造方法的一个工序的剖面图。

[0044] 图33是表示在本实施方式中,在图32所示的工序后进行的工序的剖面图。

[0045] 图34是表示在本实施方式中,在图33所示的工序后进行的工序的剖面图。

[0046] 图35是表示在本实施方式中,在图34所示的工序后进行的工序的剖面图。

[0047] 图36是表示在本实施方式中,在图35所示的工序后进行的工序的剖面图。

具体实施方式

[0048] 实施方式1

[0049] 对实施方式1所涉及的半导体压力传感器和其制造方法进行说明。首先,对制造方法进行说明。

[0050] 首先,如图1所示,在硅衬底11中,在形成压力传感器的压力传感器区域16和形成CMOS电路的CMOS区域17上,分别形成规定的导电型的阱区域12、13、14,从而开始形成工序。作为该形成工序,准备例如p型的硅衬底,以覆盖该硅衬底的方式,依次形成硅氧化膜及硅氮化膜。然后,形成用于去除位于CMOS区域中用于形成NMOS晶体管的区域上的硅氮化膜的抗蚀掩模。

[0051] 并且,通过将该抗蚀掩模作为蚀刻掩模而实施蚀刻处理,将硅氮化膜去除。然后,将用作蚀刻掩模的抗蚀掩模接下来用作注入掩模,注入用于形成第3阱区域14(参照图1)的

p型的杂质(例如硼)。然后,将抗蚀掩模去除。

[0052] 接下来,通过实施热氧化处理,在硅氮化膜被去除后的部分上形成硅氧化膜。由此,在第3阱区域14的表面上形成较厚的硅氧化膜,然后,将硅氮化膜去除。接下来,将较厚的硅氧化膜作为注入掩模,注入用于形成压力传感器区域的第1阱区域12(参照图1)及CMOS区域的第2阱区域13(参照图1)的n型杂质(例如磷)。

[0053] 然后,通过基于规定的条件实施退火处理,已注入的p型的杂质和n型的杂质被激活而扩散。然后,将残留在硅衬底的表面上的硅氧化膜去除。这样,如图1所示,在压力传感器区域16中,形成n型的第1阱区域12。在CMOS区域17中,形成n型的第2阱区域13和p型的第3阱区域14。

[0054] 接下来,进入例如使用LOCOS(Local Oxidation of Silicon)法,形成图2所示的场氧化膜15、19的工序。首先,在硅衬底的表面依次形成衬垫氧化膜、多晶硅膜及硅氮化膜(均未图示)。接下来,通过实施规定的照片制版处理,形成用于形成场氧化膜的抗蚀掩模(未图示)。并且,通过将抗蚀掩模作为蚀刻掩模实施蚀刻处理,在形成有场氧化膜的部分上将硅氮化膜去除。然后,将抗蚀掩模去除。然后,通过再次实施照片制版处理,形成用于形成沟道截断环的抗蚀掩模(未图示)。接下来,将该抗蚀掩模作为注入掩模,向成为沟道截断环的部分注入p型的杂质(例如硼)。然后,将抗蚀掩模去除。

[0055] 接下来,通过基于规定的条件实施氧化处理,对硅氮化膜被去除后的部分进行局部氧化,形成场氧化膜15、19(参照图2)。此时,已注入的p型的杂质被激活而形成沟道截断环20(参照图2)。然后,将剩余的硅氮化膜去除。

[0056] 这样,如图2所示,在压力传感器区域16中形成场氧化膜19,在CMOS区域17中形成场氧化膜15、19。场氧化膜15、19的膜厚为0.2至1.0 μm 左右。衬垫氧化膜21位于第1阱区域12、第2阱区域13及第3阱区域14的表面。形成在由场氧化膜15、19规定的区域内的MOS晶体管等半导体元件,通过形成在场氧化膜15、19正下方的沟道截断环20而与场氧化膜15、19电绝缘。

[0057] 接下来,通过实施照片制版处理,在压力传感器区域16形成用于形成固定电极的抗蚀掩模91。并且,将抗蚀掩模91作为注入掩模,通过注入n型的杂质(例如磷),在压力传感器区域16形成固定电极18a。此外,图2是对应于此时的工序的图。然后,将抗蚀掩模91和衬垫氧化膜21去除。但是,也可以不实施成为压力传感器的形成专用工序的固定电极18a的形成,而是将第1阱区域12作为固定电极。由此,能够防止制造工序的追加。

[0058] 接下来,进入图3所示的利用相同材料形成压力传感器区域16中的牺牲膜23b和CMOS区域17中的成为EPROM(Erasable Programmable Read Only Memory)的浮动栅极电极的多晶硅膜23的工序。首先,在衬垫氧化膜被去除后的硅衬底上,通过实施热氧化处理,在CMOS区域17,在露出的硅衬底11的表面形成第1栅极氧化膜22a(膜厚5至30nm左右),与此同时,在压力传感器区域16,在露出的硅衬底11的表面形成由与成为第1栅极氧化膜的膜相同的膜构成的固定电极保护膜22b。总之,固定电极保护膜22b作为后述的通过蚀刻去除牺牲膜时的固定电极18a的保护膜起作用,第1栅极氧化膜22a作为形成在CMOS区域17中的EPROM的栅极氧化膜起作用。

[0059] 接下来,以覆盖第1栅极氧化膜22a及固定电极保护膜22b的方式,通过CVD(Chemical Vapor Deposition)法,形成多晶硅膜(未图示)。此时,在该多晶硅膜的形成中

或多晶硅膜刚形成后,通过公知的方法导入磷,作为n型的多晶硅膜而得到导电性。接下来,通过实施照片制版处理,形成用于将牺牲膜和浮动栅极进行图案化(patterning)的抗蚀掩模。并且,将该抗蚀掩模作为蚀刻掩模,通过实施规定的蚀刻处理,在压力传感器区域16形成由所图案化的多晶硅膜形成的牺牲膜23b。如后述所示,通过去除该牺牲膜23b,形成真空室。另外,在另一侧的CMOS区域17形成成为EPROM的浮动栅极电极的多晶硅膜23的图案(膜厚50至300nm左右)。然后,将抗蚀掩模去除。

[0060] 接下来,例如通过热氧化法,在CMOS区域17,以覆盖多晶硅膜23的方式形成第2栅极氧化膜25a(膜厚5至30nm左右),与此同时,在压力传感器区域16,以覆盖牺牲膜23b的方式形成由与成为第2栅极氧化膜的膜相同的膜形成的第1可动电极保护膜25b。接下来,通过CVD法,在CMOS区域17,以覆盖第2栅极氧化膜25a的方式形成第1硅氮化膜27a(膜厚5至30nm左右),与此同时,在压力传感器区域16形成由与成为第1硅氮化膜的膜相同的膜构成的第2可动电极保护膜27b。第1可动电极保护膜25b及第2可动电极保护膜27b成为通过蚀刻处理去除牺牲膜时的可动电极的保护膜。关于可动电极在后面进行叙述。

[0061] 如上所述,保护固定电极18a的固定电极保护膜22b在形成第1栅极氧化膜22a的工序中同时地形成。成为真空室的牺牲膜23b在形成成为EPROM的浮动栅极电极的多晶硅膜的工序中同时地形成。保护可动电极的第1可动电极保护膜25b在形成第2栅极氧化膜25a的工序中同时地形成。并且,保护可动电极的第2可动电极保护膜27b在形成第1硅氮化膜27a的工序中同时地形成。因此,在此示出的关系表示均不需要用于形成压力传感器的专用工序。

[0062] 接下来,形成将形成p沟道型的MOS晶体管的第2阱区域13露出,覆盖其他区域的抗蚀掩模(未图示)。并且,将该抗蚀掩模作为注入掩模,注入用于控制p沟道型的MOS晶体管的阈值电压的规定杂质(例如磷及二氟化硼(BF_2))。然后,将抗蚀掩模去除。另外,形成将形成n沟道型的MOS晶体管的第3阱区域14露出,覆盖其他区域的抗蚀掩模(未图示)。并且,将该抗蚀掩模作为注入掩模,注入用于控制n沟道型的MOS晶体管的阈值电压的规定杂质(例如硼)。然后,将抗蚀掩模去除。

[0063] 接下来,形成如下抗蚀掩模(未图示):将CMOS区域17的第2阱区域13中形成p沟道型的MOS晶体管的区域、和在第3阱区域14形成n沟道型的MOS晶体管的区域露出,覆盖其他区域。并且,将该抗蚀掩模作为蚀刻掩模,通过实施蚀刻处理,将第1栅极氧化膜22a的部分、第2栅极氧化膜25a的部分以及第1硅氮化膜27a的部分去除,硅衬底11的表面露出。然后,将抗蚀掩模去除。

[0064] 接下来,通过实施热氧化处理,如图4所示,在第2阱区域13,在形成p沟道型的MOS晶体管的区域的表面形成第3栅极氧化膜29b(膜厚5至30nm左右),在第3阱区域14,在形成n沟道型的MOS晶体管的区域的表面形成第3栅极氧化膜29a(膜厚5至30nm左右)。

[0065] 接下来,进入图5所示的利用相同材料形成压力传感器区域16中的成为可动电极30d的导电膜30、CMOS区域17中的成为p沟道型和n沟道型MOS晶体管的栅极电极30a、30b的导电膜30、和EPROM的栅极电极30b的工序。首先,以覆盖第1硅氮化膜27a、第2可动电极保护膜27b及第3栅极氧化膜29a、29b的方式形成规定的导电膜30(参照图5)。作为该导电膜30,构成为多晶硅膜(膜厚50至300nm左右)和硅化钨(WSi_2)膜(膜厚50至300nm左右)的2层构造的层叠膜,即所谓的多晶硅化物(polycide)膜。多晶硅膜通过CVD法形成,在其形成中或刚形成后,通过导入磷而形成n型的多晶硅膜。硅化钨膜通过溅射法或CVD法,以覆盖多晶硅膜

的方式形成。

[0066] 接下来,形成用于对EPROM的栅极电极进行图案化的抗蚀掩模(未图示)。并且,将该抗蚀掩模作为蚀刻掩模,通过实施蚀刻处理而进行EPROM的栅极电极的图案化。如图5所示,在CMOS区域17中的EPROM(存储器单元晶体管)形成区域,对导电膜30、第1硅氮化膜27a、第2栅极氧化膜25a、多晶硅膜23的图案及第1栅极氧化膜22a实施蚀刻处理,形成包含浮动栅极电极23a及栅极电极30c在内的EPROM的栅极电极。在抗蚀掩模被去除后,将该栅极电极作为注入掩模,通过注入n型的杂质(例如砷),形成第1源极·漏极区域33。第1源极·漏极区域33与图6所示的EPROM相对应。

[0067] 如后述所示,在压力传感器区域16中,通过导电膜30形成作为隔膜的可动电极。另外,在CMOS区域17中,通过导电膜30形成p沟道型的MOS晶体管的栅极电极和n沟道型的MOS晶体管的栅极电极。此外,作为导电膜,除了多晶硅膜和硅化钨膜的层叠膜之外,还可以是例如多晶硅膜和硅化钛(TiSi_2)膜的层叠膜。

[0068] 接下来,形成用于将p沟道型的MOS晶体管的栅极电极、n沟道型的MOS晶体管的栅极电极及可动电极进行图案化的抗蚀掩模(未图示)。并且,将该抗蚀掩模作为蚀刻掩模,通过对导电膜30实施蚀刻处理,如图6所示,在CMOS区域17形成n沟道型的MOS晶体管的栅极电极30b、和p沟道型的MOS晶体管的栅极电极30a。另外,在压力传感器区域16形成作为隔膜的可动电极30d。在抗蚀掩模被去除后,通过基于规定的条件实施热处理,将第1源极·漏极区域33激活。

[0069] 如上所述,可动电极30d在形成成为栅极电极30a、30b、30c的导电膜30的工序、和通过对该导电膜实施蚀刻处理而形成栅极电极30a、30b、30c的工序中同时地形成。

[0070] 接下来,形成仅将n沟道型MOS晶体管所在的部分露出,覆盖其他区域的抗蚀掩模(未图示)。并且,将该抗蚀掩模及栅极电极30b作为注入掩模,通过注入n型的杂质(例如磷),形成LDD区域(参照图7)。然后,将抗蚀掩模去除。接下来,以覆盖栅极电极30a、30b、30c、可动电极30d的方式,形成例如TEOS(Tetra Ethyl Ortho Silicate glass)膜(未图示)。并且,通过对该TEOS膜的整个表面实施各向异性的干蚀刻处理,如图7所示,在栅极电极30a、30b、30c以及可动电极30d的各自的侧壁面上形成侧壁氧化膜34。特别是通过在可动电极30d的侧壁面上也形成侧壁氧化膜34,减小可动电极30d周边的台阶。

[0071] 接下来,形成在第3阱区域14将配置有n沟道型的MOS晶体管的部分露出,覆盖其他区域的抗蚀掩模(未图示)。并且,将该抗蚀掩模及栅极电极30b作为注入掩模,通过注入n型的杂质(例如砷),形成第2源极·漏极区域37。然后,将该抗蚀掩模去除。接下来,形成在第2阱区域13将形成p沟道型的MOS晶体管的区域露出,覆盖其他区域的抗蚀掩模(未图示)。并且,将该抗蚀掩模及栅极电极30a作为注入掩模,通过注入p型的杂质(例如二氟化硼),形成第3源极·漏极区域36。

[0072] 接下来,在该抗蚀掩模被去除后,通过基于规定的条件实施退火处理,将第2源极·漏极区域37及第3源极·漏极区域36激活。接下来,以覆盖栅极电极30a、30b、30c、可动电极30d的方式,例如通过CVD法形成硅氧化膜35。此外,图7是与此时的工序相对应的图。

[0073] 接下来,如图8所示,以覆盖硅氧化膜35的方式形成TEOS类的氧化膜38。然后,以覆盖该氧化膜38的方式,形成成为屏蔽膜的导电性多晶硅膜(未图示)。接下来,通过实施照片制版处理,形成覆盖可动电极30d并将其他区域露出的抗蚀掩模(未图示)。并且,将该抗蚀

掩模作为蚀刻掩模,通过实施蚀刻处理,从而将露出的多晶硅膜去除,如图8所示,形成覆盖可动电极30d的屏蔽膜39。然后,将抗蚀掩模去除。此时,可动电极30d周围的台阶通过侧壁氧化膜34而减小,由此防止由于覆盖的不足或裂纹导致屏蔽膜39的断线,能够提高屏蔽膜39的膜厚设定的自由度。

[0074] 在压力传感器区域16,将第1可动电极保护膜25b、第2可动电极保护膜27b、可动电极30d、氧化膜35、38及屏蔽膜39的各自的膜厚进行合计而得到的值,成为压力传感器的隔膜的膜厚,由该膜厚决定相对于压力的灵敏度特性。

[0075] 另外,在压力传感器区域16,第1可动电极保护膜25b、第2可动电极保护膜27b及可动电极30d与分别形成CMOS区域17中的第2栅极氧化膜25a、第1硅氮化膜27a及栅极电极30a、30b、30c的工序同时地形成。并且,热处理条件也适用在CMOS区域17形成的MOS晶体管等的条件。因此,作为压力传感器,虽然大幅度的变更受到限制,但能够对应于形成在CMOS区域的MOS晶体管等半导体元件的规格进行变更。

[0076] 另外,通过调整屏蔽膜39及氧化膜38各自的膜厚,能够控制与可动电极30d的初始的电容值(可动电极的弯曲量)相对的灵敏度特性。并且,能够控制相对于压力的灵敏度特性。屏蔽膜39的膜厚为50至1000nm左右。

[0077] 另外,屏蔽膜39通过以使氧化膜38存在于该屏蔽膜39和可动电极30d之间的方式对可动电极30d进行覆盖,从而能够防止可动电极30d与外部直接接触。并且,通过将屏蔽膜39与接地电位连接,能够阻挡来自外界的电荷等的影响,并能够抑制压力传感器的特性变动。此外,在不要求高精度的压力传感器的情况下,可以形成不具有屏蔽膜的构造。在该情况下,能够省略压力传感器区域的专用工序。

[0078] 接下来,如图9所示,以覆盖氧化膜38及屏蔽膜39的方式形成第1层间绝缘膜40。第1层间绝缘膜40形成为TEOS膜40a、BPSG(Boro Phospho Silicate Glass)膜40b及TEOS膜40c的层叠构造。此外,作为第1层间绝缘膜,并不限定于上述膜,也可以使用其他氧化膜。另外,作为针对第1层间绝缘膜40的平坦化处理,可以对BPSG膜实施蚀刻处理。另外,也可以实施CMP(Chemical Mechanical Polishing)处理。

[0079] 接下来,通过实施照片制版处理,形成用于形成接触孔的抗蚀掩模(未图示)。并且,将该抗蚀掩模作为蚀刻掩模,基于与形成在CMOS区域17的半导体元件的规格相对应的条件实施蚀刻处理。由此,在CMOS区域17形成接触孔41a,其贯穿第1层间绝缘膜40等而分别露出第1源极・漏极区域33、第2源极・漏极区域37、第3源极・漏极区域36。另一方面,在压力传感器区域16形成将屏蔽膜39露出的接触孔41b。然后,将抗蚀掩模去除。此外,图9是与此时的工序相对应的图。

[0080] 关于该情况的蚀刻处理,可以通过实施将湿蚀刻和干蚀刻组合的蚀刻处理而形成接触孔41a、41b。在该情况下,接触孔41a、41b成为在如图9所示的开口部的上部具有展宽的接触孔。另外,也可以通过仅由干蚀刻进行的蚀刻处理而形成接触孔41a、41b。

[0081] 接下来,进入图10所示的形成第1配线43和覆盖该第1配线43上部的第2层间绝缘膜45的工序。首先,形成使用金属膜的第1配线等。以覆盖第1层间绝缘膜40的方式形成势垒金属膜和铝硅铜(AlSiCu)膜(均未图示)。作为势垒金属膜例如使用氮化钛(TiN)膜。接下来,通过进行该铝硅铜膜等的图案化,在CMOS区域17形成第1配线43a,在压力传感器区域16形成配线43b。更具体地说,在铝硅铜膜上形成抗蚀掩模,将该抗蚀掩模作为蚀刻掩模,对铝

硅铜膜及势垒金属膜实施蚀刻处理,然后,通过将抗蚀掩模去除,形成第1配线43a和配线43b。第1配线43a分别与第1源极・漏极区域33、第2源极・漏极区域37及第3源极・漏极区域36电连接。配线43b与屏蔽膜39电连接。

[0082] 此外,作为第1配线等,可以在接触孔41a、41b中形成钨插塞,然后,形成势垒金属及铝铜(AlCu)膜而进行图案化。作为在上述结构的情况下所使用的势垒金属,具有硅化钛(TiSi_2)或硅化钴(CoSi_2)膜等。

[0083] 接下来,如图10所示,以覆盖第1配线43a及配线43b的方式形成第2层间绝缘膜45。第2层间绝缘膜45基于与形成在CMOS区域17的半导体元件的规格相对应的条件而形成。作为第2层间绝缘膜45例如使用LT0(Low Temperature Oxide)膜等。此外,为了进行平坦化,也可以使用包含SOG(Spin on Glass)膜的层叠构造。另外,与第1层间绝缘膜的情况相同地,可以实施CMP处理。

[0084] 接下来,通过实施照片制版处理,形成用于形成蚀刻孔和接触孔的抗蚀掩模(未图示)。并且,将该抗蚀掩模作为蚀刻掩模,通过对第2层间绝缘膜等绝缘膜实施蚀刻处理,从而如图11所示,在压力传感器区域16形成用于蚀刻牺牲膜的蚀刻孔46b,与此同时,在CMOS区域17形成将第1配线43a露出的接触孔46a。蚀刻孔46b及接触孔46a基于与形成在CMOS区域17的半导体元件的规格相对应的条件而形成。然后,将抗蚀掩模去除。

[0085] 接下来,通过经由蚀刻孔46b实施湿蚀刻处理,将由多晶硅膜形成的牺牲膜23b去除。图11是与此时的工序相对应的图。作为该湿蚀刻处理的药液,例如使用TMAH(Tetramethyl Ammonium Hydroxide)。此时,由于已开设有接触孔46a,因此,作为药液使用的该TMAH必须满足不对由铝铜硅膜形成的第1配线43a进行蚀刻的规格。

[0086] 另外,在通过药液(TMAH)进行的蚀刻处理中,相对于形成了第2层间绝缘膜45及第1层间绝缘膜40的氧化膜的蚀刻速率,形成牺牲膜23b的多晶硅膜的蚀刻速率为5000至30000倍左右(蚀刻选择比5000至30000左右)。因此,利用基于与形成在CMOS区域的半导体元件的规格相对应的条件而形成的第2层间绝缘膜45及第1层间绝缘膜40,能够保护形成在CMOS区域17的元件及压力传感器区域16。此外,作为去除牺牲膜23b的处理,除了湿蚀刻处理之外,还可以实施使用二氟化氙(XeF_2)等的干蚀刻处理。

[0087] 如上所述,通过同时形成蚀刻孔46b和接触孔46a,并利用第2层间绝缘膜45及第1层间绝缘膜40,保护形成在CMOS区域17的元件及压力传感器区域16,由此,能够积极地适用CMOS标准工艺,抑制工序的增加,并有助于削减制造成本。另外,无需追加用于形成压力传感器的工序。由此,能够防止伴随热处理而对CMOS区域17的破坏以及由于干蚀刻等产生的破坏。另外,压力传感器的制造变得容易。并且,能够防止作为半导体压力传感器的特性劣化。

[0088] 此外,在此,对同时形成蚀刻孔46b和接触孔46a的情况进行了说明,但也可以在彼此独立的工序中分别形成蚀刻孔46b(参照图11)和接触孔46a。在此情况下,首先,形成用于形成蚀刻孔46b的抗蚀掩模(未图示)。接下来,将该抗蚀掩模作为蚀刻掩模,通过对第2层间绝缘膜等绝缘膜实施干蚀刻处理或将干蚀刻和湿蚀刻组合的蚀刻处理,而形成蚀刻孔46b。然后,将抗蚀掩模去除。

[0089] 接下来,作为药液使用TMAH,通过经由蚀刻孔46b实施湿蚀刻而去除牺牲膜23b,形成空隙50(参照图11)。接下来,通过蒸镀法或溅射法形成规定的金属膜,并进行该金属膜的

图案化,从而单独地形成后述的用于闭塞蚀刻孔46b的第1封装膜48b(参照图12)。作为金属膜而使用铝(Al)膜、铝硅(Al-Si)膜、铝硅铜(Al-Si-Cu)膜或铝铜(Al-Cu)膜等适用于CMOS工艺的材料。此外,在此,由于以利用金属膜闭塞蚀刻孔为目的,因此在形成金属膜前不需要实施前处理的工序。另外,也不需要形成势垒金属膜的工序。

[0090] 接下来,形成用于形成接触孔46a的抗蚀掩模(未图示)。接下来,将该抗蚀掩模作为蚀刻掩模,通过对第2层间绝缘膜45实施干蚀刻处理或将干蚀刻和湿蚀刻组合的蚀刻处理,而形成接触孔46a。

[0091] 如上所述,在彼此独立的工序中形成蚀刻孔46b和接触孔46a的情况下,虽然工序增加,但在蚀刻牺牲膜23b时,作为药液能够使用通常的TMAH。另外,作为第1封装膜48b,能够选择最佳的膜厚及膜种类,设计自由度增加且半导体压力传感器的制造变得容易。

[0092] 返回到初始的工序继续进行说明。实施将通过去除牺牲膜23b所形成的空隙50形成为真空室的处理。首先,例如通过蒸镀法或溅射法,基于与形成在CMOS区域17的半导体元件的规格相对应的条件而形成规定的金属膜(未图示)。作为金属膜,形成氮化钛(TiN)等势垒金属膜和铝硅铜(Al-Si-Cu)膜的层叠膜。此时,通过在真空中形成层叠膜,空隙50被减压而成为真空室51,该真空室51由层叠膜(第1封装膜48b)封装。

[0093] 接下来,通过进行该层叠膜的图案化,如图12所示,在压力传感器区域16,形成闭塞蚀刻孔46b(真空室51)而封装空隙的第1封装膜48b。另外,在CMOS区域17形成第2配线48a。然后,通过等离子CVD法,基于与形成在CMOS区域17的半导体元件的规格相对应的条件(较低的温度条件等),以覆盖第1封装膜48b及第2配线48a的方式,形成成为钝化膜的膜厚0.5至1.0 μm 左右的硅氮化膜(未图示)。

[0094] 接下来,形成在压力传感器区域16将形成开口部的部分露出的抗蚀掩模(未图示)。并且,通过将该抗蚀掩模作为蚀刻掩模而实施蚀刻处理,将位于形成开口部的区域中的硅氮化膜的部分去除。由此,在CMOS区域17形成钝化膜52a。在压力传感器区域16形成进一步闭塞蚀刻孔46b的第2封装膜52b。由此,真空室51由第1封装膜48b和第2封装膜52b双重封装,能够成为高可靠性的真空封装。

[0095] 此外,作为形成第1封装膜及第2配线的工序,除了上述之外,可以分别在蚀刻孔46b和接触孔46a中形成钨(W)等插塞,然后,形成硅化钛(TiSi₂)或硅化钴(CoSi₂)势垒金属膜和铝铜(Al-Cu)膜的层叠膜。

[0096] 如上所述,通过同时形成第1封装膜48b和第2配线48a,并同时形成第2封装膜52b和钝化膜52a,从而能够积极地适用CMOS标准工艺,抑制工序的增加,并有助于削减制造成本。

[0097] 接下来,在压力传感器区域16形成开口部。首先,形成用于在压力传感器区域16形成开口部的抗蚀掩模(未图示)。接下来,将该抗蚀掩模作为蚀刻掩模而实施干蚀刻处理或将干蚀刻和湿蚀刻组合的蚀刻处理。由此,如图13及图14所示,将第2层间绝缘膜45及第1层间绝缘膜40去除,形成开口部54。这样,形成半导体压力传感器的主要部分。

[0098] 在形成开口部54时,由导电性的多晶硅膜形成的屏蔽膜39作为形成开口部54时的蚀刻阻挡膜起作用。另外,屏蔽膜39成为保护可动电极30d不受蚀刻破坏的膜。

[0099] 另外,在去除牺牲膜而形成空隙,并将该空隙作为真空室而利用第1封装膜等进行封装后,通过去除第1层间绝缘膜40及第2层间绝缘膜45而形成开口部54。因此,在去除牺牲

膜而形成空隙的工序以及通过利用第1封装膜等闭塞蚀刻孔(真空室)而设置真空室的工序中,成为在可动电极30d的上方层叠有第1层间绝缘膜40及第2层间绝缘膜45的状态,在可动电极30d上具有足够的刚性。由此,在形成空隙的工序以及通过封装空隙而设置真空室的工序中,能够防止可动电极30d的粘附。即,能够防止可动电极30d在湿蚀刻处理时,受到表面张力的影响而附着在固定电极(基板)侧的现象。

[0100] 在上述的半导体压力传感器中,通过使压力传感器区域16中的可动电极30d的一侧经由开口部54向外部空间开放,由此,可动电极30d对应于外部压力进行位移,固定电极18a和可动电极30d之间的间隔(间隙)变化。在半导体压力传感器中,通过将该间隔的变化作为电容值的变化进行检测,从而对压力值进行测定。另外,通过将位于可动电极30d的正下方的真空室51的压力作为基准压力,使该半导体压力传感器能够作为绝对压力传感器起作用。

[0101] 即,上述的半导体压力传感器是将电容的变化作为压力值进行测定的电容式半导体压力传感器,关于电容值,将可动电极30d和固定电极18a之间的间隔变化作为电容值的变化而对压力值进行测定。作为电容值,更准确地说,是将位于固定电极18a和真空室51之间的固定电极保护膜22b的电容值(电容值A)、位于可动电极30d和真空室51之间的第1可动电极保护膜25b及第2可动电极保护膜27b的各自的电容值(电容值B及电容值C),以及真空室51的电容值(电容值D)合计后的电容值(合计值)。

[0102] 其中,由于电容根据外部压力而变化的仅是真空室51的电容值D,因此,为了高精度地测定压力值,必须准确地掌握电容值A至C各自的初始电容值(初始值)。

[0103] 另外,在固定电极保护膜22b中,由于形成成为该固定电极保护膜22b的第1栅极氧化膜22a时的膜厚的波动、以及在通过蚀刻而去除牺牲膜23b时的固定电极保护膜22b的膜减少量的波动,因此,难以掌握电容值A的初始值。

[0104] 另外,在第1可动电极保护膜25b中,由于形成成为该第1可动电极保护膜25b的第2栅极氧化膜25a时的膜厚的波动、以及在通过蚀刻而去除牺牲膜23b时的第1可动电极保护膜25b的膜减少量的波动,因此,与电容值A相同地,难以掌握电容值B的初始值。

[0105] 并且,在第2可动电极保护膜27b中,由于形成成为该第2可动电极保护膜27b的第1硅氮化膜27a时的膜厚的波动,因此,也难以掌握电容值C的初始值。

[0106] 为了消除上述初始值的波动,如图15所示,对在压力传感器区域16中,在形成有开口部54的检测用的压力传感器区域16a的附近,配置没有形成开口部的参照用的压力传感器区域16b的方法进行说明。

[0107] 在参照用的压力传感器区域16b中,以覆盖可动电极30d的方式残留有第1层间绝缘膜40及第2层间绝缘膜45。另外,以覆盖可动电极30d的方式形成有配线43b、第1封装膜48b及第2封装膜52b。由此,在参照用的压力传感器区域16b中,相对于外部压力的变化,可动电极30d和固定电极18a之间的间隔不容易变化。因此,通过从检测用的压力传感器的电容值的变化减去参照用的压力传感器的电容值的变化,能够消除电容值A至C的初始值的波动,并能够更高精度地检测由外部压力变化引起的电容值的变化。其结果,能够高精度地测定压力值。

[0108] 此外,作为参照用的压力传感器,可以形成下述构造,即,通过在可动电极的下方形成多个固定部,将可动电极固定在硅衬底上,由此,即使外部压力变化,可动电极也不发

生变动。另外,在图15所示的实施例中,形成了在可动电极30d上层叠有配线43b、第1封装膜48b及第2封装膜52b的构造,但对于仅是第1层间绝缘膜40及第2层间绝缘膜45的层叠构造,也能够得到相同的效果。

[0109] 在上述的半导体压力传感器的制造方法中,保护固定电极18a的固定电极保护膜22b在形成第1栅极氧化膜22a的工序中同时地形成。通过被去除而成为真空室51的牺牲膜23b在形成成为EPROM的浮动栅极电极的多晶硅膜的工序中同时地形成。保护可动电极的第1可动电极保护膜25b在形成第2栅极氧化膜25a的工序中同时地形成。进一步保护可动电极的第2可动电极保护膜27b在形成第1硅氮化膜27a的工序中同时地形成。可动电极30d在形成栅极电极30a、30b、30c的工序中同时地形成。第1封装膜48b在形成第2配线48a的工序中同时地形成。第2封装膜52b在形成钝化膜52a的工序中同时地形成。

[0110] 由此,能够积极地适用CMOS标准工艺,抑制制造工序的增加,并有助于削减生产成本。另外,无需追加用于形成半导体压力传感器的制造工序。由此,能够防止伴随热处理而对CMOS区域17的破坏以及由于干蚀刻等产生的破坏。另外,压力传感器的制造变得容易。并且,能够防止作为半导体压力传感器的特性劣化。

[0111] 另外,在去除牺牲膜23b时,压力传感器区域16由第1层间绝缘膜40及第2层间绝缘膜45保护。该第1层间绝缘膜40及第2层间绝缘膜45通过在CMOS区域17形成第1层间绝缘膜40及第2层间绝缘膜45的工序形成。由此,在去除牺牲膜23b前,无需另外形成保护压力传感器区域的膜,并且,在去除牺牲膜后,也无需另外去除保护膜。其结果,能够实现制造工序的削减并减少生成成本。另外,利用第1层间绝缘膜40及第2层间绝缘膜45,能够抑制对压力传感器区域16和CMOS区域17的工艺破坏。

[0112] 另外,在压力传感器区域16中,可动电极30d被由导电性的多晶硅膜形成的屏蔽膜39覆盖。由此,能够防止可动电极30d与外部直接接触。另外,通过将覆盖可动电极30d的屏蔽膜39与接地电位连接,能够阻挡来自外部的电荷等对屏蔽膜39的影响。由此,能够抑制作为半导体压力传感器的特性的变动。

[0113] 并且,在用于在覆盖可动电极30d的第1层间绝缘膜40及第2层间绝缘膜45上形成开口部54的蚀刻处理时,屏蔽膜39作为蚀刻阻挡膜起作用。由此,能够保护可动电极30d不受与蚀刻处理相伴的破坏。另外,通过调整屏蔽膜39的膜厚(导电性的多晶硅膜的膜厚),能够控制可动电极30d的应力特性及压力检测灵敏度特性。

[0114] 并且,形成参照用的压力传感器区域16b,通过从检测用的压力传感器区域16a的压力传感器的电容值的变化减去参照用的压力传感器的电容值的变化,能够消除电容值的初始值的波动。由此,能够更高精度地检测由外部的压力变化引起的电容值的变化,能够高精度地测定压力值。

[0115] 另外,在去除牺牲膜而形成空隙的工序以及通过利用第1封装膜等闭塞蚀刻孔46b而设置真空室51的工序中,成为在可动电极30d的上方层叠有第1层间绝缘膜40及第2层间绝缘膜45的状态。由此,在可动电极30d上具有足够的刚性,在形成空隙的工序以及设置真空室的工序中,能够防止可动电极30d的粘附。

[0116] 实施方式2

[0117] 在上述的半导体压力传感器中,作为固定电极,以由使杂质扩散的扩散区域形成的固定电极为例进行了说明。在此,对作为该固定电极,例如具有由如掺杂多晶硅膜那样的

导电性多晶硅膜形成的固定电极的半导体压力传感器进行说明。此外,针对制造工序中的各结构,对与实施方式1相同的结构标注相同的标号,除了必要的情况以外,不重复该说明。

[0118] 在经过与上述的图1所示的工序相同的工序后,通过在图2中已说明的LOCOS法,如图16所示,在压力传感器区域16形成场氧化膜19,在CMOS区域17形成场氧化膜15、19。接下来,以覆盖场氧化膜15、19的方式,形成导电性的掺杂多晶硅膜(未图示)。并且,通过照片制版处理,形成用于对固定电极进行图案化的抗蚀掩模(未图示)。接下来,通过将该抗蚀掩模作为蚀刻掩模而实施蚀刻处理,形成固定电极18a。然后,在经过与图3至图13所示的工序相同的工序后,如图17所示,完成半导体压力传感器的主要部分。

[0119] 在上述的半导体压力传感器中,在通过上述的半导体压力传感器得到的效果的基础上,能够得到下述效果。即,通过在场氧化膜19上形成由导电性的多晶硅膜形成的固定电极18b,固定电极18b和硅衬底11的寄生电容、以及固定电极18b和第1阱区域12的寄生电容减少。由此,初始的电容值减少,由压力变化引起可动电极30d位移时的电容值变化的比例相对变大。其结果,能够提高压力检测灵敏度。

[0120] 此外,在场氧化膜19上形成固定电极18b的构造中,可以使形成该场氧化膜19的压力传感器区域16的硅衬底的上表面,预先通过蚀刻处理等而向下方后退。由此,由于与CMOS区域17的台阶减小,因此,能够高精度地进行以后工序中的照片制版处理。

[0121] 实施方式3

[0122] 在此,对在彼此独立的制造工序中形成第1封装膜和CMOS区域的第2配线的情况进行说明,其中,该第1封装膜对用于形成真空室的蚀刻孔进行闭塞。此外,针对制造工序中的各结构,对与实施方式1相同的结构标注相同的标号,除了必要的情况以外,不重复该说明。

[0123] 在本实施方式中,在经过与实施方式1中已说明的图1至图10所示的工序相同的工序后,在压力传感器区域形成蚀刻孔。此时,形成用于形成蚀刻孔46b的抗蚀掩模(未图示)。接下来,通过将该抗蚀掩模作为蚀刻掩模而对第2层间绝缘膜等实施干蚀刻处理或将干蚀刻和湿蚀刻组合的蚀刻处理,如图18所示,形成蚀刻孔46b。然后,将抗蚀掩模去除。

[0124] 接下来,作为药液使用TMAH,通过经由蚀刻孔46b实施湿蚀刻而去除由多晶硅膜形成的牺牲膜23b,由此形成空隙50。接下来,通过蒸镀法或溅射法形成规定的金属膜(未图示)。此时,通过在真空中形成金属膜,由此空隙50被减压而成为真空室51,该真空室51由金属膜(第1封装膜48b)封装。

[0125] 接下来,通过进行该金属膜的图案化,如图19所示,形成用于闭塞蚀刻孔46b的第1封装膜48b。作为金属膜而使用铝(Al)膜、铝硅(Al—Si)膜、铝硅铜(Al—Si—Cu)膜或铝铜(Al—Cu)膜等适用于CMOS工艺的材料。此外,在此,由于以利用金属膜闭塞蚀刻孔为目的,因此在形成金属膜前不需要实施前处理的工序。另外,也不需要形成势垒金属膜的工序。

[0126] 接下来,形成用于形成接触孔46a的抗蚀掩模(未图示)。并且,将该抗蚀掩模作为蚀刻掩模,通过对第2层间绝缘膜实施干蚀刻处理或将干蚀刻和湿蚀刻组合的蚀刻处理,如图20所示,在CMOS区域17形成接触孔46a。然后,将抗蚀掩模去除。

[0127] 接下来,通过蒸镀法或溅射法,基于与形成在CMOS区域17的元件的规格相对应的条件而形成规定的金属膜。作为金属膜,形成氮化钛(TiN)等势垒金属膜和铝硅铜(Al—Si—Cu)膜的层叠膜。并且,通过对该层叠膜实施图案化,如图20所示,在CMOS区域17形成第2配线60a,并且,在压力传感器区域16以覆盖第1封装膜48b的方式形成第2封装膜60b。

[0128] 接下来,与在图12所示的工序中已说明的内容相同地,如图20所示,在CMOS区域17形成钝化膜52a。在压力传感器区域16形成钝化膜52c。此外,在CMOS区域17没有形成多层配线的配线构造的情况下,可以仅在焊盘(pad)部(未图示)上形成接触孔,不形成第2配线,而是形成钝化膜并进行图案化。接下来,经过与图13所示的工序相同的工序,如图21所示,在压力传感器区域16形成开口部54。这样,半导体压力传感器的主要部分完成。

[0129] 在上述的半导体压力传感器中,除了在彼此独立的制造工序中形成第1封装膜48b和CMOS区域的第2配线60a以外,经过与实施方式1中已说明的制造工序相同的工序而形成半导体压力传感器,其中,第1封装膜48b对用于形成真空室51的蚀刻孔46b进行闭塞。由此,能够取得实质上与实施方式1中已说明的效果相同的效果。

[0130] 并且,在上述的半导体压力传感器中,通过在彼此对立的制造工序中形成第1封装膜48b和第2配线60a,从而不需要形成封装膜前的处理(前处理)。由此,作为第1封装膜48b能够选择最佳的膜厚及膜种类等,设计的自由度增加,因此,半导体压力传感器的制造变得容易。特别地,在该前处理中由于实施湿蚀刻处理,因此,成为空隙50部分粘附的原因,通过将形成第1封装膜48b的工序形成为不需要前处理的专用工序,能够容易地得到高精度的半导体压力传感器。另外,蚀刻孔46b通过由第1封装膜48b及第2封装膜60b进行闭塞,能够可靠地封装真空室51。

[0131] 实施方式4

[0132] 在此,对作为固定电极,具有源极·漏极区域的FET(Field Effect Transistor)动作型的半导体压力传感器进行说明。此外,针对制造工序中的各结构,对与实施方式1相同的结构标注相同的标号,除了必要的情况以外,不重复该说明。

[0133] 在本实施方式中,首先,在经过与上述的图1所示的工序相同的工序后,在压力传感器区域16形成n型的第1阱区域12a以及p型的第4阱区域12b(参照图22、图23)。接下来,通过在图2中已说明的LOCOS法,在压力传感器区域16形成场氧化膜19(参照图22、图23)。接下来,如图22所示,在压力传感器区域16c形成用于形成p型的源极·漏极区域的抗蚀掩模92。并且,将该抗蚀掩模92作为注入掩模,通过注入p型的杂质(例如硼),形成1对p型的源极·漏极区域55。然后,将抗蚀掩模92去除。

[0134] 接下来,如图23所示,在压力传感器区域16d形成用于形成n型的源极·漏极区域的抗蚀掩模93。并且,将该抗蚀掩模93作为注入掩模,通过注入n型的杂质(例如砷),形成1对n型的源极·漏极区域56。然后,将抗蚀掩模92去除。接下来,经过与图3至图13所示的工序相同的工序,如图24所示,FET动作型的半导体压力传感器的主要部分完成。

[0135] 在FET动作型的半导体压力传感器中,在压力传感器区域16c形成p沟道型的FET动作型的压力传感器,在压力传感器区域16d形成n沟道型的FET动作型的压力传感器。在p沟道型的FET动作型的压力传感器上,作为固定电极而形成p型的源极·漏极区域55。在n沟道型的FET动作型的压力传感器上,作为固定电极而形成n型的源极·漏极区域56。

[0136] 在该半导体压力传感器中,如果由压力引起可动电极30d发生位移,则硅衬底11和可动电极30d之间的间隔变化而使得电容值变化。因此,在一对p型(n型)的源极·漏极区域55(56)上,从一个源极·漏极区域55(56)流向另一个源极·漏极区域55(56)的电流值变化。将该电流值的变化作为压力值而进行测定。

[0137] 在上述的半导体压力传感器中,除了作为固定电极而形成一对p型(n型)的源极·

漏极区域55(56)以外,经过与实施方式1中已说明的制造工序相同的工序而形成半导体压力传感器。由此,能够取得实质上与实施方式1中已说明的效果相同的效果。

[0138] 实施方式5

[0139] 在此,对在CMOS区域形成接触孔前,形成真空室(蚀刻孔)的情况进行说明。此外,针对制造工序中的各结构,对与实施方式1相同的结构标注相同的标号,除了必要的情况以外,不重复该说明。

[0140] 在本实施方式中,首先,在经过与上述的图1至图8所示的工序相同的工序后,如图25所示,形成第1层间绝缘膜40。接下来,通过实施照片制版处理,形成用于形成蚀刻孔的抗蚀掩模(未图示)。并且,通过将该抗蚀掩模作为蚀刻掩模而实施蚀刻处理,如图26所示,在压力传感器区域16形成用于蚀刻牺牲膜的蚀刻孔70。然后,将抗蚀掩模去除。

[0141] 接下来,通过经由蚀刻孔70实施湿蚀刻而除去牺牲膜23b,由此形成空隙50。此外,图26是与此时的工序相对应的图。作为湿蚀刻处理的药液,例如使用TMAH。另外,除了湿蚀刻处理以外,还可以实施使用二氟化氙(XeF_2)的干蚀刻处理。

[0142] 接下来,实施将空隙50形成为真空室的处理。例如,通过蒸镀法或溅射法形成规定的金属膜。作为金属膜而使用铝(Al)膜、铝硅(Al—Si)膜、铝硅铜(Al—Si—Cu)膜或铝铜(Al—Cu)膜等适用于CMOS工艺的材料。此时,通过在真空中形成金属膜,由此空隙50被减压而成为真空室51,该真空室51由金属膜(第1封装膜71)封装。

[0143] 接下来,通过进行该金属膜的图案化,如图27所示,形成闭塞蚀刻孔70(真空室51)而封装空隙的第1封装膜71。此外,在此,由于以利用金属膜闭塞蚀刻孔为目的,因此在形成金属膜前不需要实施前处理的工序。另外,也不需要形成势垒金属膜的工序。

[0144] 接下来,通过实施照片制版处理,形成用于形成接触孔的抗蚀掩模(未图示)。并且,将该抗蚀掩模作为蚀刻掩模,基于与形成在CMOS区域17的半导体元件的规格相对应的条件,对第1层间绝缘膜等实施蚀刻处理。由此,如图28所示,在CMOS区域17形成接触孔41a,在压力传感器区域16形成接触孔41b。然后,将抗蚀掩模去除。

[0145] 接下来,在形成第1配线前,作为其前处理,通过使用稀氢氟酸(HF)实施轻微蚀刻(light etch)处理,将接触孔41a、41b内的自然氧化膜(未图示)去除。接下来,以覆盖第1层间绝缘膜40的方式,形成势垒金属膜和铝硅铜(AlSiCu)膜(均未图示)。作为势垒金属膜例如使用氮化钛(TiN)。并且,通过进行该铝硅铜膜等的图案化,如图29所示,在CMOS区域17形成第1配线43a。在压力传感器区域16形成与屏蔽膜39电连接的配线43b,并形成闭塞蚀刻孔70的第2封装膜43c。

[0146] 接下来,基于与形成在CMOS区域17的半导体元件的规格相对应的条件,以覆盖第2封装膜43c及第1配线43a的方式,形成成为钝化膜的膜厚0.5至1.0 μm 左右的硅氮化膜(未图示)。

[0147] 接下来,形成在压力传感器区域16将形成开口部的部分露出的抗蚀掩模(未图示)。并且,通过将该抗蚀掩模作为蚀刻掩模而实施蚀刻处理,将位于形成开口部的区域中的硅氮化膜的部分去除。由此,如图29所示,在CMOS区域17形成钝化膜52a。在压力传感器区域16形成进一步闭塞蚀刻孔70的钝化膜52c。

[0148] 接下来,形成用于在压力传感器区域形成开口部的抗蚀掩模(未图示)。并且,将该抗蚀掩模作为蚀刻掩模,实施干蚀刻处理或将干蚀刻和湿蚀刻组合的蚀刻处理。由此,如图

30及图31所示,在检测用的压力传感器区域16a,将第1层间绝缘膜40去除而形成开口部54。另一方面,在参照用的压力传感器区域16b,成为残留有第1层间绝缘膜40的状态。在图31中,在第1层间绝缘膜40的上方还层叠有配线43b,但也可以仅有第1层间绝缘膜40。这样,半导体压力传感器的主要部分形成。

[0149] 在上述的半导体压力传感器中,基本上说,除了没有形成第2层间绝缘膜及第2配线以外,经过与在实施方式1中已说明的制造工序相同的工序而形成半导体压力传感器。由此,能够取得实质上与实施方式1中已说明的效果相同的效果。

[0150] 实施方式6

[0151] 在此,对分割为2次而形成第2层间绝缘膜的情况进行说明。在此情况下,在第1次形成的第1分割膜的部分成为通过蚀刻处理去除牺牲膜时的保护膜,在第2次形成的第2分割膜的部分成为闭塞蚀刻孔的膜。此外,针对制造工序中的各结构,对与实施方式1相同的结构标注相同的标号,除了必要的情况以外,不重复该说明。

[0152] 在本实施方式中,首先,在经过与上述图1至图9所示的工序相同的工序后,如图32所示,在CMOS区域17形成第1配线43a,在压力传感器区域16形成配线43b。此外,作为第1配线等,形成势垒金属膜和铝硅铜(AlSiCu)膜的层叠膜。作为势垒金属膜例如使用氮化钛(TiN)。

[0153] 另外,作为第1配线等,可以在接触孔41a、41b中形成钨插塞,然后,形成势垒金属及铝铜(AlCu)膜而进行图案化。在此情况下,作为势垒金属具有硅化钛(TiSi₂)或硅化钴(CoSi₂)膜等。

[0154] 接下来,如图32所示,以覆盖第1配线43a及配线43b的方式,作为第2层间绝缘膜中的第1次的分割膜而形成第1分割膜80。该第1分割膜80在通过蚀刻处理去除后述的牺牲膜23b时,作为保护第1配线43a及配线43b的保护膜而形成。牺牲膜23b通过使用TMAH的湿蚀刻处理、或使用二氟化氙(XeF₂)等的干蚀刻处理而被去除。在该蚀刻处理中,由于相对于氧化膜的蚀刻选择比较大,因此,作为第1分割膜80的膜厚具有50至300nm左右的膜厚,能够保护第1配线43a及配线43b。

[0155] 接下来,通过实施照片制版处理,形成用于形成蚀刻孔的抗蚀掩模(未图示)。并且,通过将该抗蚀掩模作为蚀刻掩模而实施蚀刻处理,如图33所示,形成用于蚀刻牺牲膜的蚀刻孔81。接下来,通过经由蚀刻孔81而实施湿蚀刻处理,将牺牲膜23b去除。此外,图33是与此时的工序相对应的图。作为湿蚀刻处理的药液,例如使用TMAH。

[0156] 在使用TMAH对牺牲膜23b(多晶硅膜)进行的蚀刻处理中,牺牲膜23b的蚀刻速率(蚀刻选择比)相对于第1分割膜80的蚀刻速率为500至3000左右。因此,相对于牺牲膜23b的蚀刻速率,第1分割膜80的蚀刻速率充分低,通过膜厚50至300nm左右的第1分割膜80,能够充分地保护第1配线43a及配线43b。

[0157] 接下来,如图34所示,作为第2层间绝缘膜中的第2次的分割膜,形成第2分割膜82。此时,通过在真空中形成第2分割膜82,由此空隙50被减压,并且,通过利用第2分割膜82闭塞蚀刻孔而设置真空室51。第2分割膜82的膜厚为500至1500nm左右。

[0158] 将第1分割膜80的膜厚和第2分割膜82的膜厚合并后的膜厚设定为,成为适用于CMOS工艺的、膜厚500至1500nm左右的第2层间绝缘膜的膜厚。由此,能够积极地适用CMOS标准工艺,并抑制制造工序的增加。另外,半导体压力传感器的制造变得容易。并且,能够防止

作为半导体压力传感器的特性劣化。

[0159] 接下来,形成用于形成规定的开口部的抗蚀掩模(未图示)。并且,将该抗蚀掩模作为蚀刻掩模,实施干蚀刻处理或将干蚀刻和湿蚀刻组合的蚀刻处理。由此,如图35所示,在压力传感器区域16,将作为第2层间绝缘膜45的第1分割膜80及第2分割膜82、和第1层间绝缘膜40去除,而形成开口部84。在CMOS区域17形成焊盘用的开口部83。然后,将抗蚀掩模去除。

[0160] 接下来,以覆盖第2分割膜82的方式,形成成为钝化膜的硅氮化膜(未图示)。接下来,通过进行该硅氮化膜的图案化,如图36所示,形成钝化膜85。通过该图案化,在压力传感器区域16,将位于可动电极30d正上方的硅氮化膜的部分去除。在CMOS区域17,将位于焊盘正上方的硅氮化膜的部分去除。这样,形成半导体压力传感器的主要部分。

[0161] 在上述的半导体压力传感器中,除了分割形成第2层间绝缘膜以外,经过与在实施方式1中已说明的制造工序相同的工序而形成半导体压力传感器。由此,能够取得实质上与实施方式1中已说明的效果相同的效果。

[0162] 另外,作为该第2层间绝缘膜,形成作为保护膜的第1分割膜80和作为封装膜的第2分割膜82。该第1分割膜80和第2分割膜82均通过CMOS标准工艺形成,因此,能够容易地制造半导体压力传感器。另外,能够防止作为半导体压力传感器的特性劣化。

[0163] 对本发明的实施方式进行了说明,但应认为本次公开的实施方式在全部方面仅为例示,而不是限制内容。本发明的范围由权利要求书示出,包含与权利要求相等的内容及范围内的全部变更。

[0164] 本发明有效地用于具有CMOS电路的半导体压力传感器,该CMOS电路包含具有浮动栅极电极的晶体管(EPR0M的存储器单元)。

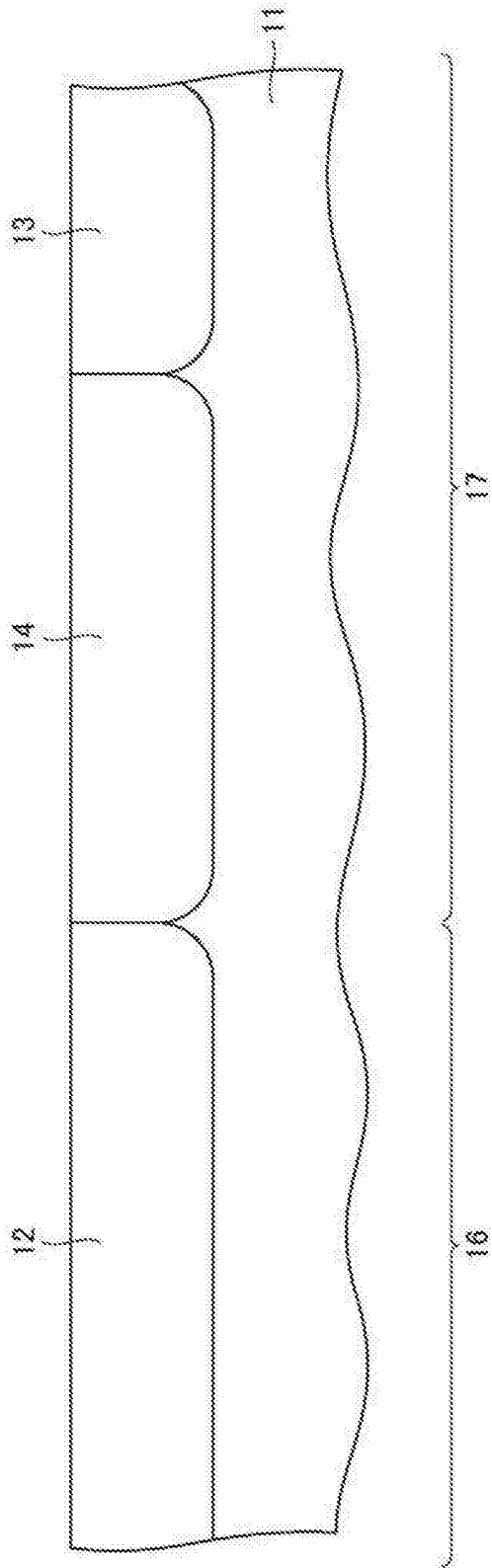


图1

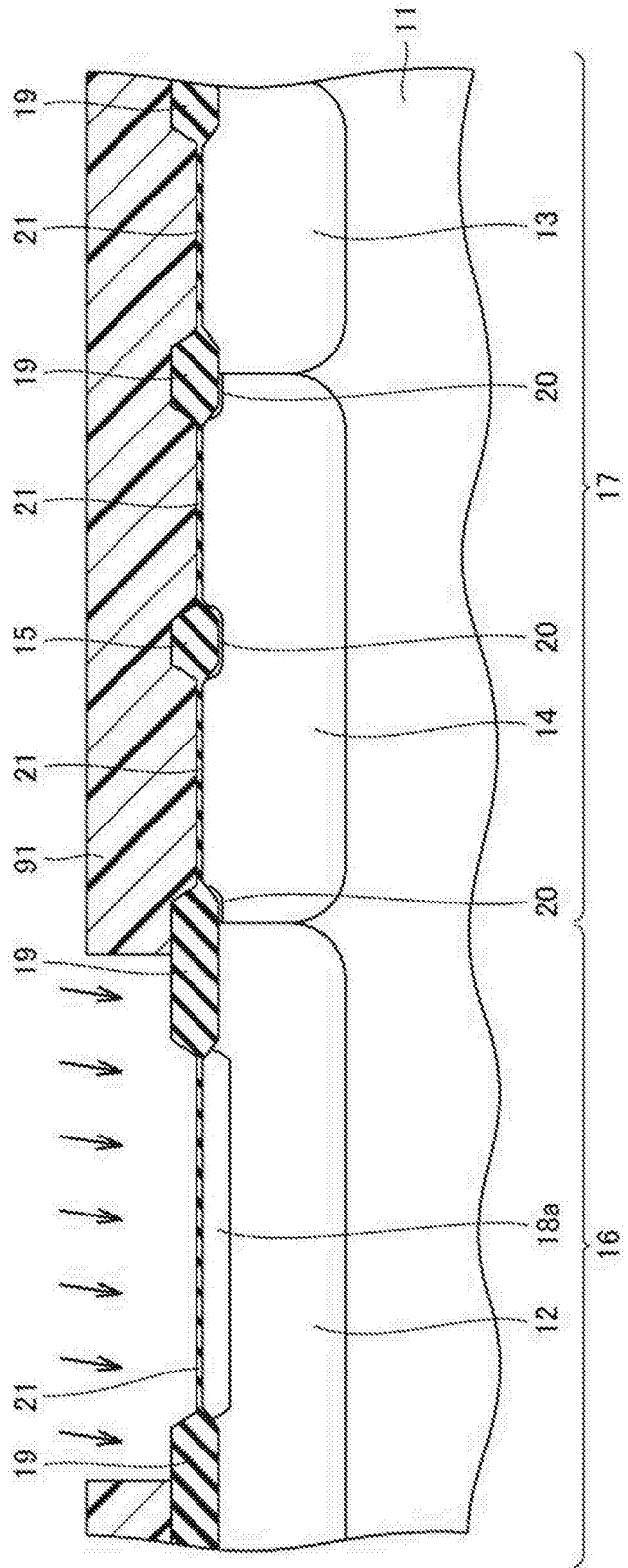


图2

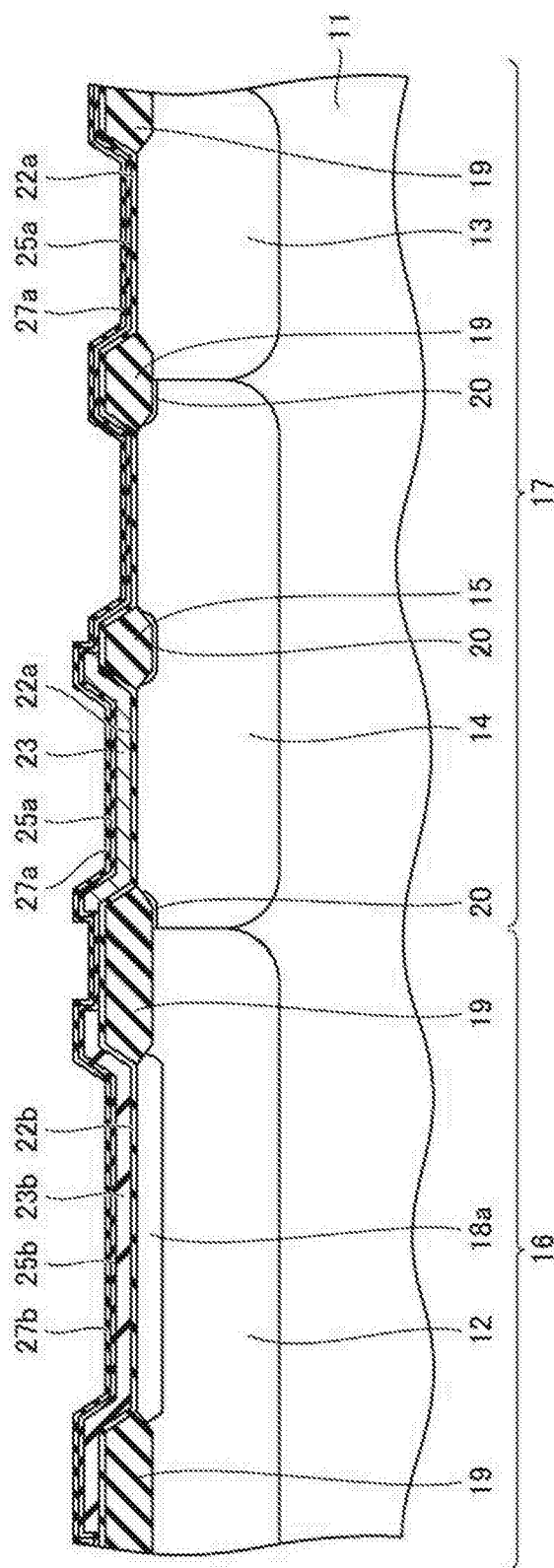


图3

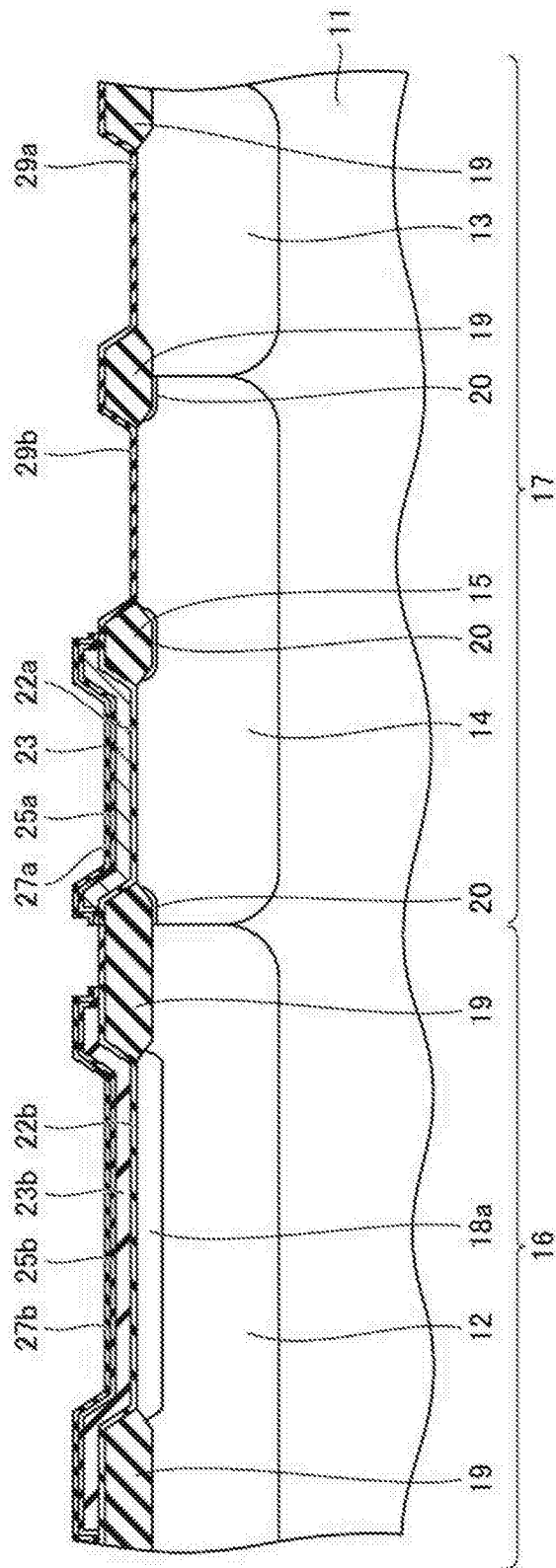


图4

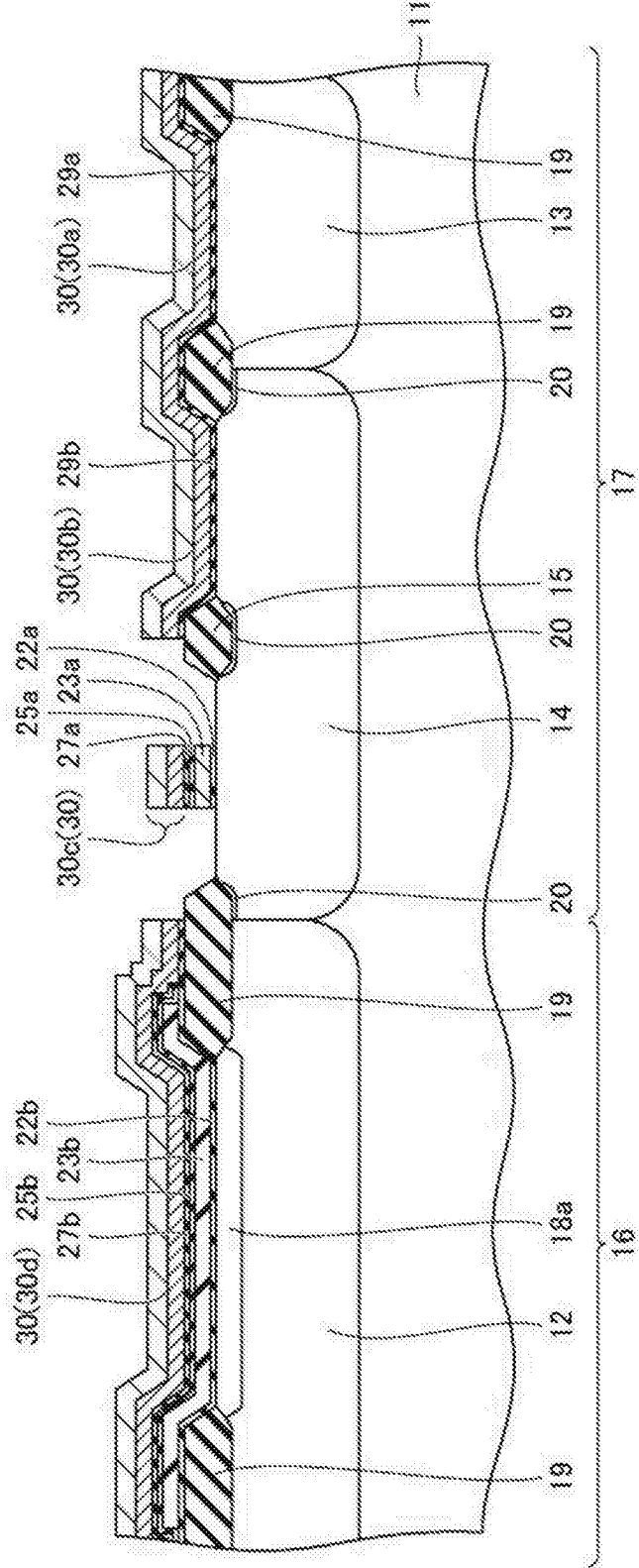


图5

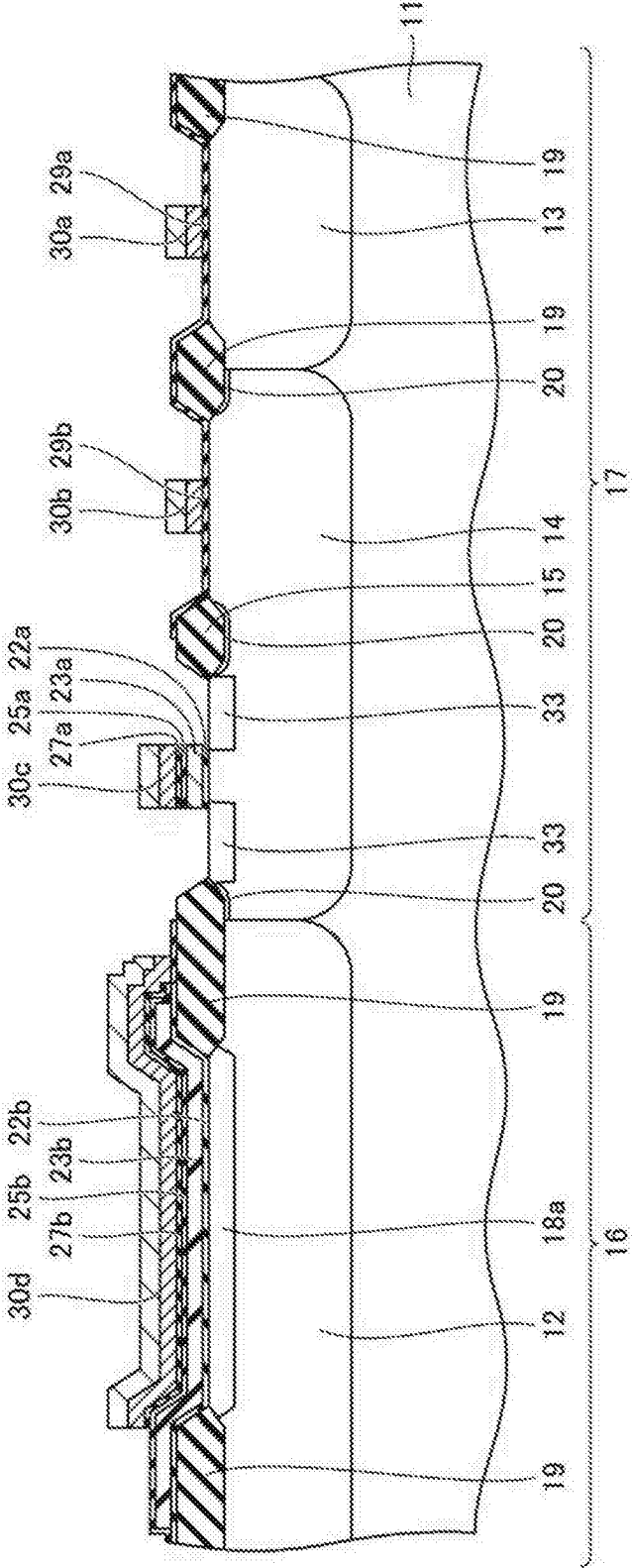


图6

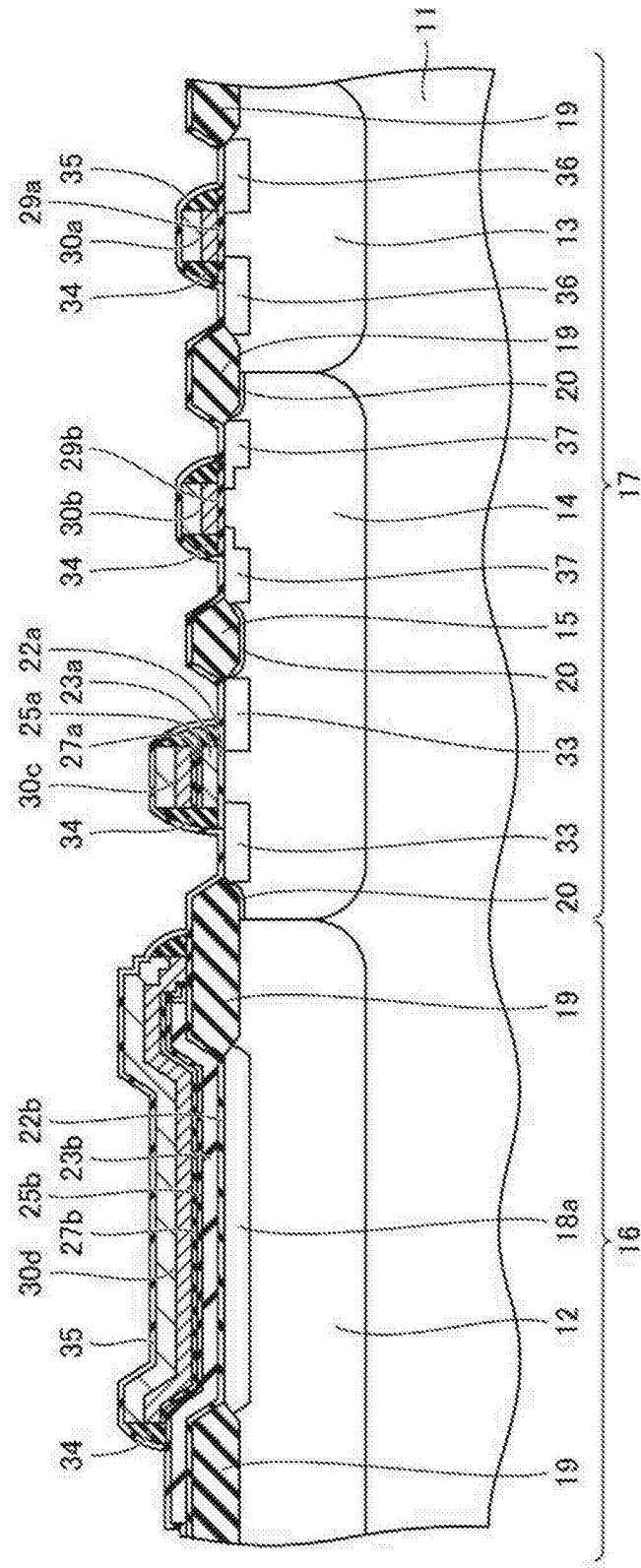


图7

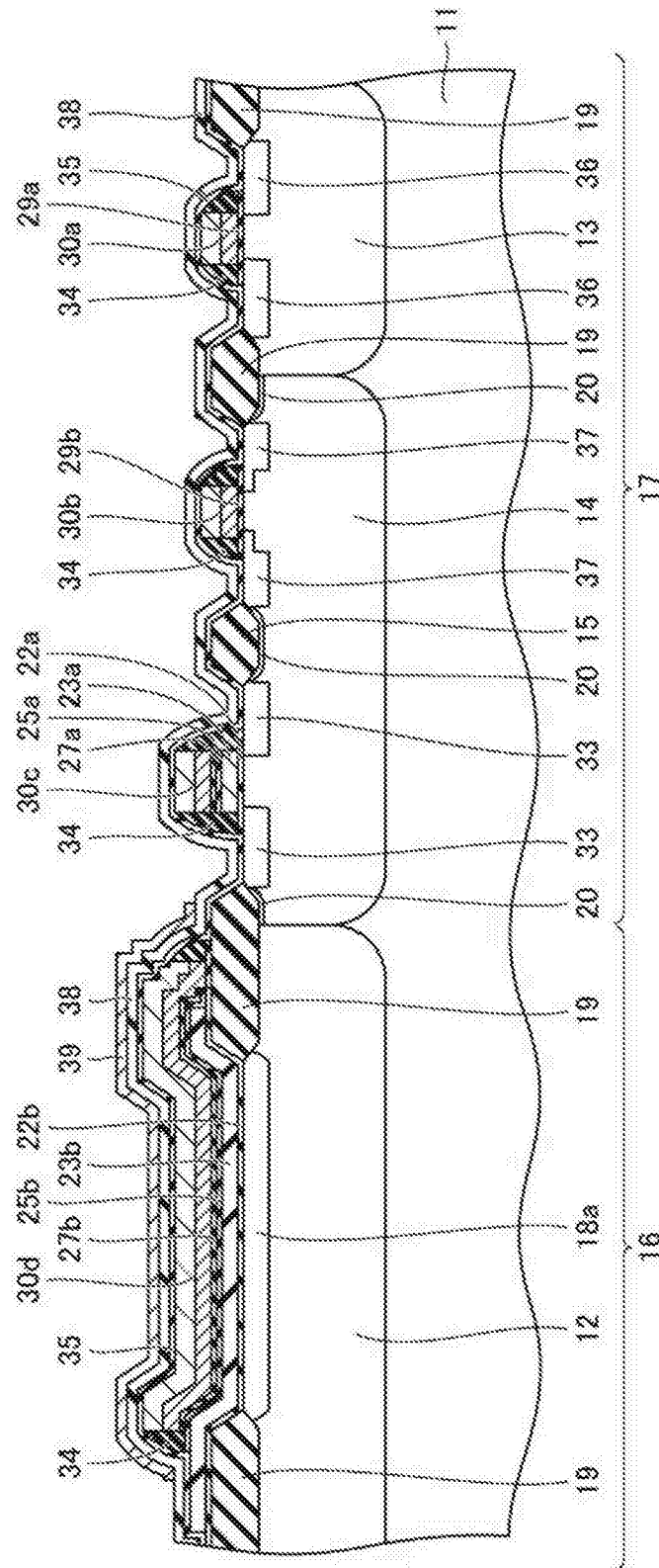


图8

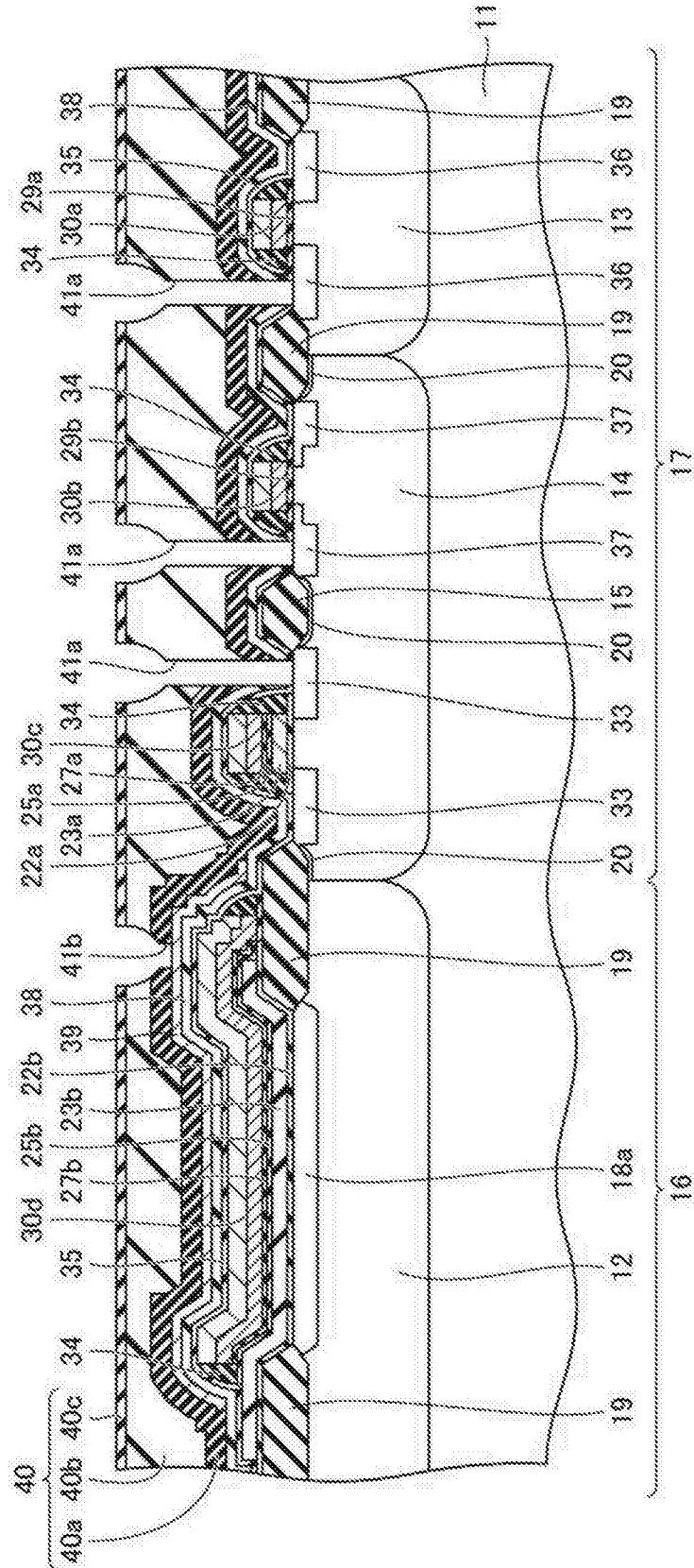


图9

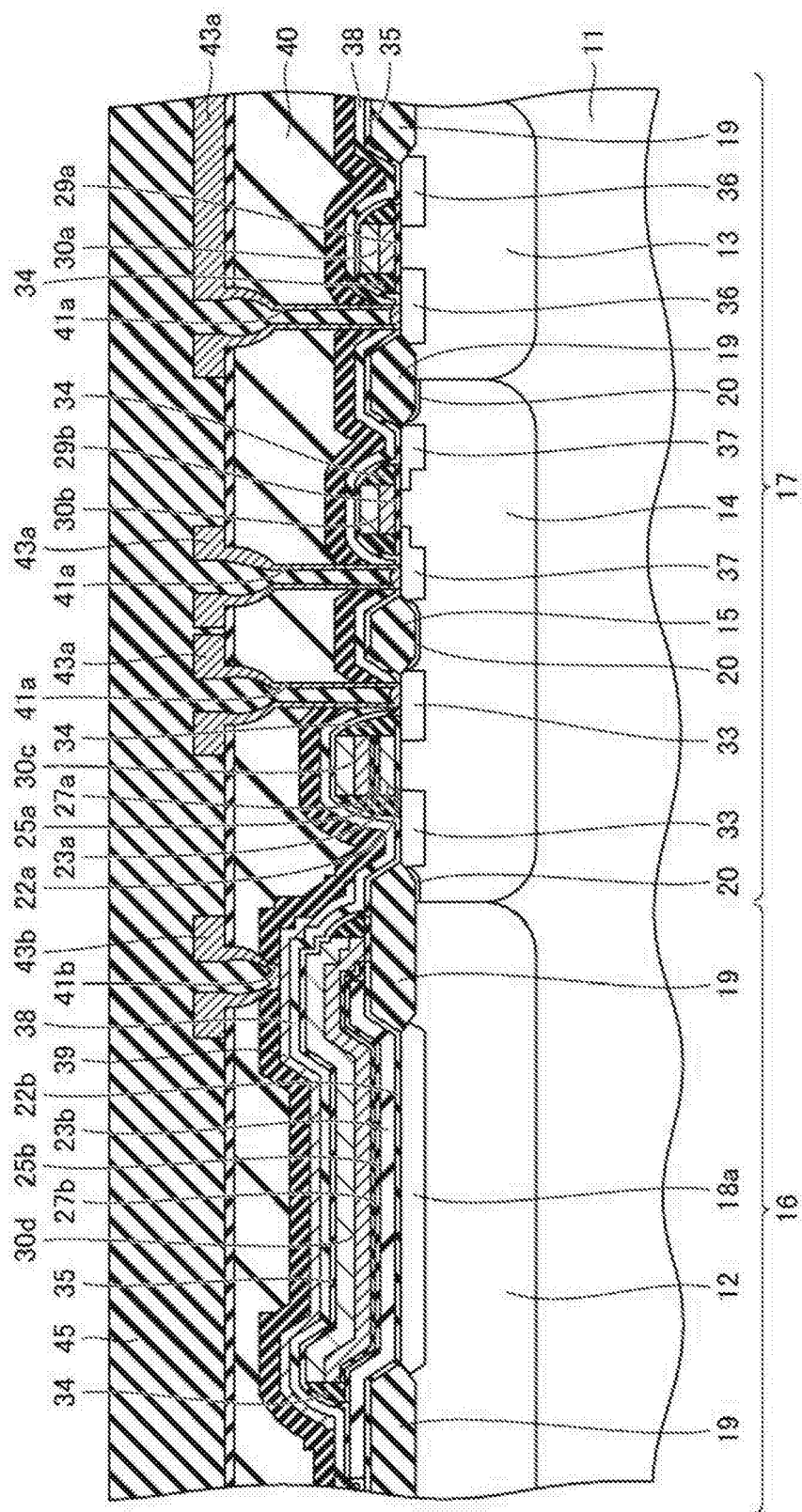


图10

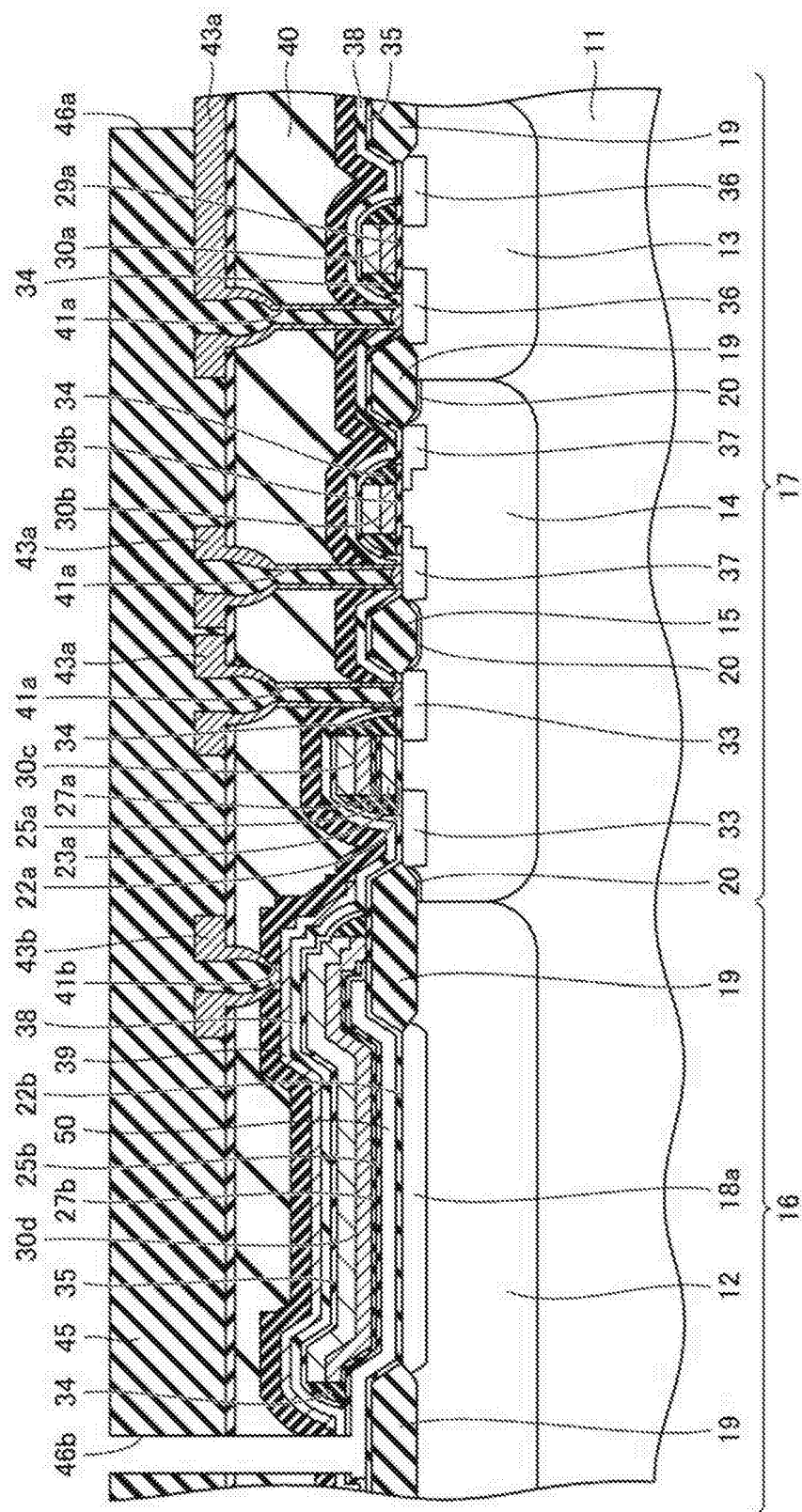


图 11

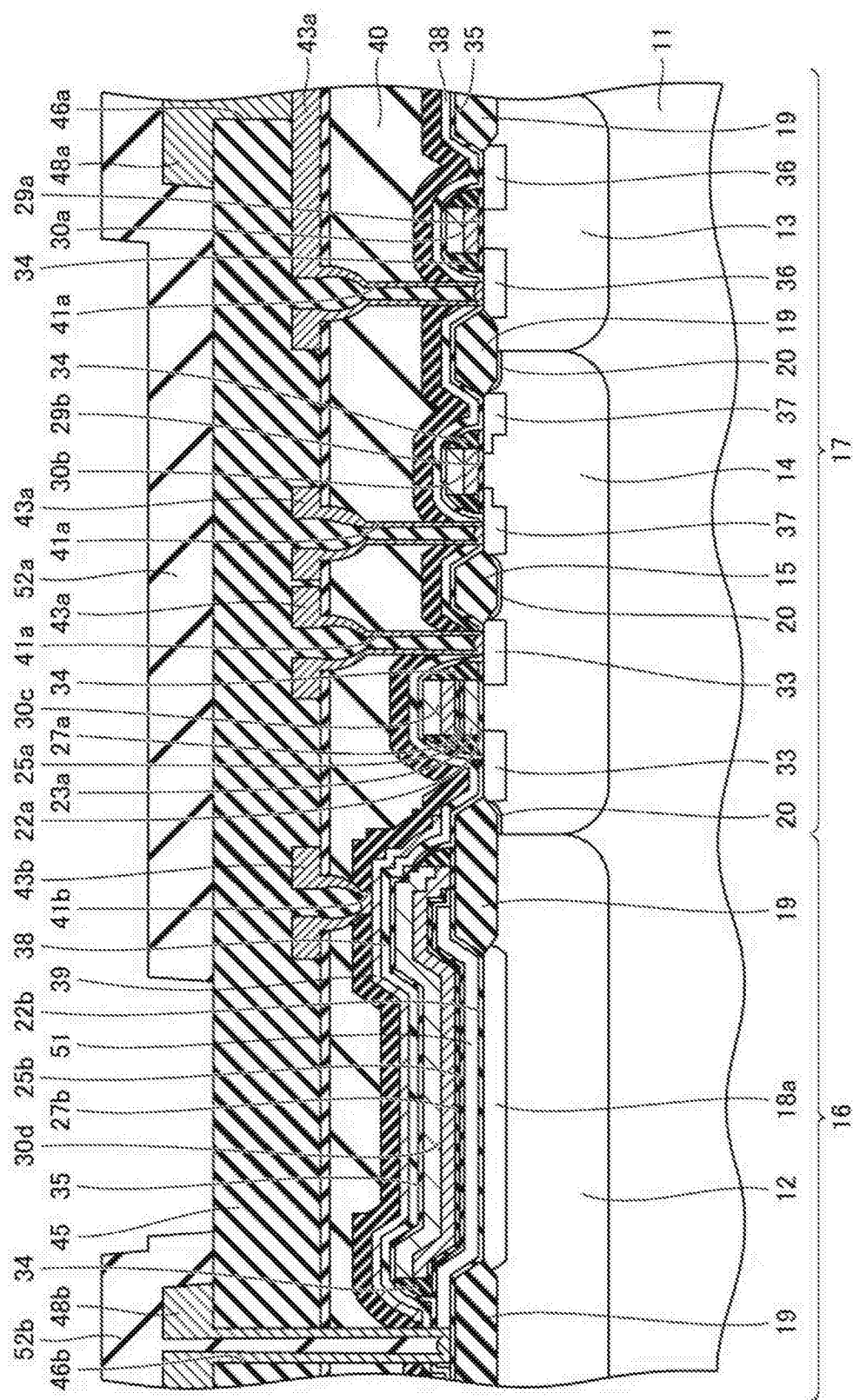


图12

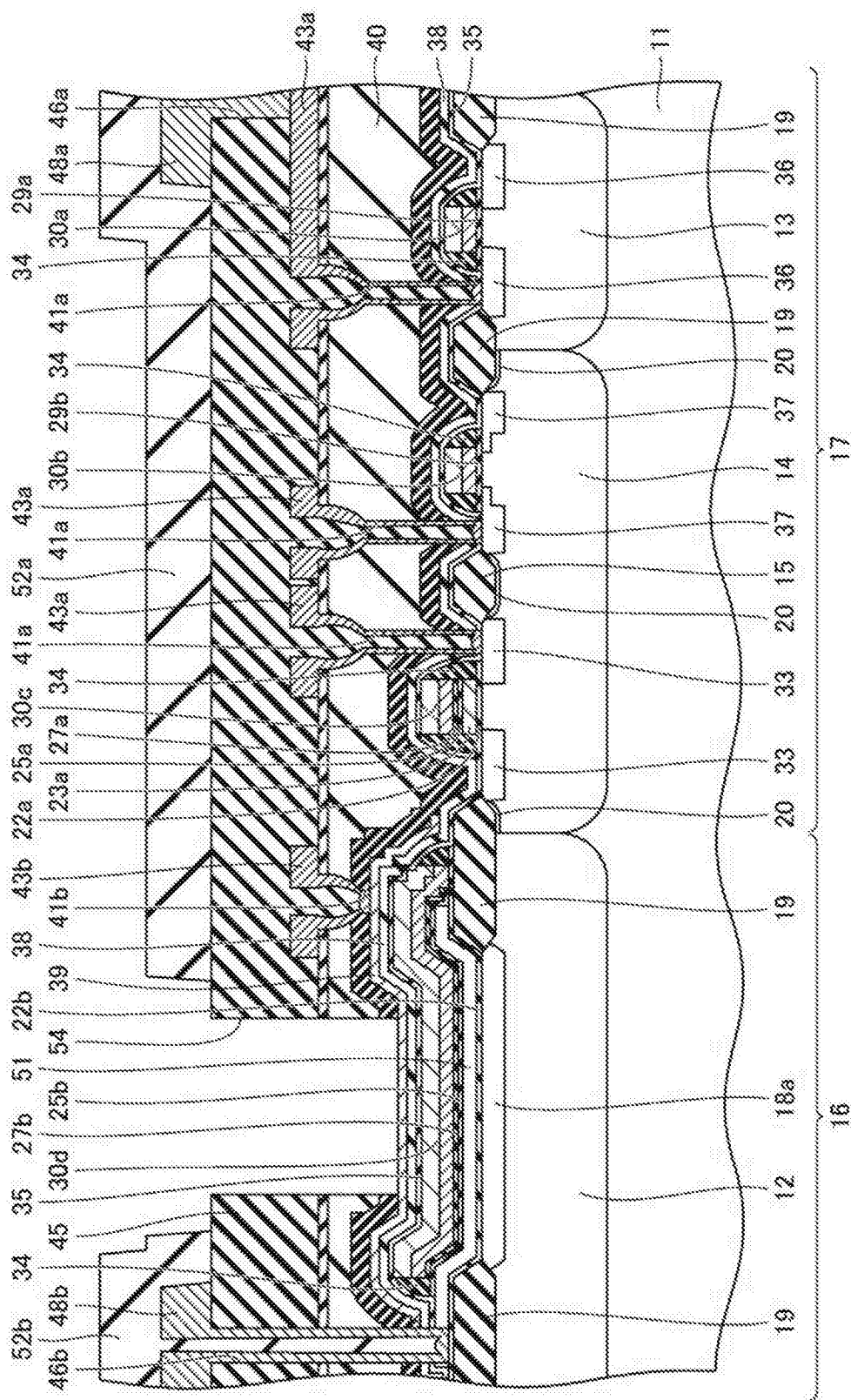


图13

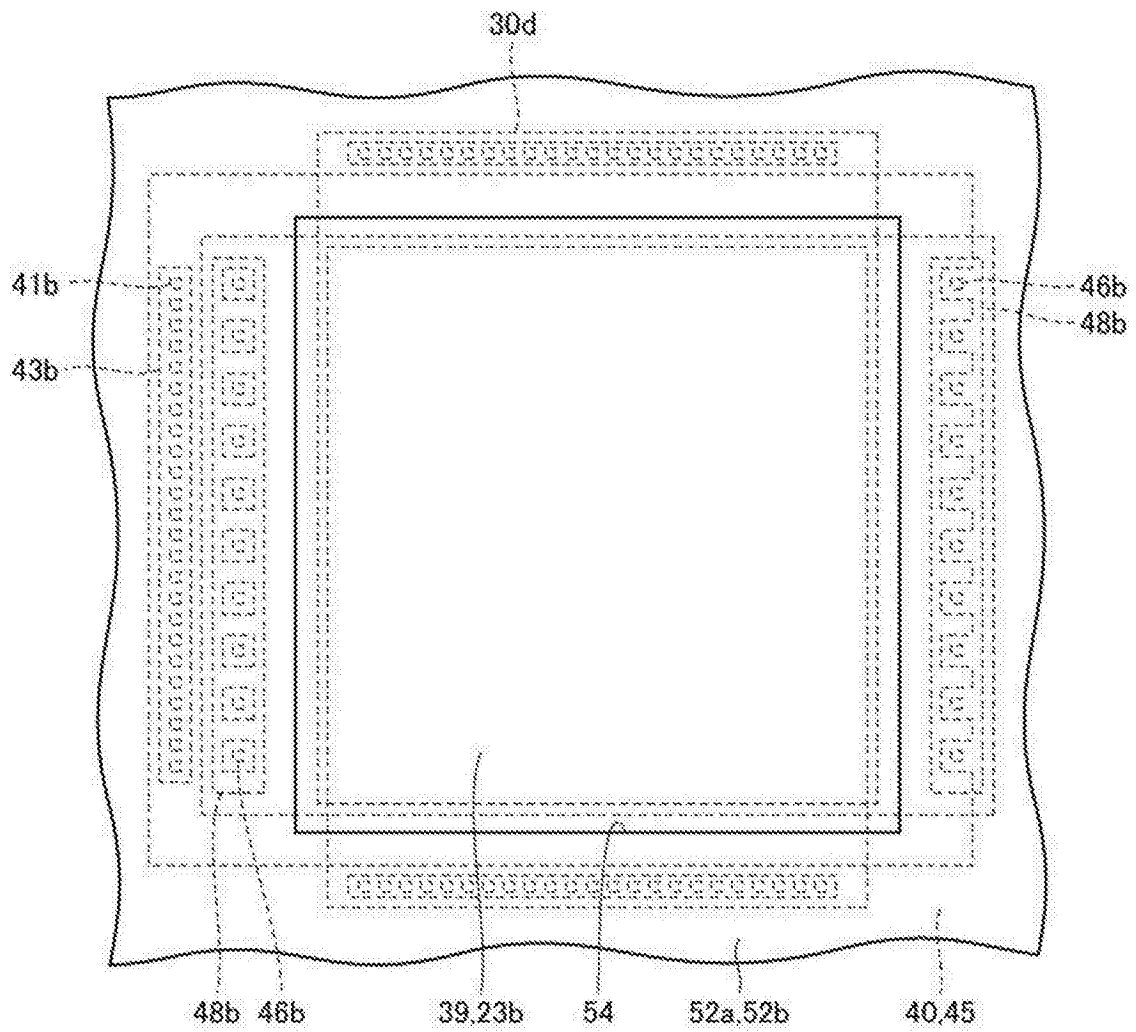


图14

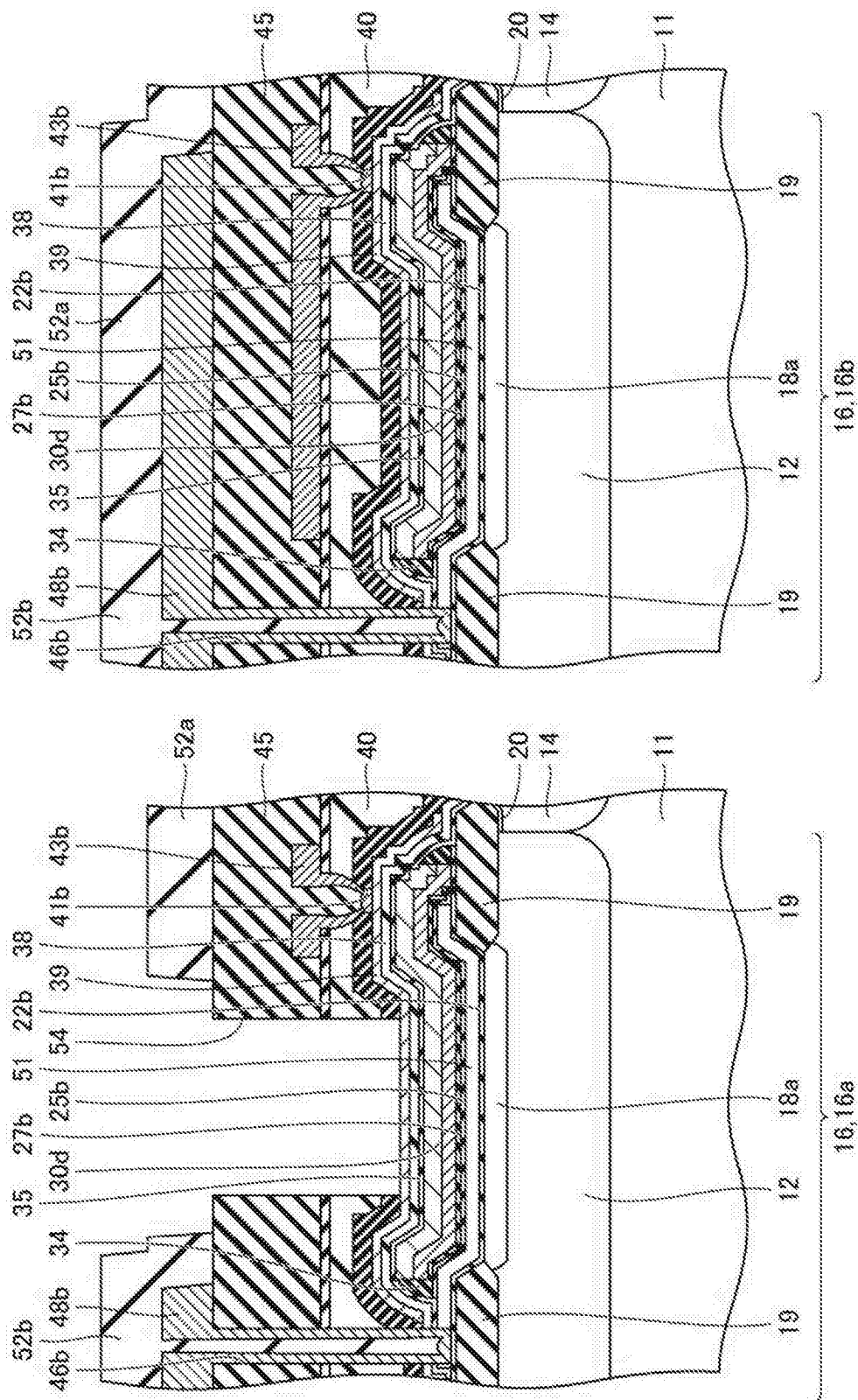


图15

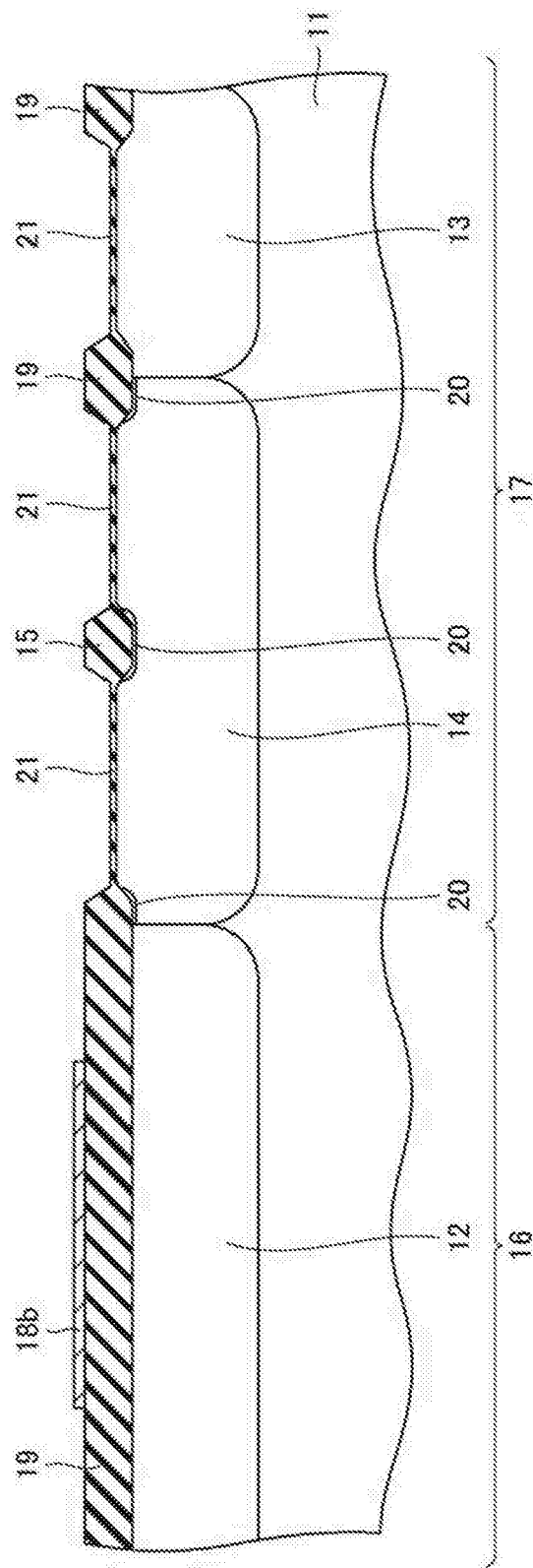


图16

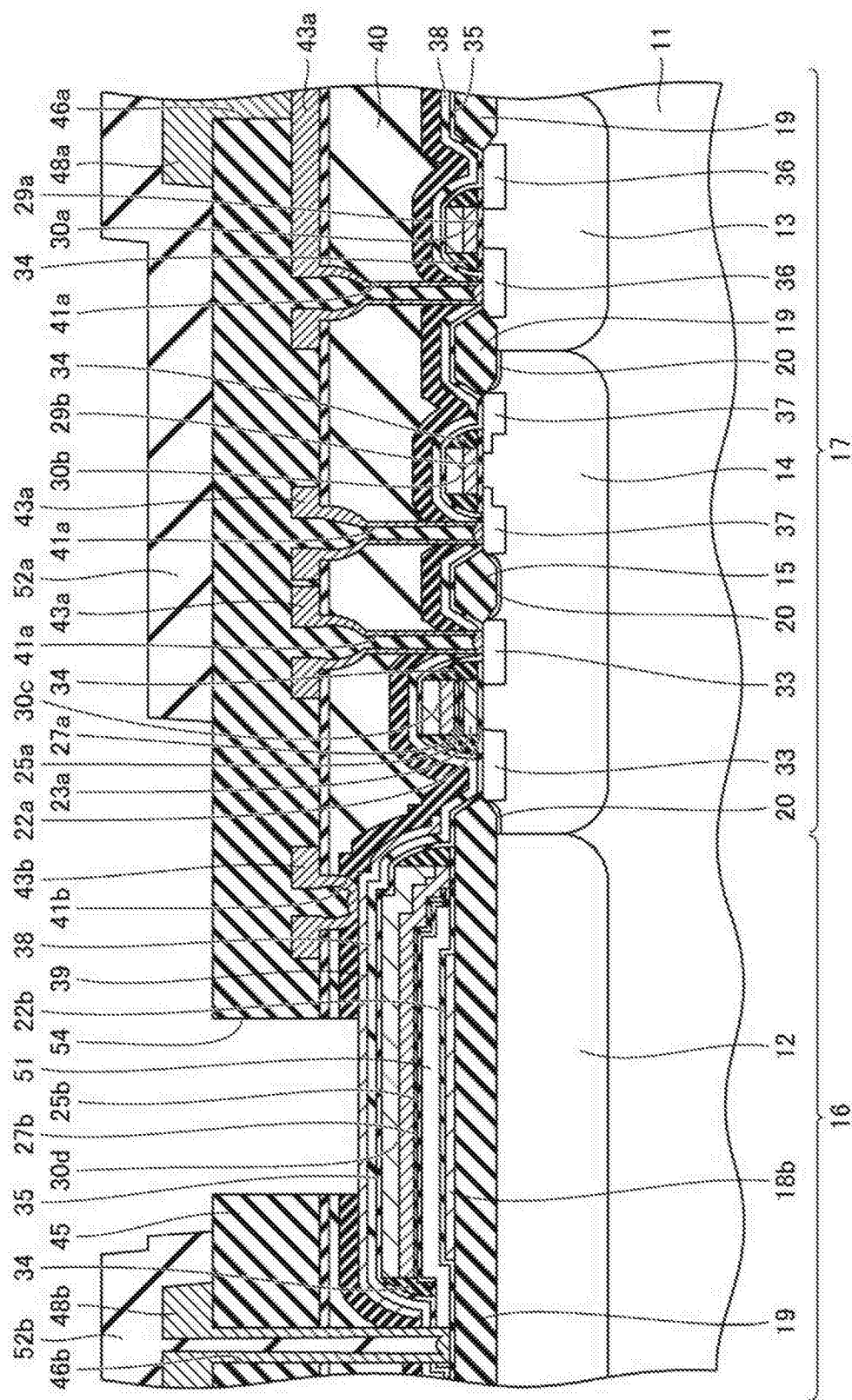


图17

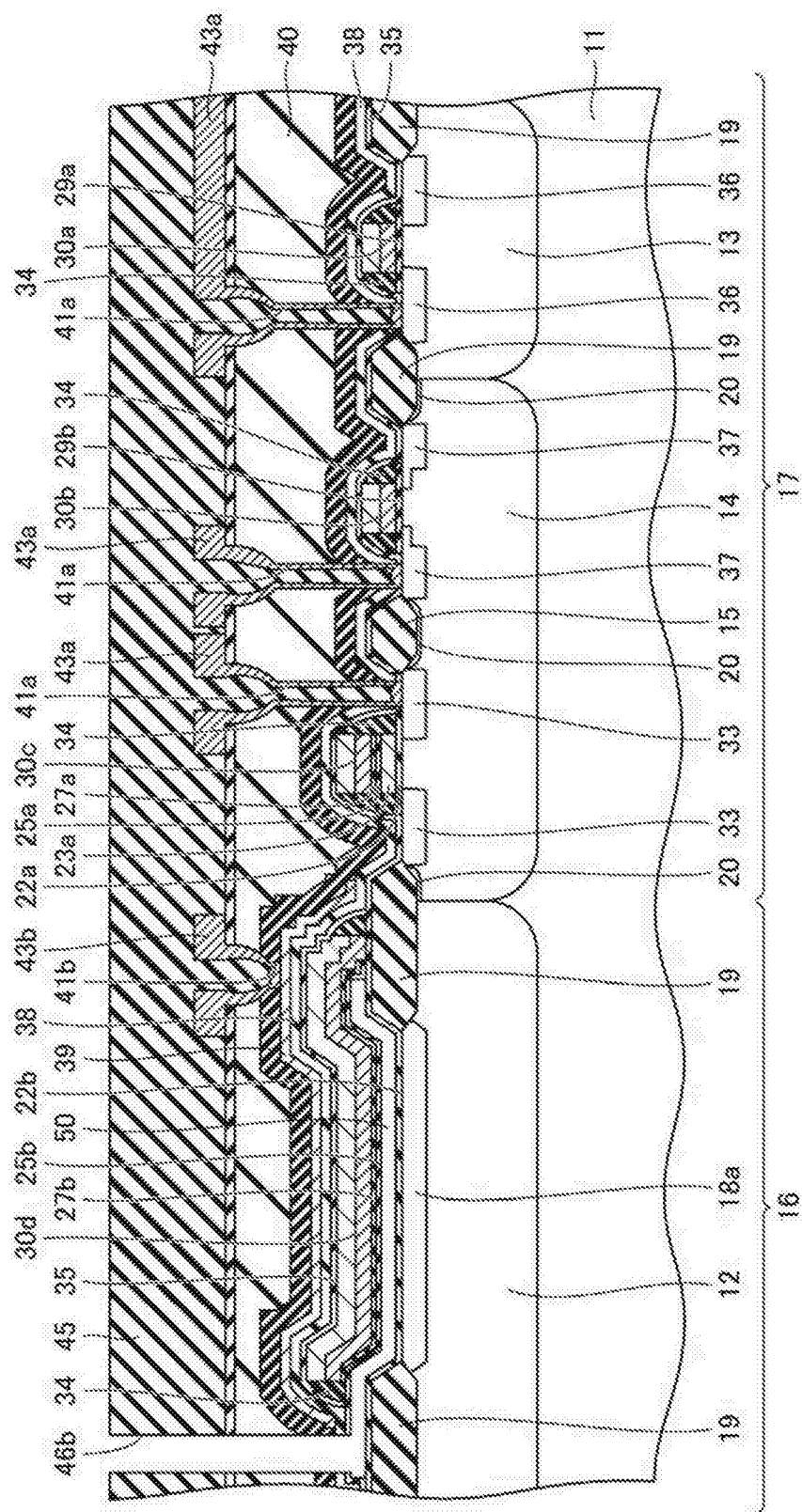


图18

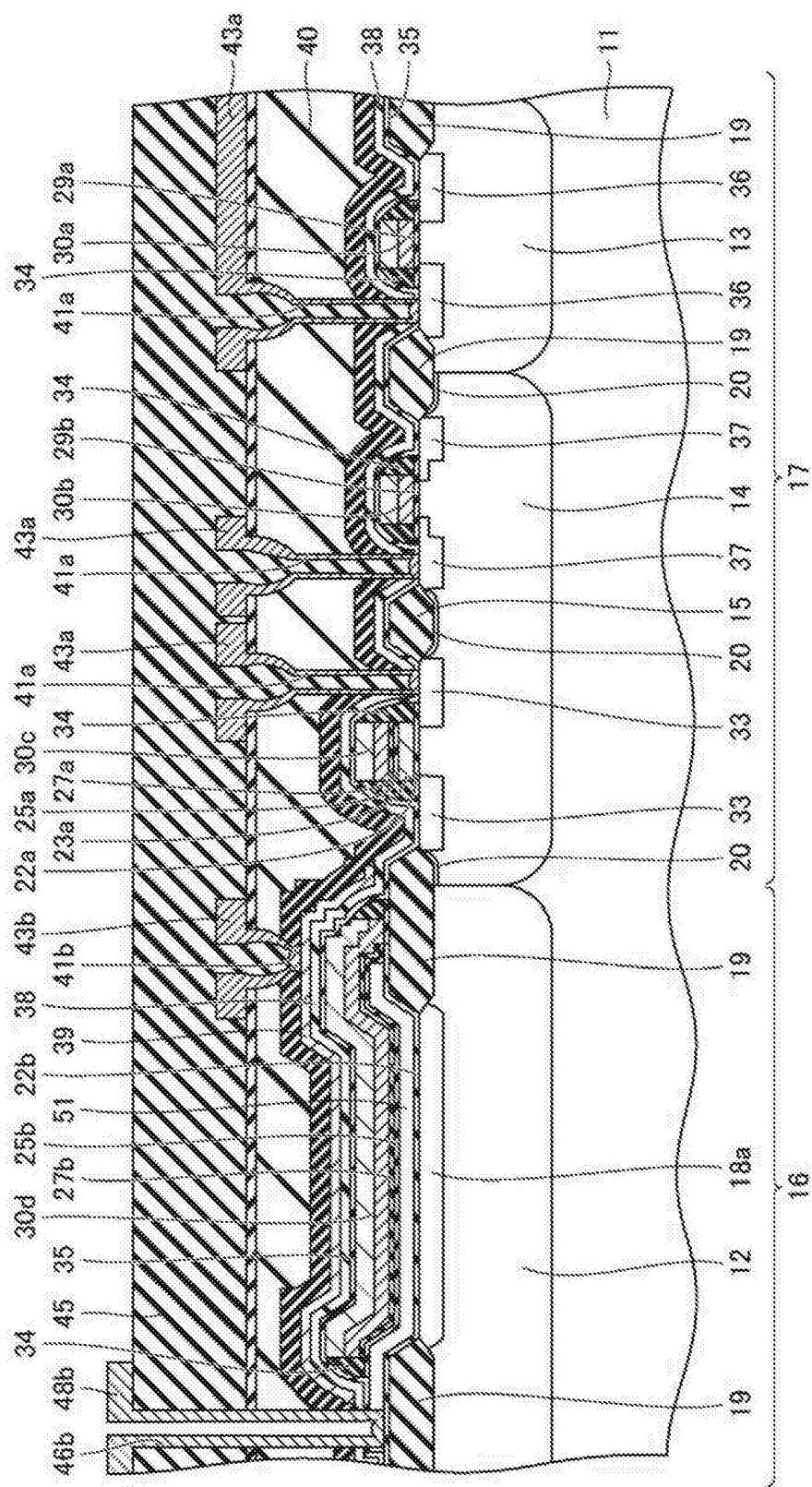


图19

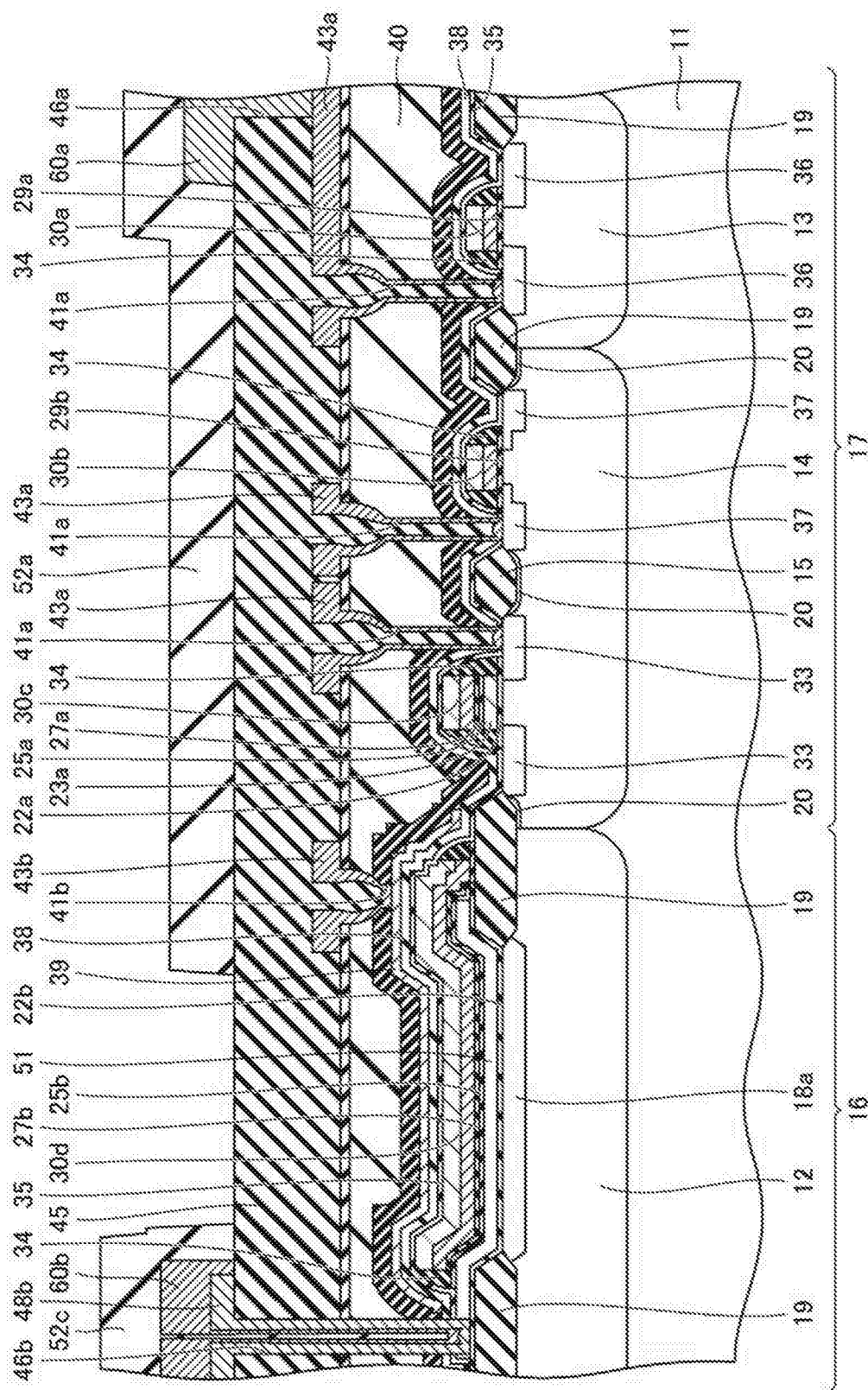


图20

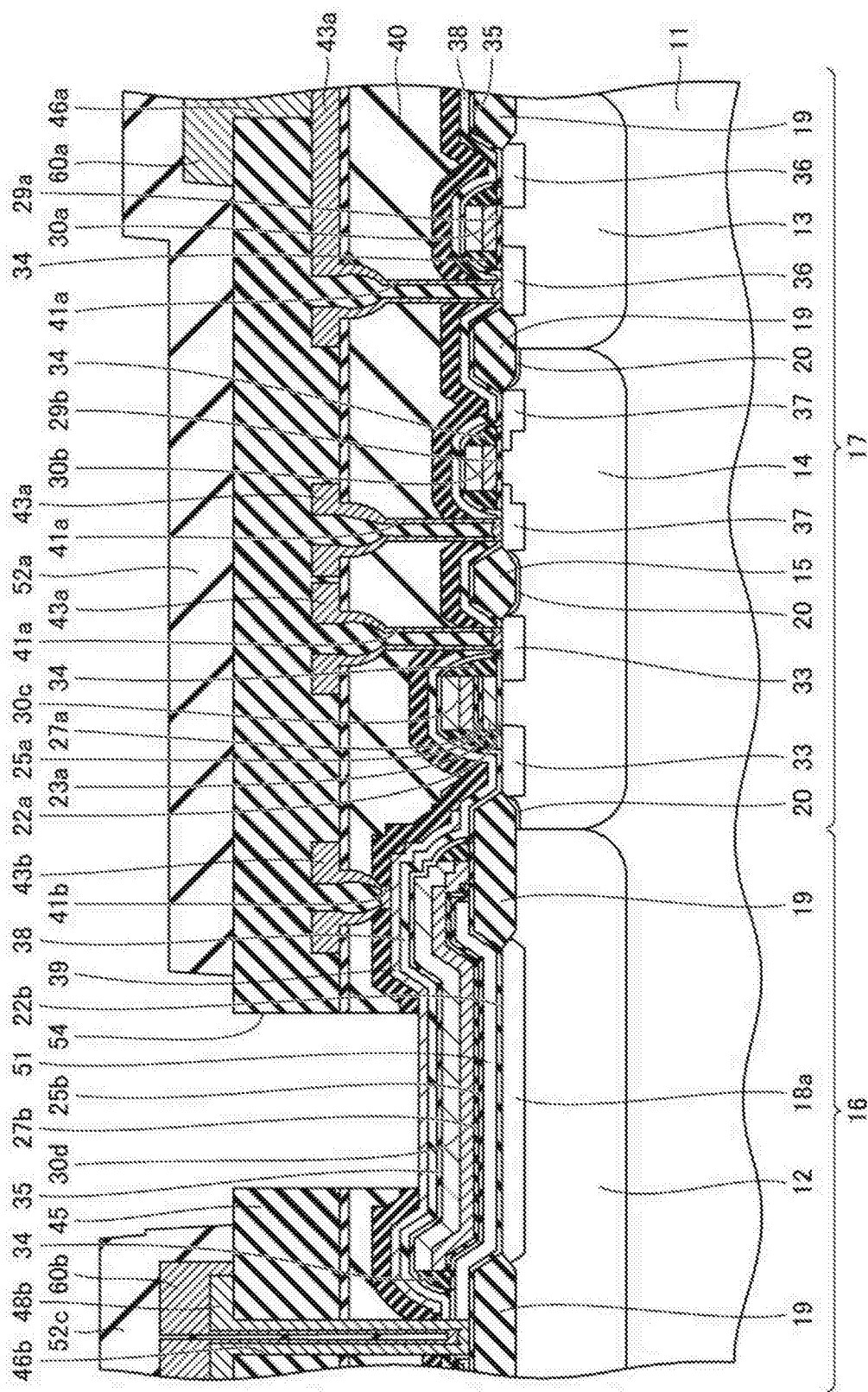


图21

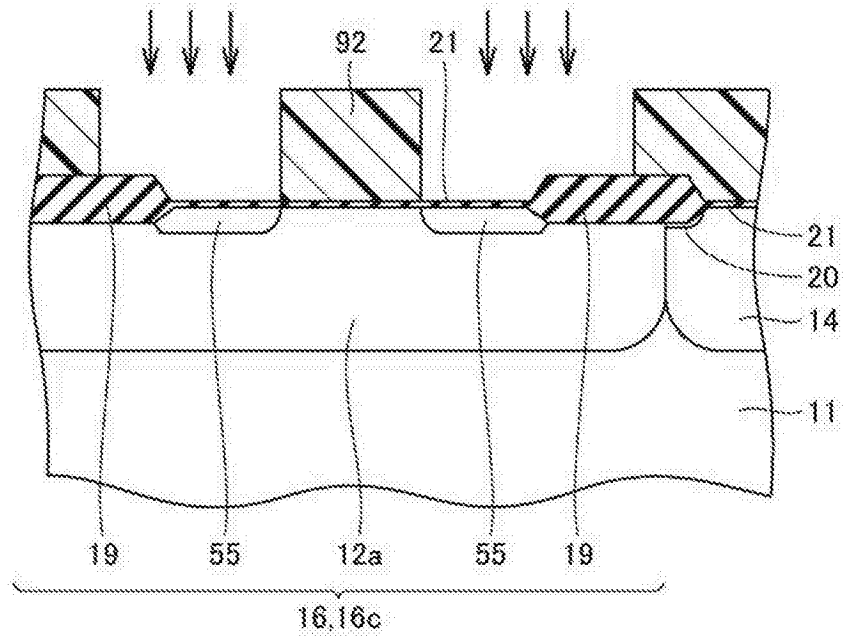


图22

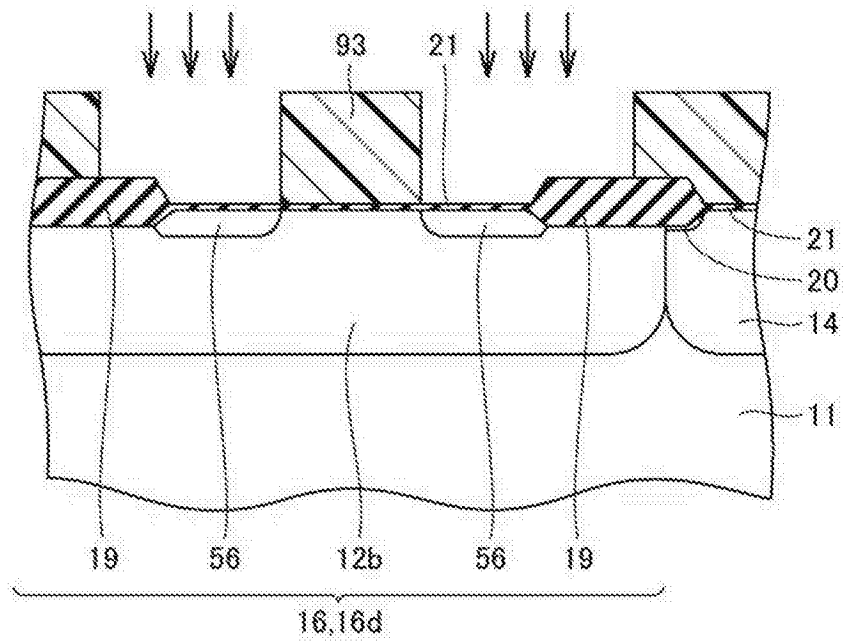


图23

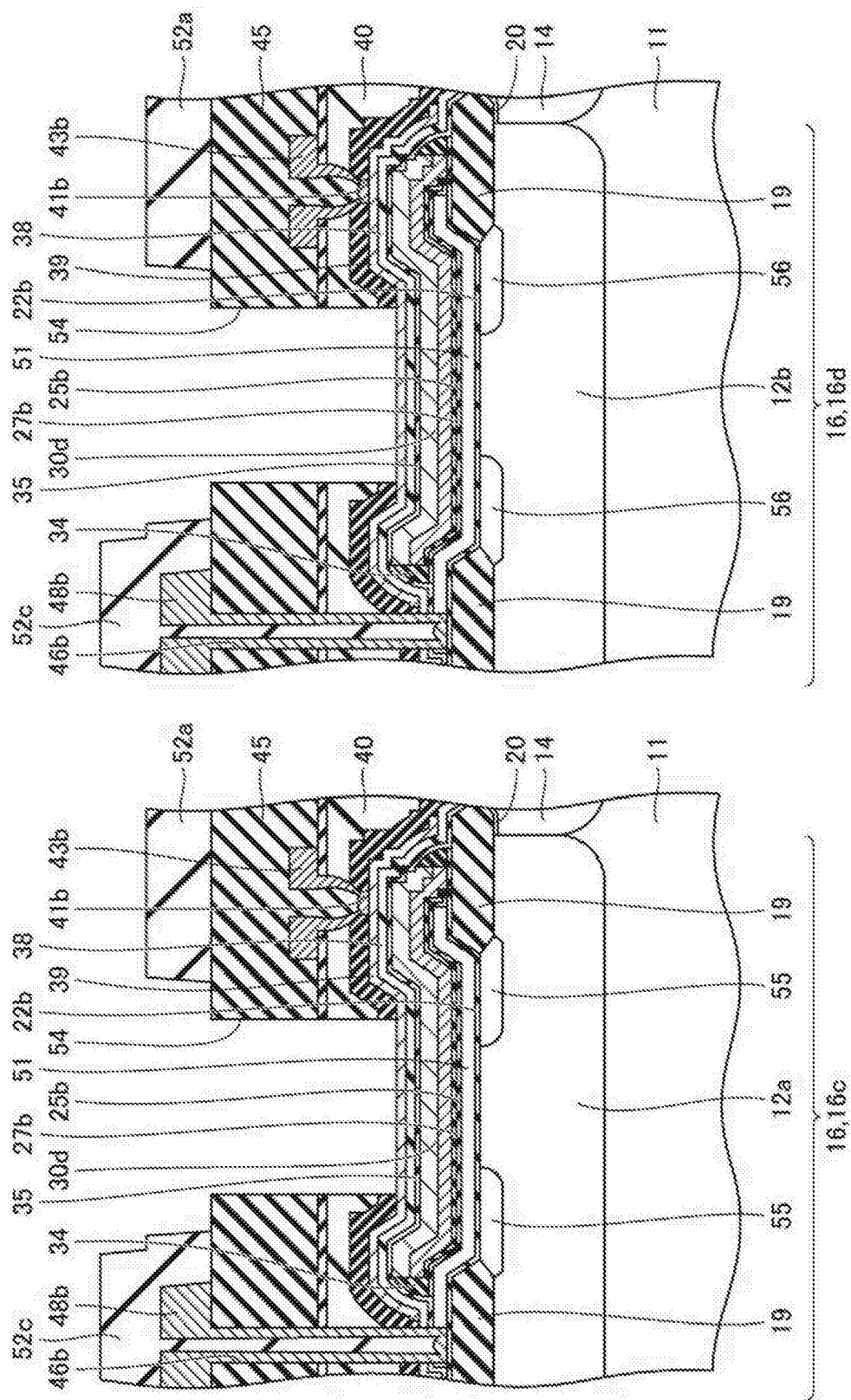


图24

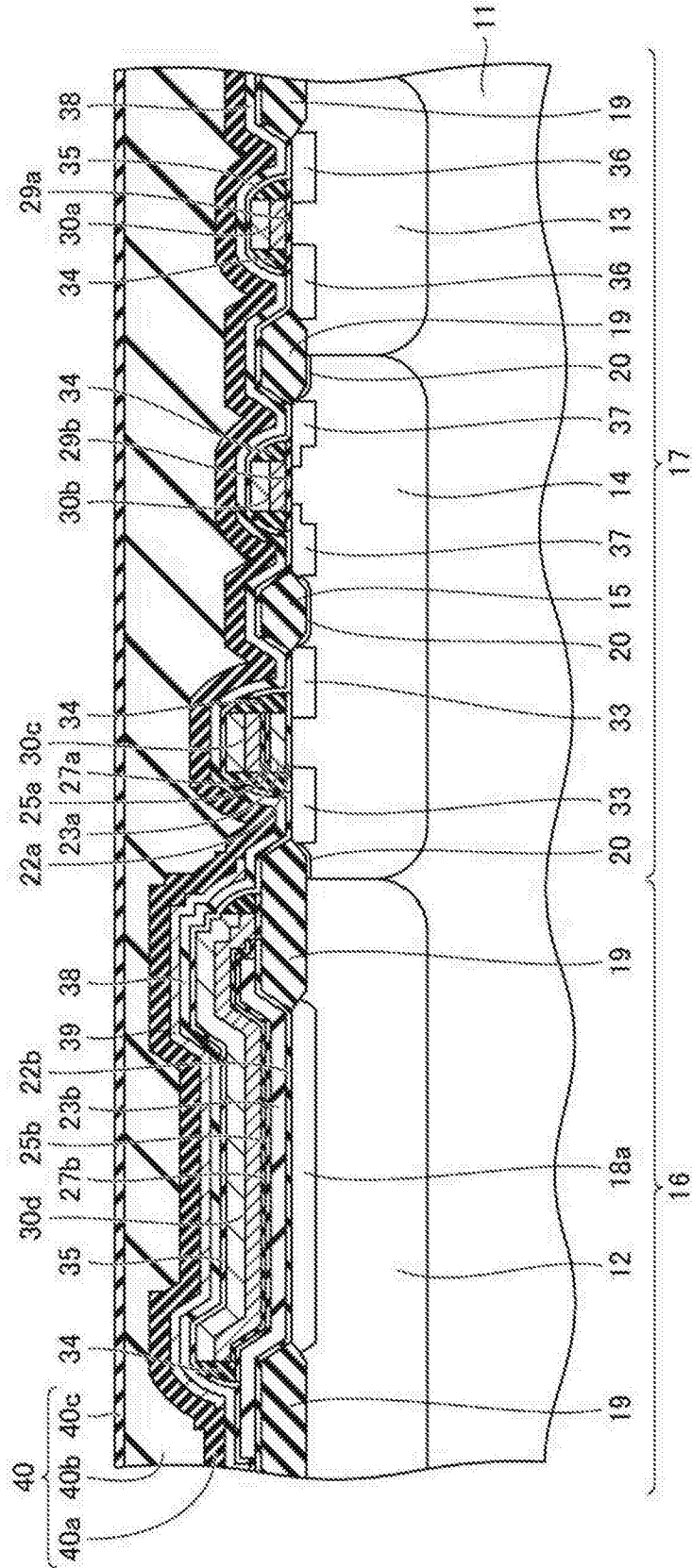


图25

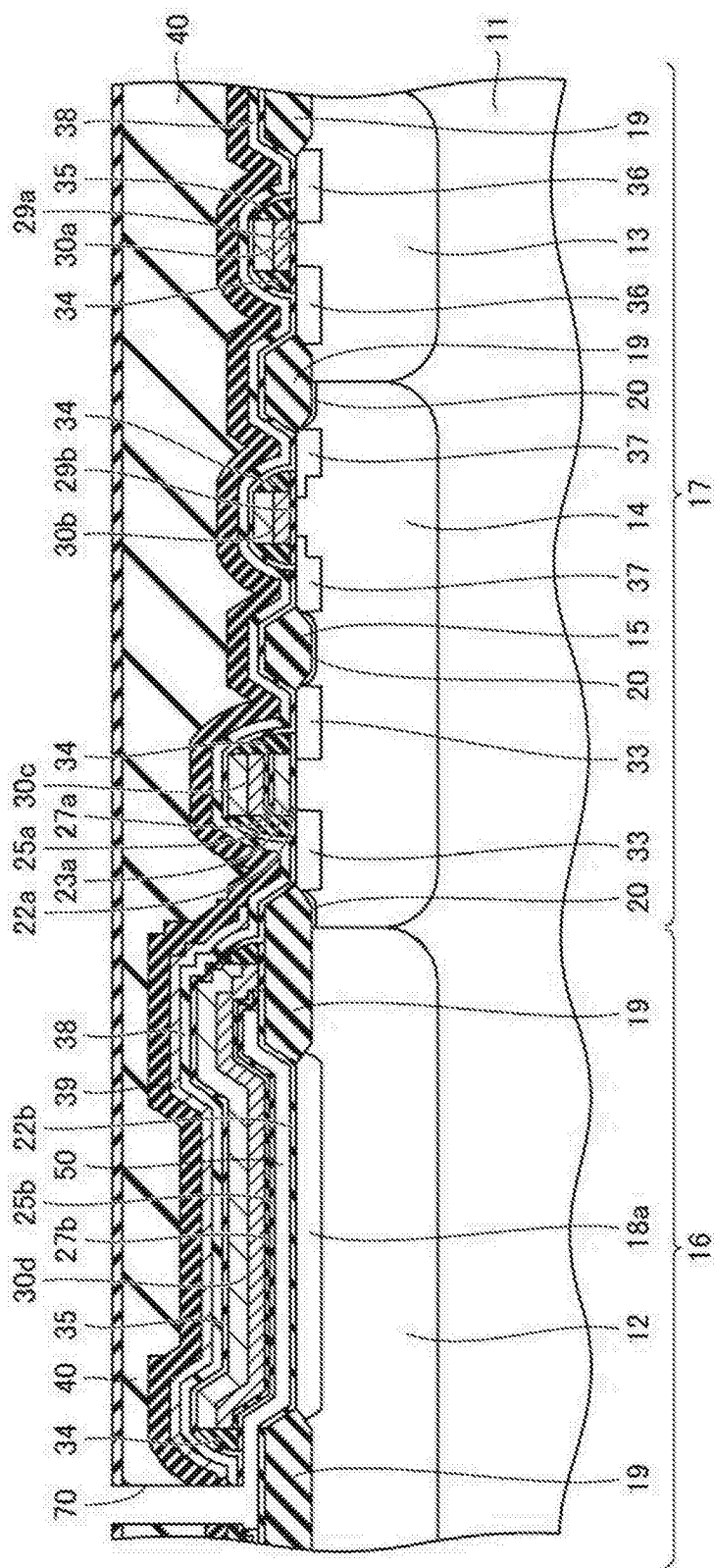


图26

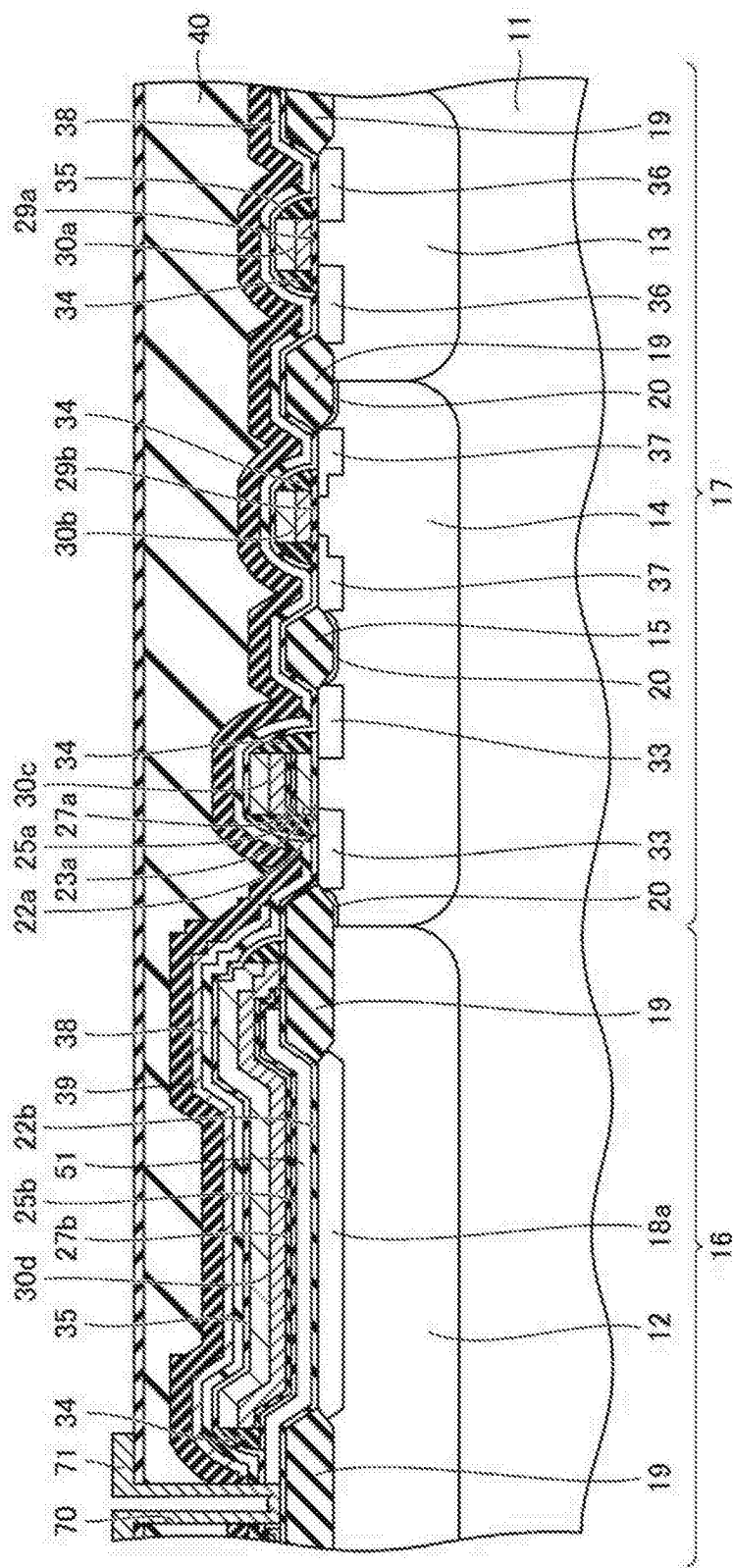


图27

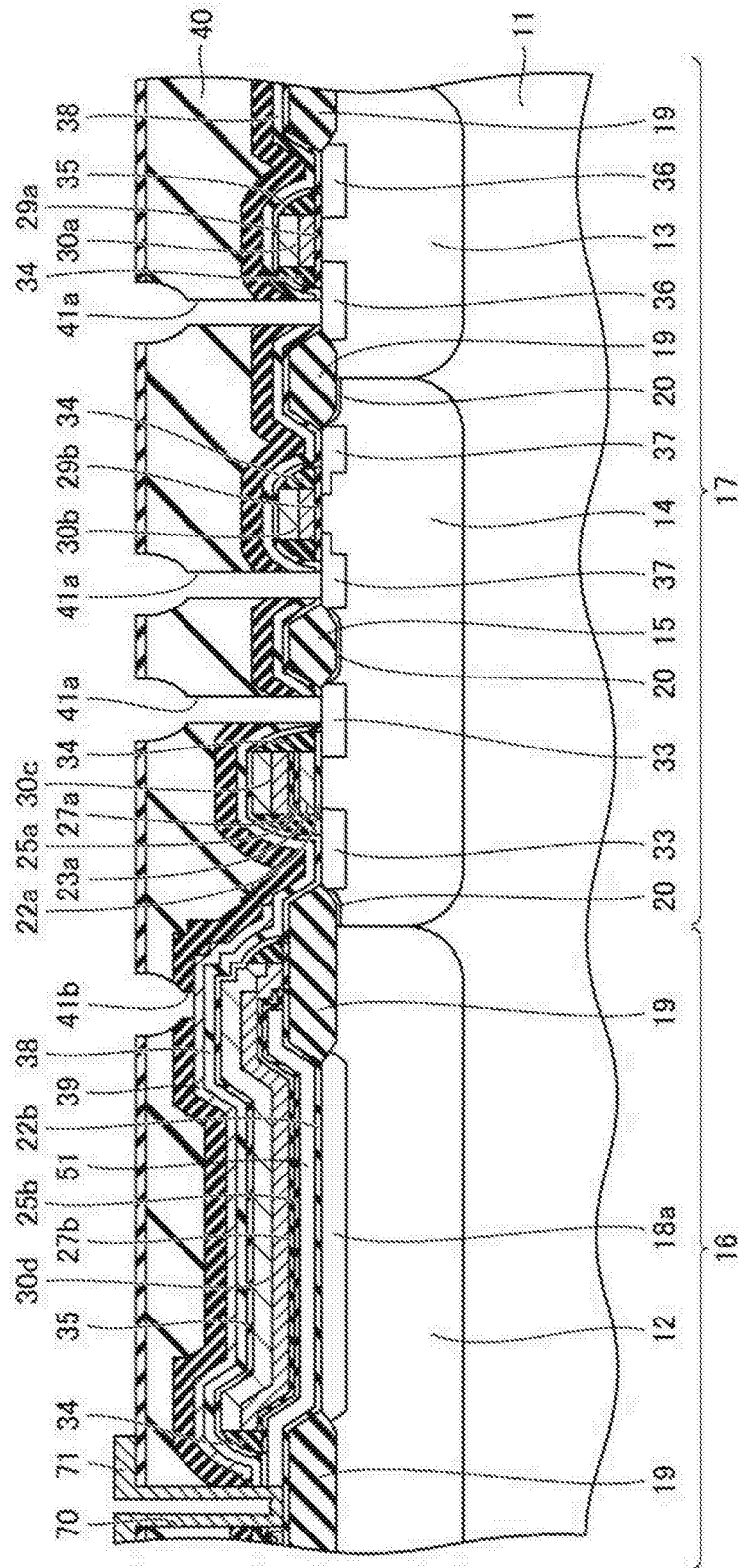


图28

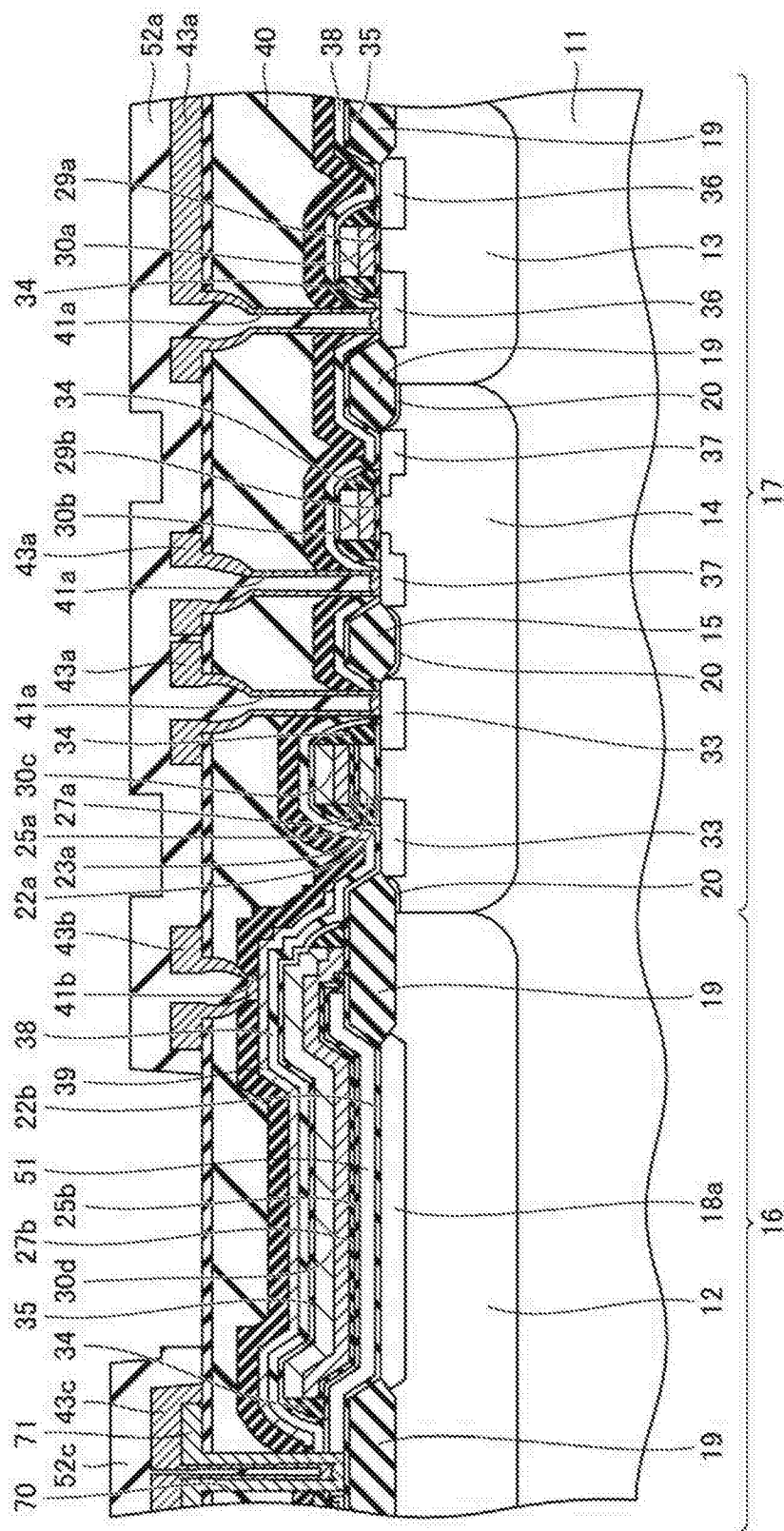


图29

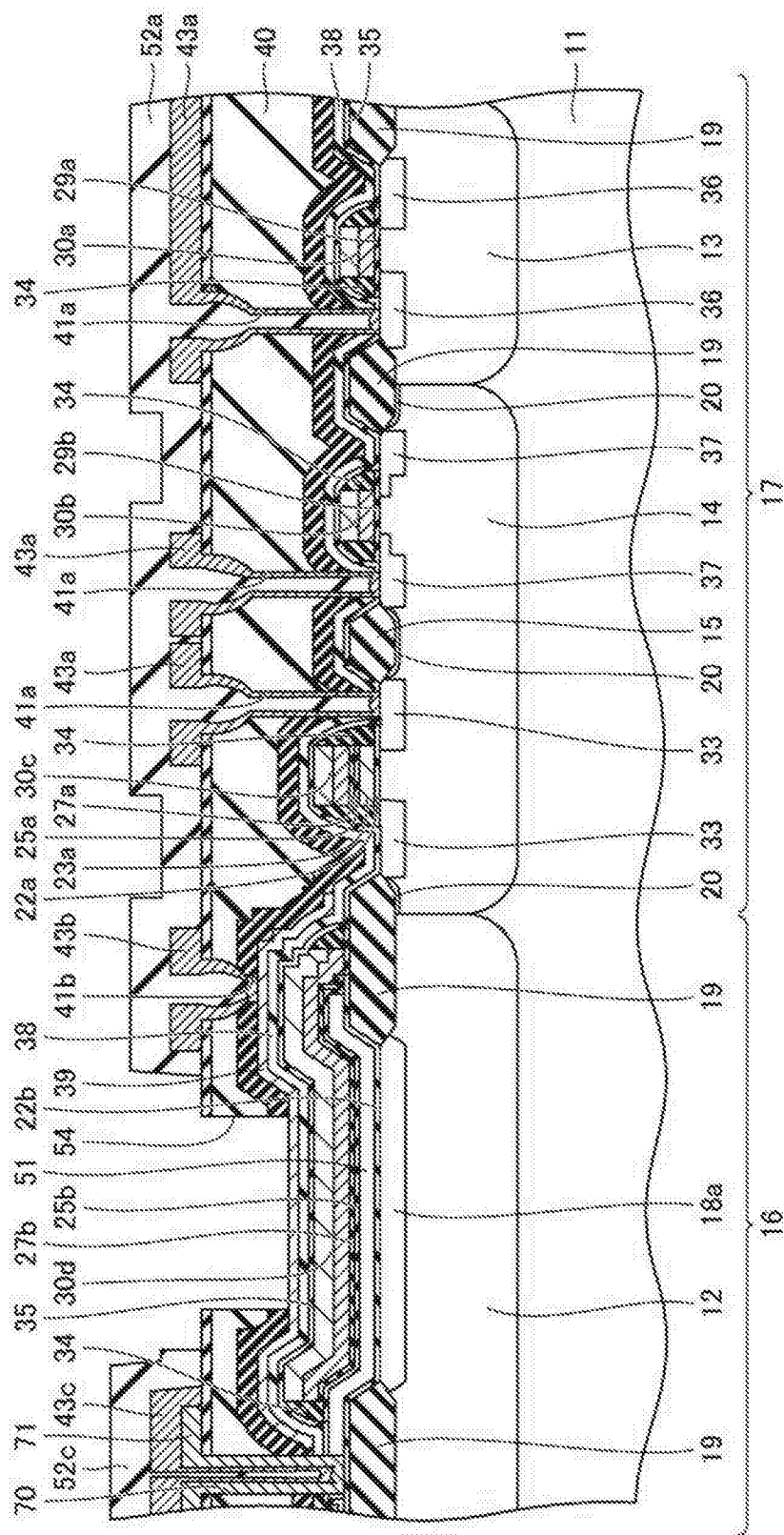


图30

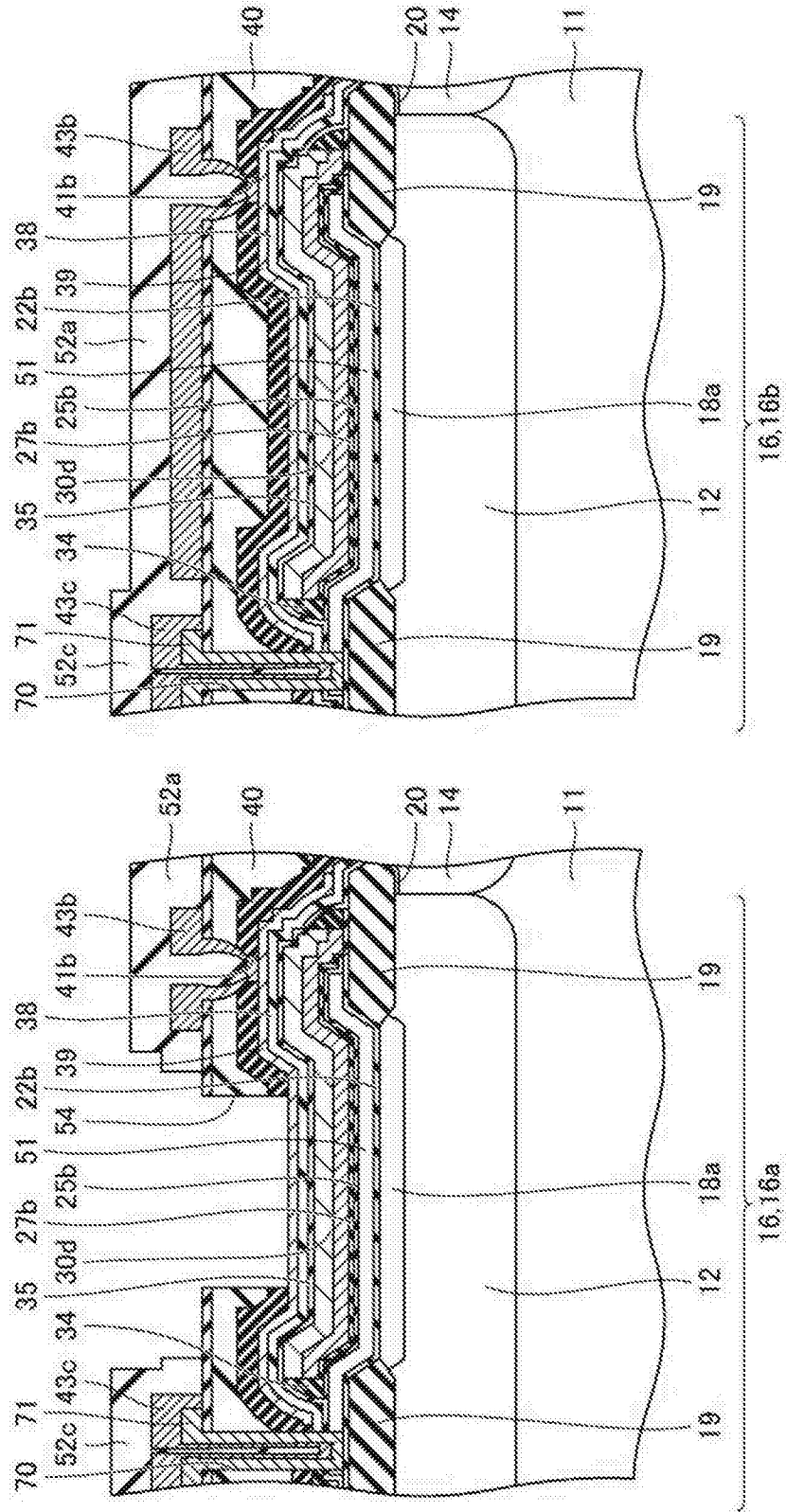


图31

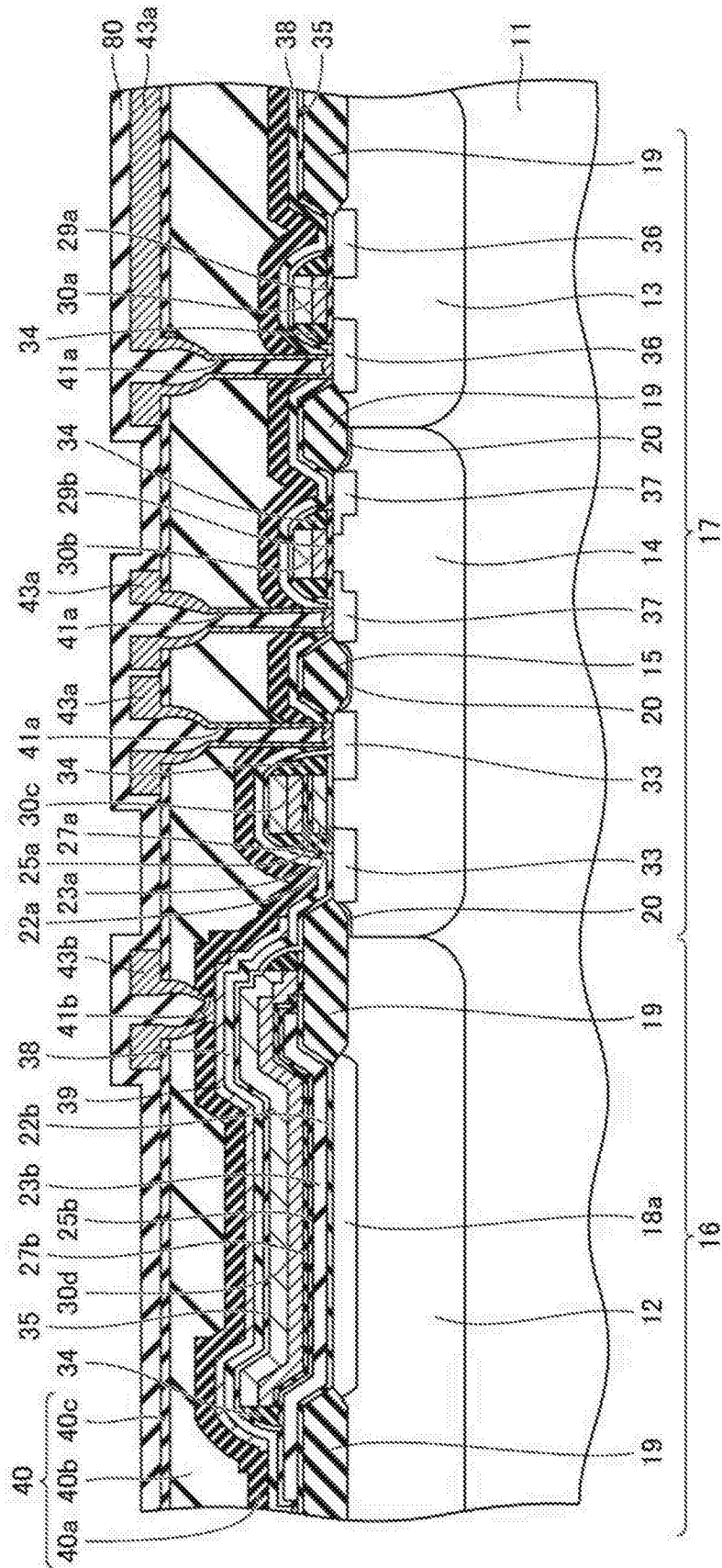


图32

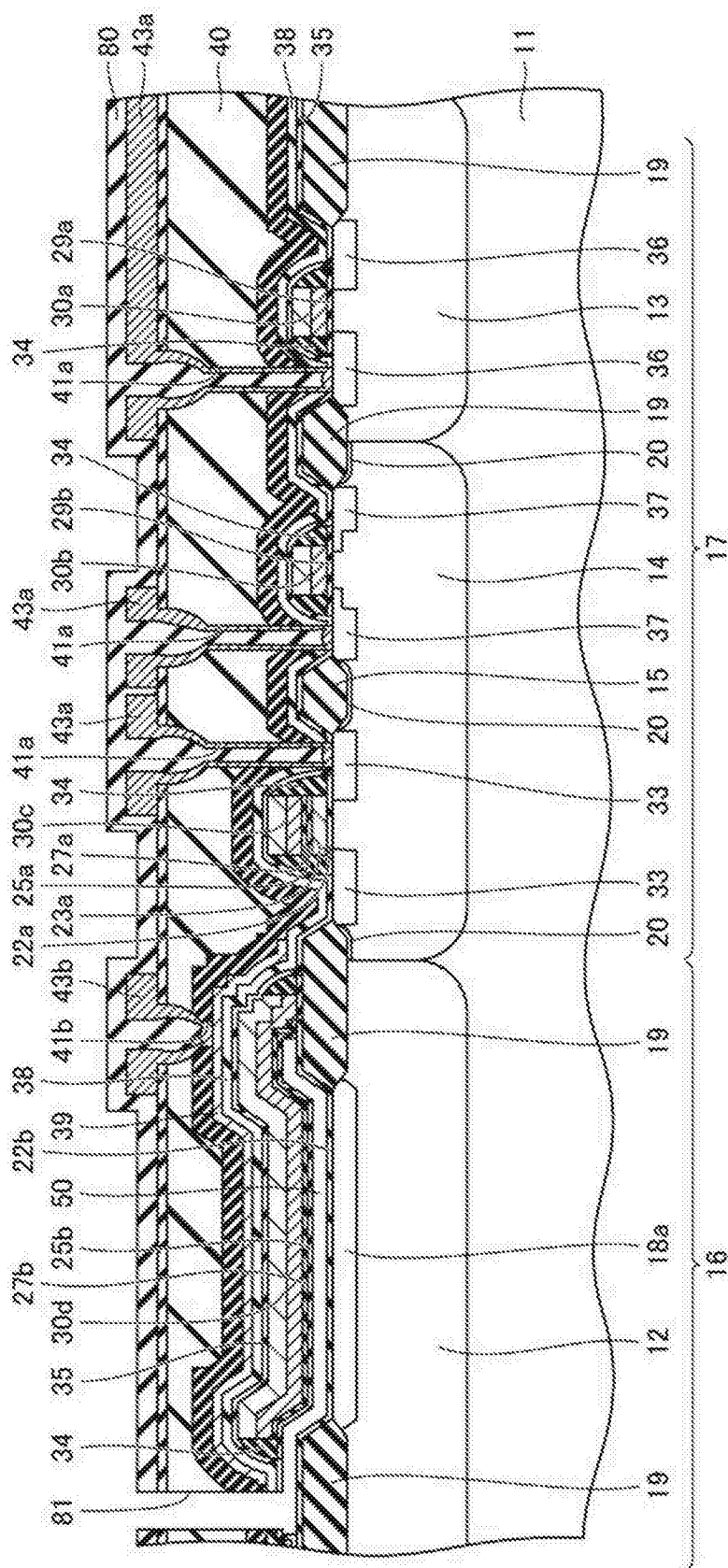


图33

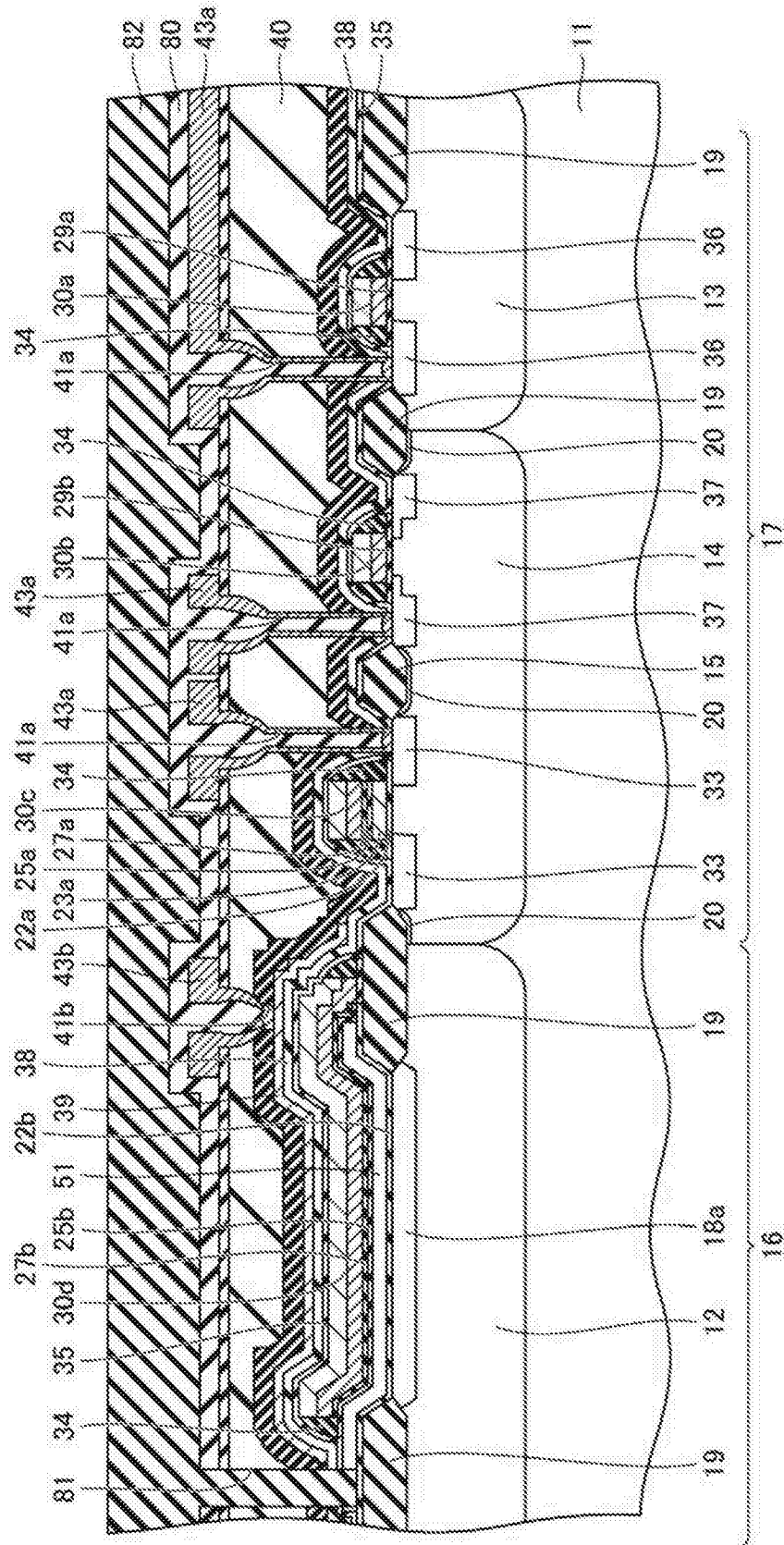


图34

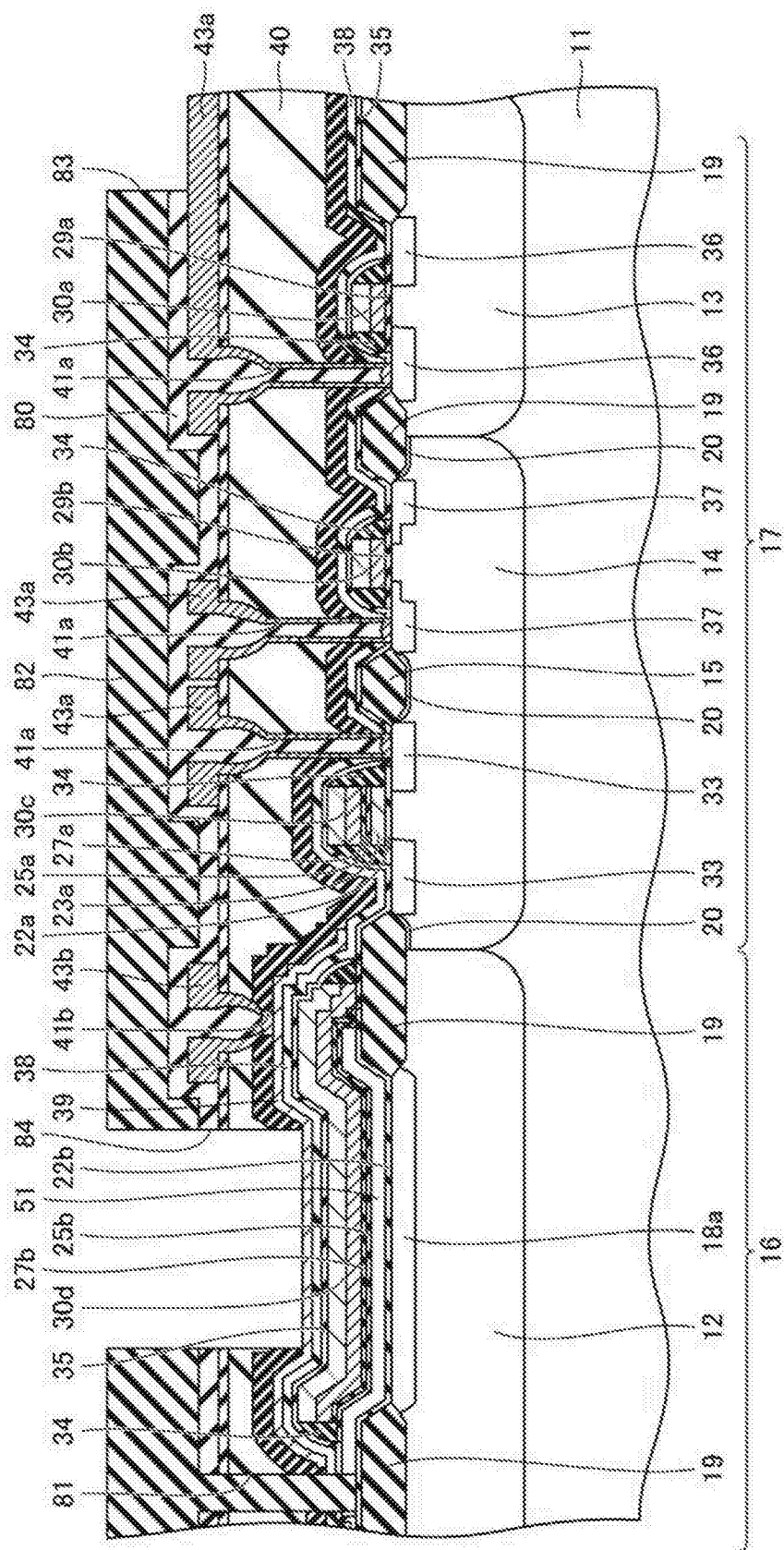


图35

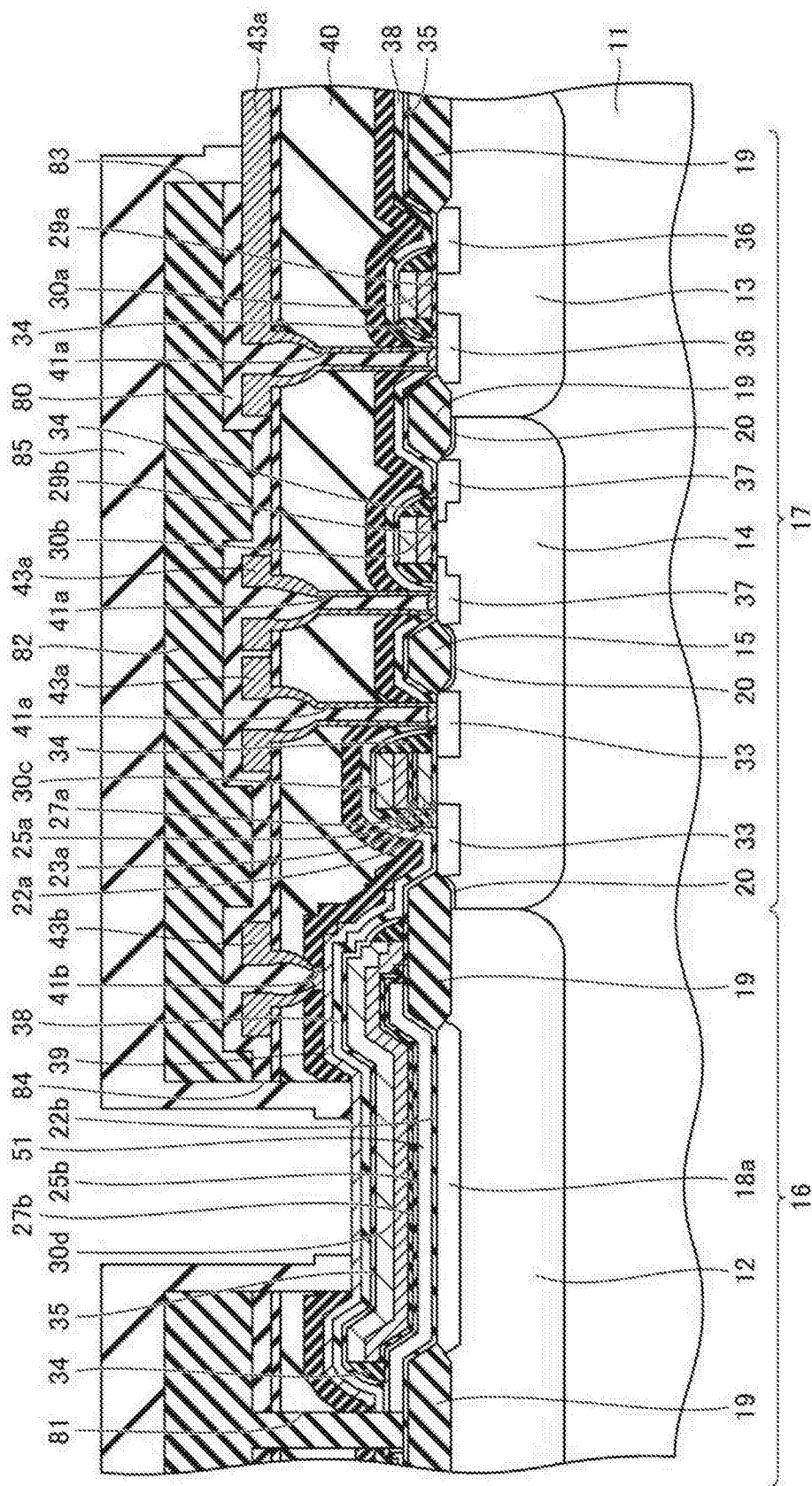


图36