



(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H01L 27/00 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2007년05월07일 10-0715260 2007년04월30일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자 심사청구일자	10-1999-0035596 1999년08월26일 2004년07월29일	(65) 공개번호 (43) 공개일자	10-2000-0017559 2000년03월25일
----------------------------------	---	------------------------	--------------------------------

(30) 우선권주장 98-246147 1998년08월31일 일본(JP)

(73) 특허권자 엘피다 메모리 가부시키키가이샤
일본 도쿄도 주오구 야에스 2초메 2방 1고

(72) 발명자 사이토마사요시
일본도쿄도하치오지시다이마치1-12-4

요시다마코토
일본도쿄도오우메시신마치9-4-4

카와카미히로시
일본도쿄도하치오지시아카쓰키쵸1-47-2-E103

우메자와타다시
일본도쿄도오우메시신마치9-4-4

(74) 대리인 특허법인 원전

(56) 선행기술조사문헌
1019980011858 * 1019980025631 *
*는 심사관에 의하여 인용된 문헌

심사관 : 정병홍

전체 청구항 수 : 총 22 항

(54) 반도체 집적회로장치의 제조방법

(57) 요약

게이트전극상의 캡 절연막을 산화실리콘막과 그 위에 형성된 질화실리콘막의 적층구조로 했다. 콘택트홀의 형성시에는, 산화실리콘막 쪽이 질화실리콘막 보다도 에칭제거되기 쉬운 조건에서 에칭을 하고, 그 에칭처리를 질화실리콘막이 노출한 시점에서 종료한다. 계속해서, 질화실리콘막 쪽이 산화실리콘막 보다도 에칭제거되기 쉬운 조건에서 에칭을 하고, 반도체 기판(1)이 노출하는 콘택트홀을 형성한다.

대표도

도 5

특허청구의 범위

청구항 1.

반도체 집적회로장치의 제조방법에 있어서,

- (a) 반도체 기판 위에 제1 도체막, 제1 절연막 및 제2 절연막을 하층으로부터 차례로 피착(被着)한 후, 이것을 패터닝하는 것에 의해 복수의 제1 도체막 패턴을 형성하는 공정과,
- (b) 상기 (a)공정후의 반도체 기판위, 제1 도체막 패턴의 측벽 및 제2 절연막 위에 제3 절연막을 형성한 후, 그 제3 절연막 위에 제4 절연막을 형성하는 공정과,
- (c) 상기 (b)공정후, 상기 제4 절연막 위에, 상기 복수의 제1 도체막 패턴 중의 서로 인접하는 제1 도체막 패턴의 사이에 제1의 개구를 가지는 마스크를 형성한 후, 상기 마스크의 제1의 개구에서 노출한 상기 제4의 절연막을, 상기 제4 절연막의 쪽이 제3 및 제2 절연막 보다도 에칭제거되기 쉬운 조건에서 에칭하고, 상기 제4 절연막에 제2의 개구를 형성하는 공정과,
- (d) 상기 (c)공정후, 상기 제3 절연막의 쪽이 제1 절연막 및 제4 절연막 보다도 에칭제거되기 쉬운 조건에서, 상기 제4 절연막의 제2의 개구에서 노출한 상기 제3 절연막에 이방성 에칭처리를 행하고, 상기 서로 인접하는 제1 도체막 패턴사이의 제3 절연막에 상기 반도체 기판의 상면이 노출하는 제3의 개구를 형성하는 공정을 가지고,
- 상기 제1 절연막 및 제4 절연막이 산화실리콘막으로 이루어지고, 상기 제2 절연막 및 제3 절연막이 질화실리콘막으로 이루어지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 2.

제1 항에 있어서,

상기 (c)공정시에, 상기 제1의 개구에서 노출하는 제4 절연막은 제거되고, 상기 서로 인접하는 제1 도체막 패턴 위의 제1 절연막은 노출되지 않도록 에칭을 정지시키고, 상기 (d)공정시에, 상기 제2의 개구에서 노출하는 제3 절연막은 반도체 기판이 노출되도록 제거되고, 상기 서로 인접하는 제1 도체막 패턴 위의 제1 절연막은 남겨지도록 에칭을 정지시키는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 3.

삭제

청구항 4.

제1 항에 있어서,

상기 제2 절연막의 막두께와 제3 절연막의 막두께의 합은, 상기 반도체 기판 위의 제3 절연막의 상면에서 상기 제1 도체막 패턴 위의 제3 절연막의 상면까지의 사이에 존재하는 제4 절연막의 막두께를 상기 제2 절연막 및 제3 절연막에 대한 상기 제4 절연막의 에칭 레이트(etching rate)의 비로 나눈 값 보다도 큰 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 5.

제1 항에 있어서,

상기 제1 절연막의 막두께는, 상기 제3 절연막의 막두께를 상기 제1 절연막에 대한 상기 제3 절연막의 에칭레이트의 비로 나눈 값보다도 큰 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 6.

제1 항에 있어서,

상기 제4 절연막의 형성공정은, SOG막을 피착하는 공정을 가지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 7.

제1 항에 있어서,

상기 제4 절연막의 형성공정은, SOG막을 피착하는 공정과, 그 위에 산화실리콘막을 피착하는 공정과, 그 산화실리콘막에 대해서 연마처리를 행하는 공정을 가지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 8.

제1 항에 있어서,

상기 제4 절연막의 형성공정은 붕소·인규산 글래스막(boron·phosphor silicate glass film)을 피착하는 공정과, 그 붕소·인규산 글래스막에 대해서 리플로(re-flowing) 처리를 행하는 공정과, 리플로 처리후의 붕소·인규산 글래스막의 상면에 대해서 연마처리를 행하는 공정을 가지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 9.

제1 항에 있어서,

상기 제1 도체막의 형성공정은, 다결정 실리콘막을 피착하는 공정과, 그 위에 실리사이드막을 형성하는 공정을 가지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 10.

제1 항에 있어서,

상기 제1 도체막의 형성공정은 다결정 실리콘막을 피착하는 공정과 그 위에 배리어 금속막을 형성하는 공정과, 그 위에 고용점 금속막을 형성하는 공정을 가지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 11.

제1 항에 있어서,

상기 (a)공정시에, 상기 제1 절연막 및 제2 절연막을 포토레지스트막(photoresist film)을 에칭 마스크로서 패터닝한 후, 그 포토레지스트막을 제거하는 공정과, 그 패터닝된 상기 제1 절연막 및 제2 절연막을 에칭 마스크로서 제1 도체막을 패터닝하여 상기 복수의 제1 도체막 패턴을 형성하는 공정을 가지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 12.

반도체 집적회로장치의 제조방법에 있어서,

- (a) 반도체 기판위에 다결정 실리콘막을 피착한 후, 그 위에 배리어 금속막을 통해서 고용점 금속막을 피착하는 것에 의해 제1 도체막을 형성하는 공정과,
- (b) 상기 제1 도체막 위에 제1 도체막 보호용의 제1 절연막을 형성하는 공정과,
- (c) 상기 (b)공정후의 반도체 기판에 대해서 열처리를 행하는 공정과,
- (d) 상기 (b)공정후, 상기 제1 도체막 보호용의 제1 절연막 위에 제2 절연막을 형성하는 공정과,
- (e) 상기 제2 절연막, 제1 절연막 및 제1 도체막을 패터닝하여 복수의 제1 도체막 패턴을 형성하는 공정과,
- (f) 상기 (e)공정후, 세정처리를 행한 후, 반도체 기판에 대해서 산화처리를 행하는 공정을 가지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 13.

제12 항에 있어서,

- (g) 상기 (f)공정후의 반도체 기판위, 제1 도체막 패턴의 측벽 및 제2 절연막 위에 제3 절연막을 형성한 후, 그 제3 절연막 위에 제4 절연막을 형성하는 공정과,
- (h) 상기 (g)공정후, 상기 제4 절연막 위에, 상기 복수의 제1 도체막 패턴 중의 서로 인접하는 제1 도체막 패턴의 사이에 제1의 개구를 가지는 마스크를 형성한 후, 상기 마스크의 제1의 개구에서 노출한 상기 제4 절연막을, 상기 제4 절연막의 쪽이 제3 및 제2 절연막 보다도 에칭제거되기 쉬운 조건에서 에칭하고, 상기 제4 절연막에 제2의 개구를 형성하는 공정과,
- (i) 상기 (h)공정후, 상기 제3 절연막의 쪽이 제1 절연막 및 제4 절연막 보다도 에칭제거되기 쉬운 조건에서, 상기 제4 절연막의 제2의 개구에서 노출한 상기 제3 절연막에 이방성 에칭처리를 행하고, 상기 서로 인접하는 제1 도체막 패턴사이의 제3 절연막에 상기 반도체 기판의 상면이 노출하는 제3의 개구를 형성하는 공정을 가지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 14.

제12 항에 있어서,

상기 제1 도체막 보호용의 제1 절연막을 플라즈마 CVD법으로 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 15.

제12 항에 있어서,

상기 배리어 금속막이 질화텅스텐으로 이루어지고, 상기 세정처리시에는 과산화수소를 포함하는 세정액을 사용하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 16.

제12 항에 있어서,

상기 제1 도체막 보호층의 제1 절연막이 산화실리콘막으로 이루어지고, 상기 제2 절연막이 질화실리콘으로 이루어지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 17.

반도체 집적회로장치의 제조방법에 있어서,

(a) 반도체 기판 위에 게이트절연막을 형성한 후, 제1 도체막을 형성하는 공정과,

(b) 상기 제1 도체막 위에 제1 절연막을 형성하는 공정과,

(c) 상기 제1 절연막 위에 제2 절연막을 형성하는 공정과,

(d) 상기 제2 절연막, 제1 절연막 및 제1 도체막을 패터닝하는 것에 의해, 상기 반도체 기판 위에 복수의 워드선, 복수의 게이트전극 및 그들 상면에 상기 제1 절연막 및 제2 절연막으로 구성되는 캡 절연막을 형성하는 공정과,

(e) 상기 (d)공정 후의 반도체 기판위, 워드선의 측벽, 게이트전극의 측벽 및 캡 절연막위에 제3 절연막을 형성한 후, 그 제3 절연막 위에 제4 절연막을 형성하는 공정과,

(f) 상기 (e)공정후, 상기 제4 절연막 위에, 상기 복수의 워드선 중의 서로 인접하는 워드선의 사이에 제1의 개구를 가지는 마스크를 형성한 후, 상기 마스크의 제1의 개구에서 노출한 상기 제4 절연막을, 상기 제4 절연막의 쪽이 제3 및 제2 절연막 보다도 에칭제거되기 쉬운 조건에서 에칭하고, 상기 제4 절연막에 제2의 개구를 형성하는 공정과,

(g) 상기 (f)공정후, 상기 제3 절연막의 쪽이 제1 절연막 및 제4 절연막보다도 에칭제거되기 쉬운 조건에서, 상기 제4 절연막의 제2의 개구에서 노출한 상기 제3 절연막에 이방성 에칭처리를 행하고, 상기 서로 인접하는 워드선 사이의 제3 절연막에 상기 반도체 기판의 상면이 노출하는 복수의 제3의 개구를 형성하는 공정과,

(h) 상기 복수의 접속구멍 내에 도체막을 매립하는 공정과,

(i) 상기 도체막 중의 비트선 접속용 도체막에 전기적으로 접속되도록 비트선을 형성하는 공정과,

(j) 상기 도체막 중의 용량소자 접속용 도체막에 전기적으로 접속되도록 정보축적용의 용량소자를 형성하는 공정을 가지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 18.

제17 항에 있어서,

상기 (a)공정에 앞서서, 반도체 기판의 분리영역에 홈을 형성한 후, 그 홈을 포함하는 반도체 기판 위에 절연막을 피착하는 공정과, 그 절연막이 상기 홈내에 남겨지도록 그 절연막을 제거하고, 상기 홈내에 매립 절연막을 형성하여 홈형의 분리영역을 형성하는 공정을 가지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 19.

제17 항에 있어서,

상기 제1 도체막의 형성공정은, 다결정 실리콘막을 피착하는 공정과, 상기 다결정 실리콘막 위에 배리어 금속막을 피착하는 공정과, 상기 배리어 금속막 위에 고용점 금속막을 피착하는 공정을 가지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 20.

제19 항에 있어서,

상기 제1 절연막의 형성공정 후에 열처리를 행하는 것에 의해 상기 배리어 금속막을 구성하는 질화텅스텐을 치밀화하는 공정과, 상기 (d)공정후에 과산화수소수를 포함하는 세정액을 사용하여 세정처리를 행한 후, 산화처리를 행하는 공정을 가지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 21.

제17 항에 있어서,

상기 제1 절연막을 플라즈마 CVD법으로 형성하고, 상기 제2 절연막을 저압 CVD법으로 형성하는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 22.

제17 항에 있어서,

상기 제1 절연막이 산화실리콘막으로 이루어지고, 상기 제2 절연막이 질화실리콘으로 이루어지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 23.

제17 항에 있어서,

상기 비트선 접속용 도체막의 평면 치수에 있어서, 상기 워드선의 연장방향의 치수가 상기 워드선에 교차하는 방향의 치수보다도 길고, 상기 비트선 접속용 도체막이 분리영역에 평면적으로 겹쳐지는 것을 특징으로 하는 반도체 집적회로장치의 제조방법.

청구항 24.

삭제

청구항 25.

삭제

청구항 26.

삭제

청구항 27.

삭제

청구항 28.

삭제

청구항 29.

삭제

청구항 30.

삭제

청구항 31.

삭제

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은, 반도체 집적회로장치의 제조방법에 관한 것으로서, 특히 평탄화된 층간 절연막에 접속구멍을 형성하는 경우에, 배선(게이트전극을 포함한다) 및 소자분리영역에 대하여 자기정합(自己整合)적으로 반도체 기판 표면의 반도체 영역을 노출하는 기술에 관한 것이다.

제1의 기술로서 게이트전극에 대하여 자기정합적으로 게이트전극을 덮는 층간절연막에 접속구멍을 형성하는 SAC(Self-Aligned Contact)기술이, 예를 들면 IEEE Transaction ED-43 No.11(1996) PP. 1864-1869에 기재되어 있다. 여기에는 게이트전극을 저저항(低抵抗) 폴리실리콘막 위에 배리어(barrier) 금속막을 통해서 고용점 금속막을 적층하여 이루어지는, 이른바 폴리메탈 구조로 구성하고, 이 게이트전극 상면(上面)의 캡(cap) 절연막 및 게이트전극 측면(側面)의 측벽 절연막을 질화실리콘막으로 형성하는 기술이 개시되어 있다.

이 기술은, 산화실리콘막으로 이루어지는 층간 절연막에 접속구멍을 형성할 때, 질화실리콘막에 대해서 선택적인 에칭을 함으로써, 게이트전극에 대해서 자기정합적으로 접속구멍을 형성할 수 있다. 그 때문에, 게이트전극과 접속구멍과의 사이에 여유를 취할 필요가 없으므로 MISFET의 소형화가 가능하게 되고, 소정 사이즈의 칩에 탑재할 수 있는 MISFET의 수를 증가할 수 있어, 고집적화가 가능하게 된다.

그런데, 상기 제1의 기술에도 있는 바와 같이, 열산화막으로 이루어지는 소자분리용 절연막에 대신해서, 반도체 기판 표면에 홈을 형성하고 그 홈(溝)을 CVD 산화막등으로 메운 소자분리구조(트렌치 아이솔레이션(trench isolation)이라고 함)가 주류로 되어 있다.

상기 제1의 기술의 경우, 접속구멍을 형성할 때의 포토레지스트 마스크(photoresist mask)의 개구가 소자분리영역에 미치지 않도록, 마스크의 개구와 소자분리영역과의 사이에 여유를 확보하지 않으면 안된다. 만약, 포토레지스트 마스크의 개구가 소자분리영역에 미치면, 층간 절연막 에칭시에 홈내의 산화막도 에칭되어 버리고, 반도체 영역과 기판이 도통해 버릴 위험성이 있기 때문이다.

이와 같이, 마스크의 개구와 소자분리영역과의 사이에 여유를 확보하지 않으면 안된다고 하는 것이, MISFET의 소형화를 저해하는 요인으로 되는 것은 말할 것 까지도 없다.

이에 대해서, 공지는 아니지만 게이트전극에 대해서 자기정합적이며 또 소자분리영역과의 사이에 여유를 확보하는 일 없이 접속구멍을 형성하는 제2의 기술(특개평9-92608호)에 대해서 언급한다.

이 제2의 기술은, 게이트전극상에 질화실리콘막 만으로 구성되는 캡 절연막을 형성하고, 동시에 반도체 기관의 주면(主面) 및 게이트전극의 측면 및 캡 절연막의 표면(측면 및 상면)을 덮도록 얇은 질화실리콘막을 피착(被着)한다. 이 제2의 기술에서는, 상기 접속구멍의 형성시에, 처음은 산화실리콘막으로 이루어지는 층간 절연막의 쪽이 질화실리콘 보다도 에칭 제거되기 쉬운 조건에서 에칭처리를 행하고, 얇은 질화실리콘막이 노출된 때에는 질화실리콘막 쪽이 층간 절연막 보다도 에칭제거되기 쉬운 조건에서 에칭처리를 행하는 것으로 반도체 기관을 노출하는 접속구멍을 형성한다. 이 제2의 기술에 의하면, 반도체 기관에 형성된 소자분리영역에 층간 절연막과 동종의 산화실리콘막이 매립되어 있는 경우에 있어서도, 접속구멍의 형성시에 소자분리영역에 매립된 산화실리콘막이 에칭되어, 그 결과 반도체 영역과 기관이 도통해 버린다고 하는 문제를 해결할 수 있다.

발명이 이루고자 하는 기술적 과제

본 발명은, 상기 제2의 기술의 더 나아간 개량에 관한 것이고, 상기 제2의 기술에는 이하의 과제가 있는 것을 본 발명자는 발견했다.

제1은, 상기 접속구멍의 애스펙트(aspect)비가 증대하는 과제이다. 상기 제2의 기술에서는, 상기 접속구멍의 형성시에, 최종적으로 반도체 기관 상의 얇은 질화실리콘막을 에칭하여 반도체 기관의 표면을 노출시키지만, 그 때에 상기한 기술에서는 캡 절연막도 질화실리콘막으로 이루어지므로 접속구멍으로부터 노출하는 캡 절연막 부분도 에칭제거되어 버린다. 그러나 캡 절연막이 제거되면, 접속구멍내에 매립되는 도체막과 게이트전극 사이의 절연막 두께가 얇게 되어 절연내압이 저하해 버린다. 또한, 캡 절연막이 완전하게 에칭되어 게이트전극이 노출되어 버리면 접속구멍내에 매립된 도체막과 게이트전극이 도통해 버린다. 그래서, 접속구멍의 형성처리가 종료한 후에 게이트전극상에 캡 절연막이 남겨지도록 캡 절연막의 두께를 어느 정도 두껍게 하지 않으면 안되지만, 캡 절연막이 두껍게 되면, 반도체 기관의 주면에서 캡 절연막의 상면까지의 높이가 통상 보다도 높게 되므로 접속구멍의 애스펙트비도 증대한다. 이 때문에, 접속구멍의 형성이 어렵게 되는 것 이외에, 접속구멍내로의 도체막의 매립이 어렵게 되고, 접속구멍 내에서의 전기저항의 증대나 도통 불량이 발생한다.

제2는, 캡 절연막의 가공후의 열처리에 의해 캡 절연막이 벗겨지거나 팽창하거나 하는 과제이다. 상기 제2의 기술에서는 캡 절연막의 두께의 확보가 필요하지만, 본 발명자의 연구결과에 의하면 캡 절연막이 두껍게 되는 만큼 캡 절연막 형성후의 열처리에 기인하여 캡 절연막의 박리나 팽창의 문제가 현저해지는 것이 판명되었다. 또한 본 발명자의 연구 결과에 의하면, 이 과제는 게이트전극 재료(특히 캡 절연막이 접촉하는 부분의 재료)가 고용점 금속막의 경우에 현저하게 되는 것이 판명되었다.

또한, 본 출원인이 본원 발명에 의거하여 SAC기술에 대해서 공지에 조사를 한 결과, 예를 들면 특개평8-316313호 공보 및 특개평8-125141호 공보가 발견되었다.

이 제1 조사기술 공보의 제1 도에는, 게이트전극상에 산화실리콘으로 이루어지는 오프셋(offset) 절연막을 형성하고, 그 후 질화실리콘막을 퇴적하여 에치백(etch back)하며, 또한 질화실리콘막으로 이루어지는 사이드월(side wall)을 게이트전극 측벽에 형성한 후, 전체에 얇은 질화실리콘막 및 층간 절연막을 퇴적하고, 얇은 질화실리콘막 및 사이드월에 대해서 에칭선택비가 높은 조건에서 층간 절연막의 에칭을 행하며, 그 후 콘택트홀 저부(底部)의 얇은 질화실리콘막을 에칭하여 기관을 노출시키는 공정이 나타나 있다.

이 제1 조사기술에서는, 산화실리콘막과 질화실리콘막의 에칭선택비를 무한대로 할 수는 없으므로, 게이트전극간의 층간 절연막을 에칭하고 있는 동안에, 게이트전극상의 얇은 질화실리콘막도 에칭된다. 따라서, 이 얇은 질화실리콘막은 층간 절연막의 에칭이 종료할 때까지 남아있을 정도의 막 두께가 필요하다.

또한, 제2 조사기술 공보의 제3 도 부터 제6 도에도, 게이트전극에 대해서 자기정합으로 접속구멍을 형성하는 방법이 개시되어 있다. 이것은, 게이트전극 상에 산화실리콘막을 형성한 후, 전체에 산화실리콘막 및 질화실리콘막을 퇴적하고, 층간 절연막인 BPSG막을 질화실리콘막에 대해서 선택비가 큰 조건에서 에칭한 다음에 질화실리콘막의 에칭비가 BPSG막에 비해서 크게 되는 조건에서 질화실리콘막을 에칭하고, 그 후 산화실리콘막을 에칭하여 사이드월을 형성하는 기술이다.

그러나 이 제2 조사기술도, 상술한 제1 조사기술과 마찬가지로 게이트전극간의 층간 절연막을 에칭하고 있는 동안에, 게이트전극상의 질화실리콘막도 에칭된다. 따라서, 이 질화실리콘막은 층간 절연막의 에칭이 종료할 때까지 남아 있을 정도의 막두께가 필요하다.

그래서 본 발명의 목적은, 접속구멍의 애스펙트비를 저하시킬수 있는 기술을 제공하는 것에 있다.

또한 본 발명의 다른 목적은, 캡 절연막 형성후의 캡 절연막의 박리나 팽창을 방지할 수 있는 기술을 제공하는 것에 있다.

본 발명의 상기 및 그 외의 목적과 신규한 특징은, 본 명세서의 기술 및 첨부도면으로부터 명백하게 될 것이다.

발명의 구성

본원에서 개시되는 발명가운데, 대표적인 것의 개요를 간단히 설명하면 다음과 같다.

본 발명의 반도체 집적회로장치의 제조방법은,

- (a) 반도체 기판 위에 제1 도체막, 제1 절연막 및 제2 절연막을 하층부터 차례로 피착(被着)한 후, 이것을 패터닝하는 것에 의해 복수의 제1 도체막 패턴을 형성하는 공정과,
- (b) 상기 (a)공정후의 반도체 기판위, 제1 도체막 패턴의 측벽 및 제2 절연막 위에 제3 절연막을 형성한 후, 그 제3 절연막 위에 제4 절연막을 형성하는 공정과,
- (c) 상기 (b)공정후, 상기 제4 절연막 위에, 상기 복수의 제1 도체막 패턴 중 서로 인접하는 제1 도체막 패턴의 사이에 제1의 개구를 가지는 마스크를 형성한 후, 상기 마스크의 제1의 개구로부터 노출한 상기 제4 절연막을, 상기 제4 절연막 쪽이 제3 및 제2 절연막 보다도 에칭제거되기 쉬운 조건에서 에칭하여, 상기 제4 절연막에 제2의 개구를 형성하는 공정과,
- (d) 상기 (c)공정후, 상기 제3 절연막 쪽이 제1 절연막 및 제4 절연막 보다도 에칭제거되기 쉬운 조건에서, 상기 제4 절연막의 제2의 개구로부터 노출한 상기 제3절연막에 이방성 에칭처리를 행하고, 상기 서로 인접하는 제1 도체막 패턴 사이에서의 제3 절연막에 상기 반도체 기판의 상면(上面)이 노출하는 제3의 개구를 형성하는 공정을 가지는 것이다.

이하, 본 발명의 실시 형태를 도면에 기초해서 상세히 설명한다(또한, 실시의 형태를 설명하기 위한 전 도면에서 동일 기능을 가지는 것은 동일한 부호를 붙이고, 그 반복하는 설명은 생략한다).

도 1은 본 실시 형태의 DRAM을 형성한 반도체 칩의 전체 평면도이다. 도시한 바와 같이, 단결정 실리콘으로 이루어지는 반도체 칩(1A)의 주면에는, X방향(반도체 칩(1A)의 장변방향) 및 Y방향(반도체 칩(1A)의 단변방향)을 따라서 다수의 메모리어레이(MARY)가 매트릭스 모양으로 배치되어 있다. X방향을 따라서 서로 인접하는 메모리어레이(MARY)의 사이에는 센스앰프(SA)가 배치되어 있다. 반도체 칩(1A)의 주면의 중앙부에는, 워드드라이버(WD), 데이터선 선택회로 등의 제어회로나 입출력회로, 본딩패드 등이 배치되어 있다.

도 2는, 상기 DRAM의 등가회로도이다. 도시한 바와 같이, 이 DRAM의 메모리어레이(MARY)는 행 방향으로 연장하여 있는 복수의 워드선(WL)(WL_{n-1} , WL_n , WL_{n+1} ...)과 열방향으로 연장하여 있는 복수의 비트선(BL) 및 그것들의 교점에 배치된 복수의 메모리셀(MC)에 의해 구성되어 있다. 1비트의 정보를 기억하는 1개의 메모리셀은, 1개의 정보축적용 용량소자(C)와 이것에 직렬로 접속된 1개의 메모리셀 선택용 MISFET(Qs)로 구성되어 있다. 메모리셀 선택용 MISFET(Qs)의 소스, 드레인의 한쪽은 정보축적용 용량소자(C)와 전기적으로 접속되고, 다른 한쪽은 비트선(BL)과 전기적으로 접속되어 있다. 워드선(WL)의 한쪽 끝은 워드드라이버(WD)에 접속되고, 비트선(BL)의 한쪽 끝은 센스앰프(SA)에 접속되어 있다.

도 3은 DRAM의 메모리어레이와 주변회로의 각각의 일부를 나타내는 반도체 기판의 요부 단면도, 도 4는 메모리어레이의 일부를 나타내는 반도체 기판의 개략 평면도, 도 5(a)는 도 4의 A-A선의 단면도로서 메모리어레이의 콘택트홀 부분을 나타내는 확대 단면도, 도 5(b)는 도 4의 B-B선(비트선용의 콘택트홀을 횡단한 선)의 단면도로서 도 5(a)에 교차하는 방향을 따르는 확대 단면도이다(다만, 정보축적용 용량소자(C)는 생략). 또한, 도 4에는 메모리셀을 구성하는 도전층(플레이트 전극을 제외한다)만을 나타내고, 도전층 간의 절연막이나 메모리셀의 상부에 형성되는 배선의 도시는 생략하고 있다.

DRAM의 메모리셀은, p형의 단결정 실리콘으로 이루어지는 반도체 기판(1)(여기에서는 반도체 칩)의 주면에 형성된 p형 웰(2)에 형성되어 있다. 메모리셀이 형성된 영역(메모리어레이)의 p형 웰(2)은, 반도체 기판(1)의 다른 영역에 형성된 입출력회로 등으로부터 노이즈가 침입하는 것을 막기 위해서, 그 하부에 형성된 n형 반도체 영역(3)에 의해 반도체 기판(1)과 전기적으로 분리되어 있다.

메모리셀은, 메모리셀 선택용 MISFET(Qs)의 상부에 정보축적용 용량소자(C)를 배치한 스택트(stacked) 구조로 구성되어 있다. 메모리셀 선택용 MISFET(Qs)는 n채널형으로 구성되고, 도 4에 나타난 바와 같이, X방향(열 방향)을 따라서 똑바로 연장하는 가늘고 긴 섬모양의 패턴으로 구성된 활성영역(L)에 형성되어 있다. 활성영역(L)의 각각에는 소스, 드레인의 한쪽(n형 반도체영역(9))을 서로 공유하는 메모리셀 선택용 MISFET(Qs)이 X방향으로 인접하여 2개 형성되어 있다.

활성영역(L)을 둘러싸는 소자분리영역은, p형 웰(2)에 형성된 소자 분리홈(6)으로 구성되어 있다. 소자분리홈(6)의 내부에는 산화실리콘막(5)이 매립되어 있고, 그 표면은 활성영역(L)의 표면과 대략 같은 높이가 되도록 평탄화 되어 있다. 즉, 트렌치 아이솔레이션으로 되어 있다. 이와 같은 소자분리홈(6)에 의해 구성된 소자분리영역은, 활성영역(L)의 단부(端部)에 버즈 빅(bird's beak)이 생기지 않기 때문에, LOCOS(선택산화)법으로 형성된 동일 치수의 소자분리영역(필드 산화막)에 비해서 실효적인 면적이 크게 된다. 역으로 말하면, 소자분리홈(6)에 의한 소자분리영역은, 실효적으로 소자분리로서 기능하지 않는 버즈 빅을 없앨 정도로, 필드산화막 구조의 경우보다도 작은 면적으로 소자분리할 수 있으므로, 소자 집적도를 향상시키는 것이 가능하게 된다.

메모리셀 선택용 MISFET(Qs)는, 주로 게이트절연막(7), 게이트전극(8A) 및 소스, 드레인을 구성하는 한 쌍의 n형 반도체 영역(9, 9)에 의해 구성되어 있다. 이 게이트절연막(7)은, 예를 들면 산화실리콘으로 이루어지고, 그 두께는 예를 들면 8nm정도이다.

메모리셀 선택용 MISFET(Qs)의 게이트전극(제1 도체막 패턴)(8A)은 워드선(WL)과 일체로 구성되어 있고, 각각이 동일한 폭, 동일한 스페이스로 Y방향을 따라서 직선적으로 연장하여 있다. 게이트전극(8A)(워드선(WL))의 폭, 즉 게이트 길이와, 인접하는 2개의 게이트전극(8A)(워드선(WL))의 스페이스는, 양쪽 다 포토리소그래피의 해상한계로 정해지는 최소가공치수와 같은 정도이다. 또한, 상기 게이트전극(8A)의 폭 및 인접하는 2개의 게이트전극(8A)의 스페이스는, 예를 들면 220nm정도이다.

게이트전극(8A)(워드선(WL))은, 예를 들면 P(인)등의 불순물이 도핑된 저저항 다결정 실리콘막과, 그 상부에 형성된 WN(tungsten nitride)막 등으로 이루어지는 배리어 금속막과, 그 상부에 형성된 W(텅스텐)막 등의 고용점 금속막으로 구성된 폴리메탈 구조를 가지고 있다. 폴리메탈 구조의 게이트전극(8A)(워드선(WL))은, 다결정 실리콘막이나 폴리사이드(polycide)막으로 구성된 게이트전극에 비해서 전기저항이 낮으므로(시트저항으로 1~2 Ω/\square), 워드선의 신호지연을 저감할 수 있다. 이것에 의해, DRAM의 액세스 속도를 향상시키는 것이 가능하게 된다. 또한, 1개의 워드선(WL)에 접속가능한 메모리셀의 수를 증가시킬 수 있으므로, 메모리 영역 전체의 점유면적을 축소할 수 있고, 반도체 칩의 사이즈를 축소할 수 있다. 예를 들면 본 실시의 형태에서는 워드선(WL)에 512개의 메모리셀을 접속할 수 있다. 이것은, 워드선(WL)에 256개의 메모리셀이 접속가능한 경우에 비해서 반도체 칩의 사이즈를 약 6%~10% 축소할 수 있다. 따라서, 수율을 증가시킬 수 있으므로, DRAM의 코스트 저감을 추진하는 것이 가능하게 된다. 또한, 반도체 칩의 사이즈를 변화시키지 않게 되면 소자 집적도의 향상이 도모된다. 또한, 게이트전극(8A)에서의 최하층의 다결정 실리콘막의 두께는 예를 들면 100nm정도, 그 상층의 텅스텐 나이트라이드(tungsten nitride)막의 두께는 예를 들면 5nm정도, 그 상층의 텅스텐막의 두께는 예를 들면 50~100nm정도이다.

DRAM의 주변회로는, n채널형 MISFET(Qn)와 p채널형 MISFET(Qp)로 구성되어 있다. n채널형 MISFET(Qn)는 p형 웰(2)에 형성되고, 주로 게이트 절연막(7), 게이트전극(8B) 및 소스, 드레인을 구성하는 한 쌍의 n⁺형 반도체 영역(10,10)에 의해 구성되어 있다. 또한, p채널형 MISFET(Qp)는 n형 웰(4)에 형성되고, 주로 게이트 절연막(7), 게이트전극(8C) 및 소스, 드레인을 구성하는 한 쌍의 p⁺형 반도체 영역(11, 11)에 의해 구성되어 있다. 게이트전극(제1 도체막 패턴)(8B, 8C)은 게이트전극(8A)(워드선(WL))과 같은 폴리메탈구조로 구성되어 있다. 주변회로를 구성하는 n채널형 MISFET(Qn)와 p채널형 MISFET(Qp)는, 메모리셀 보다도 느슨한 디자인룰(looser design rule)로 제조되어 있다. 또한 주변회로영역에서의 MISFET 가운데, 고속성이 요구되는 MISFET의 게이트절연막(7)의 막 두께는 예를 들면 4nm 정도이고, 메모리셀어레이에서의 MISFET의 게이트산화막 보다도 얇게 형성되어 있다.

메모리셀 선택용 MISFET(Qs)의 게이트전극(8A)(워드선(WL))의 상부에는 캡 절연막(12)이 형성되어 있다. 본 실시의 형태에서는, 이 캡 절연막(12)이 게이트전극(8A)상에 형성된 산화실리콘막(제1 절연막)(12a)과 그 위에 형성된 질화실리콘막(제2 절연막)(12b)의 적층막으로 구성되어 있다(이하, 적층캡 이라고도 말한다). 이 산화실리콘막(12a)의 두께는 예를 들면 100nm 정도이고, 이 질화실리콘막(12b)의 두께는 예를 들면 40nm 정도이다. 다만, 이 산화실리콘막(12a) 및 질화실리콘막(12b)의 두께는 이것에 한정되는 것이 아니고 여러가지로 변경 가능하다. 이 막두께에 대해서는 나중에 상세하게 설명한다.

이 산화실리콘막(12a)은, 예를 들면 다음의 제1 부터 제3 의 기능을 가지고 있다. 제1 은 열처리 공정에 의한 질화실리콘막(12b)의 막수축응력을 완화하고, 캡 절연막(12)을 형성한 후의 열처리에 기인하는 캡 절연막(12)의 박리를 억제하는 것이 가능하게 된다.

제2 는 후술하는 콘택트홀을 형성하는 경우의 에칭 스톱퍼(etching stopper)로서의 기능이다. 이것에 의해, 콘택트홀 형성시에 산화실리콘막(12a)이 그다지 에칭제거되지 않아 그 막두께를 확보할 수 있으므로, 그 콘택트홀 내의 도체막과 게이트전극(8A) 사이의 절연 내압을 향상시키는 것이 가능하게 된다. 또한, 캡 절연막(12)을 구성하는 질화실리콘막(12b)의 막두께를 얇게 하는 것이 가능하게 된다. 이 때문에, 질화실리콘막(12b)을 형성한 후의 열처리에 기인하는 질화실리콘막(12b)의 체적 팽창을 작게 할 수 있으므로, 질화실리콘막(12b)의 박리를 억제하는 것이 가능하게 된다. 또한, 그 질화실리콘막(12b)을 얇게 할 수 있으므로, 반도체 기판(1)의 주면에서 캡절연막(12)의 상면까지의 높이를 낮게 할 수 있어, 상기 콘택트홀의 애스펙트비를 작게 하는 것이 가능하게 된다.

제3 은 게이트전극(8A)에서의 텅스텐막의 보호막으로서의 기능이다. 이것에 의해, 반도체 집적회로장치의 제조공정 중에 있어서 게이트전극(8A)의 얇은 텅스텐막의 산화를 방지할 수 있다. 또한, 산화실리콘막(12a)의 형성후는, 제조처리중에서의 게이트전극의 텅스텐막의 산화에 대한 배려를 경감할 수 있어, DRAM의 제조조건이나 환경조건 등을 완화하는 것이 가능하게 된다.

또한, 캡 절연막(12)을 구성하는 질화실리콘막(12b)은, 예를 들면 다음의 제1 부터 제3 의 기능을 가지고 있다. 제1 은 상기 콘택트홀 형성시의 에칭 스톱퍼로서의 기능이다. 제2 는 게이트전극 및 캡 절연막(12)의 측면에 사이드월 스페이스(side wall spacer)를 형성하는 경우의 에칭 스톱퍼로서의 기능이다. 이들 제1, 제2 의 기능에 의해, 미세한 콘택트홀을 위치맞춤 좋게, 단락 불량에 생기는 일 없이 형성할 수 있다. 제3 은 게이트전극을 형성하는 경우의 에칭 마스크로서의 기능이다. 게이트전극의 가공시에 질화실리콘막(12b)을 에칭마스크로 하는 것으로 패턴형성 정밀도를 향상시킬 수 있고, 또한 포토레지스트막을 사용한 경우의 이물(異物)의 발생을 저감할 수 있다.

이 반도체 기판(1)상에 있어서 메모리어레이에는, 캡 절연막(12)의 표면, 게이트전극(8A)(워드선(WL))의 측면 및 반도체 기판(1)의 상면을 덮도록 얇은 질화실리콘막(제3 절연막)(13)이 형성되어 있다. 질화실리콘막(13)은 밀바탕의 단차를 반영하도록 형성되어 있고, 그 두께는 예를 들면 50nm 정도이다. 다만, 질화실리콘막(13)의 두께는 50nm 로 한정되는 것이 아니고, 그것 이상이라도 좋지만 인접하는 게이트전극(8A) 사이를 질화실리콘막(13)으로 완전히 매립해 버리지 않도록 가능한 한 얇은 쪽이 좋다. 즉, 질화실리콘막(13)의 막두께는 서로 인접하는 게이트전극(8A)간의 간격의 반정도 보다도 작게 하면 좋다. 또한, 질화실리콘막(13)은 반도체 기판(1)에 직접 접하고 있는 것이 아니고, 반도체 기판(1)의 상면과 질화실리콘막(13)과의 사이에는 얇은 산화막이 존재하고 있다.

또한, 주변회로의 MISFET의 게이트전극(8B, 8C)의 각각의 상부에도 캡 절연막(12)이 형성되어 있다. 이 캡 절연막(12)도 상술한 것과 마찬가지로 적층 캡 구조로 되어 있다. 다만, 주변회로 영역에서는 그 게이트전극(8B) 및 그 위의 캡 절연막(12)의 측면, 게이트 전극(8C) 및 그 위의 캡 절연막(12)의 측면에는, 질화실리콘막(13)으로 구성된 사이드월 스페이스(13s)가 형성되어 있다.

메모리어레이의 캡 절연막(12)과 질화실리콘막(13)은, 후술하는 바와 같이 메모리셀 선택용 MISFET(Qs)의 소스, 드레인(n형 반도체영역(9, 9))의 상부에 셀프얼라인(self-alignment, 자기정합)으로 콘택트홀을 형성할 때의 에칭 스톱퍼로서 사용된다. 또한, 주변회로의 사이드월 스페이스(13s)는, n채널형 MISFET(Qn)의 소스, 드레인과 p채널형 MISFET(Qp)의 소스, 드레인에서의 저불순물농도 영역과 고불순물농도 영역을 형성하기 위하여 사용된다.

메모리셀 선택용 MISFET(Qs), n채널형 MISFET(Qn) 및 p채널형 MISFET(Qp)의 각각의 상부에는 SOG(Spin On Glass)막(제4 절연막)(16)이 형성되어 있다. 또한, 이 SOG막(16)의 더 상부에는 2층의 산화실리콘막(제4 절연막)(17, 18)이 형성되어 있고, 상층의 산화실리콘막(18)은 그 표면이 반도체 기판(1)의 전역에서 대략 같은 높이가 되도록 평탄화 처리가 행해져 있다.

메모리셀 선택용 MISFET(Qs)의 소스, 드레인을 구성하는 한 쌍의 n형 반도체영역(9, 9)의 상부에는, 산화실리콘막(18, 17) 및 SOG막(16)을 관통하는 콘택트홀(19, 20)이 형성되어 있다. 이들의 콘택트홀(19, 20)의 내부에는, n형 불순물(예를 들면 P(인))을 도프한 저저항의 다결정 실리콘막으로 구성된 플러그(plug)(21)가 매립되어 있다. 콘택트홀(19, 20)의 각각의 저부(底部)의 X방향의 지름은, 대향하는 2개의 게이트전극(8A)(워드선(WL))의 한쪽 측면의 질화실리콘막(13)과 다른 한쪽 측면의 질화실리콘막(13)과의 스페이스에 의해 규정되어 있다. 즉 콘택트홀(19, 20)은, 게이트전극(8A)(워드선(WL))의 스페이스에 대해서 셀프얼라인으로 형성되어 있다. 그리고, 본실시의 형태에 있어서는, 콘택트홀(19, 20)내에서 캡 절

연막(12)의 산화실리콘막(12a)의 상부모서리(산화실리콘막(12a)의 측면과 상면이 교차하는 부분에 형성되는 개소) 및 그 근방이 노출되어 있다(도 5(a) 참조). 캡 절연막(12)을 질화실리콘막만으로 형성한 경우에는, 후술하는 콘택트홀(19, 20)의 형성시에 그 상부모서리 부분에 대응하는 개소도 제거되어 버린다. 또한, 그 때문에 게이트전극(8A)의 측면의 질화실리콘막(13)의 상부도 깎여 그 높이도 낮게 된다. 이 경우, 캡 절연막이 지나치게 깎이면 절연 내압 불량이 생기고, 또한 게이트전극 상면이 노출해 버리면 단락 불량이 생기므로, 캡 절연막을 그들의 불량이 생기지 않도록 두껍게 하지 않으면 안된다. 본 실시의 형태에 있어서는, 콘택트홀(19, 20)의 형성시에 산화실리콘막(12a)의 상부모서리 부분을 남길 수 있으므로, 그 상부모서리부 및 그 근방부분에 있어서 절연막 두께를 확보할 수 있어, 그 절연 내압을 향상시키는 것이 가능하게 되어 있다.

한 쌍의 콘택트홀(19, 20) 가운데, 정보축적용 용량소자(C)를 접속하기 위한 콘택트홀(20)의 Y방향의 지름은 활성영역(L)의 Y방향의 치수보다도 작다. 이에 비해서, 비트선(BL)을 접속하기 위한 콘택트홀(19)(2개의 메모리셀 선택용 MISFET(Qs)에 의해 공유된 n형 반도체영역(9)상의 콘택트홀)의 Y방향의 지름은 활성영역(L)의 Y방향의 치수 보다도 크다. 즉, 콘택트홀(19)은 Y방향의 지름이 X방향의 (상단부의)지름 보다도 큰 대략 직사각형의 평면 패턴으로 구성되어 있고, 그 일부는 활성영역(L)으로부터 벗어나 소자분리홈(6)상으로 연장되어 있다(도 4 및 도 5 참조). 콘택트홀(19, 20)로부터 노출하는 소자분리영역의 상면은 대략 평탄하게 되어 있다. 콘택트홀(19)을 이와 같은 패턴으로 구성함으로써, 콘택트홀(19)내의 플러그(21)를 통해서 비트선(BL)과 n형 반도체영역(9)을 전기적으로 접속할 때에, 비트선(BL)의 폭을 일부에서 크게 하여 활성영역(L)의 상부까지 연장하거나, 활성영역(L)의 일부를 비트선(BL) 방향으로 연장하거나 하지 않아도 좋으므로, 메모리셀 사이즈를 축소하는 것이 가능하다.

산화실리콘막(18)의 상부에는 산화실리콘막(28)이 형성되어 있다. 콘택트홀(19)의 상부의 산화실리콘막(28)에는 스루홀(through hole)(22)이 형성되어 있고, 그 내부에는 하층부터 차례로 Ti막, TiN막, W막을 적층한 도전막으로 이루어지는 플러그(35)가 매립되어 있다. 또한, 이 플러그(35)와 스루홀(22)의 하부의 콘택트홀(19)에 매립된 플러그(21)와의 경계면에는, 플러그(35)의 일부를 구성하는 Ti막과 플러그(21)를 구성하는 다결정 실리콘막과의 반응에 의해 생긴 $TiSi_2$ (titanium silicide)층(37)이 형성되어 있다. 스루홀(22)은 활성영역(L)에서 벗어난 소자분리홈(6)의 상부에 배치되어 있다.

산화실리콘막(28)의 상부에는 비트선(BL)이 형성되어 있다. 비트선(BL)은 소자분리홈(6)의 상부에 배치되어 있고, 동일한 폭, 동일한 스페이스로 X방향을 따라서 직선적으로 연장되어 있다. 비트선(BL)은 W(텅스텐)막으로 구성되어 있고, 산화실리콘막(28)에 형성된 스루홀(22) 및 그 하부의 절연막(산화실리콘막(28, 18, 17), SOG막(16) 및 게이트절연막(7))에 형성된 콘택트홀(19)을 통해서 메모리셀 선택용 MISFET(Qs)의 소스, 드레인의 한 쪽(2개의 메모리셀 선택용 MISFET(Qs)에 의해 공유된 n형 반도체영역(9))과 전기적으로 접속되어 있다. 또한, 비트선(BL)은 인접하는 비트선(BL)과의 사이에 형성되는 기생용량을 가능한한 저감하기 위해서, 그 스페이스를 가능한 한 넓게 하고 있다.

비트선(BL)의 스페이스를 넓게 하여 기생용량을 저감함으로써, 메모리셀 사이즈를 축소한 경우에도, 정보축적용 용량소자(C)에 축적된 전하(정보)를 판독할 때의 신호 전압을 크게 할 수 있다. 또한, 비트선(BL)의 스페이스를 넓게 하는 것에 의해, 후술하는 비트선(BL)의 스페이스 영역에 형성되는 스루홀(정보축적용 용량소자(C)와 콘택트홀(20)을 접속하는 스루홀)(48)의 개공(開孔) 마진을 충분히 확보할 수 있도록 되므로, 메모리셀 사이즈를 축소한 경우라도 비트선(BL)과 스루홀(48)의 쇼트를 확실히 방지할 수 있다.

더욱이, 비트선(BL)을 금속(W)으로 구성하는 것에 의해, 그 시트저항을 $2\Omega/\mu m$ 정도로 까지 저감할 수 있으므로, 정보의 판독, 기록을 고속으로 행할 수 있다. 또한, 비트선(BL)과 후술하는 주변회로의 배선(23~26)을 동일한 공정에서 동시에 형성할 수 있으므로, DRAM의 제조공정을 간략화할 수 있다. 또한, 비트선(BL)을 내열성 및 일렉트로마이그레이션(electromigration) 내성이 높은 금속(W)으로 구성하는 것에 의해, 비트선(BL)의 폭을 미세화한 경우라도 단선을 확실히 방지할 수 있다.

주변회로의 산화실리콘막(28)의 상부에는 제1 층재의 배선(23~26)이 형성되어 있다. 이들 배선(23~26)은 비트선(BL)과 같은 도전재료(W)로 구성되어 있고, 후술하는 바와 같이 비트선(BL)을 형성하는 공정에서 동시에 형성된다. 배선(23~26)은, 산화실리콘막(28, 18, 17) 및 SOG막(16)에 형성된 콘택트홀(30~34)을 통하여 주변회로의 MISFET(n채널형 MISFET(Qn), p채널형 MISFET(Qp))와 전기적으로 접속되어 있다.

주변회로의 MISFET와 배선(23~26)을 접속하는 콘택트홀(30~34)의 내부에는, 하층부터 차례로 Ti막, TiN막, W막을 적층한 도전막으로 이루어지는 플러그(35)가 매립되어 있다. 또한, 이들 콘택트홀(30~34) 가운데, 주변회로의 MISFET

의 소스, 드레인(n^+ 형 반도체영역(10) 및 p^+ 형 반도체영역(11))의 상부에 형성된 콘택트홀(30~33)의 저부에는, 플러그(35)의 일부를 구성하는 Ti막과 반도체 기판(1)(Si)의 반응에 의해 생긴 $TiSi_2$ 층(37)이 형성되어 있고, 이것에 의해 플러그(35)와 소스, 드레인(n^+ 형 반도체영역(10) 및 p^+ 형 반도체영역(11))의 콘택트 저항이 저감되어 있다.

비트선(BL)과 제1 층재의 배선(23~26)의 각각의 상부에는 산화실리콘막(38)이 형성되어 있고, 이 산화실리콘막(38)의 더 상부에는 SOG막(39)이 형성되어 있다. SOG막(39)은, 그 표면이 반도체 기판(1)의 전역에서 대략 같은 높이가 되도록 평탄화되어 있다.

메모리어레이의 SOG막(39) 상부에는 질화실리콘막(44)이 형성되어 있고, 이 질화실리콘(44)의 더 상부에는 정보축적용 용량소자(C)가 형성되어 있다. 정보축적용 용량소자(C)는, 하부전극(축적전극)(45)과 상부전극(플레이트전극)(47)과 그들 사이에 설치된 Ta_2O_5 (tantalum oxide)막(46)에 의해 구성되어 있다. 하부전극(45)은, 예를 들면 P(인)이 도프된 저저항 다결정 실리콘막으로 이루어지고, 상부전극(47)은 예를 들면 TiN막으로 이루어진다.

정보축적용 용량소자(C)의 하부전극(45)은, 도 4의 X방향을 따라서 똑바로 연장되는 가늘고 긴 패턴으로 구성되어 있다. 하부전극(45)은 질화실리콘막(44), SOG막(39) 및 그 하층의 산화실리콘막(38, 28)을 관통하는 스루홀(48)내에 매립된 플러그(49)를 통하여 콘택트홀(20)내의 플러그(21)와 전기적으로 접속되고, 게다가 이 플러그(21)를 통해서 메모리셀 선택용 MISFET(Qs)의 소스, 드레인의 다른 한 쪽(n 형 반도체영역(9))과 전기적으로 접속되어 있다. 하부전극(45)과 콘택트홀(20)의 사이에 형성된 스루홀(48)은, 비트선(BL) 또는 그 하부의 플러그(35)와의 쇼트를 확실히 방지하기 위해서, 최소가 공치수 보다도 미세한 지름(예를 들면 $0.14\mu m$)으로 구성되어 있다. 이 스루홀(48)내에 매립된 플러그(49)는, 예를 들면 P(인)이 도프된 저저항 다결정 실리콘막으로 구성되어 있다.

주변회로의 SOG막(39)의 상부에는, 정보축적용 용량소자(C)의 하부전극(45)과 대략 같은 높이의 두꺼운 막두께를 가지는 산화실리콘막(50)이 형성되어 있다. 주변회로의 산화실리콘막(50)을 이와 같은 두꺼운 막두께로 형성함으로써, 정보축적용 용량소자(C)의 상부에 형성되는 층간 절연막(56)의 표면이 메모리어레이와 주변회로에서 대략 같은 높이로 된다.

정보축적용 용량소자(C)의 상부에는 층간 절연막(56)이 형성되고, 더욱이 그 상부에는 제2 층재의 배선(52, 53)이 형성되어 있다. 층간 절연막(56)은 산화실리콘막으로 구성되어 있고, 제2 층재의 배선(52, 53)은 Al(알루미늄)을 주체로 하는 도전막으로 구성되어 있다. 주변회로에 형성된 제2 층재의 배선(53)은, 그 하층의 절연막(층간 절연막(56), 산화실리콘막(50), SOG막(39), 산화실리콘막(38))에 형성된 스루홀(54)을 통하여 제1 층재의 배선(26)과 전기적으로 접속되어 있다. 이 스루홀(54)의 내부에는, 예를 들면 Ti막, TiN막 및 W막으로 이루어지는 플러그(55)가 매립되어 있다.

제2 층재의 배선(52, 53)의 상부에는 제2의 층간 절연막(63)이 형성되고, 게다가 그 상부에는 제3 층재의 배선(57, 58, 59)이 형성되어 있다. 층간 절연막(63)은, 산화실리콘계의 절연막(예를 들면 산화실리콘막과 SOG막과 산화실리콘막으로 이루어지는 3층의 절연막)으로 구성되어 있고, 제3 층재의 배선(57, 58, 59)은 제2 층재의 배선(52, 53)과 같고, Al을 주체로 하는 도전막으로 구성되어 있다.

제3 층재의 배선(58)은, 그 하층의 층간 절연막(63, 56)에 형성된 스루홀(60)을 통해서 정보축적용 용량소자(C)의 상부전극(47)과 전기적으로 접속되어 있고, 주변회로의 제3 층재의 배선(59)은 그 하층의 층간 절연막(63)에 형성된 스루홀(61)을 통해서 제2 층재의 배선(53)과 전기적으로 접속되어 있다. 이들 스루홀(60, 61)의 내부에는, 예를 들면 Ti막, TiN막 및 W막으로 이루어지는 플러그(62)가 매립되어 있다.

다음에, 상기한 캡 절연막(12)의 산화실리콘막(12a) 및 질화실리콘막(12b)의 막두께를 도 5에 의해 설명한다. 또한, 도 5의 부호(D)는 반도체 기판(1)상의 질화실리콘막(13)의 상면에서 게이트전극(8A)상의 질화실리콘막(13)의 상면까지의 SOG(16)의 두께를 나타내고 있다.

먼저, 질화실리콘막(12b)의 두께에 대해서 설명하면, 이 질화실리콘막(12b)은 콘택트홀(19, 20)을 형성할 때에 에칭 스톱퍼로서 기능하는 것이 필요하다. 즉, 콘택트홀(19, 20)을 뚫기 위해서 SOG막(16)의 두께(D) 부분을 에칭제거하고 있는 동안에 질화실리콘막(12b, 13)이 제거되어 버리지 않도록 하지 않으면 안된다. 그래서, 오버에칭을 무시하면, $D/\text{제1 선택비} < \text{질화실리콘막(12b)의 두께} + \text{질화실리콘막(13)의 두께}$ 의 관계를 만족할 필요가 있다. 여기서, 두께 $D = \text{질화실리콘막(12b)의 두께} + \text{산화실리콘막(12a)의 두께} + \text{게이트전극(8A)의 두께}$ 이고, 제1 선택비는 최저라도 약 8을 취한 것으로 하

여 이들을 윗 식에 대입하면, 질화실리콘막(12b)의 두께 + 질화실리콘막(13)의 두께 > (질화실리콘막(13)의 두께 + 산화실리콘막(12a)의 두께 + 게이트전극(8A)의 두께)/8 로 나타낼 수 있다. 제1 선택비는, 질화실리콘막(12b)의 에칭레이트(etching rate)에 대한 SOG막(16) 및 절연막(17, 18)의 에칭레이트의 비이다.

다음에, 산화실리콘막(12a)의 두께에 대해서 설명하면, 이 산화실리콘막(12a)은 콘택트홀(19, 20)을 형성하기 위해 반도체 기판(1)상의 질화실리콘막(13)을 제거할 때에 에칭 스톱퍼로서 기능하는 것이 필요하다. 따라서, 오버에칭(over-etching)을 무시하면, 산화실리콘막(12a)의 두께 > (질화실리콘막(13)의 두께/제2 선택비)의 관계를 만족할 필요가 있다. 여기서, 제2 선택비는 산화실리콘막의 에칭레이트에 대한 질화실리콘막의 에칭레이트의 비이고, 산화실리콘막(12a)이 플라즈마-TEOS(Tetraethoxysilane)로 형성된 경우에 약 3을 취하므로, 이것을 윗식에 대입하면 산화실리콘막(12a)의 두께 > (질화실리콘막(13)의 두께/3) 으로 나타낼 수 있다.

다음에, 상기와 같이 구성된 DRAM의 제조방법의 일례를 공정순으로 설명한다.

먼저, 도 6에 나타낸 바와 같이, p형으로 비저항이 10 Ωcm 정도인 단결정 실리콘으로 이루어지는 반도체 기판(1)(이 단계에서는 반도체웨이퍼) 주면의 소자분리영역에 소자분리홈(6)을 형성한다. 소자분리홈(6)은, 반도체 기판(1)의 표면을 에칭하여 깊이 300~400nm 정도의 홈을 형성하고, 이어서 이 홈의 내부를 포함하는 반도체 기판(1)상에 CVD법으로 산화실리콘막(5)을 퇴적한 후, 이 산화실리콘막(5)을 화학적 기계연마(Chemical Mechanical Polishing; CMP)법으로 폴리시 백(polish back)하여 형성한다.

다음에, 도 7에 나타내는 바와 같이, 메모리셀을 형성하는 영역(메모리어레이)의 반도체 기판(1)에 예를 들면 P(인)를 이온 주입하여 n형 반도체영역(3)을 형성한 후, 메모리어레이와 주변회로의 일부(n채널형 MISFET(Qn)를 형성하는 영역)에, 예를 들면 B(붕소)를 이온 주입하여 p형 웰(2)을 형성하고, 주변회로의 다른 일부(p 채널형 MISFET(Qp)를 형성하는 영역)에, 예를 들면 P(인)를 이온 주입하여 n형 웰(4)을 형성한다.

계속해서, MISFET의 문턱치 전압을 조정하기 위한 불순물, 예를 들면 BF₂(플루오르화붕소)를 p형 웰(2) 및 n형 웰(4)에 이온 주입하고, 이어서 p형 웰(2) 및 n형 웰(4)의 각각의 표면을 HF(플루오르화수소산)계의 세정액으로 세정한 후, 반도체 기판(1)을 웨트 산화하여 p형 웰(2) 및 n형 웰(4)의 각각의 표면에 막 두께 8nm 정도의 청정한 게이트절연막(7)을 형성한다.

다음에, 도 8에 나타내는 바와 같이, 게이트절연막(7)상에 예를 들면 P(인)등의 불순물을 도포한 막두께 100 nm 정도의 다결정 실리콘막(제1 도체막)(8s)을 반도체 기판(1)상에 CVD법으로 퇴적한다.

계속해서, 라이트에칭(light etching)처리를 행하여 자연산화막을 제거한 후, 다결정 실리콘막(8s)상에, 예를 들면 막두께 5nm 정도의 WN(tungsten nitride)막으로 이루어지는 배리어 금속막(제1 도체막)(8bm)과, 막두께 100nm 정도의 W(텅스텐)로 이루어지는 고용점 금속막(제1 도체막)(8m)을 스퍼터링(sputtering)법으로 퇴적한다. 또한, 배리어 금속막(8bm)은 고온 열처리시에 W막과 다결정 실리콘막이 반응하여 양자의 계면에 고저항의 실리사이드(silicide)층이 형성되는 것을 방지하는 배리어 층으로서 기능한다. 배리어 금속막(8bm)에는, 예를 들면 TiN(titanium nitride)막을 사용하는 것도 가능하다.

그 후, 고용점 금속막(8m)상에, 예를 들면 막 두께 100nm 정도의 산화실리콘막(12a)을 TEOS 가스를 사용한 플라즈마 CVD법으로 퇴적한다. 산화실리콘막(12a)의 퇴적처리시에 플라즈마 CVD법을 사용하고 있는 것은, 제조처리실 내에 산소의 혼입이 적은 것이나 저온(400. C정도)에서 성막처리가 가능하므로 고용점 금속막(8m)의 표면을 산화시키기 어렵기 때문이다. 또한, 이 산화실리콘막(12a)을 400. C 전후의 열 CVD법으로 형성해도 좋다. 이 경우는 고용점 금속막(8m)이 산화되지 않도록, TEOS 가스나 실란(SiH₄)가스 등과 같은 Si를 포함하는 가스를 처리실 내에 도입한 후, 산소를 포함하는 가스를 처리실 내에 도입하거나, 상기 Si를 포함하는 가스와 산소를 포함하는 가스를 동시에 처리실 내에 도입하거나 한다. 산화실리콘막(12a)의 퇴적공정 후는 고용점 금속막(8m)의 산화를 별로 신경쓰지 않고 제조처리가 가능하므로 제조·환경조건 등을 완화할 수 있어 제조처리가 용이하게 된다.

이어서, 본 실시의 형태에서는 산화실리콘막(12a)을 피착한 후, 예를 들면 질소가스 분위기 중에서, 예를 들면 800. C, 1 분 정도의 열처리를 반도체 기판(1)에 행한다. 이에 의해, 고용점 금속막(8m)이나 배리어 금속막(8bm)의 응력완화를 행하는 것이 가능하고, 또한 배리어 금속막(8bm)을 치밀화하여 세정 내성을 향상시키는 것이 가능하게 된다.

이 열처리를 행하지 않고 배리어 금속막(8bm)의 치밀화가 이루어져 있지 않으면, 캡 절연막 형성 공정후에 행하는 라이트 산화처리 전의 세정처리에 배리어 금속막(8bm)이 에칭제거되어 고용점 금속막(8m)이 박리해 버리는 문제가 생긴다. 이 때문에, 적어도 상기 세정처리 전에는 그 열처리를 행할 필요가 있지만, 캡 절연막이 질화실리콘만으로 구성되는 기술의 경우는, 고용점 금속막(8m)의 산화를 방지하는 관점에서 고용점 금속막(8m)의 피착 직후에 그 열처리를 행하는 것은 회피하는 것이 바람직하다. 그 기술의 경우에는 캡 절연막용의 질화실리콘막을 피착한 후 그 열처리를 행하는 것으로 되지만, 그 질화실리콘막의 막두께가 두껍게 되면 질화실리콘막이 박리하는 문제가 생긴다. 이 박리는, 고용점 금속막(8m)의 열팽창률이 절연막 보다도 1자리수(桁)이상 큰 것 등에 기인하는 것으로, 질화실리콘막의 막두께가 두껍게 되는 만큼 박리의 문제가 현저하게 되는 것은 막두께가 두꺼워지는 만큼 그 질화실리콘막의 체적 변화도 커지기 때문이다.

계속해서, 산화실리콘막(12a) 상에, 예를 들면 두께 100~150nm 정도의 질화실리콘막(12b)을 피착한다. 질화실리콘막(12b)의 성막방법으로서는, 예를 들면 플라즈마 CVD법, 저압 CVD법 또는 PECVD법 등이 있다. 질화실리콘막(12b)을 저압 CVD법으로 성막한 경우, 막질을 향상시킬수 있고, 또한 고용점 금속막(8m)의 표면이 산화실리콘막(12a)으로 이미 덮여져 보호되어 있으며, 고용점 금속막(8m)의 산화를 별로 신경쓰지 않고 성막을 행할 수 있으므로, 예를 들면 로드록(load lock)실 내의 배기조건을 완화할 수 있는 등, 질화실리콘막(12b)의 성막시의 제조·환경조건 등을 완화할 수 있다.

그 후, 질화실리콘막(12b)상에 게이트전극 형성용의 포토레지스트 패턴(R1)을 형성한다. 메모리셀 선택용 MISFET(Qs)의 게이트전극(8A)(워드선(WL)) 형성용의 포토레지스트 패턴(R1)은, 예를 들면 파장 248nm의 KrF 엑시머레이저를 광원으로 사용한 노광기술과 위상 시프트 기술을 사용하여 형성한다. 그 후, 포토레지스트 패턴(R1)을 에칭마스크로 하여 에칭처리를 행하는 것에 의해, 도 9에 나타낸 바와 같이 게이트전극 형상(메모리셀 어레이에서는 워드선 형상)의 질화실리콘막(12b)을 형성한다. 이 에칭처리에서는, 예를 들면 플루오르계의 가스를 사용한다.

이어서, 포토레지스트 패턴(R1)을 제거한 후, 그 패터닝된 질화실리콘막(12b)을 에칭마스크로 하여 산화실리콘막(12a), 고용점 금속막(8m), 배리어 금속막(8bm) 및 다결정 실리콘막(8s)을 패터닝하는 것에 의해, 도 10에 나타낸 바와 같이 게이트절연막(7) 상부에 게이트전극(8A)(워드선(WL)), 게이트전극(8B, 8C) 및 캡 절연막(12)을 형성한다. 이 에칭처리에서는, 예를 들면 염소와 산소의 혼합가스로 고용점 금속막(8m)을 가공한다. 그 가스를 사용한 에칭처리의 오버에칭처리에서는, 텅스텐 보다도 다결정 실리콘 쪽이 3배정도 에칭속도가 빠르므로, 다결정 실리콘막(8s)도 상당히 에칭제거된다. 남은 다결정 실리콘막은 일반적으로 사용되는 염소계 또는 취소계(브롬계) 가스를 사용하고, 얇은 산화막에 비해서 높은 선택비를 확보한 상태에서 에칭제거한다.

이와 같이 본 실시의 형태에서는, 캡 절연막(12)을 형성하기 위한 질화실리콘막(12b)을 에칭 마스크로 하여 게이트전극(8A)(워드선(WL)) 및 게이트전극(8B, 8C)을 형성한다. 통상, 게이트전극은 포토레지스트 패턴(R1)을 에칭 마스크로 하여 패터닝하지만, 게이트전극을 고용점 금속막(8m), 배리어 금속막(8bm) 및 다결정 실리콘막(8s)으로 구성하는 경우에 포토레지스트 패턴을 에칭 마스크로 하면, 에칭처리중에 포토레지스트 패턴의 형상이 왜곡되어 패턴형성 정밀도가 저하하는 경우가 있다. 또한, 포토레지스트 패턴의 일부가 빠지거나 박리하거나 하여 이물로 되어, 반도체 집적회로장치의 신뢰성이나 수율이 저하하는 문제가 생긴다. 캡 절연막(질화실리콘막(12b) 및 산화실리콘막(12a))을 에칭 마스크로서 사용한 경우에는, 그 형상에 변형이 생기거나 하지 않고, 또한 빠져서 이물로 되는 일도 없으므로, 게이트전극의 패턴형성 정밀도를 향상시키는 것이 가능하고, 또한 반도체 집적회로장치의 신뢰성이나 수율을 향상시키는 것이 가능하게 된다.

그런데, 이 게이트전극 가공을 위한 에칭처리에 질화실리콘막(12b)의 상부가 에칭되어 버리는 결과, 그 처리후의 질화실리콘막(12b)의 막두께는 성막시 보다도 약간 얇게 되고, 예를 들면 40nm 정도로 된다. 이 질화실리콘막(12b)의 에칭을 저감하기 위해서 다음과 같이 하여도 좋다. 먼저, 질화실리콘막(12b)을 피착한 후, 그 위에 산화실리콘막을 CVD법에 의해 피착한다. 계속해서, 포토레지스트 패턴(R1)을 형성하고, 이것을 에칭마스크로 하여 그 산화실리콘막 및 질화실리콘막(12b)을 패터닝하는 것에 의해, 도 11에 나타낸 바와 같이 게이트전극 형상(메모리셀 어레이에서는 워드선 형상)의 질화실리콘막(12b) 및 그 위의 산화실리콘막(12m)을 패터닝한다. 그 후, 포토레지스트 패턴(R1)을 제거한 후 패터닝된 질화실리콘막(12b) 및 산화실리콘막(12m)을 에칭마스크로 하여, 게이트전극(8A) 등을 패터닝한다. 이 때, 산화실리콘막(12m)이 그 하층의 질화실리콘막(12b)을 보호하고 그 에칭을 저감할수 있으므로, 질화실리콘막(12b)의 막두께를 확보할 수 있다. 또한, 산화실리콘막(12m)은 게이트전극(8A)등의 가공 후, 질화실리콘막(12b) 상에 남겨진 경우도 있고, 남겨지지 않은 경우도 있다.

그 후 반도체 기판(1)을, 예를 들면 과산화수소(H_2O_2)를 포함하는 세정액으로 세정하고, 특히 반도체 기판(1)의 뒷면의 파티클을 제거한다. 이 때, 배리어 금속막(8bm)은 상술한 바와 같이 치밀화되어 있으므로 제거되어 버리는 일도 없다. 그 후, 반도체 기판(1)에 대해서 상기한 라이트 산화처리를 행하는 것에 의해, 게이트전극(8A) 등의 단부에 산화막을 형성하여 플라스마대미지(plasma damage)를 회복한다.

다음에, 도 12에 나타난 바와 같이 n형 웰(4)에, 예를 들면 B(붕소)를 이온 주입하여 게이트전극(8C) 양측의 n형 웰(4)에 p⁻형 반도체영역(15)을 형성한다. 또한 p형 웰(2)에, 예를 들면 P(인)를 이온 주입하여 게이트전극(8A) 양측의 p형 웰(2)에 n⁻형 반도체영역(9a)을 형성하고, 게이트전극(8B) 양측의 p형 웰(2)에 n⁻형 반도체영역(14)을 형성한다. 여기까지의 공정에 의해, 메모리셀 선택용 MISFET(Qs)가 거의 완성한다.

다음에, 도 13에 나타난 바와 같이, 반도체 기판(1)상에 CVD법으로 막두께 50nm 정도의 질화실리콘막(13)을 퇴적한 후, 메모리어레이의 질화실리콘막(13)을 포토레지스트막으로 덮고, 주변회로의 질화실리콘막(13)을 이방성 에칭하는 것에 의해, 주변회로의 게이트전극(8B, 8C)의 측벽에 사이드월 스페이서(13s)를 형성한다. 이 에칭은, 소자분리홈(6)에 매립된 산화실리콘막(5)과 게이트 절연막(7)의 에칭량을 최소로 하기 위해, 질화실리콘막(13)을 높은 선택비로 에칭하는 가스를 사용하여 행한다. 또한, 게이트전극(8B, 8C)상의 질화실리콘막(12)의 각임량을 최소로 하기 위해, 오버 에칭량을 필요 최소한으로 한정하도록 한다.

다음에 도 14에 나타난 바와 같이, 주변회로의 n형 웰(4)에 예를 들면 B(붕소)를 이온 주입하여, 사이드월 스페이서(13s)에 대해서 자기정합으로 p채널형 MISFET(Qp)의 p⁺형 반도체영역(11)(소스, 드레인)을 형성하고, 주변회로의 p형 웰(2)에 예를 들면 As(비소)를 이온 주입하여 사이드월 스페이서(13s)에 대해서 자기정합으로 n채널형 MISFET(Qn)의 n⁺형 반도체영역(10)(소스, 드레인)을 형성한다. 여기까지의 공정에 의해, 저물순물농도 영역과 고물순물농도 영역을 구비한 p채널형 MISFET(Qp) 및 n채널형 MISFET(Qn)가 거의 완성한다.

다음에 도 15에 나타내는 바와 같이, 반도체 기판(1)상에 막두께 300nm 정도의 SOG막(16)을 스핀 도포하고, 수증기를 포함하는 400. C 정도의 산소 분위기 중에서 베이킹(bake)처리를 행한 후, 또 800. C, 1분 정도의 열처리를 행하여 이 SOG막(16)을 덴시파이(치밀화)한다. SOG막(16)에는, 예를 들면 폴리실라잔(polysilazane)계의 무기 SOG를 사용한다.

SOG막(16)은, 글래스 플로(glass flow)막에 비해서 리플로성(re-flowing property)이 높아, 미세한 스페이스의 갭 필링(gap filling)성이 뛰어나므로, 포토리소그래피의 해상한계 정도까지 미세화된 게이트전극(8A)(워드선(WL))의 스페이스에 매립되더라도 보이드(void)가 생기지 않는다. 또한 SOG막(16)은, 고온, 장시간의 열처리를 행하지 않아도 높은 리플로성이 얻어지므로, 메모리셀 선택용 MISFET(Qs)의 소스, 드레인이나 주변회로의 MISFET(n채널형 MISFET(Qn), p채널형 MISFET(Qp))의 소스, 드레인에 주입된 불순물의 열확산을 억제하여 얇은 접합화를 도모할 수 있고, 또한 열처리시에 게이트전극(8A)(워드선(WL)) 및 게이트전극(8B, 8C)을 구성하는 고용점 금속막(W막)이 산화하는 것을 억제할 수 있으므로, 메모리셀 선택용 MISFET(Qs) 및 주변회로의 MISFET의 고성능화를 실현할 수 있다. 또한, SOG막(16)과 그 위의 산화실리콘막(17, 18)에서 층간 절연막을 형성하는 것에 대신해서, 붕소·인 규산 글래스(Boro Phospho Silicate Glass: BPSG)를 피착한 후, 리플로처리(re-flowing treatment)를 행하고, 또 그 상면을 CMP법으로 평탄화하여 층간 절연막을 형성하여도 좋고, SOG막만으로 층간 절연막을 형성하도록 하여도 좋다.

다음에 도 16에 나타난 바와 같이, SOG막(16)의 상부에 막두께 600nm정도의 산화실리콘막(17)을 퇴적하고, 이어서 이 산화실리콘막(17)을 CMP법으로 연마하여 그 표면을 평탄화한 후, 그 상부에 막두께 100nm 정도의 산화실리콘막(18)을 퇴적한다. 상층의 산화실리콘막(18)은, CMP법으로 연마된 때에 생긴 하층의 산화실리콘막(17)의 표면의 미세한 흠을 보수하기 위하여 퇴적한다. 또한, 게이트 절연막(7)의 상면에서 산화실리콘막(18)의 상면까지의 두께는, 예를 들면 550nm 정도이다.

다음에, 도 17 및 도 18에 나타난 바와 같이, 제1의 개구를 가지는 포토레지스트막(17)을 마스크로 한 드라이에칭으로 메모리셀 선택용 MISFET(Qs)의 n⁻형 반도체영역(소스, 드레인)(9a)의 상부의 산화실리콘막(18, 17) 및 SOG막(16)을 제거하고, 제2의 개구를 형성한다. 이 에칭은, 산화실리콘막(17) 하층의 질화실리콘막(13)이 제거되는 것을 막기 위해서, 산화실리콘막(17)을 높은 선택비로 에칭하는 가스를 사용하여 행한다. 즉, 산화실리콘막 쪽이 질화실리콘막 보다도 에칭제거되기 쉬운 조건에서 에칭처리를 행하고, 콘택트홀(19a, 20a)을 형성한다. 이 때의 질화실리콘막과 산화실리콘막과의 에칭 선택비는 1대 8~10 정도이다.

도 18(a)는 이 에칭처리 후의 도 4의 A-A선에 대응하는 메모리셀의 요부 확대단면도이고, 도 18(b)는 그 에칭처리 후의 도 4의 B-B선에 대응하는 요부 확대단면도를 나타내고 있다. 도 18(a)에 나타난 바와 같이, 여기에서는 이 에칭처리 중에 캡 절연막(12)의 산화실리콘막(12a)이 노출되지 않도록 한다. 또한 게이트전극(8A)간에, 질화실리콘막(13)이 남겨지도록 에칭을 종료한다. 산화실리콘막(12a)과 SOG막(16)은 같은 재료이므로, 산화실리콘막(12a)이 노출되면 거기부터 에칭이 진행되고, 게이트전극(8A)의 상면이 노출되어 버리기 때문이다.

또한 도 18(b)에 나타난 바와 같이, 이 단계에서는 반도체 기판(1)의 질화실리콘막(13)이 에칭 스톱퍼로서 기능하고, 반도체 기판(1)상에 남겨진다. 그런데, 질화실리콘막(13)이 형성되어 있지 않는 경우를 나타낸 것이 도 52이지만, 이 경우 SOG막(100)을 에칭제거할 때에, 소자분리홈(101)내의 매립 절연막(102)은 SOG막(100)과 동일한 재료이므로, 그 매립 절연막(102)의 상부도 에칭제거되어 우묵한 곳(103)이 형성되어 버린다. 본 실시의 형태에서는 상기한 바와 같이 콘택트홀(19)이 평면적으로 소자분리홈에 겹쳐지므로, 그 매립절연막의 우묵한 곳을 회피할 수 있는 상기 기술은 유효하다. 또한, 콘택트홀(19)이 설계상은 소자분리홈에 평면적으로 겹치지 않는 구조의 경우라도 콘택트홀(19)의 평면적인 위치 어긋남에 의해 소자분리홈에 겹쳐지도록 되는 경우도 있으므로, 그 우묵한 곳에 기인하는 소자 불량 문제를 회피할 수 있는 본 실시의 형태는 유효한 기술이다.

계속해서, 상기 포토레지스트막(27)을 마스크로 한 드라이에칭으로 n^- 형 반도체 영역(소스, 드레인)(9a)의 상부에 제3의 개구를 형성하기 위한 질화실리콘막(13)을 제거하고, 이어서 그 하층의 얇은 게이트 절연막(7)을 제거하는 것에 의해, 도 19, 도 20, 도 21 및 도 22에 나타난 바와 같이, n^- 형 반도체 영역(소스, 드레인)(9a)의 표면을 노출하는 콘택트홀(19, 20)을 형성한다. 이 에칭은 게이트전극(8A)상의 산화실리콘막(12a)이 남겨지도록 에칭을 종료한다. 또한, 도 20은 이 처리후의 도 4의 A-A선의 요부 확대단면도를 나타내고, 도 21은 이 처리후의 도 4의 B-B선의 요부 확대단면도를 나타내며, 도 22는 이 처리후의 메모리셀어레이의 요부평면도를 나타내고 있다.

이 질화실리콘막(13)의 에칭은, 반도체 기판(1)이나 소자분리홈(6)의 에칭량을 최소로 하기 위해, 질화실리콘막(13)을 높은 선택비로 에칭하는 가스를 사용하여 행한다. 즉, 질화실리콘막(13) 쪽이 산화실리콘막 보다도 에칭제거되기 쉬운 조건에서 에칭처리를 행한다. 이 때의 산화실리콘막과 질화실리콘막의 에칭선택비는 1대 3정도이다.

또한 이 에칭은, 질화실리콘막(13)을 이방적으로 에칭하는 조건에서 행하고, 게이트전극(8A)(워드선(WL))의 측벽에 질화실리콘막(13)을 남기도록 한다. 이에 의해, 저부의 지름(X방향의 지름)이 포토리소그래피의 해상한계 이하의 미세한 콘택트홀(19, 20)을 게이트전극(8A)(워드선(WL))의 스페이스에 대해서 자기정합으로 형성할 수 있다.

그런데, 도 53은 캡 절연막(104)이 질화실리콘막만으로 형성되어 있는 경우를 비교하기 위해 나타난 것으로, 이 경우는 콘택트홀(105)을 형성하기 위한 반도체 기판(106)상의 질화실리콘막(107)을 제거할 때, 게이트전극(108)의 상면 및 측면의 캡 절연막(104) 및 질화실리콘막(107)도 제거되어 버리고, 게이트전극(108)의 상면이 노출되어 버리는 경우가 생긴다. 이 때문에, 에칭종점(etching terminal point) 검출에 높은 정밀도가 요구되는 데다가, 절연내압 불량이나 게이트전극의 노출을 방지하는 것을 고려하여 캡 절연막을 두껍게 하지 않으면 안된다. 그러나, 본 발명자의 검토결과에 의하면, 캡 절연막의 막두께 증대는 콘택트홀의 에스펙트비의 증대를 초래하고, 콘택트홀 내로의 도체막의 매립이 어렵게 되므로 불량 발생률이 증대하는 외에, 캡 절연막 형성후의 열처리에 의해 캡 절연막의 박리나 팽창 등의 문제가 현저하게 되는 것이 판명되었다.

본 실시의 형태에 있어서도, 반도체 기판(1)상의 질화실리콘막(13)을 제거하여 반도체 기판(1)의 상면을 노출시킬 때에, 게이트전극(8A)의 상면이나 측면의 질화실리콘막(12b, 13)도 동일재료이므로 에칭제거된다. 이 때문에, 에칭처리가 진행하면 게이트전극(8A)상의 산화실리콘막(12a)의 일부가 노출되도록 되지만, 이 에칭처리에서는 질화실리콘막 쪽이 에칭제거되기 쉬운 조건으로 하고 있으므로, 산화실리콘막(12a)은 에칭 스톱퍼로서 기능하여, 그다지 제거되지 않고 끝난다. 도 20은, 그 에칭처리후의 상태를 모식적으로 나타낸 것으로, 콘택트홀(19, 20)에서 노출하는 산화실리콘막(12a)의 상부로서 리(산화실리콘막(12a)의 상면과 측면이 교차하는 개소) 및 그 근방의 산화실리콘막(12a)이 제거되지 않고 남아 있다. 이 때문에, 게이트전극(8A) 측면의 질화실리콘막(13)의 높이도 확보되어 있다. 이 결과, 게이트전극(8A)의 상부로서 리(고유점 금속막(8m)의 상면 및 측면이 교차하는 개소) 및 그 근방을 피복하는 절연막의 막두께가 확보되는, 즉 콘택트홀(19)내에 매립되는 도체막과 게이트전극(8A)과의 거리가 길게 되므로, 절연내압을 향상시키는 것이 가능하게 된다. 따라서, 캡 절연막(12)을 얇게 할 수 있으므로, 반도체 기판(1)의 상면에서 캡 절연막(12)의 상면까지의 높이를 낮게 할 수 있다. 예를 들면 캡 절연막(12)이 질화실리콘막만으로 형성되어 있는 경우에는 (도 53참조), 후술의 질화실리콘막(13)의 두께를 A로 하면, $A \times (1 + \text{드라이 오버에칭률}) \times (1 + \text{드라이 편차율})$ 을 확보할 필요가 있다. 드라이 오버에칭률을 40%, 드라이 편차율을 20%, $A=50\text{nm}$ 로 하고, 그들 수치를 뺀식에 대입하면, 질화실리콘만으로 구성되는 캡 절연막의 두께가 84nm 정도

필요하게 된다. 한편, 본 실시 형태의 적층 캡의 경우는, 질화실리콘막(12b) 아래의 산화실리콘막(12a)에 의해 콘택트홀 형성시의 선택비가 약 3이므로, $84/3 = 28\text{nm}$ 를 에칭 분으로서 확보해두면 좋은 것으로 된다. 따라서, 적층 캡의 쪽이 반도체 기관(1)의 상면에서 캡 절연막(12)의 상면까지의 높이를 $56\text{nm} (= 84 - 28)$ 나 낮게 할 수 있다. 이에 의해, 콘택트홀(19, 20)의 애스펙트비를 작게 할 수 있으므로, 콘택트홀(19, 20)내로의 도체막의 매립이 용이하게 되고, 그 도체막의 매립부족을 회피할 수 있다. 따라서, 콘택트홀(19, 20)내에서의 전기저항의 증대나 도통불량을 회피할 수 있으므로, 반도체 집적회로 장치의 신뢰성 및 수율을 향상시키는 것이 가능하게 된다.

또한, 본 실시의 형태에서는 콘택트홀(19)의 평면형상이 직사각형 모양이고 평면적으로 소자분리홈(6)에 겹쳐지므로, 콘택트홀(19)에서 노출하는 질화실리콘막(13)을 제거하면 소자분리홈(6)의 상면도 노출되지만, 소자분리홈(6)내의 매립 절연막은 산화실리콘막(5)으로 이루어지므로, 당해 에칭처리시에 그다지 제거되지도 않는다. 도 21은 그 모양을 모식적으로 나타내는 것으로, 콘택트홀(19)의 저부면으로부터 노출하는 소자분리홈(6)의 상면은 별로 에칭제거되지 않고 남겨져 있다.

다음에 포토레지스트막(27)을 제거한 후, 플루오르화 수소산계의 에칭액(예를 들면 플루오르화 수소산 + 플루오르화암모늄 혼합액)을 사용해서, 콘택트홀(19, 20)의 저부에 노출한 반도체 기관(1)의 표면을 세정하고, 드라이 에칭 찌꺼기나 포토레지스트 찌꺼기 등을 제거한다. 이 때 콘택트홀(19, 20)의 측벽에 노출한 SOG막(16)도 에칭액에 노출되지만, 800°C 정도의 고온에서 텐시파이(치밀화)한 SOG막(16)은 이 텐시파이 처리를 행하지 않은 SOG막에 비해서 플루오르화 수소산계의 에칭액에 대한 내성이 높으므로, 이 웨트에칭처리에 의해 콘택트홀(19, 20)의 측벽이 크게 언더컷(under-cut)되는 것은 아니다. 이에 의해, 다음 공정에서 콘택트홀(19, 20)의 내부에 매립되는 플러그(21)끼리의 쇼트를 확실히 방지할 수 있다.

또한, 상기 콘택트홀(19, 20)을 형성한 후, 이 콘택트홀(19, 20)을 통하여 p형 웰(2)에 불순물(예를 들면 인)을 이온주입함으로써, 메모리셀 선택용 MISFET(Qs)의 소스, 드레인 보다도 깊은 영역의 p형 웰(2)에 n형 반도체층을 형성해도 좋다. 이 n형 반도체층은 소스, 드레인의 단부에 집중하는 전계를 완화하는 효과가 있으므로, 소스, 드레인의 단부의 리크 전류(leakage current)를 저감하여 메모리셀의 리프레시(refresh) 특성을 향상시킬 수 있다.

다음에, 도 23 및 도 24에 나타내는 바와 같이, 콘택트홀(19, 20)의 내부에 플러그(21)를 형성한다. 또한, 도 24(a)는 이 처리후의 도 4의 A-A선의 요부 확대단면도이고, 동 도면(b)는 도 4의 B-B선의 요부 확대단면도이다. 플러그(21)는, 산화실리콘막(18)의 상부에 불순물(예를 들면 As(비소))을 도포한 막두께 300nm 정도의 다결정 실리콘막을 CVD법으로 퇴적한 후, 이 다결정 실리콘막을 CMP법으로 연마하여 콘택트홀(19, 20)의 내부에 남김으로써 형성한다. 본 실시 형태에서는 플러그(21)와 게이트전극(8A)의 사이에 개재된 산화실리콘막(12a)에 의해 절연내압을 향상시키는 것이 가능하게 되어 있다. 또한, 산화실리콘막(12a)은 질화실리콘막 보다도 유전율이 낮으므로 플러그(21)와 게이트전극(8A) 사이의 절연막의 유전율을 내릴 수 있어, 기생용량을 저감할 수 있다.

계속해서, 산화실리콘막(18)의 상부에 막두께 200nm 정도의 산화실리콘막(28)을 CVD법으로 퇴적한 후, 질소가스 분위기 중에서 800°C , 1분 정도의 열처리를 행한다. 이 열처리에 의해, 플러그(21)를 구성하는 다결정 실리콘막 중의 불순물이 콘택트홀(19, 20)의 저부로부터 메모리셀 선택용 MISFET(Qs)의 n⁻형 반도체영역(9a)으로 확산하고, 저저항의 n형 반도체영역(소스, 드레인)(9)이 형성된다.

다음에 도 26에 나타내는 바와 같이, 포토레지스트막(R2)을 마스크로 한 드라이 에칭으로 콘택트홀(19) 상부의 산화실리콘막(28)을 제거함으로써, 스루홀(22)을 형성한다. 이 스루홀(22)은 활성영역(L)에서 벗어난 소자분리홈(6)의 상부에 배치한다. 또한, 도 26(a)는 이 처리후의 도 4의 A-A선의 요부 확대단면도를 나타내고, 도 26(b)는 이 처리후의 도 4의 B-B선의 요부 확대단면도를 나타내며, 도 27은 이 처리후의 메모리셀 어레이의 요부 평면도를 나타내고 있다.

계속해서, 도 25에 나타내는 바와 같이 포토레지스트막(R3)을 마스크로 한 드라이 에칭으로 주변회로의 산화실리콘막(28, 18, 17), SOG막(16) 및 게이트절연막(7)을 제거함으로써, n채널형 MISFET(Qn)의 n⁺형 반도체영역(10)(소스, 드레인)의 상부에 콘택트홀(30, 31)을 형성하고, p채널형 MISFET(Qp)의 p⁺형 반도체영역(11)(소스, 드레인)의 상부에 콘택트홀(32, 33)을 형성한다. 또한 이때 동시에, p채널형 MISFET(Qp)의 게이트전극(8C)의 상부에 콘택트홀(34)을 형성하고, n채널형 MISFET(Qn)의 게이트전극(8B)의 상부에 도시하지 않은 콘택트홀을 형성한다. 콘택트홀(30~34)은, 소자분리영역에 겹쳐지지 않도록, 소자분리영역에 대하여여유를 확보하여 형성하지 않으면 안된다.

상기와 같이, 스루홀(22)을 형성하는 에칭과, 콘택트홀(30~34)을 형성하는 에칭을 별개 공정으로 행하는 것에 의해, 주변회로의 깊은 콘택트홀(30~34)을 형성할 때에 메모리어레이의 얇은 스루홀(22)의 저부에 노출한 플러그(21)가 깊게 깎이는 결점을 막을 수 있다. 또한, 스루홀(22)의 형성과 콘택트홀(30~34)의 형성은 상기와 역의 순서로 행해도 좋다.

다음에, 도 28에 나타난 바와 같이 콘택트홀(30~34)과 스루홀(22)의 내부를 포함하는 산화실리콘막(28)의 상부에 막두께 40 nm 정도의 Ti막(36)을 퇴적한다. Ti막(36)은, 에스펙트비가 큰 콘택트홀(30~34)의 저부에서도 10 nm 정도 이상의 막두께를 확보할 수 있도록, 콜리메이션 스퍼터(collimation sputtering)등의 고지향성 스퍼터링 법을 사용하여 퇴적한다.

계속해서, Ti막(36)을 대기에 노출시키지 않고, Ar(아르곤)가스 분위기 중에서 650. C, 30초 정도의 열처리를 행하고, 게다가 질소가스 분위기 중에서 750. C, 1분 정도의 열처리를 행한다. 이 열처리에 의해 도 29에 나타난 바와 같이, 콘택트홀(30~33)의 저부의 Si기판과 Ti막(36)이 반응하고, n채널형 MISFET(Qn)의 n⁺형 반도체영역(10)(소스, 드레인)의 표면과 p채널형 MISFET(Qp)의 p⁺형 반도체영역(11)(소스, 드레인)의 표면에 막두께 10 nm 정도의 TiSi₂층(37)이 형성된다. 또한, 상기 질소가스 분위기 중에서의 열처리에 의해, 콘택트홀(30~34)의 측벽에 퇴적한 얇은 Ti막(36)의 표면이 질화되어, Si와 반응하기 어려운 안정된 막으로 된다.

또한, 이 때 산화실리콘막(28)의 상부의 Ti막(36)의 표면도 질화되지만, 표면이외의 부분은 질화되지 않고 반응하지 않은 채로 남는다. 또한, 스루홀(22)(도 26등 참조)의 저부의 플러그(21)의 표면에는, 플러그(21)를 구성하는 다결정 실리콘막과 Ti막(36)의 반응에 의해 TiSi₂층(37)이 형성된다.

콘택트홀(30~33)의 저부에 TiSi₂층(37)을 형성하는 것에 의해, 다음의 공정에서 콘택트홀(30~33)의 내부에 형성되는 플러그(35)와, 주변회로의 MISFET의 소스, 드레인(n⁺형 반도체영역(10), p⁺형 반도체영역(11))이 접촉하는 부분의 콘택트저항을 1kΩ이하까지 저감할 수 있으므로, 센스앰프(SA)나 워드드라이버(WD)등의 주변회로의 고속동작이 가능하게 된다. 콘택트홀(30~33)의 저부의 실리사이드층은, TiSi₂이외의 고용점 금속 실리사이드, 예를 들면 CoSi₂(코발트실리사이드), TaSi₂(탄탈실리사이드), MoSi₂(몰리브덴실리사이드) 등으로 구성될 수도 있다.

다음에, 도 30에 나타내는 바와 같이, Ti막(36)의 상부에 막두께 30 nm 정도의 TiN막(40)을 CVD법으로 퇴적한다. CVD법은, 스퍼터링법에 비해서 스텝 커버리지(step coverage)가 좋으므로, 에스펙트비가 큰 콘택트홀(30~34)의 저부에 평탄부와 같은 정도의 막두께인 TiN막(40)을 퇴적할 수 있다. 계속해서, 6플루오르화텅스텐(WF₆), 수소 및 모노실란(SiH₄)을 소스 가스로 사용한 CVD법으로 TiN막(40)의 상부에 막두께 300nm 정도의 두꺼운 W막(41)을 퇴적하고, 콘택트홀(30~34) 및 스루홀(22)(도 26등 참조)의 각각의 내부를 W막(41)으로 완전하게 매립한다.

또한, TiSi₂층(37)을 형성한 직후에 반응하지 않은 Ti막(36)을 에칭액으로 제거하면, p채널형 MISFET(Qp)의 게이트전극(8C)의 상부에 형성된 콘택트홀(34)의 내부나, n채널형 MISFET(Qn)의 게이트전극(8B)의 상부에 형성된 도시하지 않은 콘택트홀의 내부에도 에칭액이 침입하여, 폴리메탈구조로 구성된 게이트전극(8B, 8C)의 표면(W막)이 에칭되어 버린다. 이것을 방지하기 위해, 본실시의 형태에서는 콘택트홀(30~33)의 저부에 TiSi₂층(37)을 형성한 후, 산화실리콘막(28)의 상부나 콘택트홀(30~34)의 내부에 남은 미반응의 Ti막(36)을 남긴채로, 그 상부에 TiN막(40) 및 W막(41)을 퇴적한다.

다음에, 도 31에 나타난 바와 같이, CMP법을 사용하여 산화실리콘막(28)의 상부의 W막(41), TiN막(40) 및 Ti막(36)을 제거(polish back)하는 것에 의해, 콘택트홀(30~34) 및 스루홀(22)(도 26 등 참조)의 각각의 내부에 상기 W막(41), TiN막(40) 및 Ti막(36)으로 구성된 플러그(35)를 형성한다. 이 플러그(35)는, 산화실리콘막(28)의 상부의 W막(41), TiN막(40) 및 Ti막(36)을 드라이 에칭으로 제거(etch back)함으로써 형성해도 좋다.

상기 플러그(35)는, 고용점 금속인 W막(41)을 중심으로 하여 구성되어 있기 때문에 저항이 낮음과 동시에 내열성이 높다. 또한, W막(41)의 하층에 형성된 TiN막(40)은 W막(41)을 CVD법으로 퇴적할 때에 6플루오르화텅스텐과 Si이 반응하여 결함(인크로치먼트(encroachment)나 웜홀(wormhole))이 발생하는 것을 방지하는 배리어층으로서 기능함과 동시에, 후의 고온 열처리 공정에서 W막(41)과 Si기판이 반응(실리사이드화 반응)하는 것을 방지하는 배리어층으로서 기능한다. 이 배리어층에는 TiN이외의 고용점 금속 질화물(예를 들면 WN막)등을 사용하는 것도 가능하다.

플러그(35)는, W막(41)을 사용하지 않고 TiN막(40)을 주체로 하여 구성하여도 좋다. 즉, 콘택트홀(30~34) 및 스루홀(22)(도 26등 참조)의 각각의 내부에 두꺼운 막두께의 TiN막(40)을 매립하여 플러그(35)를 형성하여도 좋다. 이 경우에는, W막(41)을 주체로 하여 구성한 경우에 비해서 플러그(35)의 저항이 어느 정도 높게 되지만, 다음의 공정에서 산화실리콘

막(28)의 상부에 퇴적하는 W막(42)을 드라이 에칭하여 비트선(BL)과 주변회로의 제1 층재의 배선(23~26)을 형성할 때에 TiN막(40)이 에칭 스톱퍼로 되므로, 배선(23~26)과 콘택트홀(30~34)의 맞춤어긋남 마진이 현격하게 향상하고, 배선(23~26)의 레이아웃의 자유도가 큰폭으로 향상한다.

다음에, 산화실리콘막(28)의 상부에 이하와 같은 방법으로 비트선(BL) 및 주변회로의 제1 층재의 배선(23~26)을 형성한다.

먼저, 도 32에 나타낸 바와 같이, 산화실리콘막(28)의 표면을 웨트 세정하여 연마 찌꺼기를 충분히 제거한 후, 그 상부에 막두께 100 nm 정도의 W막(42)을 스퍼터링법으로 퇴적한다. 다음에, 도 33에 나타내는 바와 같이, W막(42)의 상부에 형성한 포토레지스트막(43)을 마스크로 하여 W막(42)을 드라이 에칭함으로써, 비트선(BL) 및 주변회로의 제1 층재의 배선(23~26)을 형성한다.

비트선(BL) 및 배선(23~26)은, CVD법으로 퇴적한 W막이나, W막과 TiN막의 적층막을 사용하여 형성해도 좋다. 또한, 산화실리콘계의 절연막과의 밀착성이 양호한 다른 고용점 금속(예를 들면 Mo막, Ta막)이나 그 질화물의 단층막 또는 그들의 적층막을 사용하여 형성해도 좋다. 또한, 도 34에는 비트선(BL) 형성후의 메모리셀어레이의 요부평면도를 나타낸다. 비트선(BL)은 띠모양으로 형성되어 있고, 스트루홀(22)을 통하여 평면 직사각형 모양의 플러그(21)에 전기적으로 접속되어 있다.

다음에, 도 35 및 도 36에 나타내는 바와 같이, 비트선(BL)과 제1 층재 배선(23~26)의 각각의 상부에 막두께 100nm 정도인 산화실리콘막(38)을 퇴적하고, 계속해서 산화실리콘막(38)의 상부에 막두께 250nm 정도인 SOG막(39)을 스핀 도포한 후, 수증기를 포함하는 400. C 정도의 산소 분위기 중에서 베이킹(bake) 처리를 행하고, 게다가 800. C, 1분 정도의 열 처리를 행하여 덴시파이(치밀화)함으로써, SOG막(39)의 표면을 평탄화한다. 또한, 도 36(a)는 이 처리후의 도 4의 A-A선의 요부 확대단면도를 나타내고 도면(b)는 이 처리후의 도 4의 B-B선의 요부단면도를 나타내고 있다.

또한, 비트선(BL)과 제1 층재의 배선(23~26)에 의한 단차가 작은 경우에는, SOG막(39)을 사용하지 않고 산화실리콘막(38)을 두껍게 퇴적하는 것만으로 평탄화를 도모할 수도 있다. 다른 한편, 비트선(BL)과 배선(23~26)의 밀도차가 크고, SOG막(39) 만으로는 충분한 평탄성이 얻어지지 않는 경우에는, SOG막(39)의 표면을 CMP법으로 연마하고, 또 그 상부에 SOG막(39)의 표면의 미세한 연마 흠을 보수하기 위한 산화실리콘막을 퇴적해도 좋다. 또한, SOG막(39)을 덴시파이하는 온도를 별로 높게 할 수 없는 경우에는, 그 내습성의 저하를 보충하기 위하여, 그 상부에 산화실리콘막을 더 퇴적해도 좋다.

다음에, 도 37에 나타낸 바와 같이, SOG막(39)의 상부에 막두께 200nm 정도인 다결정 실리콘막(70)을 CVD법으로 퇴적한 후, 포토레지스트막을 마스크로 하여 이 다결정 실리콘막(70)을 드라이 에칭하는 것에 의해, 콘택트홀(20)의 상방에 스트루홀(71)을 형성한다. 이 스트루홀(71)은 그 직경이 최소 가공치수와 같은 정도가 되도록 형성한다.

다음에, 도 38에 나타내는 바와 같이, 스트루홀(71)의 측벽에 다결정 실리콘막으로 구성된 사이드월 스페이서(72)를 형성한다. 사이드월 스페이서(72)는, 스트루홀(71)의 내부를 포함하는 다결정 실리콘막(70)의 상부에 막두께 60nm 정도의 얇은 제2의 다결정 실리콘막(도시하지 않음)을 CVD법으로 퇴적한 후, 이 다결정 실리콘막을 에치백(etch back)하여 스트루홀(71)의 측벽에 남기는 것에 의해 형성한다. 이 사이드월 스페이서(72)를 형성하는 것에 의해, 스트루홀(71)의 안쪽 지름은, 최소 가공치수 보다도 미세하게 된다.

다음에, 도 39에 나타내는 바와 같이, 다결정 실리콘막(70)과 사이드월 스페이서(72)를 마스크로 하여 스트루홀(71)의 저부의 절연막(SOG막(39), 산화실리콘막(38, 28))을 드라이 에칭하는 것에 의해, 비트선(BL)과 이것에 인접하는 비트선(BL)과의 스페이스 영역을 통하여 콘택트홀(20)에 이르는 스트루홀(48)을 형성한다.

스트루홀(48)은, 최소 가공치수 보다도 미세한 안쪽 지름을 가지는 스트루홀(71)의 측벽의 사이드월 스페이서(72)를 마스크로 하여 형성되므로, 그 안쪽 지름은 최소 가공치수 보다도 미세하게 된다. 이에 의해, 비트선(BL)의 스페이스 영역과 스트루홀(48)의 맞춤 마진을 충분히 확보할 수 있으므로, 다음의 공정에서 스트루홀(48)의 내부에 매립되는 플러그(49)가 비트선(BL) 또는 그 하부의 플러그(35)와 쇼트하는 것을 확실히 방지할 수 있다.

다음에, 도 40에 나타내는 바와 같이, 스트루홀(48)의 내부를 포함하는 다결정 실리콘막(70)의 상부에 n형 불순물(예를 들면 P(인))을 도포한 막두께 200 nm 정도인 다결정 실리콘막(도시하지 않음)을 CVD법으로 퇴적한후, 이 다결정 실리콘막을 다결정 실리콘막(70) 및 사이드월 스페이서(72)와 함께 에치백하는 것에 의해, 스트루홀(48)의 내부에 다결정 실리콘막으로 구성된 플러그(49)를 형성한다.

다음에, 도 41에 나타내는 바와 같이, SOG막(39)의 상부에 막두께 200nm 정도인 질화실리콘막(44)을 CVD법으로 퇴적한 후, 포토레지스트막을 마스크로 한 드라이 에칭으로 주변회로의 질화실리콘막(44)을 제거한다. 메모리어레이에 남겨진 질화실리콘막(44)은, 후술하는 정보축적용 용량소자(C)의 하부전극(45)을 형성하는 공정에서 질화실리콘막을 에칭할 때의 에칭 스톱퍼로서 사용된다.

다음에, 도 42에 나타내는 바와 같이, 질화실리콘막(44)의 상부에 CVD법으로 산화실리콘막(50)을 퇴적한 후, 포토레지스트막을 마스크로 하여 산화실리콘막(50) 및 그 하부의 질화실리콘막(44)을 드라이 에칭하는 것에 의해, 스트루홀(48)의 상부에 오목홈(73)을 형성한다. 정보축적용 용량소자(C)의 하부전극(45)은, 이 오목홈(73)의 내벽을 따라서 형성되므로, 하부전극(45)의 표면적을 크게 하여 축적전하량을 늘리기 위해서는, 산화실리콘막(50)을 두꺼운 막두께(예를 들면 1.3 μm 정도)로 퇴적할 필요가 있다.

다음에, 도 43에 나타낸 바와 같이, 오목홈(73)의 내부를 포함하는 산화실리콘막(50)의 상부에 n형 불순물(예를 들면 P(인))을 도포한 막두께 60 nm 정도의 다결정 실리콘막(45A)을 CVD법으로 퇴적한다. 이 다결정 실리콘막(45A)은, 정보축적용 용량소자(C)의 하부전극 재료로서 사용된다.

다음에, 도 44에 나타내는 바와 같이, 오목홈(73)의 내부를 포함하는 다결정 실리콘막(45A)의 상부에 막두께 300 nm 정도의 SOG막(74)을 스핀 도포하고, 이어서 400. C 정도의 열처리를 행하여 SOG막(74)을 베이킹한 후, 오목홈(73)의 외부의 SOG막(74)을 에치백하여 제거한다.

다음에, 도 45에 나타내는 바와 같이, 주변회로의 다결정 실리콘막(45A)의 상부를 포토레지스트막(75)으로 덮고, 메모리어레이의 산화실리콘막(50)의 상부의 다결정 실리콘막(45A)을 에치백(이방성 에칭)하여 제거함으로써, 오목홈(73)의 내벽을 따라서 하부전극(45)이 형성된다. 하부전극(45)은, 다결정 실리콘막(45A) 이외의 도전막으로 구성할 수도 있다. 하부전극용의 도전막은, 다음의 공정에서 행해지는 용량 절연막의 고온열처리에 의해 열화하지 않는 정도의 내열성 및 내산화성을 구비한 도전재료, 예를 들면 W, Ru(루테튬) 등의 고용점 금속이나 RuO(산화루테튬), IrO(산화이리듐) 등의 도전성 금속산화물로 구성하는 것이 바람직하다.

다음에, 도 46에 나타내는 바와 같이, 오목홈(73)과 오목홈(73)의 극간에 남겨진 산화실리콘막(50), 및 오목홈(73)의 내부의 SOG막(74)을 플루오르화 수소산계의 에칭액으로 동시에 제거한 후, 포토레지스트막(75)을 제거한다. 계속해서, 메모리어레이를 덮는 포토레지스트막을 마스크로 한 드라이에칭으로 주변회로의 다결정 실리콘막(45A)을 제거함으로써, 통형의 하부전극(45)이 완성한다. 오목홈의 극간의 산화실리콘막(50)의 저부에는 질화실리콘막(44)이 형성되어 있으므로, 산화실리콘막(50)을 웨트 에칭할 때에 하층의 SOG막(39)이 에칭되는 것은 아니다. 또한 이 때, 주변회로의 표면은 다결정 실리콘막(45A)으로 덮여지고 있으므로, 그 하층의 두꺼운 산화실리콘막(50)이 에칭되는 것은 아니다.

주변회로에 두꺼운 막두께의 산화실리콘막(50)을 남기는 것에 의해, 후의 공정에서 정보축적용 용량소자(C)의 상층에 형성되는 층간 절연막(56, 63)의 표면이 메모리어레이와 주변회로에서 대략 같은 높이로 되므로, 층간 절연막(56)의 상부에 배치되는 제2 층재의 배선(52, 53), 층간 절연막(63)의 상부에 배치되는 제3 층재의 배선(57~58) 및 제2 층재와 제3 층재의 배선 사이를 접속하는 스트루홀(60, 61)의 형성이 용이하게 된다.

다음에, 암모니아 분위기 중에서 800. C, 3분 정도의 열처리를 행하여 하부전극(45)의 표면에 얇은 질화막(도시하지 않음)을 형성한 후, 도 47에 나타내는 바와 같이 하부전극(45)의 상부에 막두께 14 nm 정도의 얇은 Ta₂O₅(산화탄탈)막(46)을 퇴적한다. 하부전극(45) 표면의 질화막은, 하부전극(45)을 구성하는 다결정 실리콘막(45A)이 다음에 행하는 열처리에 의해 산화되는 것을 막기 위하여 형성한다. 또한, Ta₂O₅막(46)은 예를 들면 펜타에톡시 탄탈(pentaethoxy tantalum, Ta(OC₂H₅)₅)을 소스가스로 사용한 CVD법으로 퇴적한다. CVD법에서 퇴적한 Ta₂O₅막(46)은 스텝 커버리지가 좋으므로, 입체적인 통형 형상을 가지는 하부전극(45)의 표면 전체에 대략 균일한 막두께로 퇴적된다.

계속해서, 800. C의 산화성 분위기 중에서 Ta₂O₅막(46)을 3분 정도 열처리한다. 이 고온 열처리를 행함으로써, 막 안의 결정결함이 회복되어, 양질의 Ta₂O₅막(46)이 얻어진다. 이에 의해, 정보축적용 용량소자(C)의 리크 전류를 저감하는 것이 가능하므로, 리프레시 특성이 향상된 DRAM을 제조할 수 있다.

또한, 정보축적용 용량소자(C)의 하부전극(45)을 입체적인 통형 형상으로 하여 그 표면적을 크게 하고, 또한 용량 절연막을 유전율이 20~25정도의 Ta_2O_5 막(46)으로 구성하는 것에 의해, 메모리셀을 미세화하여도 정보의 유지에 충분한 축적 전하량을 확보하는 것이 가능하게 된다.

또한, Ta_2O_5 막(46)의 퇴적에 앞서서 형성되는 하층의 비트선(BL) 및 제1 층재의 배선(23~26)을, 산화실리콘계의 절연막과의 밀착성이 양호한 W막으로 구성한 것에 의해, Ta_2O_5 막(46)의 고온 열처리에 기인하여 비트선(BL)이나 배선(23~26)의 막 벗겨짐을 일으키는 불량을 확실하게 방지할 수 있다.

또한, 비트선을 내열성이 높은 W막으로 구성한 것에 의해, 최소 가공치수이하의 미세한 폭으로 형성된 비트선(BL)이 Ta_2O_5 막(46)의 고온 열처리에 기인하여 열화하거나 단선하거나 하는 불량을 확실하게 방지할 수 있다. 게다가, 주변회로의 MISFET와 제1 층재의 배선(23~26)을 접속하는 콘택트홀(30~35)의 내부의 플러그(35)를 내열성이 높은 도전재료(W막/TiN막/Ti막)로 구성한 것에 의해, Ta_2O_5 막(46)의 고온열처리에 기인하여 소스, 드레인의 리크 전류가 증대하거나, 콘택트 저항이 증대하거나 하는 결점을 방지할 수 있다.

정보축적용 용량소자(C)의 용량 절연막은, 예를 들면 BST, STO, $BaTiO_3$ (티탄산 바륨), $PbTiO_3$ (티탄산 납), PZT ($PbZrXTi_{1-x}O_3$), PLT($PbLaXTi_{1-x}O_3$), PLZT 등의 금속산화물로 이루어지는 고(강)유전체막으로 구성할 수도 있다. 이들 고(강)유전체막은, 그들에 공통의 성질로서 결정 결함이 적은 고품질의 막을 얻기 위해 성막후에 적어도 750℃ 정도 이상의 고온 열처리를 행할 필요가 있으므로, 이들 고(강)유전체막을 사용한 경우라도 상기와 마찬가지로 효과를 얻을 수 있다.

다음에 도 48에 나타내는 바와 같이, Ta_2O_5 막(46)의 상부에 CVD법과 스퍼터링법을 병용하여 TiN막을 퇴적한 후, 포토레지스트막을 마스크로 한 드라이 에칭으로 TiN막 및 Ta_2O_5 막(46)을 패터닝함으로써, TiN막으로 이루어지는 상부전극(47)과, Ta_2O_5 막(46)으로 이루어지는 용량 절연막과, 다결정 실리콘막(45A)으로 이루어지는 하부전극(45)으로 구성된 정보축적용 용량소자(C)가 완성한다. 또한, 여기까지의 공정에 의해, 메모리셀 선택용 MISFET(Qs)와 이것에 직렬로 접속된 정보축적용 용량소자(C)로 구성된 메모리셀이 완성한다. 정보축적용 용량소자(C)의 상부전극(47)은 TiN막 이외의 도전막, 예를 들면 W막 등으로 구성하는 것도 가능하다.

다음에, 도 49에 나타내는 바와 같이, 정보축적용 용량소자(C)의 상부에 층간 절연막(56)을 형성한 후, 포토레지스트막을 마스크로 하여 주변회로의 층간 절연막(56), 산화실리콘막(50), SOG막(39) 및 산화실리콘막(39)을 에칭하는 것에 의해, 제1 층재의 배선(26)의 상부에 스루홀(54)을 형성한다. 층간 절연막(56)은, 예를 들면 CVD법으로 퇴적한 막두께 600 nm 정도인 산화실리콘막으로 구성한다.

다음에, 도 50에 나타내는 바와 같이, 스루홀(54)의 내부에 플러그(55)를 형성한 후, 층간 절연막(56)의 상부에 제2 층재의 배선(52, 53)을 형성한다. 플러그(55)는 예를 들면 층간 절연막(56)의 상부에 스퍼터링법으로 Ti막을 퇴적하고, 또 그 상부에 CVD법으로 TiN막과 W막을 퇴적한 후, 이들 막을 에치백(드라이 에칭)하여 스루홀(54)의 내부에만 남김으로써 형성한다. 제2 층재의 배선(52, 53)은 층간 절연막(56)의 상부에 스퍼터링법으로 막두께 50 nm 정도인 Ti막, 막두께 500 nm 정도인 Al(알루미늄)막, 막두께 50nm 정도인 Ti막 및 막두께 50nm 정도인 TiN막을 차례로 퇴적한 후, 포토레지스트막을 마스크로 한 드라이 에칭으로 이들 막을 패터닝하여 형성한다.

정보축적용 용량소자(C)의 용량 절연막을 형성한 후는, 고온의 열처리를 수반하는 공정이 아니기 때문에, 층간 절연막(56)의 상부에 형성되는 제2 층재의 배선(52, 53)의 재료로서, 고용점 금속이나 그 질화물에 비해서 내열성은 뒤떨어지지만, 전기저항이 낮은 Al을 주체로 한 도전재료를 사용할 수 있다. 또한, 고온의 열처리를 수반하는 공정이 아닌 것에 의해 막 벗겨짐의 문제도 생기지 않으므로, 산화실리콘막으로 구성된 층간 절연막(56)의 상부에 제2 층재의 배선(52, 53)을 형성할 때, 층간 절연막(56)과 계면을 접하는 부분의 배리어 메탈로 Ti막을 사용할 수 있다.

다음에, 도 51에 나타내는 바와 같이, 제2 층재의 배선(52, 53)의 상부에 제2의 층간 절연막(63)을 형성한 후, 정보축적용 용량소자(C)의 상부의 층간 절연막(63, 56)을 에칭하여 스루홀(60)을 형성하고, 주변회로의 제2 층재의 배선(53)의 상부의 층간 절연막(63)을 에칭하여 스루홀(61)을 형성한다. 제2의 층간 절연막(63)은, 예를 들면 CVD법으로 퇴적한 막두께 300nm 정도인 산화실리콘막과 그 상부에 스피도포한 막두께 400nm 정도의 SOG막과, 또 그 상부에 CVD법으로 퇴적한

막두께 300nm 정도인 산화실리콘막으로 구성한다. 층간 절연막(63)의 일부를 구성하는 SOG막의 베이크는, Al을 중심으로 하는 제2 층재의 배선(52, 53)과 정보축적용 용량소자(C)의 용량 절연막이 열화하는 것을 방지하기 위하여, 400. C 정도의 온도에서 행한다.

그 후, 스루홀(60, 61)의 내부에 플러그(62)를 형성하고, 계속해서 층간 절연막의 상부에 제3 층재의 배선(57, 58, 59)을 형성함으로써, 상기 도 3에 나타내는 DRAM이 대략 완성한다. 플러그(62)는, 예를 들면 상기 플러그(55)와 동일한 도전재료(W막/TiN막/Ti막)로 구성하고, 제3 층재의 배선(57, 58, 59)은, 예를 들면 상기 제2 층재의 배선(52, 53)과 동일한 도전재료(TiN막/Ti막/Al막/Ti막)으로 구성한다. 또한, 제3 층재의 배선(57, 58, 59)의 상부에는, 내수성이 높은 치밀한 절연막(예를 들면 플라즈마 CVD법으로 퇴적한 산화실리콘막과 질화실리콘막으로 이루어지는 2층의 절연막)을 퇴적하지만, 그 도시는 생략한다.

이상, 본 발명자에 의해 이루어진 발명을 발명의 실시의 형태에 기초해서 구체적으로 설명했지만, 본 발명은 상기 실시의 형태에 한정되는 것은 아니고, 그 요지를 이탈하지 않는 범위에서 여러가지로 변경이 가능한 것은 말할 것까지도 없다.

예를 들면 상기 실시의 형태에 있어서는, 정보축적용 용량소자의 형상을 통형인 경우에 대해서 설명했지만, 이것에 한정되는 것이 아니고 여러가지로 적용가능하며, 예를 들면 핀(fin)형의 정보축적용 용량소자에도 적용할 수 있다.

또한, 상기 실시의 형태에 있어서는, 게이트전극이 폴리메탈구조인 경우에 본 발명을 적용한 경우에 대해서 설명했지만, 이것에 한정되는 것은 아니고, 게이트전극이 예를 들면 저저항 다결정 실리콘막상에 텅스텐 실리사이드 등과 같은 실리사이드막을 형성한, 이른바 폴리사이드구조의 게이트전극 또는 텅스텐 등과 같은 금속막으로만 형성된 게이트전극인 경우에도 본 발명을 적용하는 것이 가능하다.

또한, 상기 실시의 형태에 있어서는 비트선과 메모리셀 선택 MISFET를 전기적으로 접속하는 접속구멍의 평면형상이 직사각형인 경우에 대해서 설명했지만, 이것에 한정되는 것이 아니고, 통상의 원형모양이라도 좋다. 이 경우는, 비트선의 일부를 비트선의 연장방향에 대해서 교차하는 방향으로 평면적으로 연장시키고, 그 연장부분을 상기 접속구멍에 겹쳐지도록 하는 것으로 양쪽을 전기적으로 접속하든지, 또는 메모리셀 선택 MISFET가 형성되는 활성영역 중, 비트선용의 접속구멍의 형성영역을 비트선 방향으로 연장시켜 그 연장부분에 접속구멍을 형성하고 그 위에 직선모양의 비트선이 겹쳐지도록 하는 것으로 양쪽을 전기적으로 접속하면 좋다.

이상의 설명에서는 주로 본 발명자에 의해 이루어진 발명을 그 배경으로 된 이용분야인 DRAM기술에 적용한 경우에 대해서 설명했지만, 그것에 한정되는 것은 아니고, 예를 들면 SRAM(Static Random Access Memory)이나 플래시 메모리(EEPROM;Electrically Erasable Programmable ROM)등과 같은 다른 메모리회로 칩, 마이크로프로세서 등과 같은 논리회로 칩 또는 동일 반도체 칩에 논리회로와 메모리회로를 가지는 논리부착 메모리회로 칩등, 다른 반도체 집적회로장치에 적용할 수 있다.

발명의 효과

본원에 의해 개시되는 발명 가운데, 대표적인 것에 의해 얻어지는 효과를 간단히 설명하면, 이하와 같다.

(1) 본 발명에 의하면, 캡 절연막을 질화실리콘막으로만 형성하는 경우보다도 그 두께를 얇게 할 수 있으므로, 접속구멍의 애스펙트비를 작게하는 것이 가능하다. 이에 의해, 접속구멍내로의 도체막의 매립이 용이하게 되고, 그 도체막의 매립부측에 기인하는 전기저항의 증대나 도통 불량 등의 문제를 회피할 수 있으므로, 반도체 집적회로장치의 수율 및 신뢰성을 향상시키는 것이 가능하게 된다.

(2) 본 발명에 의하면, 캡 절연막의 질화실리콘막을 얇게 할 수 있으므로, 캡 절연막을 형성한 후의 열처리에 기인하여 캡 절연막이 박리하거나 팽창하거나 하는 문제를 회피하는 것이 가능하게 된다. 이에 의해, 반도체 집적회로장치의 수율 및 신뢰성을 향상시키는 것이 가능하게 된다.

(3) 본 발명에 의하면, 게이트전극 상의 캡 절연막이 산화실리콘막과 질화실리콘막의 적층구조이고, 반도체 기판상 및 캡 절연막상에 형성하는 스톱퍼층이 질화실리콘막이므로, 스톱퍼층의 질화실리콘막의 막두께를 얇게 할 수 있고, 인접하는 게이트전극 간격이 작은 경우에도 콘택트저항을 충분히 저감할 수 있다. 게다가, 캡 절연막의 토탈 막두께를 저감할 수 있어, 접속구멍의 애스펙트비를 저감할 수 있다.

도면의 간단한 설명

- 도 1은 본 발명의 일 실시 형태인 DRAM을 형성한 반도체 칩의 전체 평면도,
 도 2는 도 1의 DRAM의 등가회로도,
 도 3은 도 1의 DRAM의 메모리어레이와 주변회로의 각각의 일부를 나타내는 반도체 기판의 요부단면도,
 도 4는 도 1의 DRAM의 메모리어레이의 일부를 나타내는 반도체 기판의 개략평면도,
 도 5(a)는 도 4의 A-A선의 요부 확대단면도, 도 5(b)는 B-B선의 요부 확대단면도,
 도 6은 도 1의 DRAM의 제조방법을 나타내는 반도체 기판의 요부 단면도,
 도 7은 도 6에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,
 도 8은 도 7에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,
 도 9는 도 8에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,
 도 10은 도 9에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,
 도 11은 본 발명의 다른 실시 형태인 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,
 도 12는 도 10에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,
 도 13은 도 12에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,
 도 14는 도 13에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,
 도 15는 도 14에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,
 도 16은 도 15에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,
 도 17은 도 16에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,
 도 18(a)는 도 4의 A-A선에 대응하는 도 17의 제조공정에서의 반도체 기판의 요부 확대단면도, 도 18(b)는 도 4의 B-B선에 대응하는 도 17의 제조공정에서의 반도체 기판의 요부 확대단면도,
 도 19는 도 17에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,
 도 20은 도 19의 제조공정에서의 반도체 기판의 요부 확대단면도,
 도 21은 도 19의 제조공정에서의 도 20에 교차하는 방향을 따른 반도체 기판의 요부 확대단면도,
 도 22는 도 19의 제조공정에서의 반도체 기판의 요부 확대평면도,
 도 23은 도 19에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,
 도 24(a)는 도 4의 A-A선에 대응하는 도 23의 제조공정에서의 반도체 기판의 요부 확대단면도, 도 24(b)는 도 4의 B-B선에 대응하는 도 23의 제조공정에서의 반도체 기판의 요부 확대단면도,

도 25는 도 23에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 26(a)는 도 4의 A-A선에 대한 도 25의 제조공정에서의 반도체 기판의 요부 확대단면도, 도 26(b)는 도 4의 B-B선에 대한 도 25의 제조공정에서의 반도체 기판의 요부 확대단면도,

도 27은 도 25의 제조공정에서의 반도체 기판의 요부 확대평면도,

도 28은 도 25에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 29는 도 28에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 30은 도 29에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 31은 도 30에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 32는 도 31에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 33은 도 32에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 34는 도 33의 제조공정에서의 반도체 기판의 요부 평면도,

도 35는 도 33에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 36(a)는 도 4의 A-A선에 대응하는 도 35의 제조공정에서의 반도체 기판의 요부 확대단면도, 도 36(b)는 도 4의 B-B선에 대응하는 도 35의 제조공정에서의 반도체 기판의 요부 확대단면도,

도 37은 도 35에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 38은 도 37에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 39는 도 38에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 40은 도 39에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 41은 도 40에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 42는 도 41에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 43은 도 42에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 44는 도 43에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 45는 도 44에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 46은 도 45에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 47은 도 46에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 48은 도 47에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 49는 도 48에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 50은 도 49에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

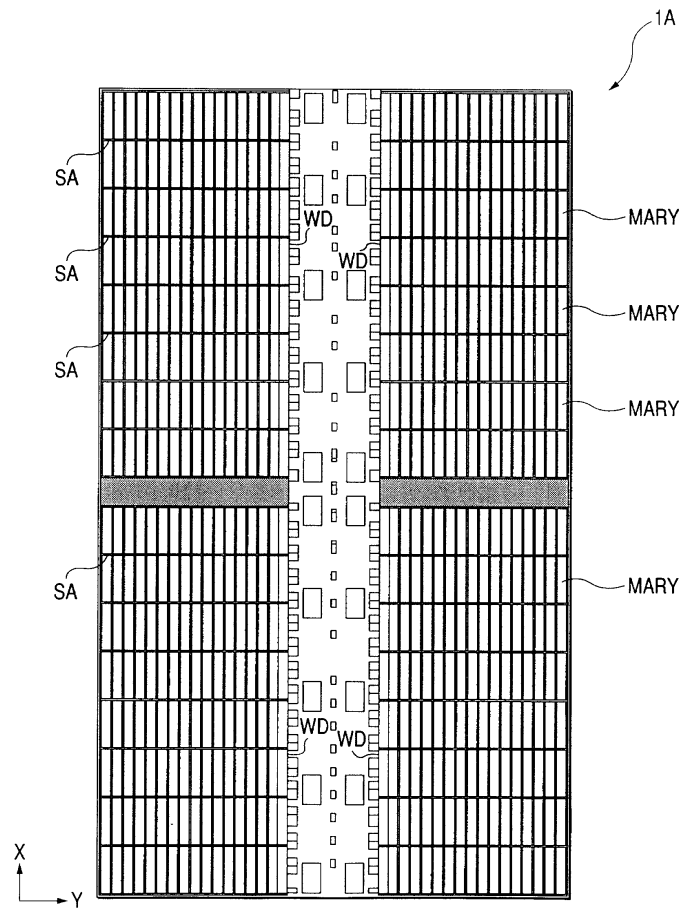
도 51은 도 50에 계속되는 DRAM의 제조방법을 나타내는 반도체 기판의 요부단면도,

도 52(a)는 캡 절연막을 질화실리콘막 만으로 구성한 경우에서의 접속구멍의 형성공정 후의 반도체 기판의 부분단면도, 도 52(b)는 이것에 교차하는 방향의 반도체 기판의 부분 단면도,

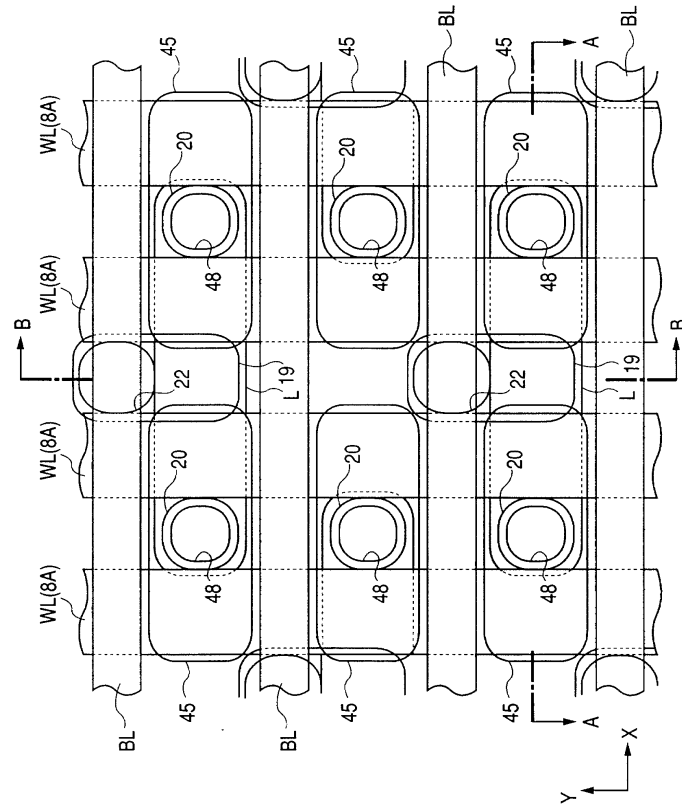
도 53은 캡 절연막을 질화실리콘막 만으로 구성하고, 또한 반도체 기판상에 질화실리콘막을 형성하지 않은 경우에서의 접속구멍의 형성공정 후의 반도체 기판의 부분 단면도이다.

도면

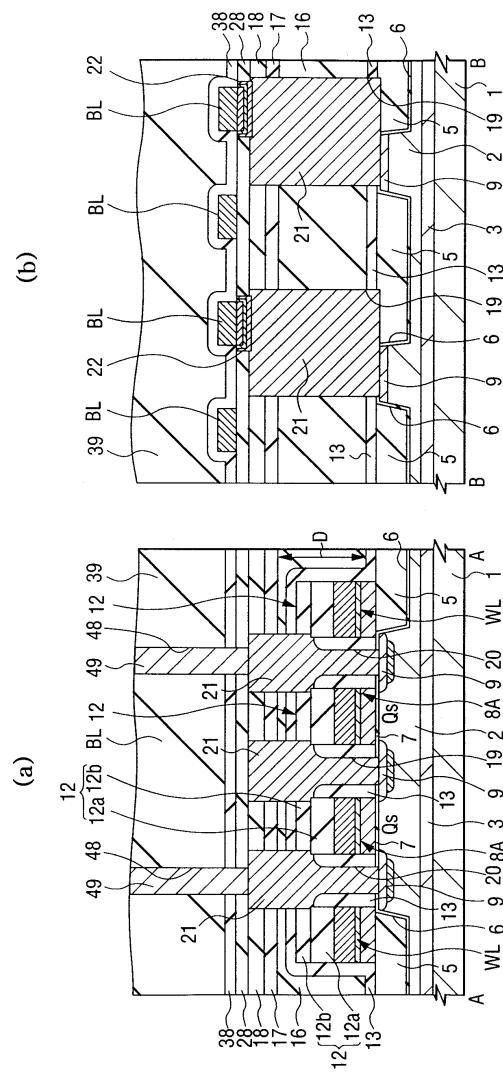
도면1



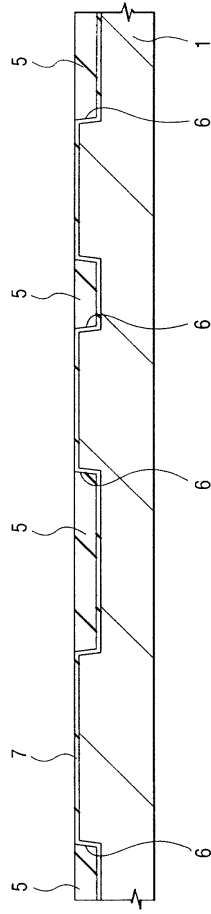
도면4



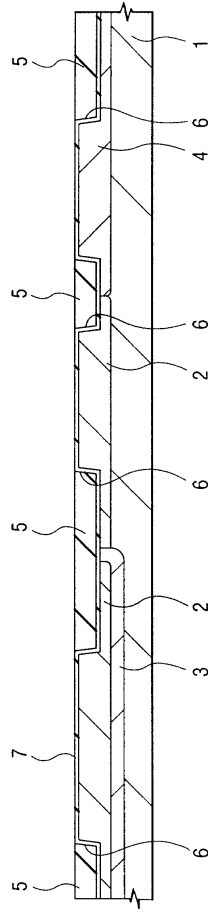
도면5



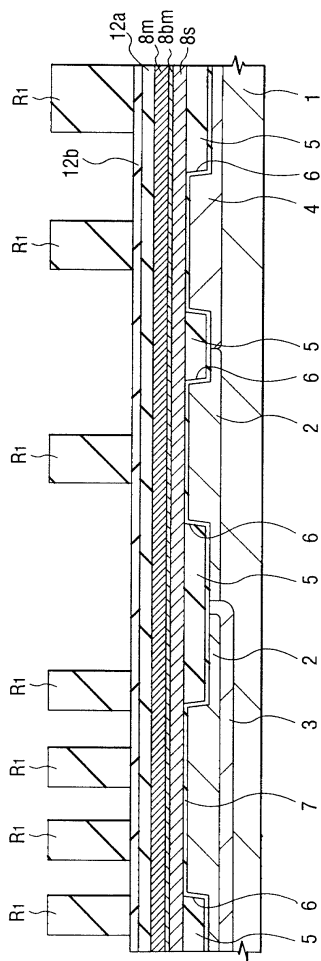
도면6



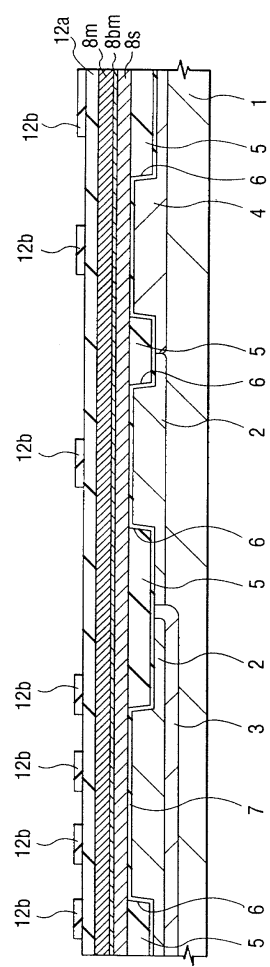
도면7



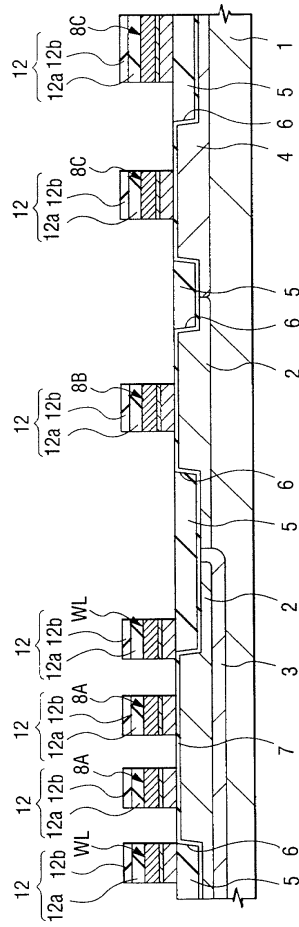
도면8



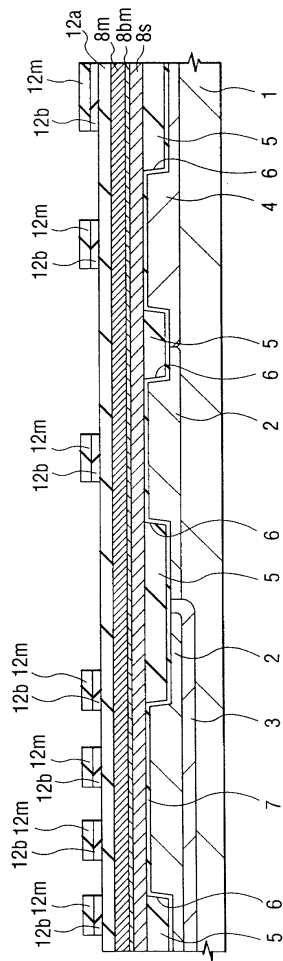
도면9



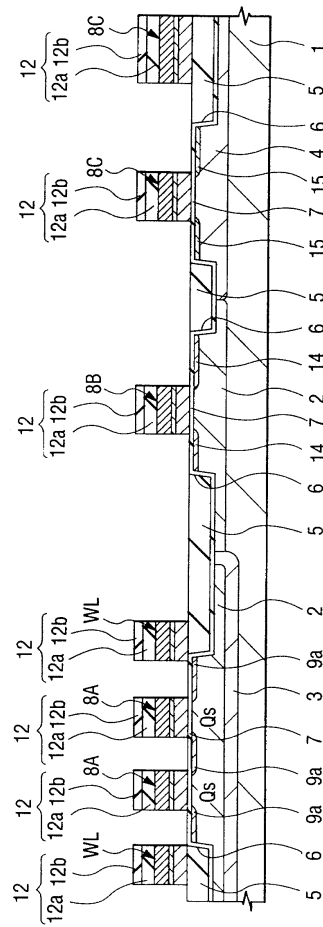
도면10



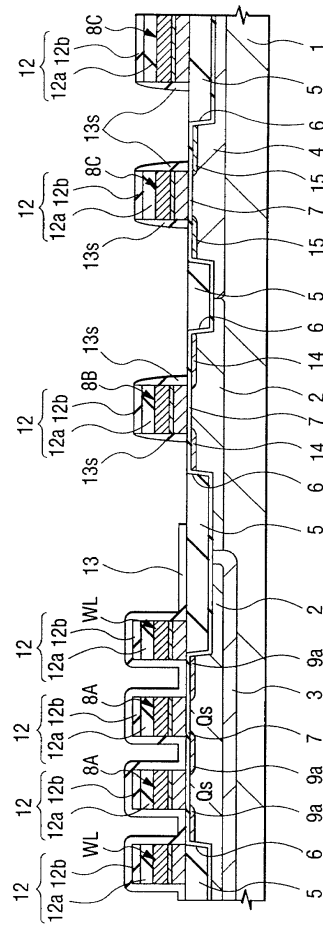
도면11



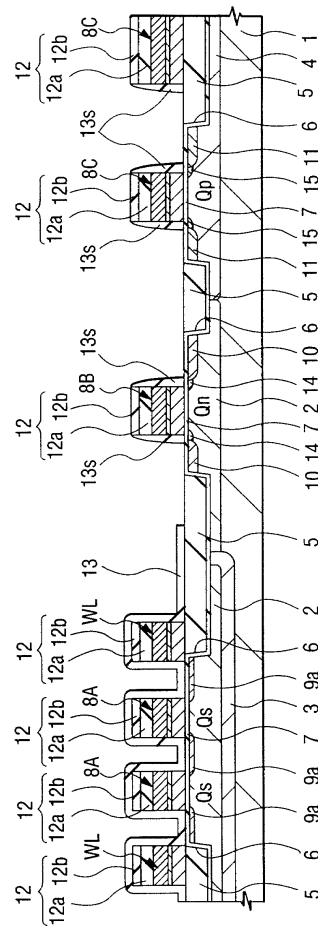
도면12



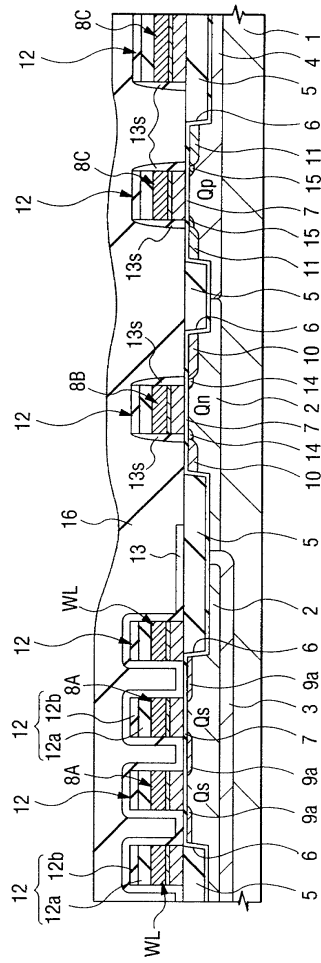
도면13



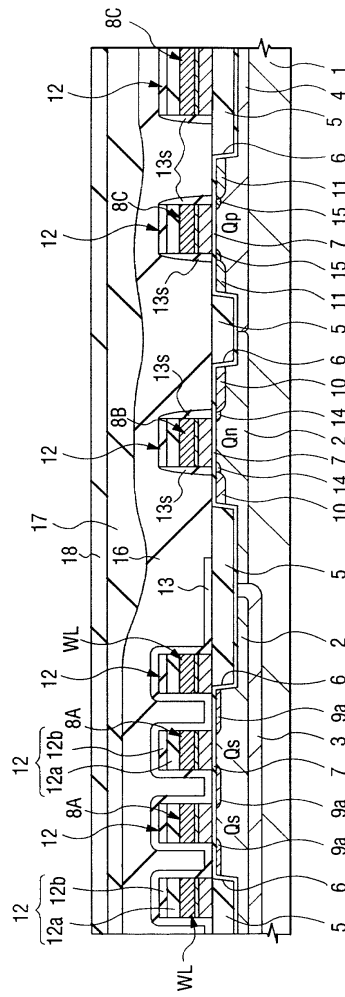
도면14



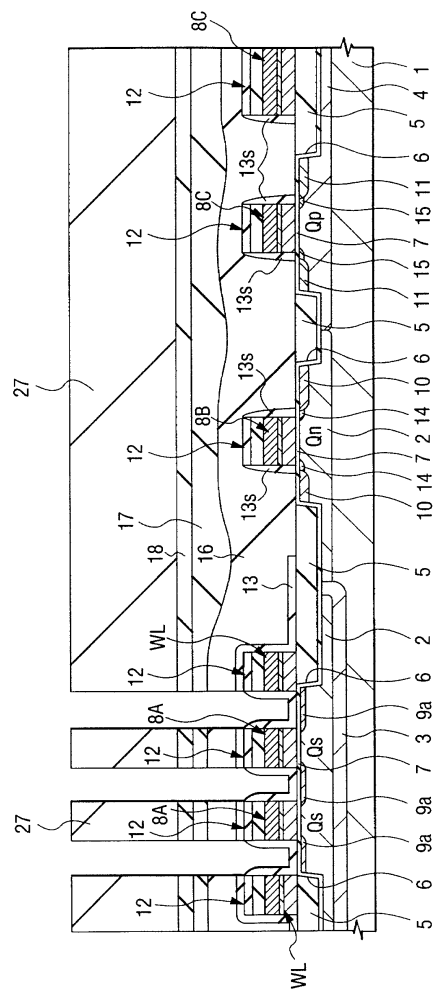
도면15



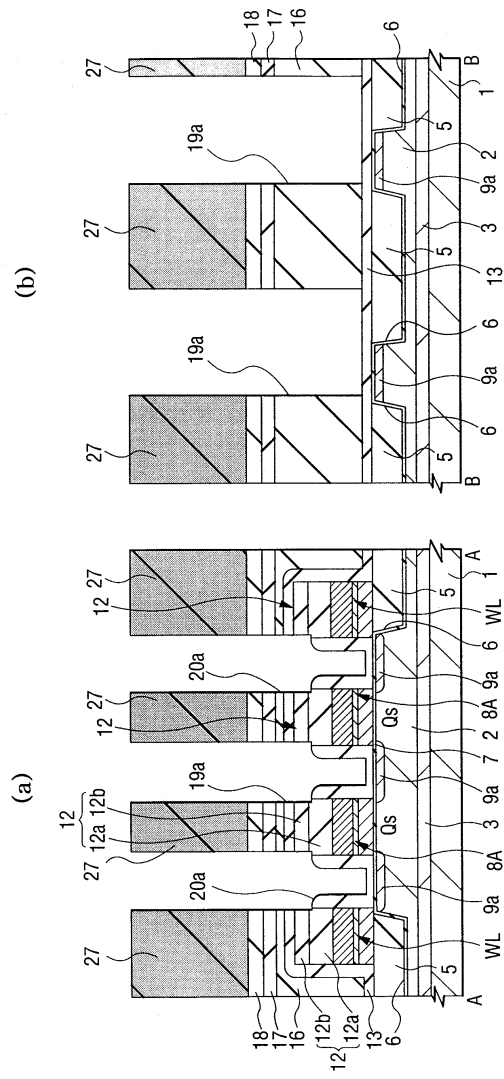
도면16



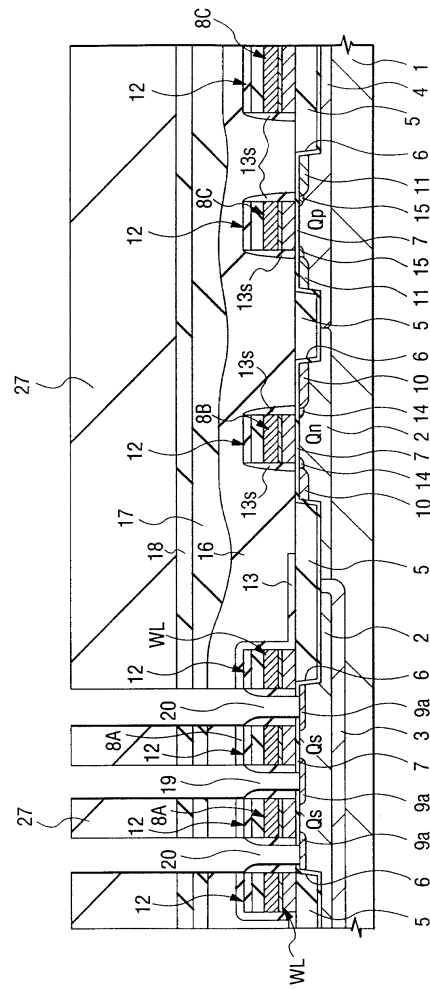
도면17



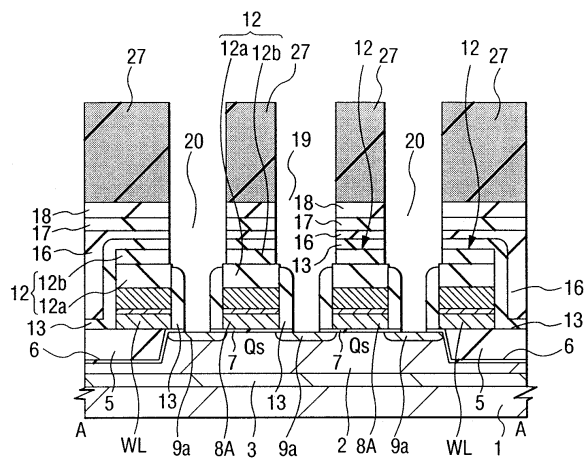
도면18



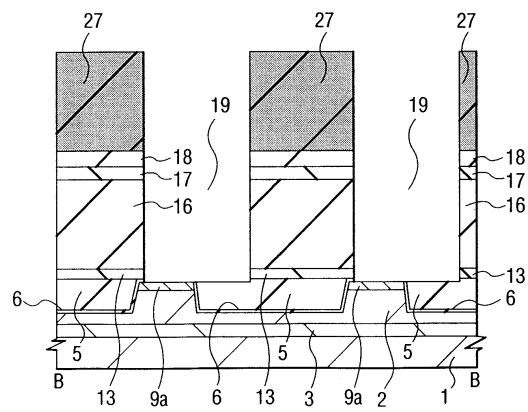
도면19



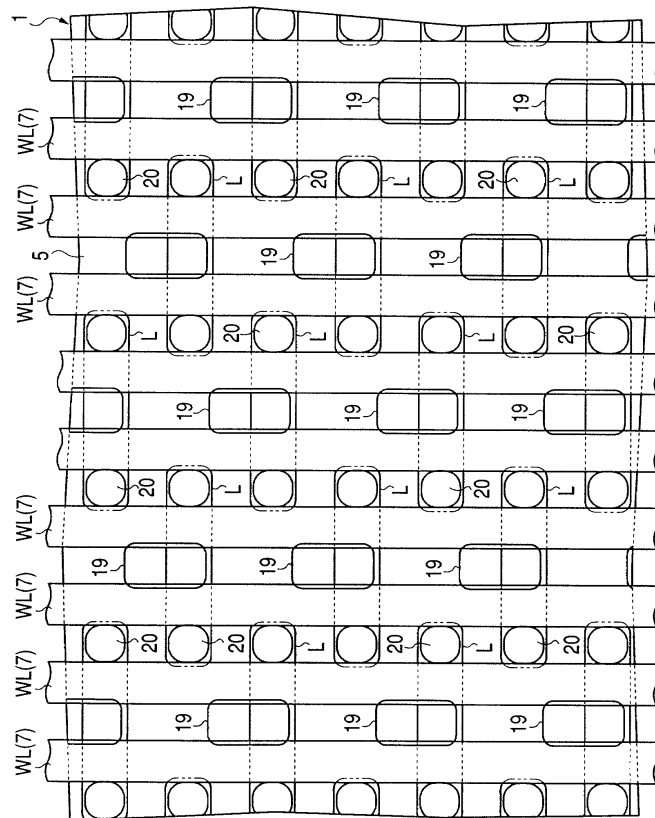
도면20



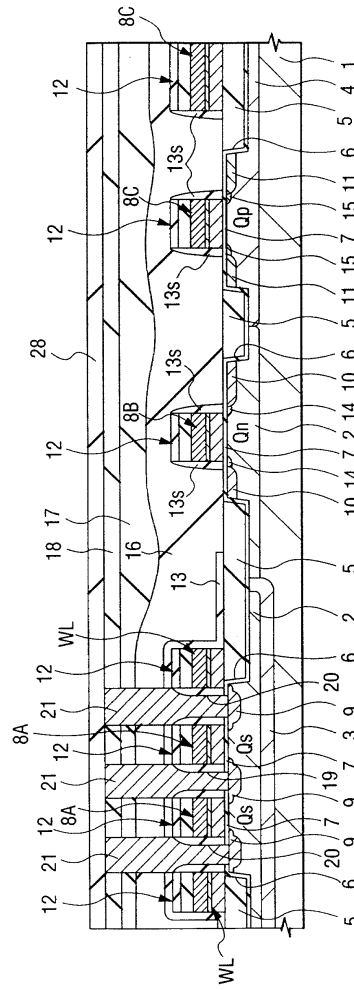
도면21



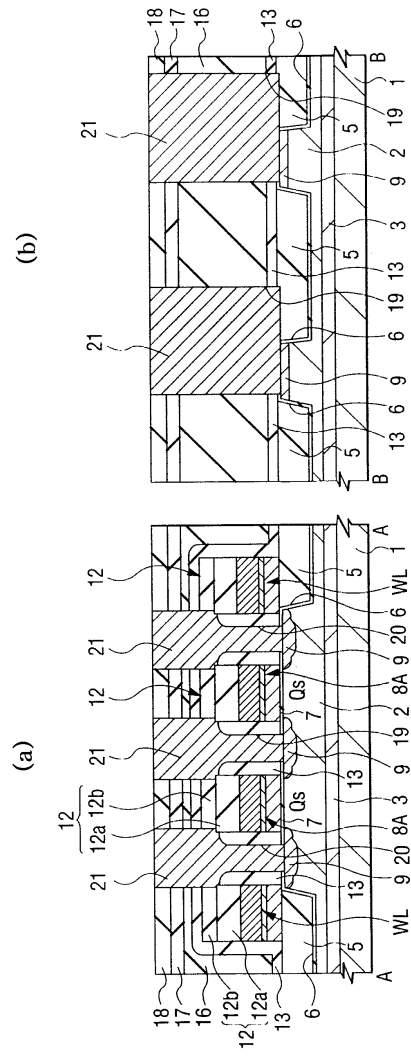
도면22



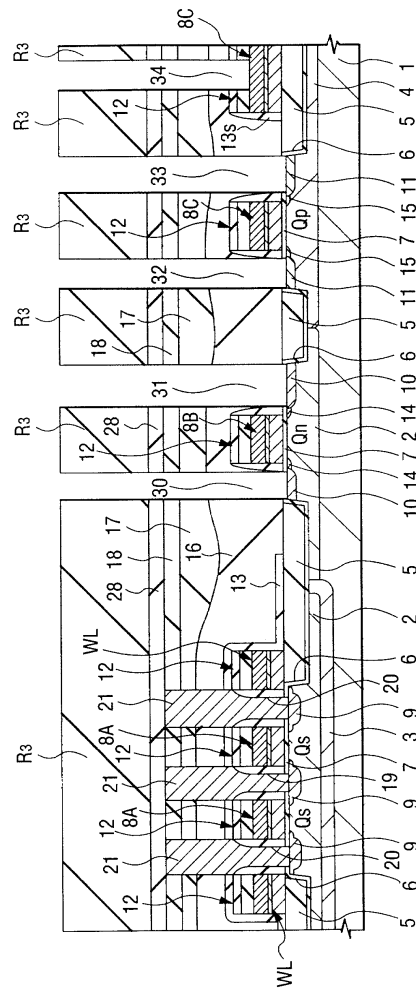
도면23



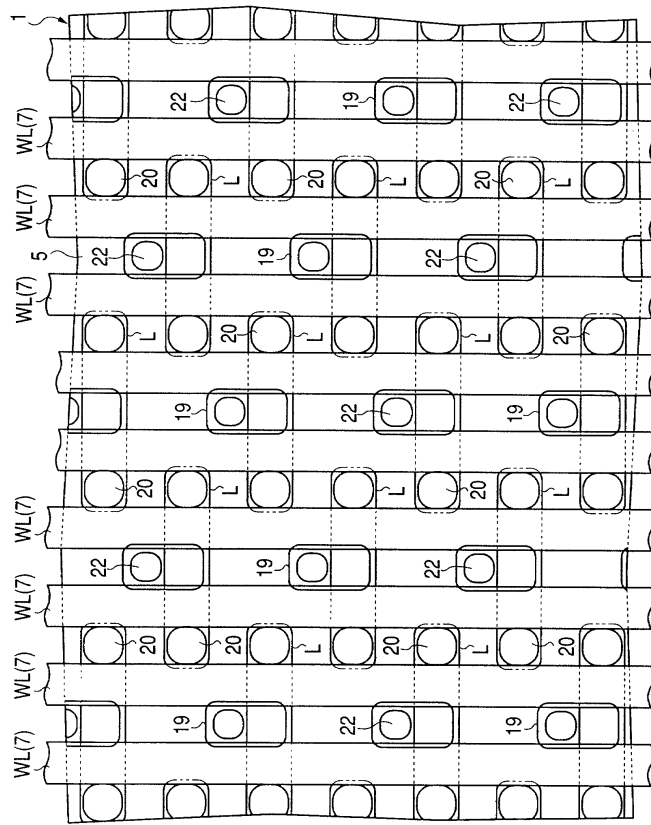
도면24



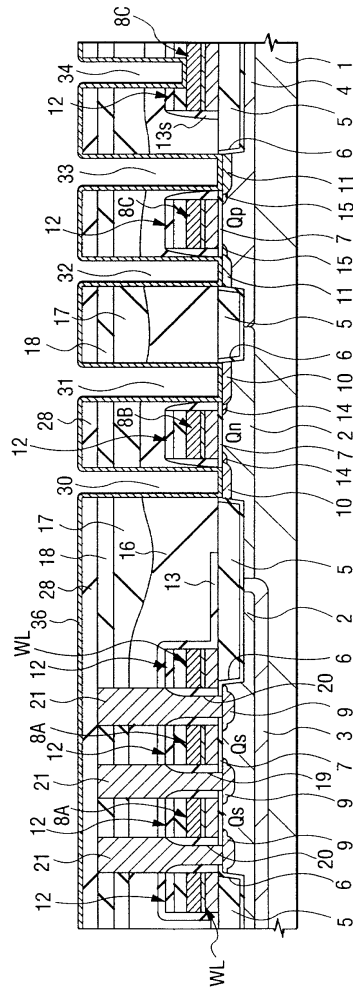
도면25



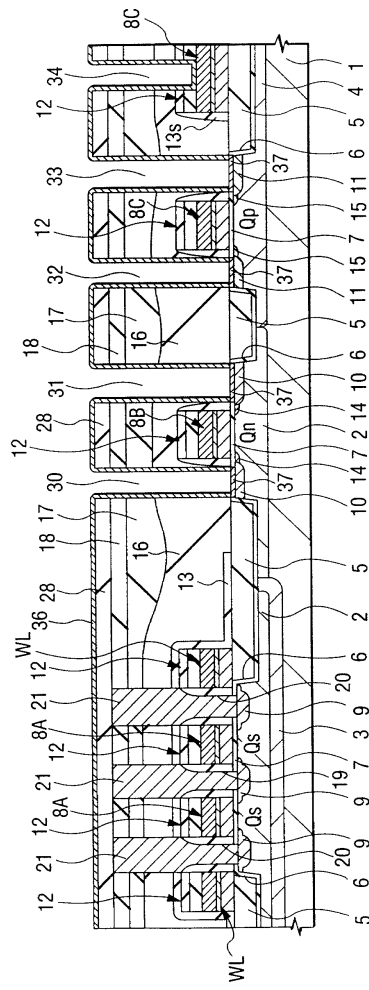
도면27



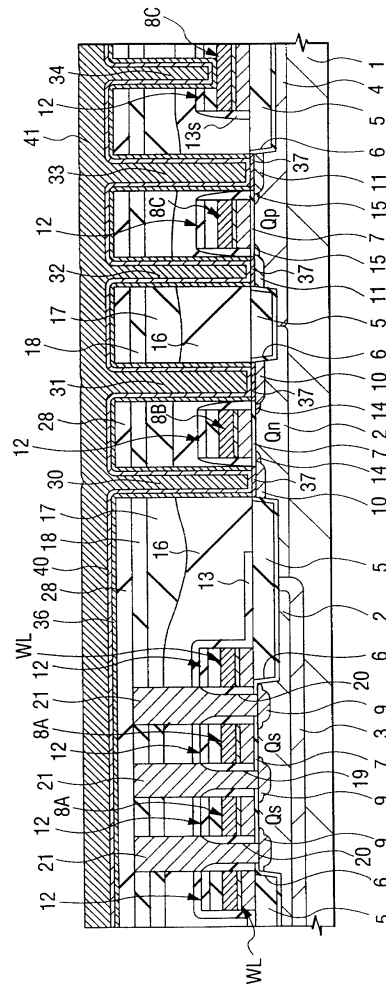
도면28



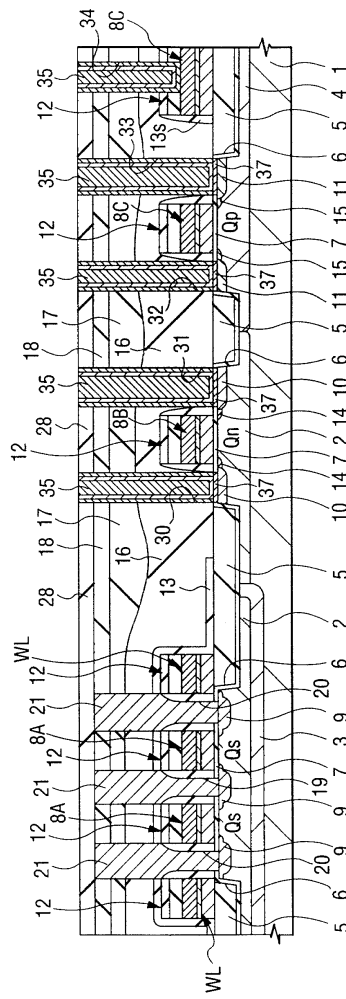
도면29



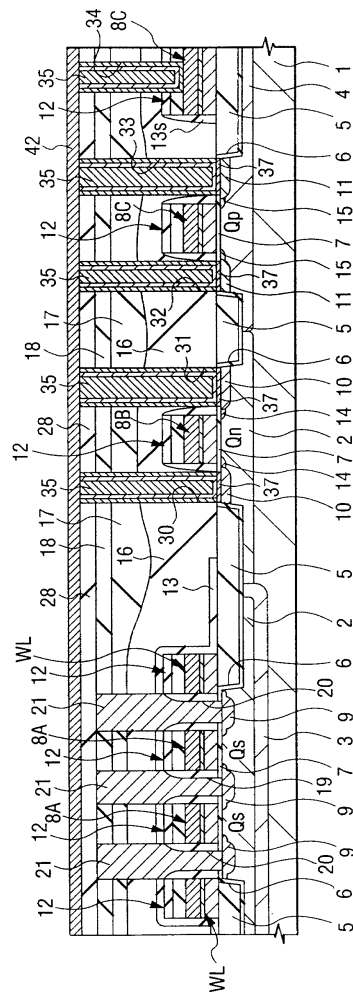
도면30



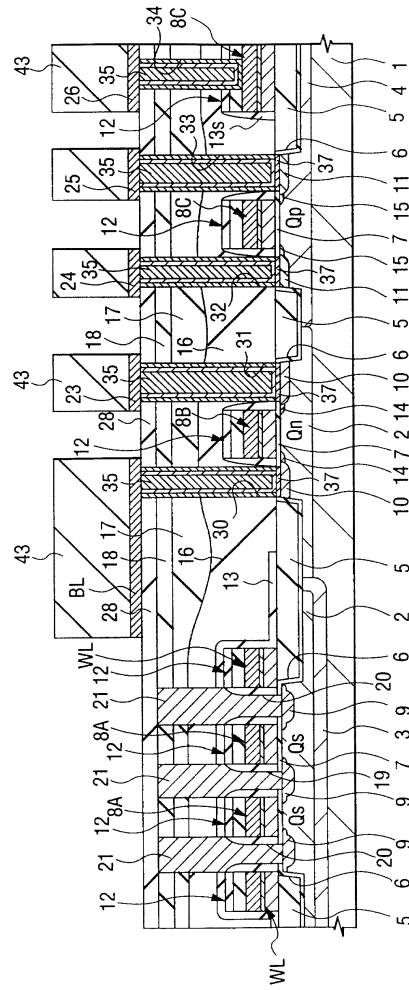
도면31



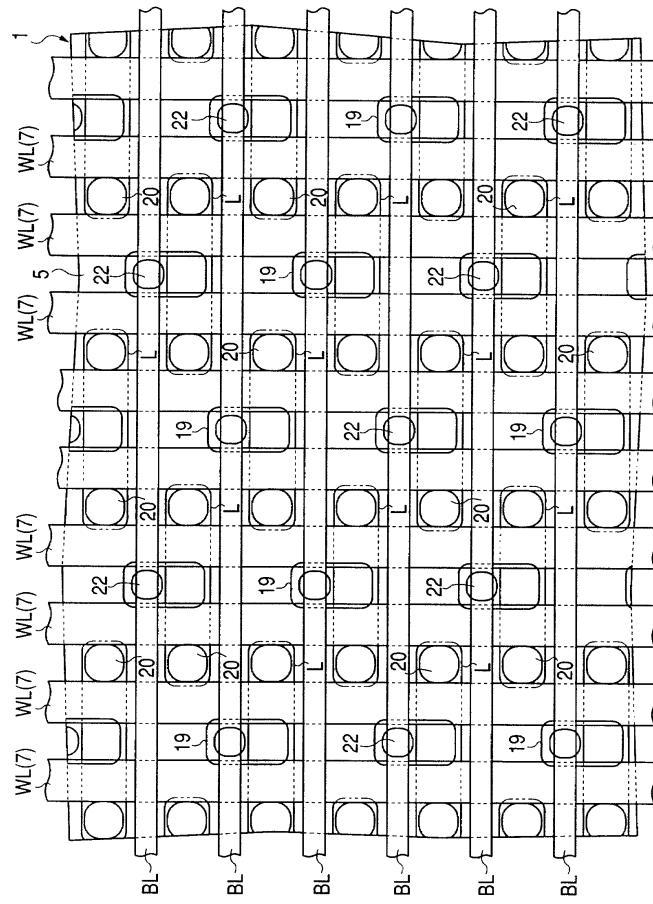
도면32



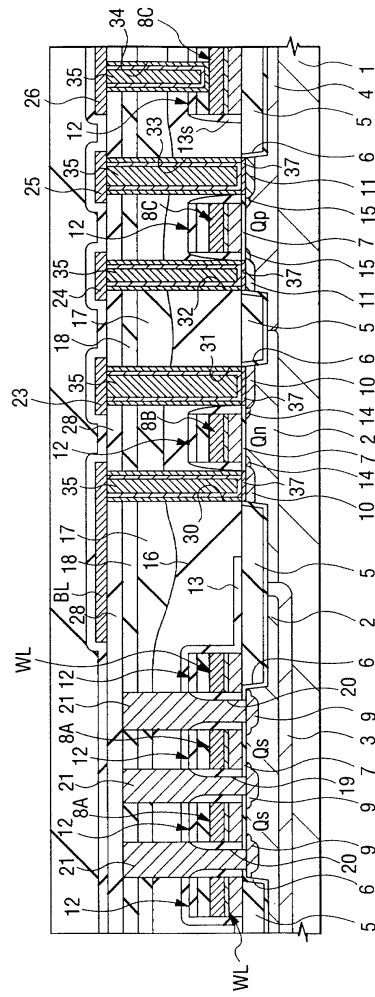
도면33



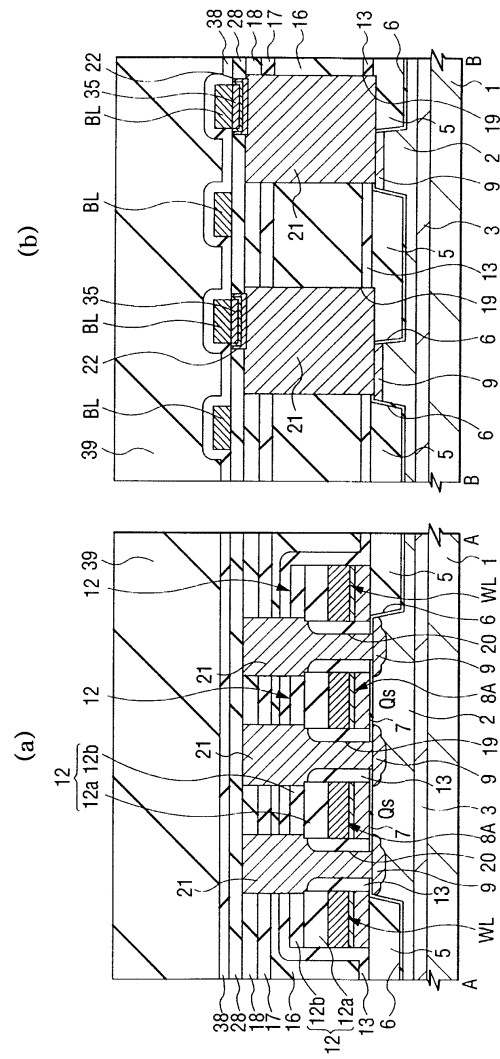
도면34



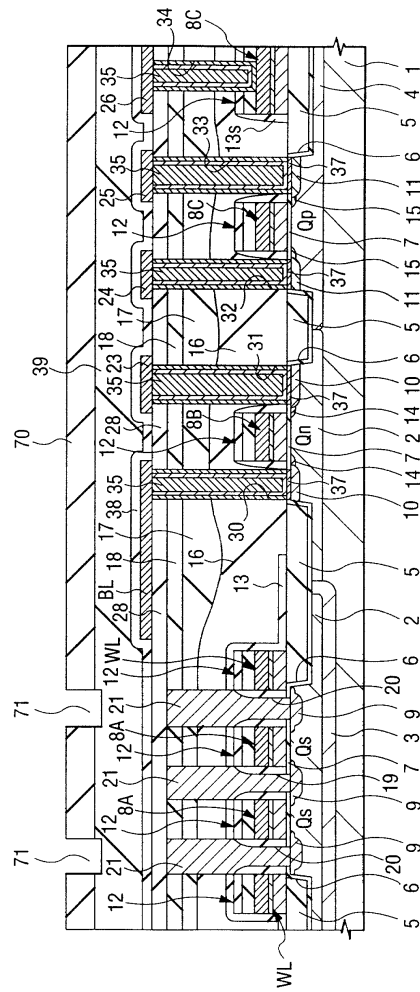
도면35



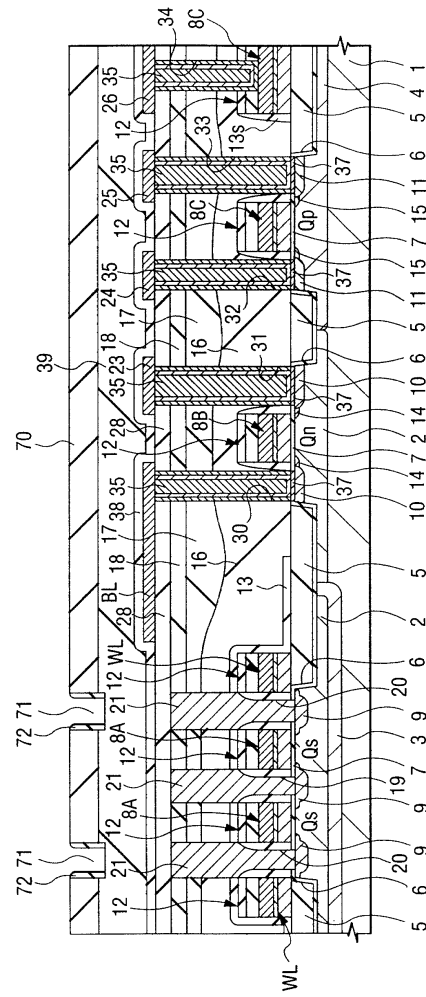
도면36



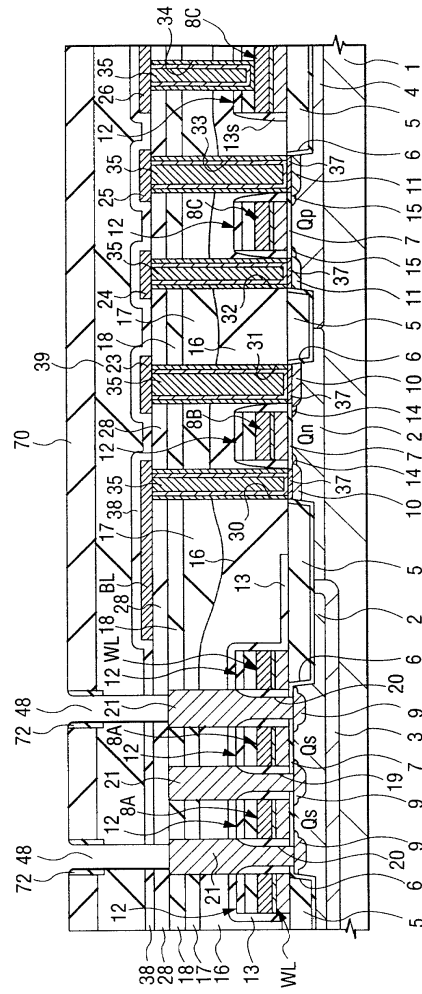
도면37



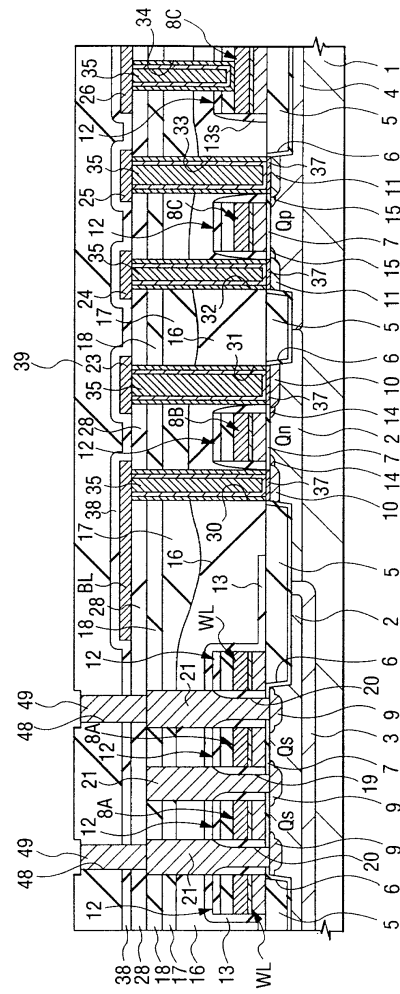
도면38



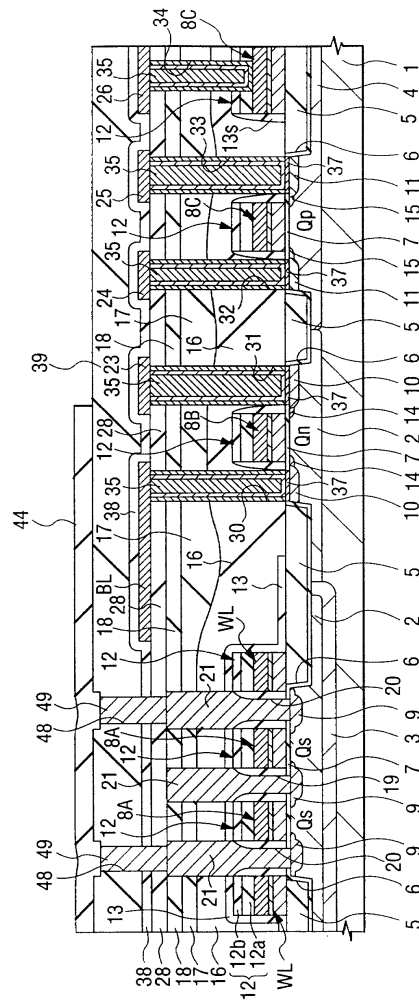
도면39



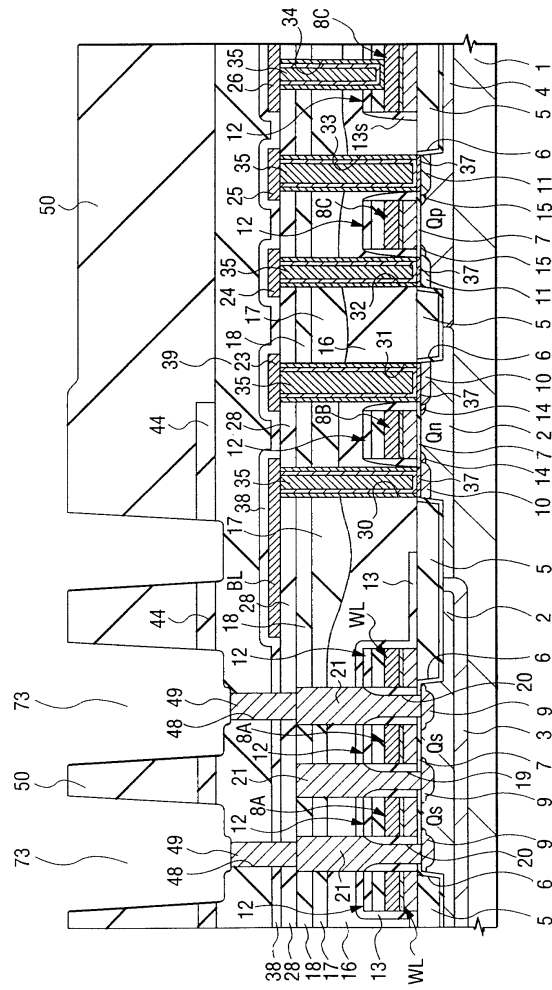
도면40



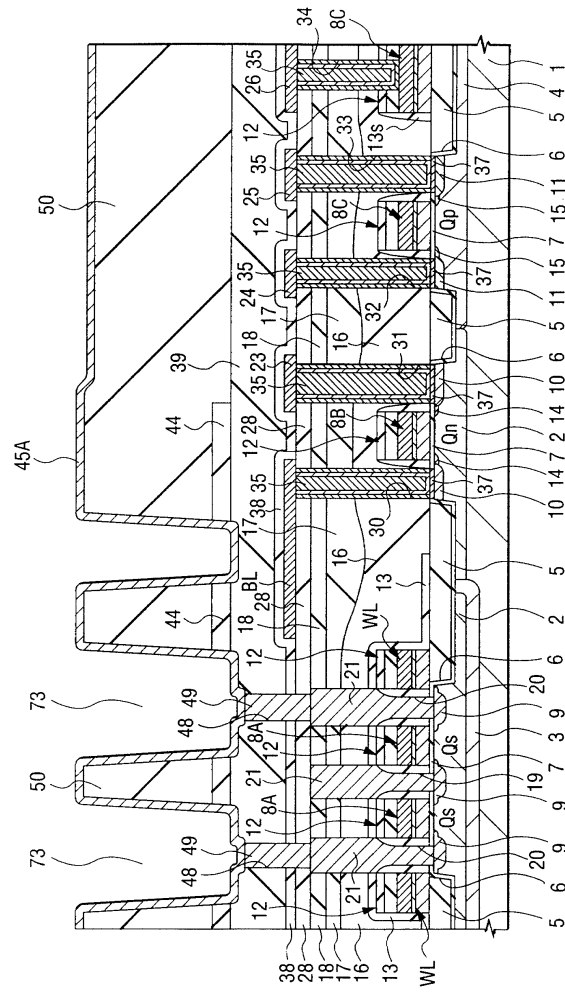
도면41



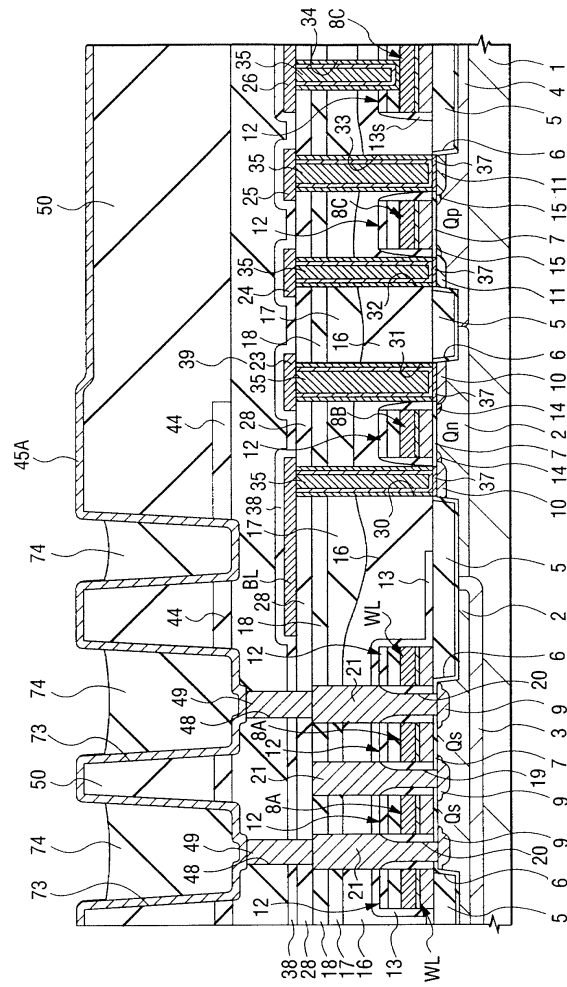
도면42



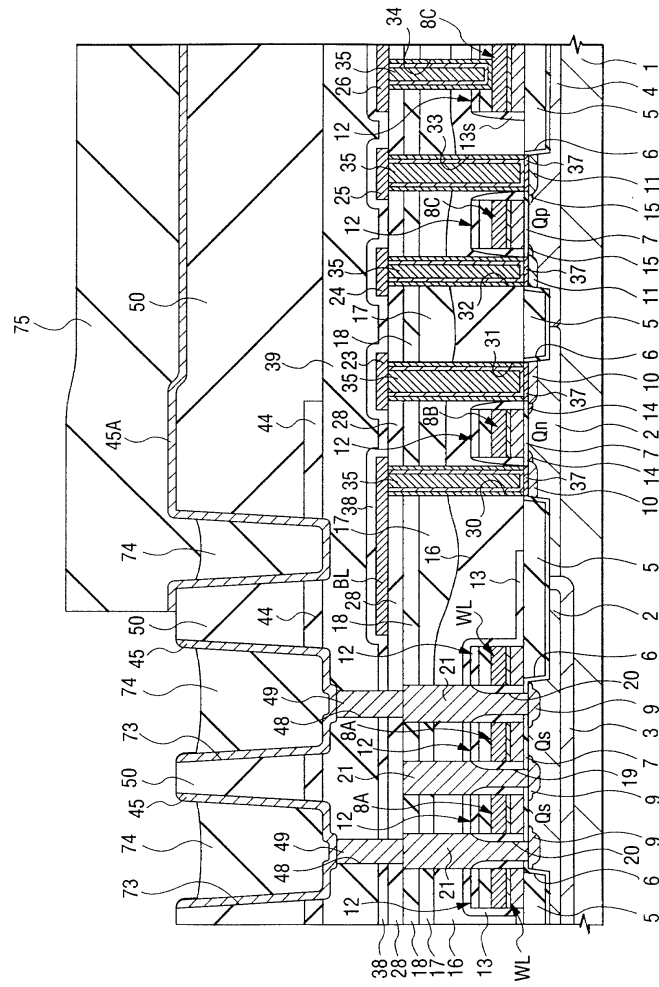
도면43



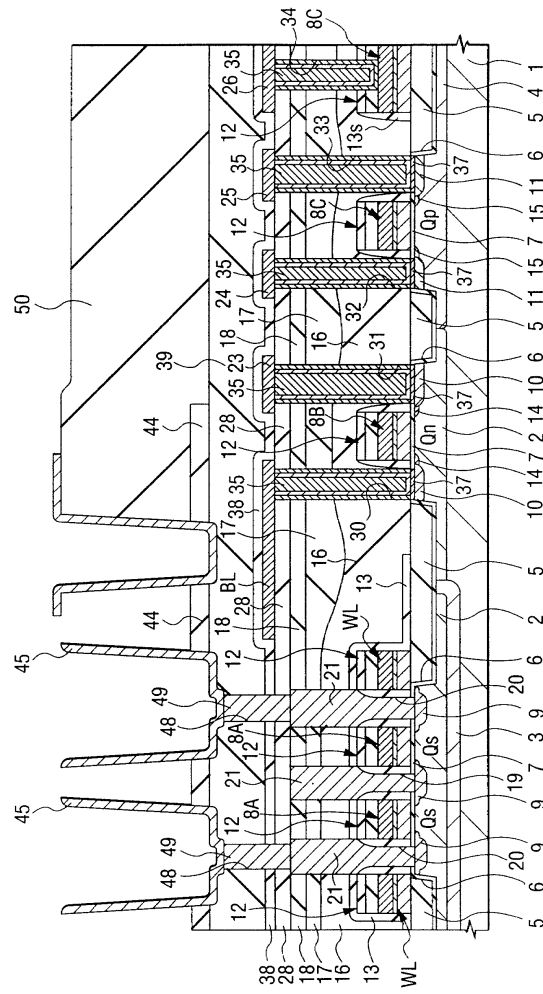
도면44



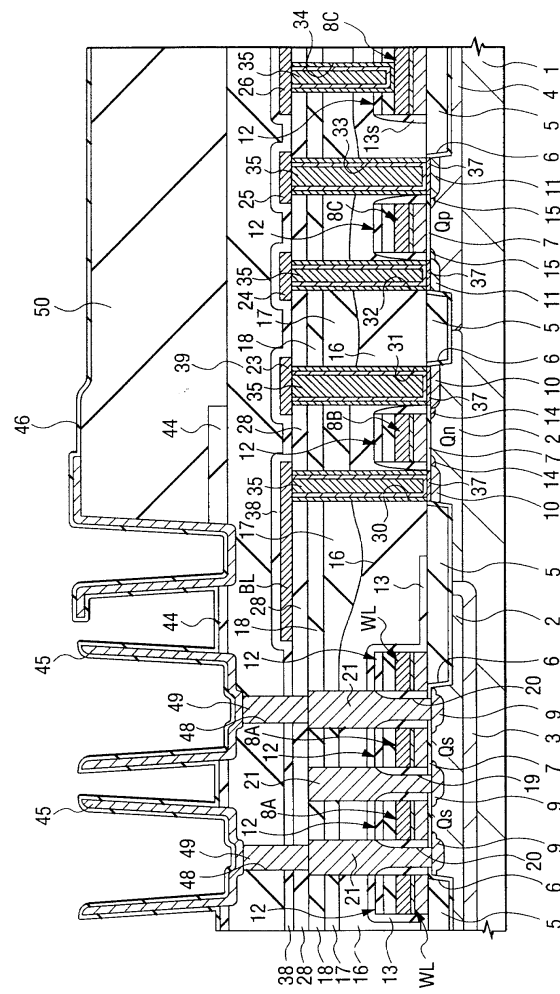
도면45



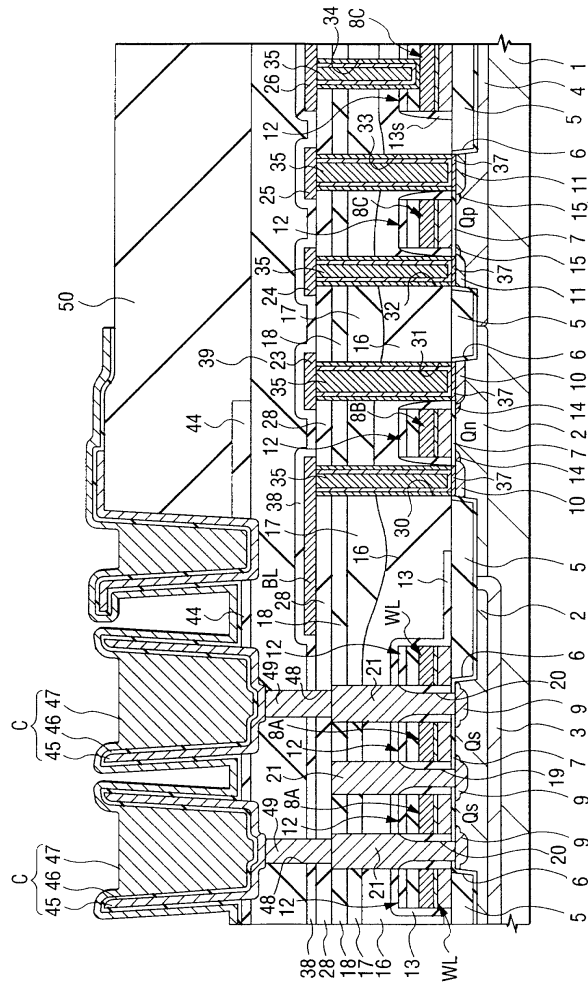
도면46



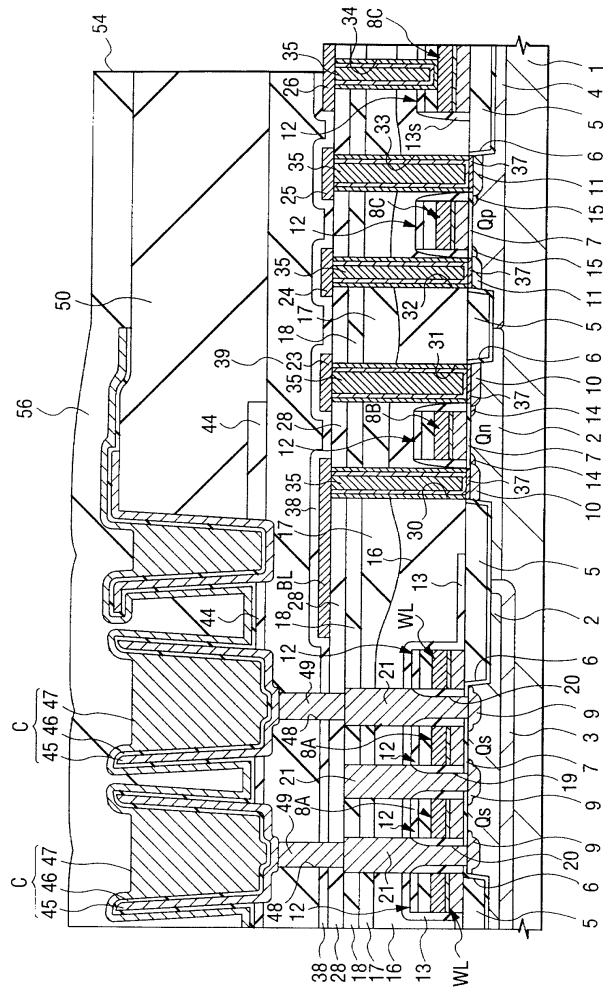
도면47



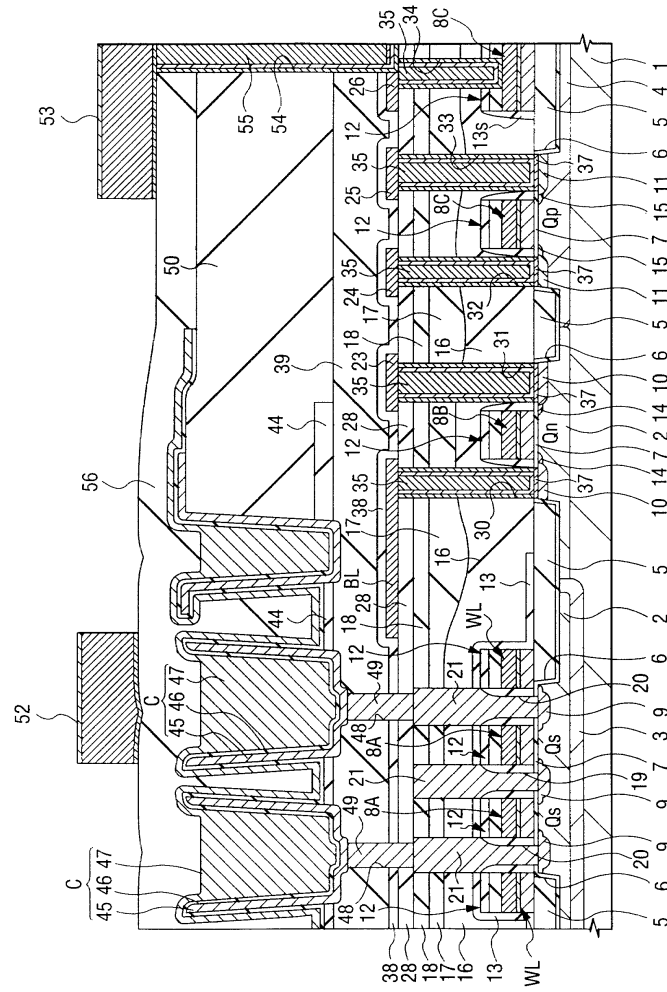
도면48



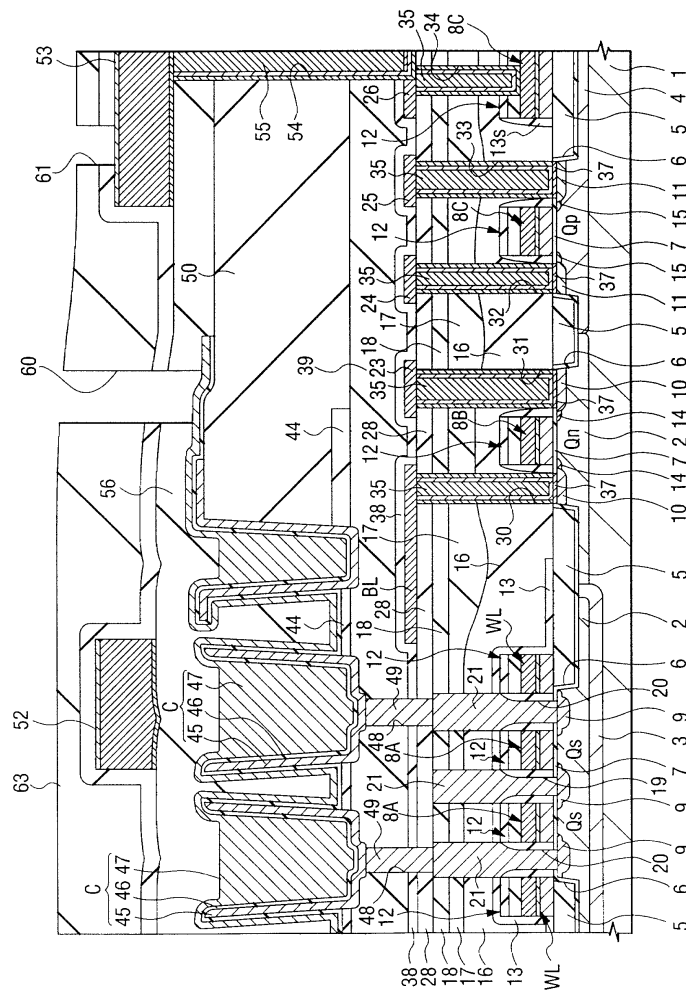
도면49



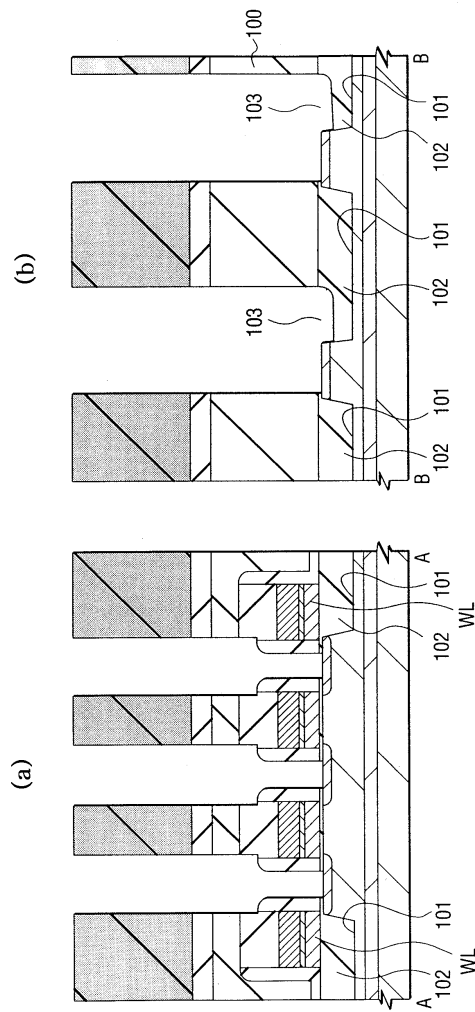
도면50



도면51



도면52



도면53

