(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2018 年 10 月 18 日 (18.10.2018)

WIPO | PCT

(10) 国际公布号
WO 2018/188285 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01) *G11C 19/28* (2006.01)

(21) 国际申请号: PCT/CN2017/104812

(22) 国际申请日: 2017 年 9 月 30 日 (30.09.2017)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201710237626.8 2017年4月12日 (12.04.2017) CN

(71) 申请人: 京东方科技集团股份有限公司 (BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。 合肥鑫晟光电科技有限公司 (HEFEI XINSHENG OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国安徽省合肥市新站区工业园内, Anhui 230012 (CN)。

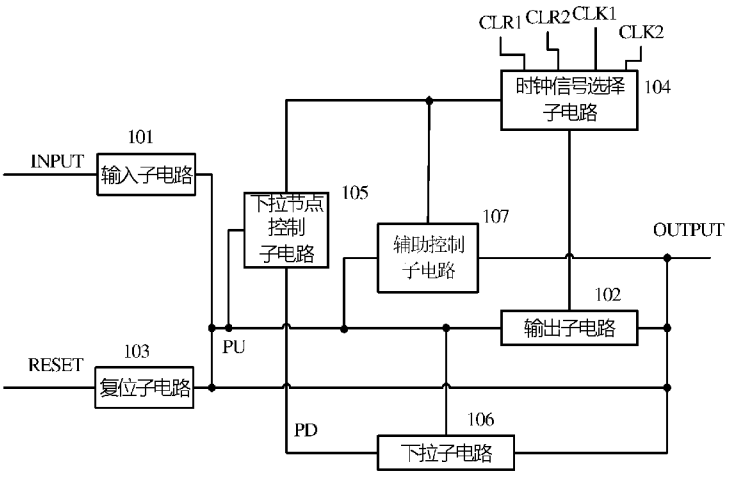
(72) 发明人: 赵剑 (ZHAO, Jian); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。 王慧 (WANG, Hui); 中国北京市经济技术开发区地泽路9号, Beijing 100176 (CN)。

(74) 代理人: 北京市柳沈律师事务所 (LIU, SHEN & ASSOCIATES); 中国北京市海淀区彩和坊路10号1号楼10层, Beijing 100080 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,

(54) **Title:** SHIFT REGISTER UNIT, GATE DRIVING CIRCUIT AND DRIVING METHOD THEREFOR

(54) **发明名称**: 移位寄存器单元、栅极驱动电路及其驱动方法



101 Input sub-circuit
102 Output sub-circuit
103 Reset sub-circuit
104 Clock signal selection sub-circuit
105 Pull-down node control sub-circuit
106 Pull-down sub-circuit
107 Auxiliary control sub-circuit

图1

(57) **Abstract:** A shift register unit and a driving method therefor, a gate driving circuit and an array substrate. The shift register unit comprises: an input sub-circuit (101) connected between a signal input end (INPUT) and a pull-up node (PU) and configured to input a signal to the pull-up node (PU); an output sub-circuit (102) connected between the pull-up node (PU) and a signal output end (OUTPUT) and configured to output a pulse signal to the signal output end (OUTPUT) under the control of the pull-up node (PU); a reset sub-circuit (103) connected between a reset end (RESET), the pull-up node (PU) and the signal output end (OUTPUT) and configured to reset

WO 2018/188285 A1

[见续页]

LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

the pull-up node (PU) and the signal output end (OUTPUT) under the control of the reset end (RESET); and a clock signal selection sub-circuit (104) with an input end being connected to a first clock signal end (CLK1) and a second clock signal end (CLK2) and a first output end being connected to the output sub-circuit (102), and configured to select to provide a first clock signal or a second clock signal to the output sub-circuit (102) according to levels of a first control end (CLR1) and a second control end (CLR2). According to the present invention, free switch of a display panel in 2D and 3D display modes is achieved, and simultaneous scanning of dual-gates in 3D display can be achieved.

(57) 摘要：一种移位寄存器单元及其驱动方法、栅极驱动电路，以及阵列基板，其中移位寄存器单元包括：输入子电路(101)，连接在信号输入端(INPUT)和上拉节点(PU)之间，被配置为向上拉节点(PU)输入信号；输出子电路(102)，连接在上拉节点(PU)和信号输出端(OUTPUT)之间，被配置为在上拉节点(PU)的控制下，向信号输出端(OUTPUT)输出脉冲信号；复位子电路(103)，连接在复位端(RESET)、上拉节点(PU)和信号输出端(OUTPUT)之间，被配置为在复位端(RESET)的控制下，对上拉节点(PU)和信号输出端(OUTPUT)进行复位；以及时钟信号选择子电路(104)，其输入端连接到第一时钟信号端(CLK1)和第二时钟信号端(CLK2)，第一输出端连接到输出子电路(102)，被配置为根据第一控制端(CLR1)和第二控制端(CLR2)的电平来选择向输出子电路(102)提供第一时钟信号还是第二时钟信号。由此，实现了显示面板在2D和3D两种不同的显示模式下自由切换，并且能够在3D显示中实现对双栅线的同时扫描。

移位寄存器单元、栅极驱动电路及其驱动方法

技术领域

本公开涉及显示技术领域，具体涉及一种移位寄存器单元、包括多级移位寄存器单元的栅极驱动电路及其驱动方法。

背景技术

在包括像素阵列的液晶显示面板的显示过程中，利用栅极驱动电路产生驱动显示面板上的像素的栅线电压。通过栅极驱动电路输出栅线电压，逐行扫描各像素。近几年随着非晶硅薄膜工艺的不断提高，可以将栅极驱动电路集成在薄膜晶体管阵列基板上构成GOA（Gate driver On Array）而对栅线进行驱动。采用GOA驱动，将GOA单元直接制成在液晶面板上，可以简化工艺，降低了成本，而且容易实现窄边框。

通常，可以采用由多级移位寄存器单元构成的GOA为像素阵列的各行栅线提供开关信号，从而控制多行栅线依序打开，并由数据线向像素阵列中对应行的像素输入显示数据信号，以形成显示图像的各灰阶所需要的灰度电压，进而显示每一帧图像。

目前，3D（Three-Dimensional）显示越来越得到市场上消费者的青睐，作为一种主流的3D显示技术，3D快门式显示技术由于具有画面分辨率较高、成本较低、立体效果较好等优势得到市场的广泛认可。然而3D快门式显示技术同样存在一定不足，如受到液晶响应时间的影响，出现串扰现象（上一帧画面残留到下一帧，导致重影）。为了解决串扰问题，一般在左右眼信号之间采用插黑技术来降低串扰现象。由于3D快门式显示技术是左右眼交替接收信号，所以对显示的帧频要求较高，一般要求120Hz。采用插黑技术之后，帧频需要提升一倍或更高。然而，采用高频率驱动对于液晶面板的充电饱和度有很大的影响，并且需要对栅极集成电路做出很大改动，增加设计难度和系统复杂度。

发明内容

为此，本公开提出了一种移位寄存器单元、包括多级移位寄存器单元的栅极驱动电路及其驱动方法。

根据本公开的一方面，提供了一种移位寄存器单元，其包括：输入子电路，连接信号输入端和上拉节点之间，被配置为向上拉节点输入信号；输出子电路，连接在上拉节点和信号输出端之间，被配置为在上拉节点的控制下，向信号输出端输出脉冲信号；复位子电路，连接在复位端、上拉节点和信号输出端之间，被配置为在复位端的控制下，对上拉节点和信号输出端进行复位；以及时钟信号选择子电路，其输入端连接到第一时钟信号端和第二时钟信号端，第一输出端连接到输出子电路，被配置为根据第一控制端和第二控制端的电平来选择向输出子电路提供第一时钟信号还是第二时钟信号。

根据本公开的另一方面，还提供了一种栅极驱动电路，其包括 N 级如上所述的移位寄存器单元，其中，第 k 级移位寄存器单元被配置为扫描对应的栅线，其信号输出端经由与第 k 级对应的第一开关晶体管连接到第 k+1 级移位寄存器单元的信号输入端，并且还经由与第 k 级对应的第二开关晶体管连接到第 k+2 级移位寄存器单元的信号输入端，其中 $k\geq 3$；第 k 级移位寄存器单元信号输入端经由与第 k 级对应的第三开关晶体管连接到第 k-1 级移位寄存器单元的信号输出端，并且还经由与第 k 级对应的第四开关晶体管连接到第 k-2 级移位寄存器单元的输出端。

根据本公开的又一方面，还提供了一种应用于上述栅极驱动电路的方法，其包括：在 2D 显示模式下，向第一开关控制线输入第二电平而向第二开关控制线输入第一电平、从而将布置在相邻两级 GOA 单元之间的第一开关晶体管开启并且将布置在中间间隔一级的两级 GOA 单元之间的第二开关晶体管关断；向第一控制线和第三控制线输入第二电平，而向第二控制线和第四控制线输入第一电平，从而使得相邻的两级 GOA 单元中选择输出的时钟信号分别为第一时钟信号和第二时钟信号；将帧启示信号输入第一级哑移位寄存器单元的信号输入端，将第一时钟信号和第二时钟信号分别输入到第一级哑移位寄存器单元的第一时钟信号端和第二时钟信号端，使得各级扫描移位寄存器向所连接的栅线依次顺序输出驱动信号。

可选地，上述方法还包括：在 3D 显示模式下，向第一开关控制线输入第一电平而向第二开关控制线输入第二电平，从而将布置在相邻两级 GOA 单元之间的第一开关晶体管关断，而将布置在中间间隔一级的两级 GOA 单元之间的第二开关晶体管开启；向第一控制线和第四控制线输入第二电平，而向第二控制线和第三控制线输入第一电平；将帧启示信号输入第一级和第二级

哑移位寄存器单元的信号输入端，将第一时钟信号和第二时钟信号分别输入到第一级哑移位寄存器单元的第一时钟信号端和第二时钟信号端，使得每相邻的两级移位寄存器单元的信号输入端接收的信号的时序相同，并且输出的信号的时序相同。可选地，其中第一电平为低电平，第二电平为高电平。

在根据本公开提出的移位寄存器单元、栅极驱动电路及其驱动方法中，在各级移位寄存器单元之间设置有开关晶体管，并且利用相应的控制线来控制各个开关晶体管，使得在2D显示模式下和在3D显示模式下各级移位寄存器单元的连接方式发生改变，从而实现显示面板在2D和3D两种不同的显示模式下自由切换，并且能够在3D显示中实现对双栅线的同时扫描，降低了扫描频率，减小了高频扫描信号对于显示面板充电的影响，并且不需额外设计，有效降低了产品成本。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，而非对本公开的限制。

图1图示了根据本公开实施例的一种移位寄存器单元的框图；

图2图示了根据本公开实施例的一种移位寄存器单元的具体电路结构；

图3图示了根据本公开实施例的一种可用于图2所示的移位寄存器单元的信号时序；

图4图示了根据本公开实施例的一种包括多级移位寄存器单元的栅极驱动电路的示意性结构；

图5图示了根据本公开实施例的在图4所示的栅极驱动电路进行2D显示驱动时采用的信号时序；

图6图示了根据本公开实施例的在图4所示的栅极驱动电路进行3D显示驱动时采用的信号时序；

图7图示了根据本公开实施例的一种应用于图4所示的栅极驱动电路的方法的示意性流程；以及

图8图示了根据本公开实施例的另一种应用于图4所示的栅极驱动电路的方法的示意性流程。

具体实施方式

下面将结合附图对本公开实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本公开一部分实施例，而不是全部的实施例。基于本公开中的实施例，本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其它实施例，也属于本公开保护的范围。

图 1 图示了根据本公开实施例的一种移位寄存器单元的框图。如图 1 所示，该移位寄存器单元包括：输入子电路 101，连接信号输入端 INPUT 和上拉节点 PU 之间，被配置为向上拉节点输入信号；输出子电路 102，连接在上拉节点 PU 和信号输出端 OUTPUT 之间，被配置为在上拉节点 PU 的控制下，向信号输出端 OUTPUT 输出脉冲信号；复位子电路 103，连接在复位端 RESET、上拉节点 PU 和信号输出端 OUTPUT 之间，被配置为在复位端 RESET 的控制下，对上拉节点 PU 和信号输出端 OUTPUT 进行复位；以及时钟信号选择子电路 104，其输入端连接到第一时钟信号端 CLK1 和第二时钟信号端 CLK2，第一输出端连接到输出子电路 102，被配置为根据第一控制端和第二控制端的电平来选择向输出子电路 102 提供第一时钟信号还是第二时钟信号。

可选地，根据本公开的移位寄存器单元，如图 1 所示，还包括下拉节点控制子电路 105，其连接到上拉节点 PU 和时钟信号选择子电路 104 的第二输出端，被配置为根据时钟信号选择子电路 104 提供的第一时钟信号或第二时钟信号以及上拉节点 PU 的电平，控制下拉节点的电平。

可选地，根据本公开的移位寄存器单元，如图 1 所示，还包括下拉子电路 106，其连接到下拉节点、上拉节点和信号输出端，被配置为根据下拉节点的电平对上拉节点和信号输出端进行下拉。

可选地，根据本公开的移位寄存器单元，如图 1 所示，还包括辅助控制子电路 107，其连接到上拉节点 PU、信号输出端和时钟信号选择子电路 104 的第二输出端，被配置为根据时钟信号选择子电路提供的时钟信号，辅助控制上拉节点和信号输出端的电平。

根据本公开实施例的移位寄存器单元，可以通过时钟信号选择子电路来选择向输出子电路提供的时钟信号，从而在信号输出端输出相应的脉冲信号。

此外，根据本公开实施例的移位寄存器单元，可以通过时钟信号选择子

电路来选择向下拉节点控制子电路和辅助控制子电路提供的时钟信号，以便对下拉节点、上拉节点以及信号输出端的电平进行控制。

图 2 图示了根据本公开实施例的一种移位寄存器单元的具体电路结构。如图 2 所示，可选地，输入子电路包括：输入晶体管 M1，其控制极和第一极连接到信号输入端，第二极连接到上拉节点。

可选地，如图 2 所示，输出子电路包括：输出晶体管 M3，其控制极连接到上拉节点，第一极连接到时钟信号选择子电路的第一输出端 CLKOUT1，第二极连接到信号输出端 OUTPUT；以及电容 C1，其第一端连接到上拉节点 PU，第二端连接到信号输出端 OUTPUT。

可选地，如图 2 所示，复位子电路包括：第一复位晶体管 M2，其控制极连接到复位端 RESET，第一极连接到上拉节点 PU，第二极连接到第一电源端 VSS；以及第二复位晶体管 M4，其控制极连接到复位端 RESET，第一极连接到信号输出端 OUTPUT，第二极连接到第一电源端 VSS。

可选地，如图 2 所示，时钟信号选择子电路包括：第一选择晶体管 T1，其控制极连接到第一控制端 CLR1，第一极连接到第一时钟信号端 CLK1，第二极连接到时钟信号选择子电路的第一输出端 CLKOUT1；第二选择晶体管 T2，其控制极连接到第二控制端 CLR2，第一极连接到第二时钟信号端 CLK2，第二极连接到第一选择晶体管 T1 的第二极。

可选地，如图 2 所示，时钟信号选择子电路还包括：第三选择晶体管 T3，其控制极连接到第一控制端 CLR1，第一极连接到第二时钟信号端 CLK2，第二极连接到时钟信号选择子电路 104 的第二输出端 CLKOUT2；第四选择晶体管 T4，其控制极连接到第二控制端 CLR2，第一极连接到第一时钟信号端 CLK1，第二极连接到第三选择晶体管 T3 的第二极。

可选地，如图 2 所示，下拉节点控制子电路包括：第一下拉控制晶体管 M9，其控制极和第一极连接到时钟信号选择子电路的第二输出端 CLKOUT2，第二极连接到下拉控制节点 PD_CN；第二下拉控制晶体管 M5，其控制极连接到下拉控制节点 PD_CN，第一极连接到第一下拉控制晶体管 M9 的第一极，第二极连接到下拉节点 PD；第三下拉控制晶体管 M8，其控制极连接到上拉节点 PU，第一极连接到下拉控制节点 PD_CN，第二极连接到第一电源端 VSS；以及第四下拉控制晶体管 M6，其控制极连接到上拉节点 PU，第一极连接到下拉节点 PD，第二极连接到第一电源端 VSS。

可选地，如图 2 所示，下拉子电路包括：第一下拉晶体管 M10，其控制极连接到下拉节点 PD，第一极连接到上拉节点 PU，第二极连接到第一电源端 VSS；以及第二下拉晶体管 M11，其控制极连接到下拉节点 PD，第一极连接到信号输出端 OUTPUT，第二极连接到第一电源端 VSS。

可选地，如图 2 所示，辅助控制子电路 107 包括：第一辅助控制晶体管 M13，其控制极连接到时钟信号选择子电路的第二输出端 CLKOUT2，第一极连接到信号输入端 INPUT，第二极连接到上拉节点 PU；以及第二辅助控制晶体管 M12，其控制极连接到时钟信号选择子电路的第二输出端 CLKOUT2，第一极连接到信号输出端 OUTPUT，第二极连接到第一电源端 VSS。

可选地，在上述移位寄存器单元中，上述的各个晶体管可以采用 TFT 晶体管，其中晶体管的控制极是栅极，第一极是漏极，第二极是源极。此外，应理解，由于这里采用的晶体管的源极、漏极是对称的，所以其源极、漏极是可以互换的。在本公开实施例中，为区分晶体管除栅极之外的两极，其中的一极可以被称为源极，另一极可以被称为漏极。若选取源极作为信号输入端、则漏极作为信号输出端，反之亦然。

另外，在图 2 中，以所有的 TFT 采用 N 型 TFT 为例进行了说明。然而，应理解，其中的一部分或者全部 TFT 可以采用 P 型 TFT，只要相应地调整其栅极的控制电平以及向其提供的电源电压即可，这样的实施方式也在本公开的保护范围之内。

此外，在图 2 中，第一电源端被示为接入低电平 VSS。然而，为实现本公开的原理，第一电源端可以接入到不同的低电平，例如具有不同电压值的低电平 VSS 和 VGL。例如，与用于下拉移位寄存器单元输出端的晶体管连接的低电平可以接入低电平 VGL，而与用于下拉移位寄存器单元的上拉节点的低电平可以接入低电平 VSS，其中 VGL 的电平低于 VSS 的电平。通过这种方式，可以在上拉节点和输出端均被下拉到低电平时，将移位寄存器单元的输出晶体管的栅源电势反偏，即便输出晶体管采用耗尽型晶体管时，也能保证输出晶体管的完全关断。

下面参照图3图示的信号时序来简要说明图2所示的移位寄存器单元的工作原理。其中，以第一控制端CLR1为高电平，第二控制端CLR2为低电平为例，来描述移位寄存器单元在图3所示的时序图中的a、b、c、d和e五个阶段的操作。

由于第一控制端CLR1为高电平，第二控制端CLR2为低电平，时钟信号选择子电路中的第一选择晶体管T1和第三选择晶体管T3开启，而第二选择晶体管T2和第四选择晶体管T4关闭，从而向时钟信号选择子电路的第一输出端提供第一时钟信号CLKA，而向时钟信号选择子电路的第二输出端提供第二时钟信号CLKB。第一时钟信号CLKA和第二时钟信号CLKB的周期相等、占空比均为50%，并且相位相差180度。

在第一阶段a中，信号输入端INPUT接入的输入信号为高电平，第一时钟信号CLKA为低电平，第二时钟信号CLKB为高电平；晶体管M1开启，使得高电平的输入信号对上拉节点PU进行充电；由于第二时钟信号CLKB为高电平，晶体管M13开启，加速上拉节点PU的充电过程；由此，上拉节点PU被充电到第一高电平，输出晶体管M3开启，向信号输出端输出低电平的时钟信号CLKA；晶体管M9开启，对下拉控制节点PD_CN充电，然而，由于上拉节点PU处于第一高电平，晶体管M6和M8开启；在晶体管的设计上，可以将晶体管M8与M9的尺寸比配置为在M9和M8均开启时，下拉控制节点PD_CN的电平被下拉到低电平，在这种情况下，PD_CN为低电平，晶体管M5保持关断；由于晶体管M6开启，下拉节点PD的电平被下拉到低电平，从而晶体管M10和M11在此阶段处于关断状态；由于CLKB为高电平，晶体管M12开启，可以确保将移位寄存器单元的输出端拉低到低电平VSS;

在第二阶段b中，第一时钟信号CLKA为高电平，第二时钟信号CLKB为低电平，信号输入端INPUT输入的信号为低电平；晶体管M1、M13、M9、M5和M12关断；输出晶体管M3保持开启，将高电平的时钟信号CLKA输出，作为脉冲信号；由于存储电容C1的自举效应，上拉节点PU的电平进一步升高，达到第二高电平，使得输出晶体管M3的导通更充分；由于上拉节点PU的电平相对于阶段a的电平被提升，晶体管M8和M6的导通更充分，分别将下拉控制节点PD_CN和下拉节点PD进一步拉低；由于下拉节点PD为低电平，晶体管M10和M11保持关断状态，从而不会影响移位寄存器单元输出脉冲信号；

在第三阶段c中，第一时钟信号CLKA为低电平，第二时钟信号CLKB为高电平，信号输入端INPUT继续接入低电平，复位端RESET接入高电平；由于复位端接入高电平，晶体管M2和M4开启，分别将上拉节点PU和移位寄存器单元的输出端下拉到低电平VSS；而晶体管M1关断，晶体管M13开启，将低电平接入上拉节点PU，对上拉节点PU进行放电；上拉节点PU被放电到低

电平，使得晶体管M3关断；由于第二时钟信号CLKB为高电平，晶体管M12开启，将移位寄存器单元的输出端拉低到低电平VSS；晶体管M9开启，对下拉控制节点PD_CN充电，进而使得晶体管M5开启，从而对下拉节点PD充电；由于上拉节点PU处于低电平，晶体管M6和M8关断；下拉节点PD被充电到高电平，晶体管M10和M11开启，分别将上拉节点PU和移位寄存器单元的输出端下拉到低电平VSS;

在第四阶段d中，第一时钟信号CLKA为高电平，第二时钟信号CLKB为低电平，信号输入端INPUT继续接入低电平，复位端接入低电平；晶体管M1、M13、M2、M4、M9和M12关断；由于上拉节点PU保持低电平，晶体管M6和M8继续关断；由于晶体管M8和M9均关断，下拉控制节点PD_CN的放电路径被关闭，下拉控制节点PD_CN保持之前的高电平，从而使得晶体管M5保持开启，由于第二时钟信号CLKB为低电平，因此，下拉节点PD被放电。

在第五阶段e中，第一时钟信号CLK为低电平，第二时钟信号CLKB为高电平，输入端INPUT继续接入低电平，复位端接入低电平；晶体管M1、M2、M4关断；晶体管M13开启，将低电平接入上拉节点PU，对上拉节点PU进行放电，确保关断晶体管M3；CLKB为高电平，晶体管M12开启，将移位寄存器单元的输出端拉低到低电平VSS，消除移位寄存器单元的输出端的噪声；晶体管M9开启，对下拉控制节点PD_CN充电，使得晶体管M5的开启更充分，并且对下拉节点PD充电，使得下拉节点PD变成高电平；由于上拉节点PU被放电，晶体管M6和M8保持关断；下拉节点PD的高电平使得晶体管M10和M11开启，分别将上拉节点PU和移位寄存器单元的输出端下拉到低电平VSS，消除了在上拉节点和输出端处形成的噪声。

之后，移位寄存器单元重复阶段d和e的操作，直至下一个有效输入信号到来。

尽管以上是以第一控制端CLR1为高电平，第二控制端CLR2为低电平为例对图2所示的移位寄存器单元的工作原理进行了说明，然而，基于上面的原理，当第一控制端CLR1为低电平，而第二控制端CLR2为高电平的情形是类似的，具体细节不在此赘述。

根据本公开的一实施例，提出了一种包括多级上述的移位寄存器单元（GOA 单元）的栅极驱动电路。图 4 示出了该栅极驱动电路的示意性的结构。如图 4 所示，该栅极驱动电路包括多个 GOA 单元，其中，多个 GOA 单元分

为大致 4 种，即，第一级哑（Dummy） GOA 1、第二级哑（Dummy） GOA 2、奇数级扫描 GOA 2N+1（N≥0，N 为整数），偶数级扫描 GOA 2N+2（N≥0，N 为整数）。其中，每个 GOA 单元的内部结构如图 2 所示，具体包括十六个 TFT 和一个电容。

具体地， Dummy GOA 1 和 Dummy GOA 2 主要负责信号启动，为后续 GOA 单元的开启起到信号开启的作用，不负责对显示面板有效区域（Active Area）的栅线扫描提供控制。

如图 4 所示，Dummy GOA 1 的信号输入端 INPUT 接入 STV 信号，Dummy GOA 1 的信号输出端经由与 Dummy GOA 1 对应的第一开关晶体管 SW1 连接到 Dummy GOA 2 的信号输入端，并且经由与 Dummy GOA 1 对应的第二开关晶体管 SW2 连接到第一级扫描 GOA 1 的信号输入端; Dummy GOA 1 的复位端经由与 Dummy GOA 1 对应的第三开关晶体管 SW3 连接到 Dummy GOA 2 的信号输出端，并且经由与 Dummy GOA 1 对应的第四开关晶体管 SW4 连接到第一级扫描 GOA 1 的信号输出端； Dummy GOA 1 的第一控制端连接到第一控制线 CTR1，其第二控制端连接到第二控制线 CTR2, 第一开关晶体管 SW1 的控制极连接到第一开关控制线 SCL1、第二开关晶体管 SW2 的控制极连接到第二开关控制线 SCL2，第三开关晶体管 SW3 的控制极连接到第一开关控制线 SCL1，第四开关晶体管 SW4 的控制极连接到第二开关控制线 SCL2，第一时钟信号端接收第一时钟信号 CLKA，第二时钟信号端接收第二时钟信号 CLKB。

Dummy GOA 2 的信号输入端 INPUT 经由与 Dummy GOA 2 对应的第五开关晶体管 SW5 接入 STV 信号，Dummy GOA 2 的信号输出端经由与 Dummy GOA 2 对应的第六开关晶体管 SW6 连接到第一级扫描 GOA 1 的信号输入端，并且经由与 Dummy GOA 2 对应的第七开关晶体管 SW7 连接到第二级扫描 GOA 2 的信号输入端; Dummy GOA 2 的复位端直接连接到第一级扫描 GOA 1 的信号输出端； Dummy GOA 2 的第一控制端连接到第三控制线 CTR3，其第二控制端连接到第四控制线 CTR4, 第五开关晶体管 SW5 的控制极连接到第二开关控制线 SCL2、第六开关晶体管 SW6 的控制极连接到第一开关控制线 SCL1，第七开关晶体管 SW7 的控制极连接到第二开关控制线 SCL2，第一时钟信号端接收第二时钟信号 CLKB，第二时钟信号端接收第一时钟信号 CLKA。

如图 4 所示，对于第一级扫描 GOA 1 而言，其信号输出端除了与 Dummy GOA 1 和 Dummy GOA 2 的复位端连接之外，还连接到对应的栅线 GL1，用于为栅线 GL1 提供扫描信号，从而驱动显示面板上相应的像素子电路；此外，第一级扫描 GOA 1 的信号输出端还经由与第一级扫描 GOA 1 对应的第八开关晶体管 SW8 连接到第二级扫描 GOA 2 的信号输入端，并且经由与第一级扫描 GOA 1 对应的第九开关晶体管 SW9 连接到第三级扫描 GOA 3 的信号输入端；第一级扫描 GOA 1 的复位端经由与第一级扫描 GOA 1 对应的第十开关晶体管 SW10 连接到第二级扫描 GOA 2 的信号输出端，并且经由与第一级扫描 GOA 1 对应的第十一开关晶体管 SW11 连接到第三级扫描 GOA 3 的信号输出端；第一级扫描 GOA 1 的第一控制端连接到第三控制线 CTR3，其第二控制端连接到第四控制线 CTR4，第八开关晶体管 SW8 的控制极连接到第一开关控制线 SCL1、第九开关晶体管 SW9 的控制极连接到第二开关控制线 SCL2，第十开关晶体管 SW10 的控制极连接到第一开关控制线 SCL1，第十一开关晶体管 SW11 的控制极连接到第二开关控制线 SCL2，第一时钟信号端接收第一时钟信号 CLKA，第二时钟信号端接收第二时钟信号 CLKB。

如图 4 所示，对于第二级扫描 GOA 2 而言，其信号输出端除了与第一级扫描 GOA 1 的复位端连接之外，还连接到对应的栅线 GL2，用于为栅线 GL2 提供扫描信号，从而驱动显示面板上相应的像素子电路；此外，第二级扫描 GOA 2 的信号输出端还经由与第二级扫描 GOA 2 对应的第十二开关晶体管 SW12 连接到第三级扫描 GOA 3 的信号输入端，并且经由与第二级扫描 GOA 2 对应的第十三开关晶体管 SW13 连接到第四级扫描 GOA 4 的信号输入端；第二级扫描 GOA 2 的复位端直接连接到第三级扫描 GOA 3 的信号输出端；第二级扫描 GOA 2 的第一控制端连接到第一控制线 CTR1，其第二控制端连接到第二控制线 CTR2，第十二开关晶体管 SW12 的控制极连接到第一开关控制线 SCL1、第十三开关晶体管 SW13 的控制极连接到第二开关控制线 SCL2，第一时钟信号端接收第二时钟信号 CLKB，第二时钟信号端接收第一时钟信号 CLKA。

由此可见，Dummy GOA 1 子电路的输入信号的来源只有一个，来自帧起始信号 STV；复位信号的来源有两个，来自之后的连续两级 GOA 的输出，即，Dummy GOA 2 子电路和第一扫描 GOA1 子电路的输出；Dummy GOA 2 子电路的输入信号的来源有两个，STV 信号和前一级 GOA 单元（即 Dummy

GOA 1 子电路）的输出，而 Dummy GOA 2 子电路的复位信号的来源只有一个，即来自前一级 GOA 单元的输出，即第一扫描 GOA 1 子电路的输出。

对于扫描 GOA 单元的输入信号，例如，图 4 所示的第一扫描 GOA1 和第二扫描 GOA2 子电路，输入信号的来源有两个，来自之前的连续两级 GOA 单元的输出；例如，第一扫描 GOA1 子电路的输入信号来自于 Dummy GOA 1 子电路和 Dummy GOA 2 子电路的输出，第二扫描 GOA2 子电路的输入信号来自于 Dummy GOA 2 子电路和第一扫描 GOA 1 子电路的输出。

对于扫描 GOA 单元的复位信号，例如，图 4 所示的第一扫描 GOA1 的复位信号的来源有两个，即，之后的连续两级 GOA 单元的输出，也就是 GOA2 和 GOA3 的输出；而第二扫描 GOA2 的复位信号的来源有一个，即，之后的连续一级 GOA 单元的输出，也就是 GOA3 的输出。

之后的各级 GOA 单元的输入信号和复位信号的来源以此类推。例如，针对 GOA K 子电路（K≥3，K 为奇数），其输入信号的来源是之前的连续两级 GOA 单元的输出，即 GOA K-1 子电路和 GOAK-2 子电路的输出，其复位信号的来源是之后的连续两级 GOA 单元的输出，即是 GOA K+1 和 GOAK+2 的输出。针对 GOA K’（ K’≥4，K 为偶数），其输入信号的来源是之前的连续两级 GOA 单元的输出，即 GOA K-1 和 GOA K-2 的输出，其复位信号的来源是之后的连续一级 GOA 单元的输出，即，GOA K+1 子电路的输出。另外，需要注意，如上所述，奇数级和偶数级 GOA 中的时钟信号选择子电路的第一时钟信号端和第二时钟信号端所接入的时钟信号是彼此交替切换的，例如，奇数级 GOA 中的时钟信号选择子电路的第一时钟信号端接收第一时钟信号 CLKA，第二时钟信号端接收第二时钟信号 CLKB，而偶数级 GOA 的第一时钟信号端接收第二时钟信号 CLKB，第二时钟信号端接收第一时钟信号 CLKA。

根据本公开的上述实施例，通过在 GOA 区域设置相应的控制线并且利用一定数量 TFT 开关，可以实现显示面板 2D 和 3D 不同显示模式自由切换。同时在 3D 显示中实现双栅线同时打开，可以降低高频对于显示面板充电的影响。不需额外设计，有效降低成本。

为此，在根据本公开的上述实施例的栅极驱动电路中，如图 4 所示，Dummy GOA1、扫描 GOA 单元，即，GOA2、GOA3、GOA6、GOA7、GOA10、GOA11.....GOA 4N+2、GOA 4N+3（N≥0，N 为整数）中的时钟信号选择子电

路的第一控制端连接到第一控制线 CTR1，其第二控制端连接到第二控制线 CTR2；Dummy GOA2、扫描 GOA 单元，即，GOA1、GOA4、GOA5、GOA8、GOA9、GOA12.....GOA 4N+1、GOA 4N+4（N≥0，N 为整数）的第一控制端连接到第三控制线 CTR3，其第二控制端连接到第四控制线 CTR4。

根据以上实施例，本公开提供的栅极驱动电路包括 N 级如图 2 所示的移位寄存器单元，其中，第 k 级移位寄存器单元被配置为扫描对应的栅线，其信号输出端经由与第 k 级对应的第一开关晶体管连接到第 k+1 级移位寄存器单元的信号输入端，并且还经由与第 k 级对应的第二开关晶体管连接到第 k+2 级移位寄存器单元的信号输入端，其中 k≥3，N 和 k 为整数；第 k 级移位寄存器单元信号输入端经由与第 k 级对应的第三开关晶体管连接到第 k-1 级移位寄存器单元的信号输出端，并且还经由与第 k 级对应的第四开关晶体管连接到第 k-2 级移位寄存器单元的输出端。

可选地，在上述栅极驱动电路中，第一级和第二级移位寄存器单元被配置为哑移位寄存器单元；其中，第 1 级移位寄存器单元的信号输出端经由与第 1 级对应的第一开关晶体管连接到第 2 级移位寄存器单元的信号输入端，并且第 1 级移位寄存器单元的信号输入端接收帧起始信号 STV；第 2 级移位寄存器单元的信号输入端还经由与第 2 级对应的第二开关晶体管接收帧起始信号 STV。

可选地，在上述栅极驱动电路中，第 2j-1 级移位寄存器单元的复位端经由与该第 2j-1 级对应的第五开关晶体管连接到第 2j 级移位寄存器单元的信号输出端，并且还经由与该第 2j-1 级对应的第六开关晶体管连接到第 2j+1 级移位寄存器单元的信号输出端；第 2j 级移位寄存器单元的复位端连接到第 2j+1 级移位寄存器单元的信号输出端，其中 1≤j≤（N-1）/2，j 为整数。

为了实现显示面板在 2D-3D 之间不同显示模式的转换，同时保证在 3D 显示过程中双栅线同时开启，本公开实施例的栅极驱动电路中的奇数级 GOA 单元与偶数级 GOA 单元的控制原理略有差异，以下将结合图 5 所示的信号时序来首先说明根据本公开实施例的栅极驱动电路进行 2D 显示驱动时的工作原理。

当显示面板在 2D 模式下进行 2D 显示时，如图 5 所示，第一开关控制线 SCL1 提供高电平，第二开关控制线 SCL2 提供低电平，第一控制线 CTR1 和第三控制线 CTR3 提供高电平，而第二控制线 CTR2 和第四控制线 CTR4 提

供低电平。

由于布置在相邻两级 GOA 单元之间的开关晶体管的控制极与第一开关控制线 SCL1 连接，因此，布置在相邻两级 GOA 单元之间的开关晶体管开启，从而将相邻两级 GOA 单元的信号路径导通；具体而言，Dummy GOA1 的输出信号可以经由开启的开关晶体管 SW1 提供给 Dummy GOA 2 的信号输入端，而 Dummy GOA 2 的输出信号可以经由开启的开关晶体管 SW3 提供给 Dummy GOA 1 的复位端；类似地，Dummy GOA2 的输出信号可以经由开启的开关晶体管 SW6 提供给第一级扫描 GOA 1 的信号输入端，而第一级扫描 GOA 1 的输出信号可以直接提供给 Dummy GOA 2 的复位端；而第一级扫描 GOA1 的输出信号还可以经由开启的开关晶体管 SW8 提供给第二级扫描 GOA 2 的信号输入端，而第二级扫描 GOA 2 的输出信号可以经由开启的开关晶体管 SW10 提供给第一级扫描 GOA 1 的复位端；此外，由于布置在中间间隔一级的两级 GOA 单元之间的开关晶体管的控制极与第二开关控制线 SCL2 连接，从而将中间间隔一级的两级 GOA 单元的信号路径切断；具体而言，由于开关晶体管 SW2 被关断，Dummy GOA1 的信号输出端与第一级扫描 GOA1 的信号输入端之间的信号路径被切断；由于开关晶体管 SW4 被关断，Dummy GOA1 的复位端与第一级扫描 GOA1 的信号输出端之间的信号路径被切断；类似地，由于开关晶体管 SW7 被关断，Dummy GOA2 的信号输出端与第二级扫描 GOA2 的信号输入端之间的信号路径被切断；由于开关晶体管 SW9 被关断，第一级扫描 GOA1 的信号输出端与第三级扫描 GOA3 的信号输入端之间的信号路径被切断；由于开关晶体管 SW11 被关断，第一级扫描 GOA1 的复位端与第三级扫描 GOA3 的信号输出端之间的信号路径被切断；其余各级扫描 GOA 单元的信号连接关系以此类推。

此外，由于第二开关控制线 SCL2 提供低电平，控制极连接到第二开关控制线 SCL2 的开关晶体管 SW5 被关断，也就是 Dummy GOA2 的信号输入端与 STV 信号之间的信号路径被切断。

由此可见，在 2D 显示模式下，例如在正向扫描方式下，当输入 STV 信号时，各级扫描 GOA 单元由上一级 GOA 单元的输出信号触发而驱动相应的栅线，并且各级 GOA 单元的输出信号作为复位信号而提供给上一级 GOA 单元，其中各级 GOA 单元的工作原理可以参见以上结合图 2 和图 3 所描述的移位寄存器单元的工作原理，具体细节不再赘述。

此外，由于 Dummy GOA 1 中的时钟信号选择子电路的第一控制端连接到第一控制线 CTR1，其第二控制端连接到第二控制线 CTR2，因此，其中的时钟信号选择子电路选择第一时钟信号 CLKA 在其第一输出端输出，并且选择第二时钟信号 CLKB 在其第二输出端输出。

类似地，由于 Dummy GOA 2 中的时钟信号选择子电路的第一控制端连接到第三控制线 CTR3，其第二控制端连接到第四控制线 CTR4，其中的时钟信号选择子电路选择第二时钟信号 CLKB 在其第一输出端输出，并且选择第一时钟信号 CLKA 在其第二输出端输出。

类似地，由于第一扫描 GOA 1 中的时钟信号选择子电路的第一控制端连接到第三控制线 CTR3，其第二控制端连接到第四控制线 CTR4，其中的时钟信号选择子电路选择第一时钟信号 CLKA 在其第一输出端输出，并且选择第二时钟信号 CLKB 在其第二输出端输出。

类似地，由于第二级扫描 GOA 2 的第一控制端连接到第一控制线 CTR1，其第二控制端连接到第二控制线 CTR2，其中的时钟信号选择子电路选择第二时钟信号 CLKB 在其第一输出端输出，并且选择第一时钟信号 CLKA 在其第二输出端输出。

其它各级扫描 GOA 的时钟信号选择子电路选择的时钟信号以此类推，具体可以参见如图 5 示意性示出的各级 GOA 单元的输出信号的时序。

当显示面板的显示模式切换到 3D 时，需要双栅线同时开启。以下将结合图 6 示意性示出的信号时序来说明根据本公开实施例的栅极驱动电路进行 3D 显示驱动时的工作原理。

当显示面板切换到 3D 模式进行 3D 显示时，如图 6 所示，第一开关控制线 SCL1 提供低电平，第二开关控制线 SCL2 提供高电平，第一控制线 CTR1 和第四控制线 CTR4 提供高电平，而第二控制线 CTR2 和第三控制线 CTR3 提供低电平。

由于布置在相邻两级 GOA 单元之间的开关晶体管的控制极与第一开关控制线 SCL1 连接，因此，布置在相邻两级 GOA 单元之间的开关晶体管被关断，从而将相邻两级 GOA 单元经由开关晶体管的信号路径切断；具体而言，Dummy GOA1 的信号输出端与 Dummy GOA 2 的信号输入端之间的信号路径被切断，而 Dummy GOA 2 的信号输出端与 Dummy GOA 1 的复位端之间的信号路径被切断；类似地，Dummy GOA2 的信号输出端与第一级扫描 GOA 1

的信号输入端之间的信号路径被切断，而第一级扫描 GOA 1 的输出信号可以直接提供给 Dummy GOA 2 的复位端；第一级扫描 GOA1 的信号输出端与第二级扫描 GOA 2 的信号输入端之间的信号路径被切断，而第二级扫描 GOA 2 的信号输出端与第一级扫描 GOA 1 的复位端之间的信号路径被切断。

此外，由于布置在中间间隔一级的两级 GOA 单元之间的开关晶体管的控制极与第二开关控制线 SCL2 连接，因此被开启，从而将中间间隔一级的两级 GOA 单元的信号路径导通；具体而言，由于开关晶体管 SW2 被开启，Dummy GOA1 的信号输出端与第一级扫描 GOA1 的信号输入端之间的信号路径被导通；由于开关晶体管 SW4 被开启，Dummy GOA1 的复位端与第一级扫描 GOA1 的信号输出端之间的信号路径被导通；类似地，由于开关晶体管 SW7 被开启，Dummy GOA2 的信号输出端与第二级扫描 GOA2 的信号输入端之间的信号路径被导通；由于开关晶体管 SW9 被开启，第一级扫描 GOA1 的信号输出端与第三级扫描 GOA3 的信号输入端之间的信号路径被导通；由于开关晶体管 SW11 被开启，第一级扫描 GOA1 的复位端与第三级扫描 GOA3 的信号输出端之间的信号路径被导通；其余各级扫描 GOA 单元的信号连接关系以此类推。

此外，由于第二开关控制线 SCL2 提供高电平，控制极连接到第二开关控制线 SCL2 的开关晶体管 SW5 被开启，也就是 Dummy GOA2 的信号输入端与 STV 信号之间的信号路径被导通。

由此可见，在 3D 显示模式下，Dummy GOA1 和 Dummy GOA2 的输入信号端和复位信号端彼此并联，Dummy GOA1 和 Dummy GOA2 输出的信号分别作为第一级扫描 GOA1 和第二级扫描 GOA2 的输入信号；第一级扫描 GOA1 和第二级扫描 GOA2 的复位端均与第三级扫描 GOA3 的信号输出端连接，而第一级扫描 GOA1 和第二级扫描 GOA2 输出的信号除了驱动相应的栅线之外，还分别作为第三级扫描 GOA3 和第二级扫描 GOA4 的输入信号；之后的扫描 GOA 的信号连接关系以此类推。其中各级 GOA 单元的工作原理可以参见以上结合图 2 和图 3 所描述的移位寄存器单元的工作原理，具体细节不再赘述。

因此，在 3D 显示模式下，例如在正向扫描方式下，当输入 STV 信号时，Dummy GOA1 和 Dummy GOA2 的输入信号端均接收 STV 信号作为触发信号，并且其复位端均接收来自第一级扫描 GOA 1 的输出信号作为复位信号，

因此如图 6 所示，Dummy GOA1 和 Dummy GOA2 输出的信号时序相同；如上所述，由于第一极扫描 GOA1 和第二级扫描 GOA2 分别接收来自于 Dummy GOA1 和 Dummy GOA2 的输出信号作为触发信号，并且其复位端均接收来自第三级扫描 GOA 3 的输出信号作为复位信号，因此，如图 6 所示，第一级扫描 GOA1 和第二级扫描 GOA2 输出的信号时序相同；也就是说，第一级扫描 GOA1 对应的栅线和第二级扫描 GOA2 对应的栅线同时开启；类似地，第三级扫描 GOA3 和第四级扫描 GOA4 输出的信号时序相同，其各自对应的栅线同时开启；其它扫描 GOA 的时序以此类推，从而实现了双栅线同时开启。

如上所述，第一控制线 CTR1 和第四控制线 CTR4 提供高电平，而第二控制线 CTR2 和第三控制线 CTR3 提供低电平，由于 Dummy GOA 1 中的时钟信号选择子电路的第一控制端连接到第一控制线 CTR1，其第二控制端连接到第二控制线 CTR2，因此，其中的时钟信号选择子电路选择第一时钟信号 CLKA 在其第一输出端输出，并且选择第二时钟信号 CLKB 在其第二输出端输出。

类似地，由于 Dummy GOA 2 中的时钟信号选择子电路的第一控制端连接到第三控制线 CTR3，其第二控制端连接到第四控制线 CTR4，其中的时钟信号选择子电路选择第一时钟信号 CLKA 在其第一输出端输出，并且选择第二时钟信号 CLKB 在其第二输出端输出。

由此可见，Dummy GOA 1 和 Dummy GOA 2 的时钟信号的时序是相同的。

类似地，由于第一扫描 GOA 1 中的时钟信号选择子电路的第一控制端连接到第三控制线 CTR3，其第二控制端连接到第四控制线 CTR4，其中的时钟信号选择子电路选择第二时钟信号 CLKB 在其第一输出端输出，并且选择第一时钟信号 CLKA 在其第二输出端输出。

类似地，由于第二级扫描 GOA 2 的第一控制端连接到第一控制线 CTR1，其第二控制端连接到第二控制线 CTR2，其中的时钟信号选择子电路选择第二时钟信号 CLKB 在其第一输出端输出，并且选择第一时钟信号 CLKA 在其第二输出端输出。

由此可见，第一级扫描 GOA 1 和第二级扫描 GOA 2 的时钟信号的时序也是相同的。

其它各级扫描 GOA 的时钟信号选择子电路选择的时钟信号以此类推。可

以参见如图 6 示意性示出的各级 GOA 单元的输出信号的时序。

由此可见，在 3D 显示模式下，例如在正向扫描方式下，当输入 STV 信号时，连续的两级扫描 GOA 单元，例如， GOA1 &GOA2、GOA3&GOA4、GOA5&GOA6……GOA 2N+1&GOA 2N+2 的输入信号、时钟信号以及复位信号的时序完全相同，从而向对应的两条栅线输出相同的信号，实现了双栅极同时打开。图 6 示意性地示出整个显示面板的时序图，使得在降低帧频的情况下，完成显示面板正常的 3D 显示，其中各级 GOA 单元的工作原理可以参见以上结合图 2 和图 3 所描述的移位寄存器单元的工作原理，具体细节不再赘述。

根据本公开的又一方面，还提供了一种用于对图 4 所示的栅极驱动电路进行控制的方法。如图 7 图示，该方法主要包括：在 2D 显示模式下，向第一开关控制线输入第二电平而向第二开关控制线输入第一电平、从而将布置在相邻两级 GOA 单元之间的第一开关晶体管开启并且将布置在中间间隔一级的两级 GOA 单元之间的第二开关晶体管关断；向第一控制线和第三控制线输入第二电平，而向第二控制线和第四控制线输入第一电平，从而使得相邻的两级 GOA 单元中选择输出的时钟信号分别为第一时钟信号和第二时钟信号；将帧启示信号输入第一级哑移位寄存器单元的信号输入端，将第一时钟信号和第二时钟信号分别输入到第一级哑移位寄存器单元的第一时钟信号端和第二时钟信号端，使得各级扫描移位寄存器向所连接的栅线依次顺序输出驱动信号，其中，第 m 级移位寄存器，在其信号输入端接收来自于第（m-1）级移位寄存器输出的信号，在其信号输出端向第（m+1）级移位寄存器输出触发信号，并且在其复位端接收来自于第(m+1)输出的信号作为复位信号。可选地，其中第一电平为低电平，第二电平为高电平。

可选地，如图 8 所示，上述方法还包括：在 3D 显示模式下，向第一开关控制线输入第一电平而向第二开关控制线输入第二电平，从而将布置在相邻两级 GOA 单元之间的第一开关晶体管关断，而将布置在中间间隔一级的两级 GOA 单元之间的第二开关晶体管开启；向第一控制线和第四控制线输入第二电平，而向第二控制线和第三控制线输入第一电平，从而使得每相邻的两级 GOA 单元选择输出的时钟信号相同，为第一时钟信号和第二时钟信号中的一个，而与之相邻的另两级 GOA 单元选择输出的时钟信号为第一时钟信号和第二时钟信号中的另一个；将帧启示信号输入第一级和第二级哑移位寄存器

单元的信号输入端，将第一时钟信号和第二时钟信号分别输入到第一级哑移位寄存器单元的第一时钟信号端和第二时钟信号端，使得每相邻的两级移位寄存器单元的信号输入端接收的信号的时序相同，并且输出的信号的时序相同。可选地，其中第一电平为低电平，第二电平为高电平。

根据本公开的上述实施例的栅极驱动电路包括在各级移位寄存器单元之间设置的开关晶体管，并且利用相应的控制线来控制各个开关晶体管，使得在2D显示模式下和在3D显示模式下各级移位寄存器单元的连接方式发生改变，从而实现显示面板在2D和3D两种不同的显示模式下自由切换，并且能够在3D显示中实现对双栅线的同时扫描，降低了扫描频率，减小了高频扫描信号对于显示面板充电的影响，并且不需额外设计，有效降低了产品成本。

以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开实施例公开的技术范围内，可轻易想到的变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应该以权利要求的保护范围为准。

本申请要求于2017年4月12日递交的中国专利申请第201710237626.8号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

权利要求书

1. 一种移位寄存器单元，包括:

输入子电路(101)，连接信号输入端和上拉节点之间，被配置为向上拉节点输入信号;

输出子电路（102），连接在上拉节点和信号输出端之间，被配置为在上拉节点的控制下，向信号输出端输出脉冲信号;

复位子电路(103)，连接在复位端、上拉节点和信号输出端之间，被配置为在复位端的控制下，对上拉节点和信号输出端进行复位；以及

时钟信号选择子电路（104），其输入端连接到第一时钟信号端和第二时钟信号端，控制端连接到第一控制端和第二控制端，第一输出端连接到输出子电路，被配置为根据第一控制端和第二控制端的电平来选择向输出子电路提供第一时钟信号还是第二时钟信号。

2. 根据权利要求 1 所述的移位寄存器单元，还包括：下拉节点控制子电路（105），其连接到上拉节点（PU）和时钟信号选择子电路（104）的第二输出端，被配置为根据时钟信号选择子电路提供的第一时钟信号或第二时钟信号以及上拉节点的电平，控制下拉节点的电平。

3. 根据权利要求 1 或 2 所述的移位寄存器单元，还包括：下拉子电路（106），连接到下拉节点、上拉节点和信号输出端，被配置为根据下拉节点的电平对上拉节点和信号输出端进行下拉。

4. 根据权利要求 1-3 任一项所述的移位寄存器单元，还包括：辅助控制子电路(107)，连接到上拉节点(PU)、信号输出端和时钟信号选择子电路(104)的第二输出端，被配置为根据时钟信号选择子电路提供的时钟信号，辅助控制上拉节点和信号输出端的电平。

5. 根据权利要求 1-4 任一项所述的移位寄存器单元，其中，

输入子电路包括：输入晶体管(M1)，其控制极和第一极连接到信号输入端，第二极连接到上拉节点;

输出子电路包括：输出晶体管（M3），其控制极连接到上拉节点，第一极连接到时钟信号选择子电路的第一输出端，第二极连接到信号输出端；以及电容（C1），其第一端连接到上拉节点，第二端连接到信号输出端；以及

复位子电路(103)包括：第一复位晶体管（M2），其控制极连接到复位端，第一极连接到上拉节点，第二极连接到第一电源端；以及第二复位晶体管（M4），其控制极连接到复位端，第一极连接到信号输出端，第二极连接到第一电源端。

6. 根据权利要求 1-5 任一项所述的移位寄存器单元，其中，

时钟信号选择子电路（104）包括：第一选择晶体管(T1)，其控制极连接到第一控制端，第一极连接到第一时钟信号端，第二极连接到时钟信号选择子电路的第一输出端；第二选择晶体管（T2），其控制极连接到第二控制端，第一极连接到第二时钟信号端，第二极连接到时钟信号选择子电路的第一输出端。

7. 根据权利要求 6 所述的移位寄存器单元，其中，

时钟信号选择子电路（104）还包括：第三选择晶体管(T3)，其控制极连接到第一控制端，第一极连接到第二时钟信号端，第二极连接到时钟信号选择子电路的第二输出端；第四选择晶体管（T4），其控制极连接到第二控制端，第一极连接到第一时钟信号端，第二极连接到第三选择晶体管的第二极。

8. 根据权利要求 2 所述的移位寄存器单元，其中，

其中，下拉节点控制子电路（105）包括：第一下拉控制晶体管（M9），其控制极和第一极连接到时钟信号选择子电路的第二输出端，第二极连接到下拉控制节点（PD_CN）；第二下拉控制晶体管（M5），其控制极连接到下拉控制节点（PD_CN），第一极连接到第一下拉控制晶体管（M9）的第一极，第二极连接到下拉节点；第三下拉控制晶体管（M8），其控制极连接到上拉节点，第一极连接到下拉控制节点，第二极连接到第一电源端；以及第四下拉控制晶体管（M6），其控制极连接到上拉节点，第一极连接到下拉节点，第二极连接到第一电源端。

9. 根据权利要求 3 所述的移位寄存器单元，其中，

下拉子电路（106）包括：第一下拉晶体管（M10），其控制极连接到下拉节点，第一极连接到上拉节点，第二极连接到第一电源端；以及第二下拉晶体管（M11），其控制极连接到下拉节点，第一极连接到信号输出端，第二极连接到第一电源端。

10. 根据权利要求 4 所述的移位寄存器单元，其中，

辅助控制子电路（107）包括：

第一辅助控制晶体管（M13），其控制极连接到时钟信号选择子电路的第二输出端，第一极连接到信号输入端，第二极连接到上拉节点；以及

第二辅助控制晶体管（M12），其控制极连接到时钟信号选择子电路的第二输出端，第一极连接到信号输出端，第二极连接到第一电源端。

11. 一种栅极驱动电路，包括 N 级如权利要求 1-10 任一项所述的移位寄存器单元，其中，第 k 级移位寄存器单元被配置为扫描对应的栅线，其信号输出端经由与第 k 级对应的第一开关晶体管连接到第 k+1 级移位寄存器单元的信号输入端，并且还经由与第 k 级对应的第二开关晶体管连接到第 k+2 级移位寄存器单元的信号输入端，其中 $k\geq 3$，N 和 k 为整数；

其信号输入端经由与第 k 级对应的第三开关晶体管连接到第 k-1 级移位寄存器单元的信号输出端，并且还经由与第 k 级对应的第四开关晶体管连接到第 k-2 级移位寄存器单元的输出端。

12. 根据权利要求 11 所述的栅极驱动电路，其中，第一级和第二级移位寄存器单元被配置为哑移位寄存器单元；

其中，第 1 级移位寄存器单元的信号输出端经由与第 1 级对应的第一开关晶体管连接到第 2 级移位寄存器单元的信号输入端，并且第 1 级移位寄存器单元的信号输入端接收帧起始信号 STV；

第 2 级移位寄存器单元的信号输入端还经由与第 2 级对应的第二开关晶体管接收帧起始信号 STV。

13. 根据权利要求 11 或 12 所述的栅极驱动电路，其中，

第 2j-1 级移位寄存器单元的复位端经由与该第 2j-1 级对应的第五开关晶体管连接到第 2j 级移位寄存器单元的信号输出端，并且还经由与该第 2j-1 级对应的第六开关晶体管连接到第 2j+1 级移位寄存器单元的信号输出端；

第 2j 级移位寄存器单元的复位端连接到第 2j+1 级移位寄存器单元的信号输出端，其中 $1\leq j\leq (N-1)/2$，j 为整数。

14. 一种应用于权利要求 11-13 任一项所述的栅极驱动电路的驱动方法，包括：

在 2D 显示模式下，向第一开关控制线输入第二电平而向第二开关控制线输入第一电平、从而将布置在相邻两级 GOA 单元之间的第一开关晶体管开启并且将布置在中间间隔一级的两级 GOA 单元之间的第二开关晶体管关断；

向第一控制线和第三控制线输入第二电平，而向第二控制线和第四控制

线输入第一电平，从而使得相邻的两级 GOA 单元中选择输出的时钟信号分别为第一时钟信号和第二时钟信号；

将帧启示信号输入第一级哑移位寄存器单元的信号输入端，将第一时钟信号和第二时钟信号分别输入到第一级哑移位寄存器单元的第一时钟信号端和第二时钟信号端，使得各级扫描移位寄存器单元向所连接的栅线依次顺序输出驱动信号。

15. 根据权利要求 14 所述的驱动方法，还包括：

在 3D 显示模式下，向第一开关控制线输入第一电平而向第二开关控制线输入第二电平，从而将布置在相邻两级 GOA 单元之间的第一开关晶体管关断，而将布置在中间间隔一级的两级 GOA 单元之间的第二开关晶体管开启；

向第一控制线和第四控制线输入第二电平，而向第二控制线和第三控制线输入第一电平，从而使得每相邻的两级 GOA 单元选择输出的时钟信号相同，为第一时钟信号和第二时钟信号中的一个，而与之相邻的另两级 GOA 单元选择输出的时钟信号为第一时钟信号和第二时钟信号中的另一个；

将帧启示信号输入第一级和第二级哑移位寄存器单元的信号输入端，将第一时钟信号和第二时钟信号分别输入到第一级哑移位寄存器单元的第一时钟信号端和第二时钟信号端，使得每相邻的两级移位寄存器单元的信号输入端接收的信号的时序相同，并且输出的信号的时序相同。

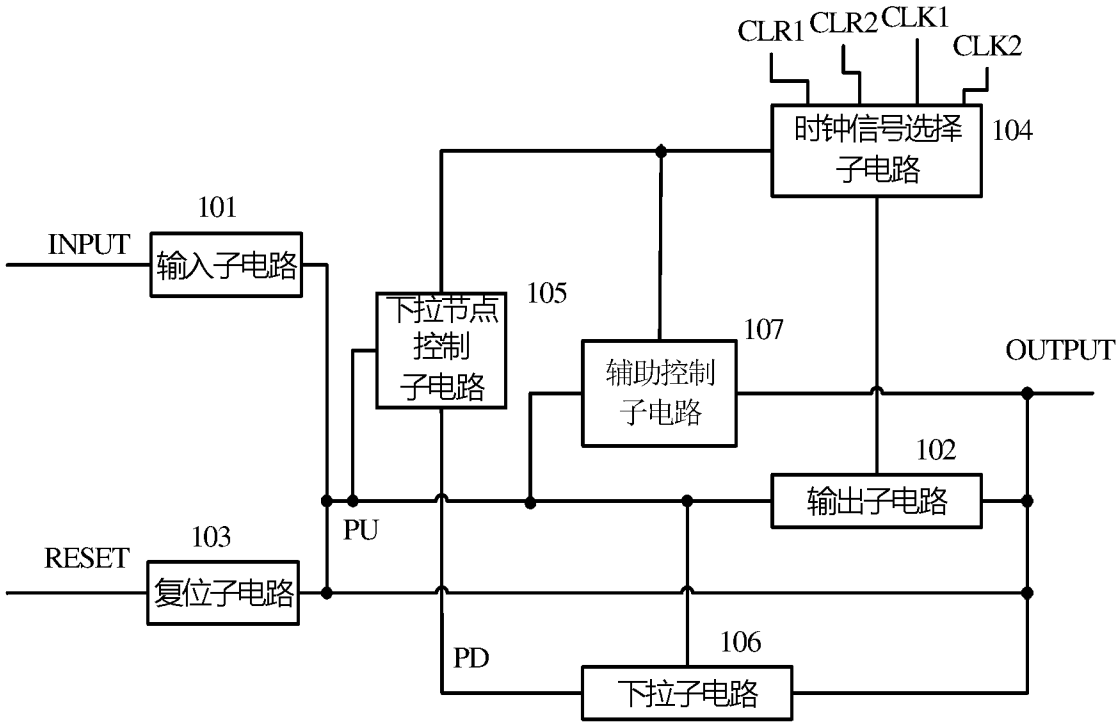

CLR1
CLR2
CLK1
CLK2
时钟信号选择子电路
104
101
INPUT
输入子电路
下拉节点控制子电路
105
辅助控制子电路
107
OUTPUT
102
输出子电路
PU
RESET
103
复位子电路
PD
106
下拉子电路

图1

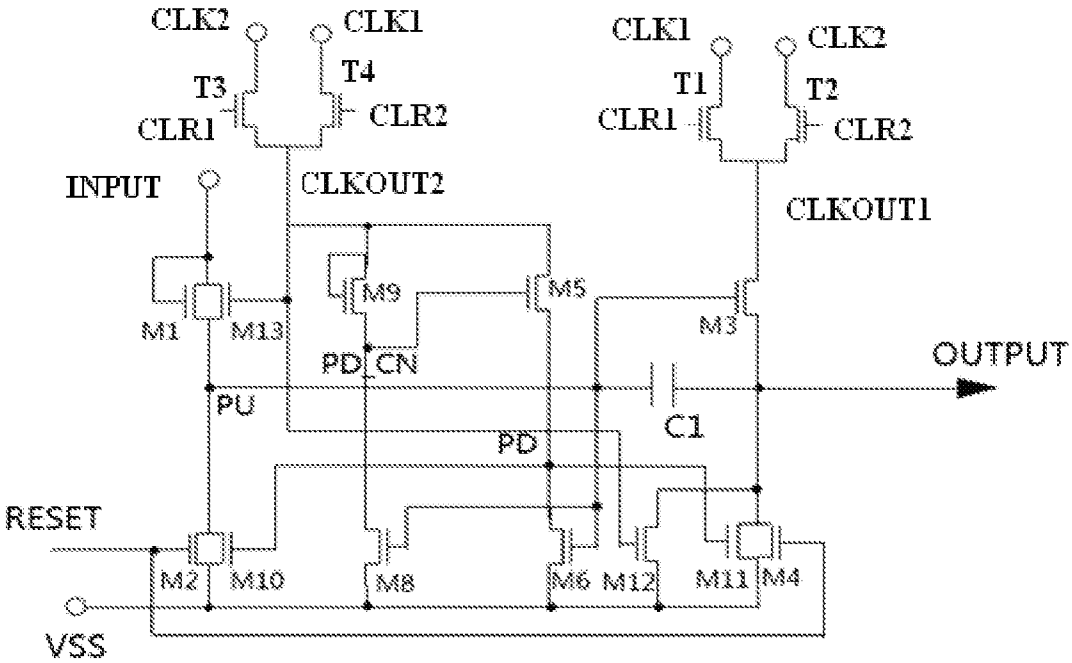

CLK2
CLK1
T3
T4
CLR1
CLR2
INPUT
CLKOUT2
CLK1
CLK2
T1
T2
CLR1
CLR2
CLKOUT1
M9
M5
M1
M13
M3
PD_CN
OUTPUT
PU
C1
PD
RESET
M2
M10
M8
M6
M12
M11
M4
VSS

图2

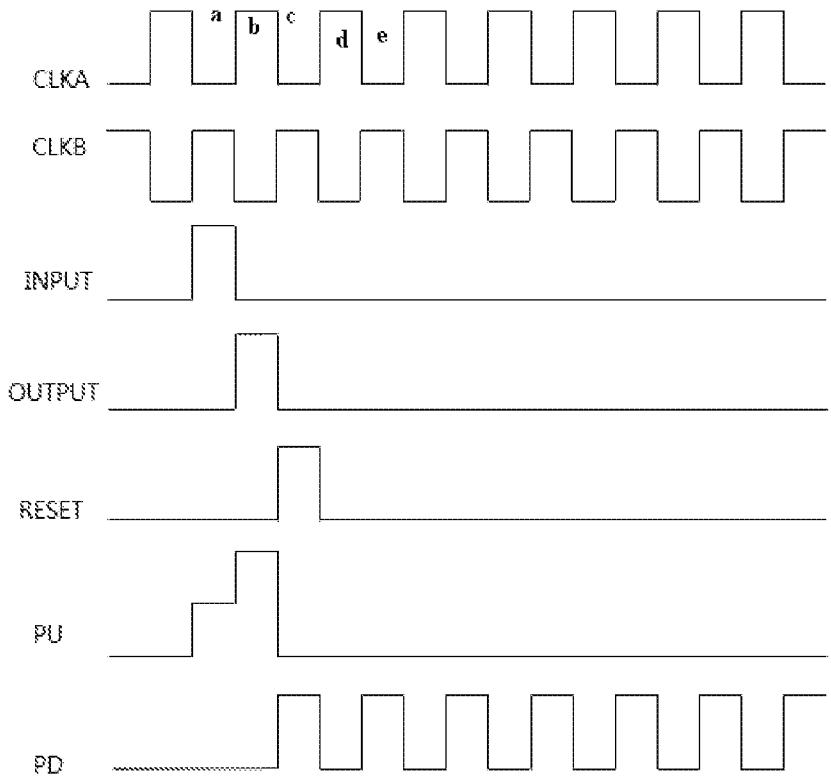


图3

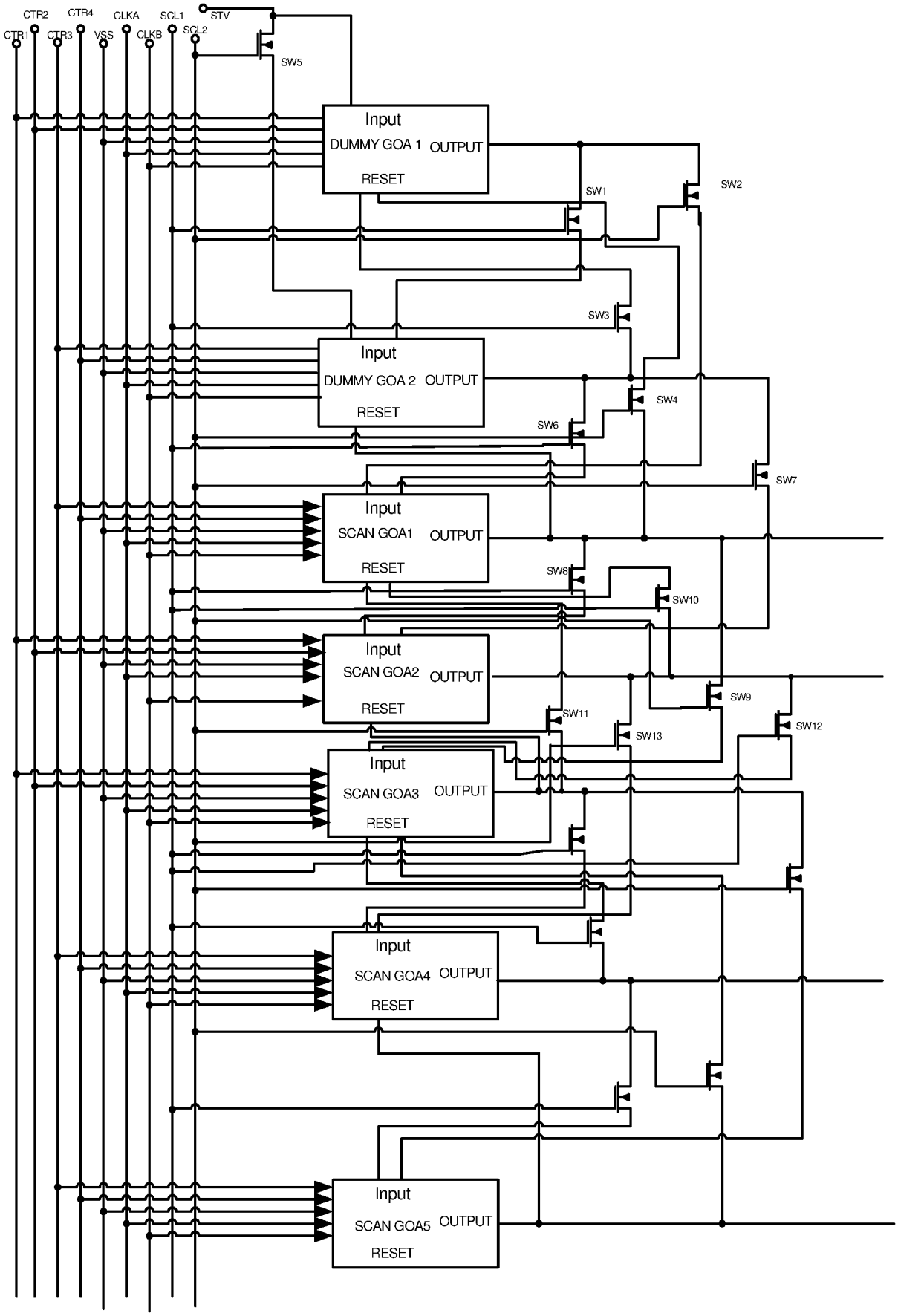

CTR2
CTR4
CLKA
SCL1
STV
CTR1
CTR3
VSS
CLKB
SCL2
SW5
Input
DUMMY GOA 1
OUTPUT
RESET
SW1
SW2
SW3
Input
DUMMY GOA 2
OUTPUT
RESET
SW4
SW6
SW7
Input
SCAN GOA1
OUTPUT
RESET
SW8
SW10
Input
SCAN GOA2
OUTPUT
RESET
SW9
SW11
SW12
SW13
Input
SCAN GOA3
OUTPUT
RESET
Input
SCAN GOA4
OUTPUT
RESET
Input
SCAN GOA5
OUTPUT
RESET

图 4

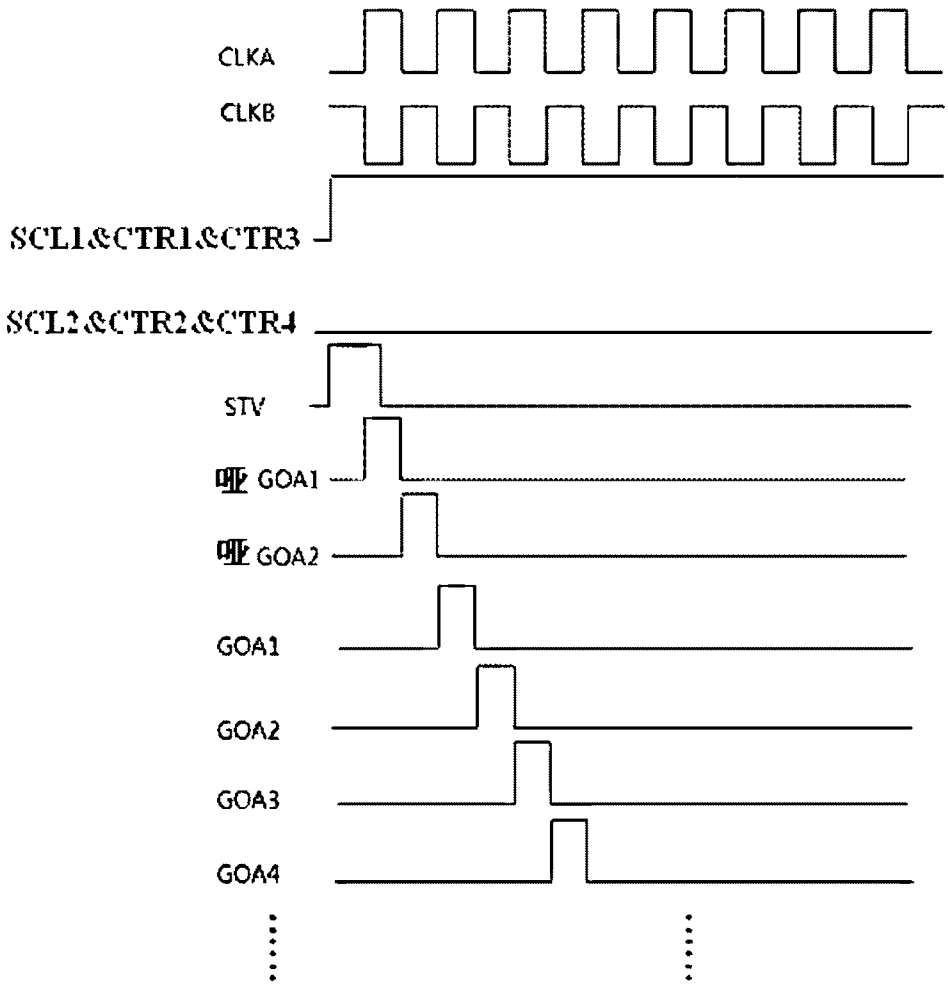

CLKA
CLKB
SCL1&CTR1&CTR3
SCL2&CTR2&CTR4
STV
GOA1
GOA2
GOA1
GOA2
GOA3
GOA4

图 5

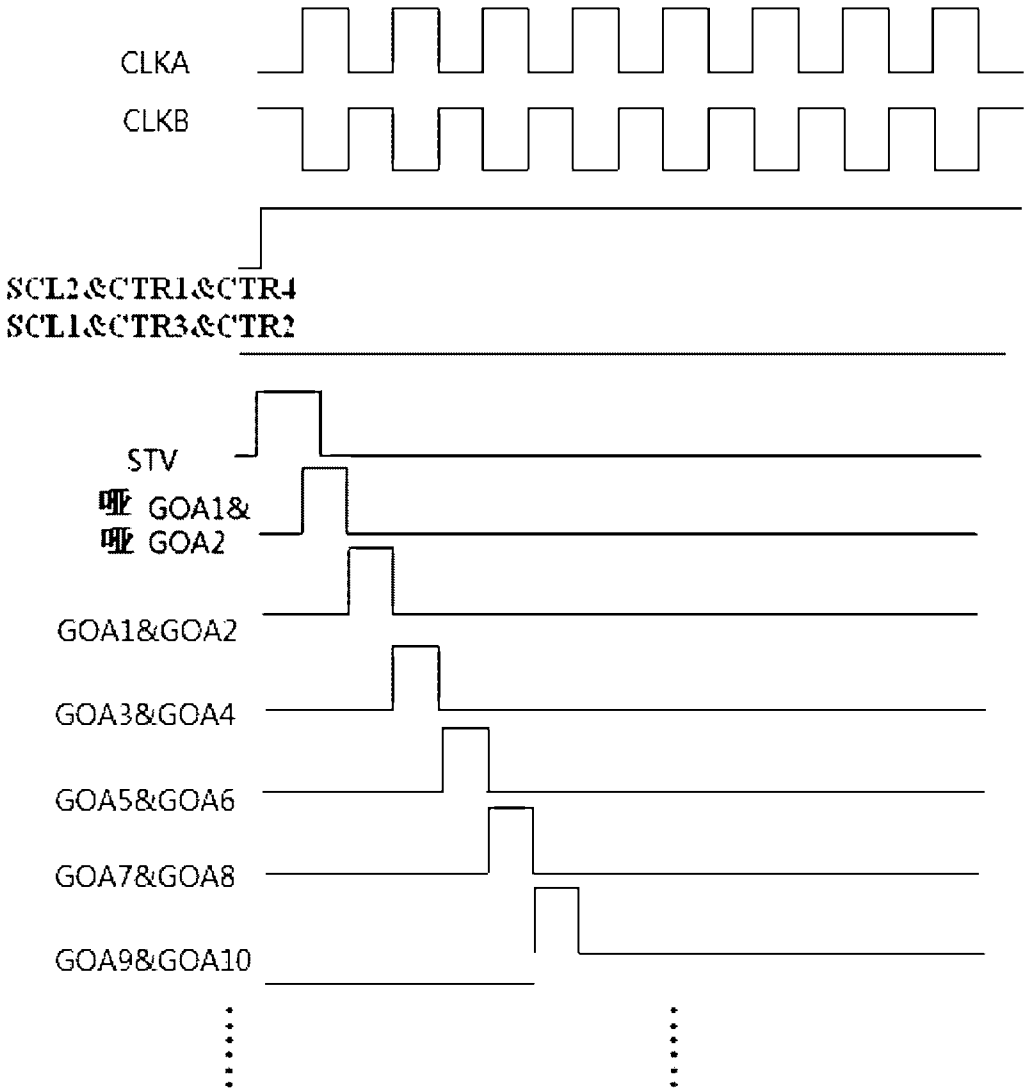

CLKA
CLKB
SCL2&CTR1&CTR4
SCL1&CTR3&CTR2
STV
哑 GOA1&
哑 GOA2
GOA1&GOA2
GOA3&GOA4
GOA5&GOA6
GOA7&GOA8
GOA9&GOA10

图6

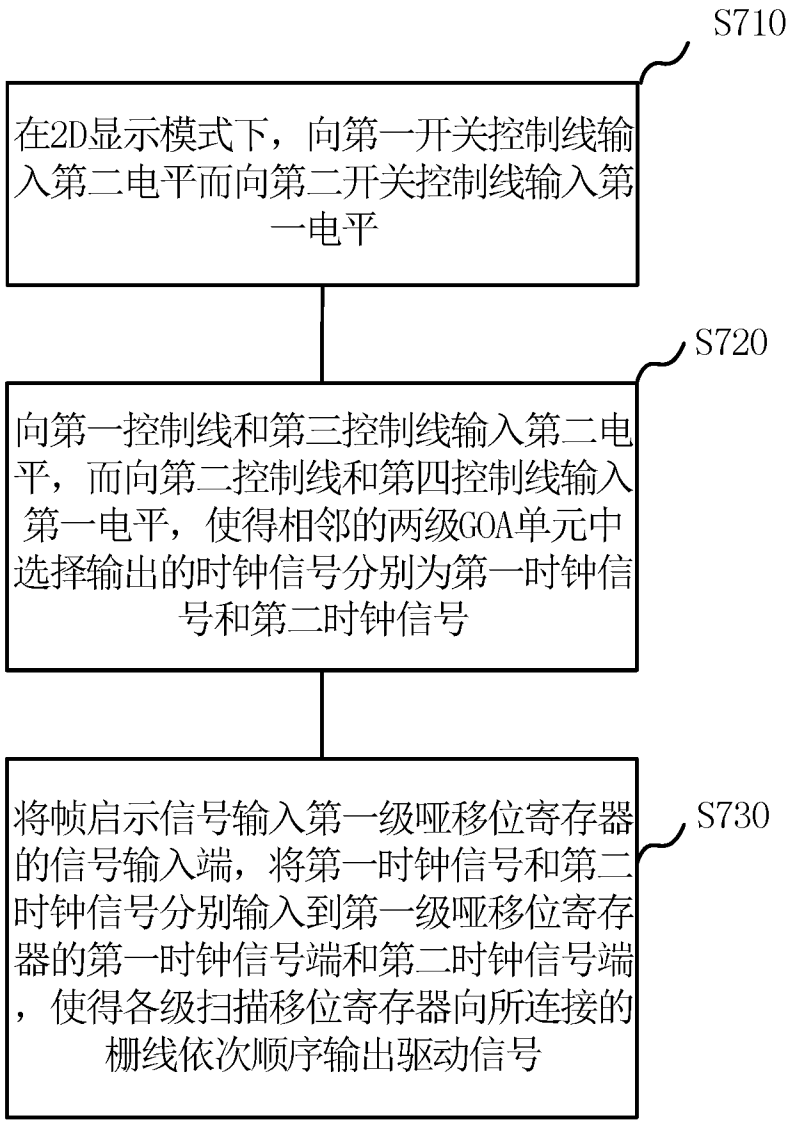

S710
在2D显示模式下，向第一开关控制线输入第二电平而向第二开关控制线输入第一电平
S720
向第一控制线和第三控制线输入第二电平，而向第二控制线和第四控制线输入第一电平，使得相邻的两级GOA单元中选择输出的时钟信号分别为第一时钟信号和第二时钟信号
S730
将帧启示信号输入第一级哑移位寄存器的信号输入端，将第一时钟信号和第二时钟信号分别输入到第一级哑移位寄存器的第一时钟信号端和第二时钟信号端，使得各级扫描移位寄存器向所连接的栅线依次顺序输出驱动信号

图7

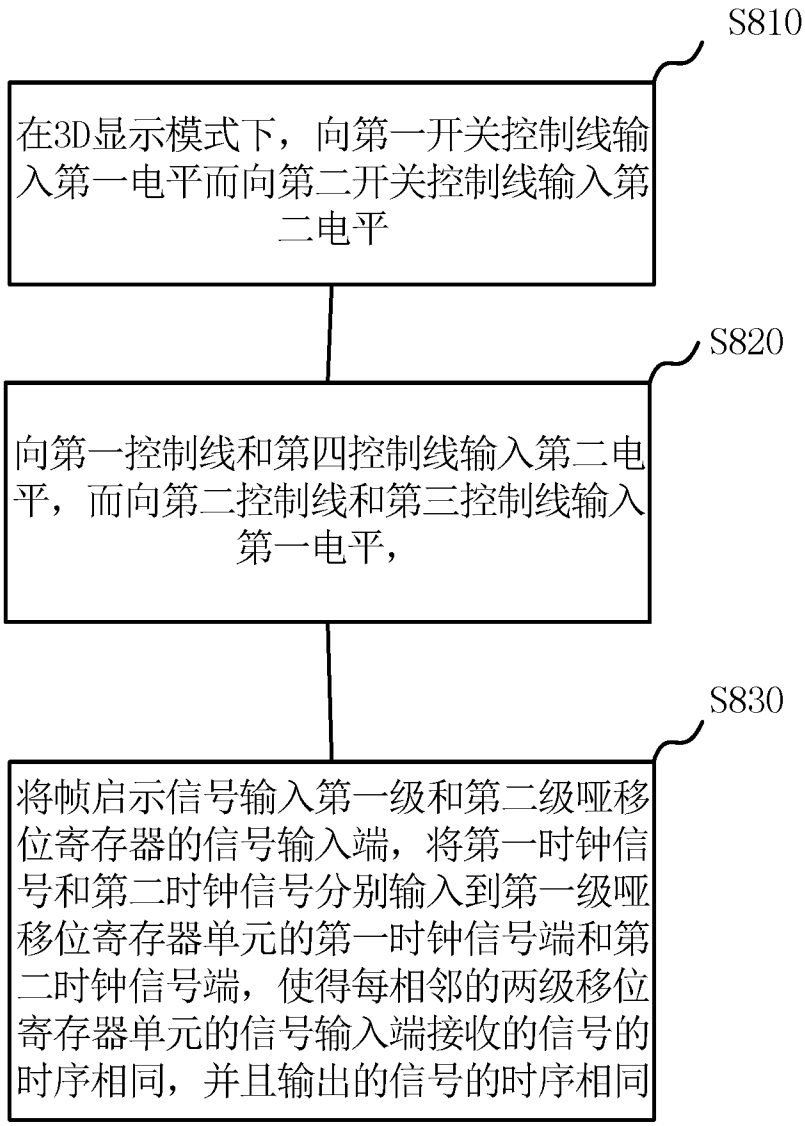

S810
在3D显示模式下，向第一开关控制线输入第一电平而向第二开关控制线输入第二电平
S820
向第一控制线和第四控制线输入第二电平，而向第二控制线和第三控制线输入第一电平，
S830
将帧启示信号输入第一级和第二级哑移位寄存器的信号输入端，将第一时钟信号和第二时钟信号分别输入到第一级哑移位寄存器单元的第一时钟信号端和第二时钟信号端，使得每相邻的两级移位寄存器单元的信号输入端接收的信号的时序相同，并且输出的信号的时序相同

图8

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/104812

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i; G11C 19/28 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G, G11C

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: 京东方, 上拉, 下拉, 输入, 输出, 复位, 置位, 初始化, 时钟, 第二, 第 2, 选择, 切换, 移动寄存, 栅极驱动, 扫描驱动, 开关, 晶体管, 3D, 2D, GOA, scan+, reset+, input+, output+, clock, select+, switch, second, register

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 106875911 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 20 June 2017 (20.06.2017), claims 1-15	1-15
A	CN 105741808 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 06 July 2016 (06.07.2016), description, paragraphs [0045]-[0061], and figure 3	1-15
A	CN 104078017 A (HEFEI BOE OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 01 October 2014 (01.10.2014), entire document	1-15
A	CN 105047120 A (SHANGHAI TIANMA MICRO-ELECTRONICS CO., LTD. et al.), 11 November 2015 (11.11.2015), entire document	1-15
A	CN 105938711 A (BOE TECHNOLOGY GROUP CO., LTD. et al.), 14 September 2016 (14.09.2016), entire document	1-15
A	CN 105096861 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 25 November 2015 (25.11.2015), entire document	1-15

☒ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
21 December 2017	16 January 2018
Name and mailing address of the ISA State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No. (86-10) 62019451	Authorized officer LI, Wenfei Telephone No. (86-10) 62414006

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2017/104812

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	KR 20090110750 A (LG DISPLAY CO., LTD.), 22 October 2009 (22.10.2009), entire document	1-15

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2017/104812

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 106875911 A	20 June 2017	None	
CN 105741808 A	06 July 2016	WO 2017190521 A1	09 November 2017
CN 104078017 A	01 October 2014	US 9478311 B2	25 October 2016
		US 2015371716 A1	24 December 2015
		CN 104078017 B	11 May 2016
CN 105047120 A	11 November 2015	None	
CN 105938711 A	14 September 2016	None	
CN 105096861 A	25 November 2015	WO 2017020327 A1	09 February 2017
		US 2017162149 A1	08 June 2017
KR 20090110750 A	22 October 2009	KR 101372959 B1	12 March 2014

国际检索报告

国际申请号 PCT/CN2017/104812

A. 主题的分类

G09G 3/36(2006.01)i；G11C 19/28(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G G11C

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT,CNKI,WPI,EPODOC:京东方，上拉，下拉，输入，输出，复位，置位，初始化，时钟，第二，第2，选择，切换，移动寄存，栅极驱动，扫描驱动，开关，晶体管，3D，2D，GOA， scan+， reset+， input+， output+， clock, select+， switch， second， register

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
PX	CN 106875911 A (京东方科技集团股份有限公司 等) 2017年 6月 20日 (2017-06-20) 权利要求1-15	1-15
A	CN 105741808 A (京东方科技集团股份有限公司 等) 2016年 7月 6日 (2016-07-06) 说明书第[0045]-[0061]段，附图3	1-15
A	CN 104078017 A (合肥京东方光电科技有限公司 等) 2014年 10月 1日 (2014-10-01) 全文	1-15
A	CN 105047120 A (上海天马微电子有限公司 等) 2015年 11月 11日 (2015-11-11) 全文	1-15
A	CN 105938711 A (京东方科技集团股份有限公司 等) 2016年 9月 14日 (2016-09-14) 全文	1-15
A	CN 105096861 A (武汉华星光电技术有限公司) 2015年 11月 25日 (2015-11-25) 全文	1-15

☑ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2017年 12月 21日	2018年 1月 16日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 李文斐 电话号码 (86-10)62414006

表 PCT/ISA/210 (第2页) (2009年7月)

国际检索报告

国际申请号
PCT/CN2017/104812

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	KR 20090110750 A (LG DISPLAY CO., LTD.) 2009年 10月 22日 (2009-10-22) 全文	1-15

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2017/104812

检索报告引用的专利文件			公布日（年/月/日）	同族专利			公布日（年/月/日）
CN	106875911	A	2017年 6月 20日	无			
CN	105741808	A	2016年 7月 6日	WO	2017190521	A1	2017年 11月 9日
CN	104078017	A	2014年 10月 1日	US	9478311	B2	2016年 10月 25日
				US	2015371716	A1	2015年 12月 24日
				CN	104078017	B	2016年 5月 11日
CN	105047120	A	2015年 11月 11日	无			
CN	105938711	A	2016年 9月 14日	无			
CN	105096861	A	2015年 11月 25日	WO	2017020327	A1	2017年 2月 9日
				US	2017162149	A1	2017年 6月 8日
KR	20090110750	A	2009年 10月 22日	KR	101372959	B1	2014年 3月 12日