



# (12)发明专利申请

(10)申请公布号 CN 108140613 A

(43)申请公布日 2018.06.08

(21)申请号 201680056648.8

(22)申请日 2016.07.29

(30)优先权数据

62/267,174 2015.12.14 US

(85)PCT国际申请进入国家阶段日

2018.03.28

(86)PCT国际申请的申请数据

PCT/US2016/044800 2016.07.29

(87)PCT国际申请的公布数据

W02017/105554 EN 2017.06.22

(71)申请人 电路种子有限责任公司

地址 美国加利福尼亚州

(72)发明人 S·M·朔贝尔 R·C·朔贝尔

(74)专利代理机构 北京林达刘知识产权代理事务  
所(普通合伙) 11277

代理人 刘新宇

(51)Int.Cl.

H01L 21/8238(2006.01)

H01L 27/092(2006.01)

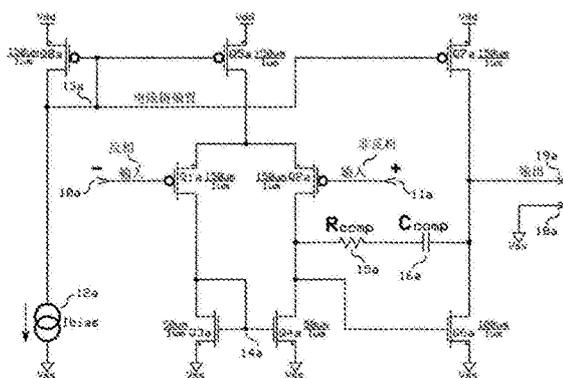
权利要求书3页 说明书23页 附图36页

## (54)发明名称

过饱和和电流场效应晶体管和跨阻抗MOS装置

## (57)摘要

本发明涉及对基于新颖及创造性复合装置结构的电流场效应晶体管和跨阻抗MOS装置的改进,所述复合装置结构实现基于电荷的利用亚阈值操作的方法,所述方法用于设计模拟CMOS电路。本发明进一步涉及过饱和和电流场效应晶体管(xiFET),其具有源极、漏极、扩散、第一栅极和第二栅极端子,其中源极沟道界定于所述源极端子与所述扩散端子之间,漏极沟道界定于所述漏极端子与所述扩散端子之间。所述第一栅极端子电容耦合到所述源极沟道;且所述第二栅极端子电容耦合到所述漏极沟道。所述扩散端子接收引起整个所述源极和漏极沟道中的扩散电荷密度的改变的电流。所述xiFET提供用于设计各种模拟电路的基本构建块。



现有技术

1. 一种场效应晶体管,包括:  
a. 第一导电类型的半导体衬底,具有  
源极端子、漏极端子、扩散端子、第一栅极端子和第二栅极端子;  
源极沟道界定于所述源极端子与扩散端子之间;  
漏极沟道界定于所述漏极端子与扩散端子之间;  
所述第一栅极端子电容耦合到所述源极沟道;以及  
所述第二栅极端子电容耦合到所述漏极沟道;  
其中所述扩散端子接收引起整个所述源极和漏极沟道中的扩散电荷密度的改变的电流。

2. 一种复合晶体管,包括:  
a. N型场效应晶体管(NxiFET)和P型场效应晶体管(PxiFET),各自包括:  
i. 对应导电类型的半导体衬底,具有  
源极端子、漏极端子、扩散端子、第一栅极端子和第二栅极端子;  
源极沟道界定于所述源极端子与扩散端子之间;  
漏极沟道界定于所述漏极端子与扩散端子之间;  
所述第一栅极端子电容耦合到所述源极沟道;以及  
所述第二栅极端子电容耦合到所述漏极沟道;  
其中所述扩散端子接收引起整个所述源极和漏极沟道中的扩散电荷密度的改变的电流;

其中  
所述NxiFET的所述源极端子接收负供电电压;  
所述PxiFET的所述源极端子接收正供电电压;  
所述NxiFET的所述漏极端子和所述PxiFET的所述漏极端子耦合在一起以形成输出;以及  
所述NxiFET的所述第二栅极端子和所述PxiFET的所述第二栅极端子耦合在一起以形成输入。

3. 一种焦平面阵列读出,包括:  
a. P型电流场效应晶体管(PiFET)和N型电流场效应晶体管(NxiFET),  
i. 所述PiFET包括对应导电类型的半导体衬底,所述半导体衬底具有  
源极端子、漏极端子、扩散端子和栅极端子;  
源极沟道界定于所述源极端子与所述扩散端子之间;  
漏极沟道界定于所述漏极端子与所述扩散端子之间;  
所述栅极端子电容耦合到所述源极沟道和所述漏极沟道;以及  
其中所述扩散端子接收引起整个所述源极和漏极沟道中的扩散电荷密度的改变的电流;  
ii. 所述NxiFET包括对应导电类型的半导体衬底,所述半导体衬底具有  
源极端子、漏极端子、扩散端子、第一栅极端子和第二栅极端子;  
源极沟道界定于所述源极端子与扩散端子之间;  
漏极沟道界定于所述漏极端子与扩散端子之间;

所述第一栅极端子电容耦合到所述源极沟道;以及  
所述第二栅极端子电容耦合到所述漏极沟道;  
其中所述扩散端子接收引起整个所述源极和漏极沟道中的扩散电荷密度的改变的电流;

其中所述PiFET的所述漏极端子和所述NxiFET的所述漏极端子连接在一起以形成输出;

所述PiFET的所述源极端子耦合到正电源;

所述NxiFET的所述源极端子耦合到负电源;

所述PiFET的所述扩散端子接收增益控制信号;

所述PiFET的所述栅极端子接收偏置电压;

b. 开关,可通过具有第一相位及第二相位的选择信号操作;以及

c. 电容器,用于存储来自光电二极管的像素电压,所述电容器具有第一和第二端子,所述电容器的所述第二端子耦合到所述负电源,且所述电容器的所述第一端子从所述光电二极管接收所述像素电压,且所述第一端子耦合到所述NxiFET的所述第二栅极端子;

其中,在所述选择信号的所述第一相位期间,所述开关使所述偏置电压与所述NxiFET的所述第一栅极端子耦合;

在所述选择信号的所述第二相位期间使所述负电源与所述第一栅极端子耦合。

4. 一种锁存电流比较器,包括:

a. 差分放大器,用于放大第一输入与第二输入之间的差,所述第一和第二输入中的每个具有负极性输入和正极性输入,所述差分放大器包括:

i. 第一对互补的第一n型电流场效应晶体管(NiFET)和第一p型电流场效应晶体管(PiFET);

ii. 第二对互补的第二NiFET和第二PiFET;以及

iii. 第三对互补的第三NiFET和第三PiFET;以及

b. 一种比较器,包括:

i. 第四对互补的第四NiFET和第四PiFET;

ii. 第五对互补的第五NiFET和第五PiFET;

iii. 多个开关,可对在启动相位和设置相位交替的控制信号进行操作;

iv. 第一电容器和第二电容器,各自具有第一端子和第二端子;

其中所述NiFET和PiFET中的每个包括:

PiFET和NiFET中的所述每个的源极端子、漏极端子、栅极端子和对应导电类型的扩散端子,界定所述源极端子与所述扩散端子之间的源极沟道以及所述漏极端子与所述扩散端子之间的漏极沟道,所述扩散端子引起整个所述源极和漏极沟道中的所述扩散电荷密度的改变,且所述栅极端子电容耦合到所述源极沟道和所述漏极沟道;

其中所述PiFET的所述栅极端子和所述NiFET的所述栅极端子连接在一起以形成用于所述每个互补对的共用栅极端子,所述每个互补对的所述NiFET的所述源极端子连接到负电源且所述每个对的所述PiFET的所述源极端子连接到正电源,且所述每个互补对的所述NiFET和所述PiFET的漏极端子连接在一起以形成输出;以及其中所述第一互补对的所述共用栅极、所述第二互补对的所述共用栅极和所述第三互补对的所述共用栅极与所述第二互

补对的所述输出连接以用于产生偏置电压输出；

所述第三PiFET的所述扩散端子接收所述第一输入的所述负极性输入；

所述第一PiFET的所述扩散端子接收所述第一输入的所述正极性输入；

所述第三NiFET的所述扩散端子接收所述第二输入的所述负极性输入；

所述第一NiFET的所述扩散端子接收所述第二输入的所述正极性输入；以及

所述第一互补对的所述输出形成所述差分放大器的正电压输出；

所述第三互补对的所述输出形成所述差分放大器的负电压输出；

其中所述第四互补对的所述输出通过所述第二电容器电容耦合到所述第五互补对的所述输入；

所述第一电容器的所述第二端子耦合到所述第四互补对的所述输入；

在所述控制信号的所述设置相期间，所述多个开关使所述差分放大器的所述正电压输出与所述第一电容器的所述第一端子耦合，通过将所述第四互补对的所述输出连接到所述第四互补对的所述输入而使所述第四互补对自偏置，且通过将所述第五互补对的所述输出连接到所述第五互补对的所述输入而使所述第五互补对自偏置；

在所述控制信号的所述启动相期间，所述多个开关使所述差分放大器的所述负电压输出耦合到所述第一电容器的所述第一端子，且使所述第五互补对的所述输出耦合到所述第四互补对的所述输入。

## 过饱和电流场效应晶体管和跨阻抗MOS装置

[0001] 相关申请的交叉引用

[0002] 不适用。

### 技术领域

[0003] 本发明涉及对基于新颖及创造性复合装置结构的电流场效应晶体管和跨阻抗MOS装置的改进,所述复合装置结构实现基于电荷的利用亚阈值操作的方法,所述方法用于设计模拟CMOS电路。本发明进一步涉及过饱和电流场效应晶体管。

### 背景技术

[0004] 相关技术的描述

[0005] 随着新千年到来对连接的需求量正极快速地扩增。到2015年末,全球网络连接数量将超出世界人口的两倍,并且估计在2020年超过300亿个装置将无线地连接到云端形成物联网(或“IoT”)。实现这一新时代的是在过去二十年中已经出现的移动计算和无线通信的革命性发展。根据摩尔定律(Moore's Law),开发高集成度且具成本效益的硅互补金属氧化物半导体(CMOS)装置允许将例如大型模/数转换器或收发器等数字和模拟系统元件合并成更具成本效益的单芯片解决方案。

[0006] 然而,在过去几年里,虽然数字电路在很大程度上遵循了预测路径,并且从将CMOS技术扩展到超深亚微米(亚- $\mu\text{m}$ )获益,但是模拟电路尚未实现遵循同样的趋势,并且在模拟设计没有范式转移的情况下可能永远无法实现。模拟和射频(或“RF”)设计人员仍在努力探索如何制造高性能集成电路(或“IC”)以实现超深亚- $\mu\text{m}$ 特征大小而不会损失缩小大小的优点;包含功率降低、覆盖面紧凑且可操作频率更高。要突破现有的模拟设计科学以满足新千年片上系统(SoC)的要求,需要真正的模式上的转变。

[0007] 现有技术:

[0008] 模拟电路的核心构建块是放大器。离散组件放大器自由使用电阻器、电容器、电感器、变压器和非线性元件以及各种类型的晶体管。通常可忽略各种组件之间不合需要的寄生效应。然而,为了在集成电路内构建放大器,无法轻易获得正常的模拟电路组件,且如果真要如此的话,通常采用特殊IC过程扩展以获得这些电路元件。由于集成电路放大器极为靠近且通过其所集成到的硅晶片耦合在一起,因此集成电路放大器上的寄生效应较严重。摩尔定律IC工艺进步集中于数字、微处理器和存储器工艺发展。由于需要一代(约18个月)或两代来扩展IC工艺以并入模拟组件,因此最新工艺单芯片系统上一般并未包含模拟功能。这些“混合模式”IC工艺不易获得、依赖于厂商且较贵以及高度受制于参数变化。需要大量工程改造以在变得特定于其IC厂商和工艺节点的任何IC上包含稀少的模拟功能。由于针对每个工艺节点谨慎且特别地设计或布置模拟电路,因此这类模拟电路极不便携。由于排斥这种限制,模拟电路设计工程师变得稀少且慢慢退休而无足够替代。

[0009] 运算放大器(或运放)是处理模拟信息所必要的基本IC模拟增益块。运放利用晶体管极高匹配对在电压输入处形成晶体管差分对。匹配是在集成电路上易于获得的参数,

但为了达到所需等级的匹配,会使用许多考虑因素:相同质心布局、多个大型装置、阱隔离度和物理布局技术,以及许多其它考虑因素。大面积匹配的晶体管组还用于电流镜和负载装置。运放需要电流源以用于偏置。运放另外需要电阻器和电容器(或RC)补偿极以防止振荡。电阻器对于“R”来说必不可少,且RC时间常数的值相对精确。电阻器的值过大将会使放大器过慢且过小,从而导致振荡。恒定的“偏置”电流增加了消耗的功率。一般来说,这些偏置电流想要大于全信号操作期间所需的峰值电流。

[0010] 由于IC工艺收缩,阈值电压保持略微恒定。这是因为金属氧化物半导体(或MOS)阈值截止曲线基本上不随IC工艺的收缩而改变,且总的芯片关态漏电流必须保持小得足以不影响全芯片电源泄漏。所述阈值和饱和电压往往会占用整个电源电压,从而不为模拟电压摆幅保留足够空间。为了适应这种信号摆幅电压缺乏,运放设置有多组电流镜,从而进一步使其设计变得复杂,同时消耗更多功率且使用额外的物理布局面积。本专利引入在电源电压收缩远低于1伏时甚至运行得更好的放大器设计。

[0011] 常规MOS放大器增益形成是驱动将输入电压转换成输出电流的跨导( $g_m$ )的输入电压。此输出电流接着驱动输出负载,出于建立高负载电阻的目的,所述输出负载通常是电流源的输出。这个高电阻负载将输出电流转换回到输出电压。等效输出负载电阻实际上是负载电流源晶体管和放大器输出晶体管的并联组合。为了使这种等效负载电阻保持高位以提供所需的电压增益,这些负载晶体管必须极长,但为了驱动足够的电流,这些晶体管还必须极宽,因此极大的晶体管是必要的。还可能注意到,放大器输出所驱动的负载电阻是减小电压增益的额外并联电阻。还应注意,负载电容与放大器输出电阻交互,从而修改AC性能。实际上需要的是完全相反的工作原理,这是本发明相关的内容。图1a是作为基线参考的高质量MOS IC运放的晶体管级示意图(出自Wiley教本:《模拟集成电路的分析和设计(Analysis and Design of Analog Integrated Circuits)》,Gray等著,第4版,第482页),其用于本文所示放大器的描述中的比较。

[0012] 基线比较(全在180nm IC工艺中进行)呈性能曲线图形式,就如图1b的在 $V_{dd}=1.8$ 伏且 $R_{comp}=700$ 欧姆时基于频率的Bode增益-相位曲线图。只要可能,这三个比较曲线图中的每一个的所有轴标度均保持相同。本文件中选择易于获得的180nm工艺以比较所有比较实例是因为,常规现有技术放大器运作最好且已具有最高程度的使用,且提供常规模拟所需的成熟的混合模式IC工艺扩展。而且由于IC工艺收缩以及电源电压降低,这也是本发明的实施方案变得高度有益之处。

[0013] 通常,MOS放大器因强反型MOS晶体管平方律特性而在平方律关系内操作;这些特性并未充分界定或可预测地稳定在模拟电路所需的程度。像双极晶体管操作等指数律操作则增益更高、稳定且充分界定。在极弱操作条件下,MOS晶体管转换成指数运算,但所述晶体管过于缓慢而作用不多。此外,这两种操作模式之间的“中等反型”转变提供降低模拟MOS电路的质量的非青铅矿。在MOS晶体管大约操作的阈值电压下,50%的电流是平方律,而另外50%是指数律。这是最新MOS模拟方程中的阈值电压的定义。高速下的全指数MOS操作将提供可预测、稳定且充分界定的较高增益。本专利有关以指数模式操作的放大器。

[0014] 为了理解现有技术,我们开始论述弱反型与强反型。参考图1e和1f,弱反型是大多数设计者将认为晶体管是关态的范围:

[0015] ●漏极到源极电压小(约100mV);

- [0016] ●栅极G(或17s)处于类似的小电势(通常小于300mV);
- [0017] ●这产生从源极S到漏极D的均一深度的表面导电层;
- [0018] ●此表面层的导电性是相对于栅极G电压的指数;
- [0019] ●这允许在多个十倍(约6个)动态范围内的操作;
- [0020] ●沟道呈现为中等值电阻器( $100^+$ 千欧姆);以及
- [0021] ●均一深度的导电沟道促进在指数律上较高的增益,但损失了速度(归因于导电沟道中的低电荷密度)。

[0022] 强反型(参考图1g和1h)的特征在于分级式导电沟道,在靠近源极处较深且在靠近漏极处较浅:

- [0023] ●漏极到源极电压大于图1g的栅源电压 $V_g$ 和图1h中的阈值 $V_{\text{阈值}}$ (通常超过400mV);
- [0024] ●栅极17u在高于其阈值电压 $V_{\text{阈值}}$ 下操作;
- [0025] ●这产生在源极处较深且逐渐减小到漏极12u处几近夹断的导电沟道;
- [0026] ●所得导电层表现得对栅极17u处的栅极电压作出平方律响应;
- [0027] ●与弱反型相比,动态范围限于约3个十倍;
- [0028] ●沟道12g呈现为可调整电流源(高值电阻器);以及
- [0029] ●导电沟道12g的楔形形状因导电沟道中的更高电荷密度而提供比弱反型高的速度。

[0030] 现在返回参考图1e,其示出在弱反型条件下的沟道12e发展。导电沟道12e在其整个长度和宽度上具有相对均匀的载流子分布。应注意,整个沟道的导电深度 $10_s$ 与图1g右侧的夹断区域12u相同。这种薄的导电层因沟道电流沿着载流子缺陷陷阱集中的表面行进而促成大量噪声。图1e中的栅极17s到沟道的电压 $V_g$ 对此导电层中的载流子密度具有很强(指数)影响。

[0031] 图1g示出在强反型条件下的沟道12u发展。源极与漏极之间在栅极17u上的较高势差引起“沟道长度调制”(沟道12u的平坦部分),从而在漏极扩散附近产生夹断,沟道在所述漏极扩散处止于靠近12u的薄层。夹断区域12u(载流子在此处被迫去往沟道顶部)通过表面缺陷载流子陷阱传递大量噪声。漏极电压 $V_d$ 越高,夹断区域越长,且因此所产生的噪声越高,因此期望将此电压保持低位以使提供到沟道电流的噪声较低。在此薄的饱和夹断区域注意到速度饱和以及热电子跃入栅氧化层等其它效应,因此通过降低电压和半导体掺杂分布来最小化此区域将是十分合乎需要的。

[0032] 图1h示出特性曲线图,其呈现漏极电流 $I_d$ 与漏极电压 $V_{ds}$ 之间在栅极G的固定栅极电压 $V_g$ 的情况下的“恒定电流”关系。应注意,与图1f的有限漏极电压范围相反,漏极电压 $V_{ds}$ 横跨近似电源电压 $V_{dd}$ 的较大范围,同时维持相同的电流。

[0033] 图1i到1k图示最终实际上组合了两个操作模式的现有技术MOS结构,通常称为CMOS反相器。一对具有相反导电性的MOSFET,即PFET和NFET,彼此互补连接。举例来说,输入10i、10j、10k连接到PFET的栅极控制端子和NFET的栅极控制端子,PFET的源极连接到电源(+),而NFET的源极端子连接到电源(-);以及PFET的漏极和NFET的漏极连接在一起以用于 $V_{\text{输出}19i}$ 。

[0034] 图1j示出与图1k中所示的物理布局抽象图相关的结构,其为现有技术的2倍强度CMOS或两指反相器。如上文所陈述,PFET和NFET的栅极端子连接在一起以接收 $V_{\text{输入}10j}$ 和

10k,且PFET和NFET的漏极端子连接在一起以用于产生 $V_{\text{输出}19j}$ 和19k。图1k中所示的布局在结构上对应于图1i的布局。如可见,为了最小化常规FET布局中的各种缺点,例如最小化寄生输出电容,举例来说,将PFET的源极端子分成两个源极端子 $S^+$ 和 $S^+$ ,且将漏极端子 $D+12k$ 在其间移位以在 $S^+$ 与 $D+12k$ 之间形成一对并联沟道14k和16k;栅极G的p沟道区域覆盖并联沟道14k和16k。通过阱边界WB的分割,也为NFET提供一对源极端子 $S^-$ 和 $S^-$ ,且将其漏极端子 $D-11k$ 在其间移位以在 $S^-$ 与 $D^-$ 之间形成一对并联沟道13k和15k;栅极G的n沟道区域另外覆盖并联沟道13k和15k。漏极12k和11k通过金属工件18k连接于其间且形成 $V_{\text{输出}19k}$ 。

[0035] 图1m中示出此MOS晶体管结构的3维预期视图,而图1m中的截面AA处的横截面图在图1n中示出。此结构是如图1j和1k中所示的2倍或两指反相器中所固有的。如在PFET中的并联沟道14k和16k处以及并联沟道13k和15k处可见,所有这些沟道从漏极 $D^+$ 、 $D^-$ 到源极 $S^+$ 、 $S^-$ 逐渐减小。

[0036] 尽管现有技术中有类似MOS结构,但对其许多独特特性的大量发掘并不为人所知或得以公布。另外,适当偏置对于其操作来说仍是个问题。对内部机制的较深理解引起对许多合乎需要的应用的发现(从而实现以深亚微米尺度实现优异操作),包含利用自然平衡达到适当偏置的方法。这种自然平衡是同样在深亚微米尺度下有作用的“带隙”电压参考机制的结果。

[0037] 参考图1p和1q,一些参考物示出具有“导电类型”相同的由扩散区11p(在现有技术中指定为代表低阻抗的Z)分隔开的两个相同区域13p/13q和15p/15q的MOS场效应晶体管装置。喷气推进实验室(Jet Propulsion Lab)的Bedabrata Pain/R Schober和博伊西州立大学(Boise State University)的Jacob Baker/Vishal Saxena的多篇论文,包含加州理工学院(California Institute of Technology)空间微电子技术喷气推进实验室中心(Center for Space Microelectronics Technology Jet Propulsion Laboratory)的Pain, Bedabrata等人的《用于低功率应用的自身共源共栅CMOS电路(A Self-Cascoding CMOS Circuit for Low-Power Applications)》,其中含有此类参考件,但这些参考件,尤其是在类似这样的互补装置如将在本发明中解释的组合成单个复合装置的情况下,并未发掘如本文件中所示的任何机会。此类配置被称为自级联或分离长度装置。此类配置的两个区域布置在源极与漏极扩散之间,且具有到中间沟道区域的高阻抗共栅极连接和低阻抗连接。此低阻抗中间沟道控制输入在如本文件中概述的加以利用时实现全新的一组模拟设计方法。

[0038] 尽管现有技术中可发现级联放大器,但现有技术并不含有作为图腾柱连接的级联晶体管互补对。利用此简单复合结构,从输出到输入的反馈可用于将所得反相器自偏置到其线性模式中。如上文所提及,放大器的偏置始终存在问题;然而,本发明的新颖和创造性自偏置结构会解决此类问题。本发明的配置(称为互补iFET或CiFET)有许多优点,包括但不限于:

[0039] ●单级增益在输出处于中间点(自偏置点)时最大;

[0040] ●单个CiFET级的增益高(接近100),因此,虽然最终输出可能摆动接近轨,但其输入仍在中间点附近。在此之前的级因高增益而在增益被最大化的中间点(“甜蜜点”)附近操作其输入和输出。对于先前级中的每个级,同样如此;

[0041] ●沟道电流最高之处(中间点附近)的转换速率和对称性最大化;

[0042] ●沟道电流最高之处(中间点附近)的噪声最小化;以及

[0043] ●在电压摆幅小的情况下,寄生效应可忽略。

[0044] 当栅极输入信号在一个方向上移动时,输出在相反方向上移动。举例来说,正输入得到负输出并不单单因为N沟道装置更难接通,而实际上是因为P沟道装置被关断。Thevenin/Norton分析示出,通过P和N装置的电流必须完全相同,因为一个晶体管中的漏极电流除了通过互补晶体管的漏极之外没有其它地方可去;然而,跨越那些装置的电压降无须均等,但必须共计达到电源电压。归因于过饱和源极沟道,这些电压按指数律绑定在一起。这在电压增益达到峰值的低电源电压下甚至更为明显。这意味着栅源电压由穿过两个晶体管的同一且唯一漏极电流精确限定。指数具有类似时间常数或“半衰期”的独特物理性质;不管我们在给定的时间点在何处,某一时间常数之后我们将为离最终值更近的固定百分比。这是对响应于输入改变的输出移动的主要促成者的“想象”说明。这种栅极到源极操作电压的相同电流平衡还指示自偏置放大器中的“甜蜜点”可如此重复的原因。实际上,此点用作放大器输入信号的差分对类参考点。

[0045] 应注意,在从真空管到双极晶体管的转变期间,本行业经历了主要的模式上的转变,从而学到在电流而非电压方面进行思考。随着FET和MOSFET的出现,钟摆式摆动又返回到在电压方面进行思考,但已遗失或忘记许多知识。本文含有对一些旧构想以及一些新思路的重新探索,全都适用于即将到来的“当今”现有技术水平。相信本发明的固有简化会讲明那些构思的适用性和完整性。

[0046] 第一个问题可能是,始终存在对一点模拟功能的需要,然而与双极晶体管的模拟性能指标相比,MOS晶体管的几乎所有模拟性能指标明显不佳。本行业已通过使用广泛的“变通方法”来使MOS装置起作用。常规模拟设计受以下一个或多个情况约束:

[0047] ●电源电压足以偏置堆叠阈值,且晶体管大得足以供应必要的输出驱动电流而同时仍提供线性度和增益( $g_m \cdot R_L$ )所需的高输出阻抗。

[0048] ●缺乏线性信号所需的模拟IC工艺扩展(在纳米尺度不可用),更不用说具有本文展示的增强性能。

[0049] ●在较新IC工艺中的模拟设计中大多不存在电阻器、电感器和较大电容器。

[0050] 相比之下,可使双极晶体管具有高增益( $\beta$ )、更宽带宽、更宽动态范围(许多个十倍,从靠近轨直到本底噪声)、更好的匹配(存在于差分对中)以及带隙参考。利用表面缺陷下方的亚表面沟道导电进行操作的结型FET具有比双极晶体管低的噪声。同样,CiFET过饱和和源极沟道主要在栅氧化层下方的沟道表面处的缺陷下方操作。

[0051] MOS设计在上述方面较差,但具有其自身极大优点,包括但不限于:

[0052] ✓MOS装置较小且相对简单

[0053] ✓高度可扩展的

[0054] ✓高速

[0055] ✓低功率

[0056] ✓超密/高性能系统级芯片,而双极设计无法实现这一点(深亚- $\mu\text{m}$ 尺度)。

[0057] 因此,在IC上构建模拟电路始终存在问题。由于模拟电路已是集成式,围绕不良执行的模拟组件进行的工程改造已成为模拟IC设计者的首要目标。这驱动了对伴有算法发展的数字信号处理的需要,从而产生数字魔法。

[0058] 如今的模拟电路设计现实世界中,仍需要在信号处理系统的前端和后端进行信号转换。这种需要已成为深亚- $\mu\text{m}$ 尺度下的前进障碍。

[0059] 另一问题可能是,固态放大器从一开始就极具非线性。为了实现其线性,通过使用闭环(反馈)来用增大的开环增益(具有显著高于最终所需的电平)换得对实际电路增益和线性度的控制。闭环放大器需要负反馈。大多数放大器级是反相的,从而提供必要的负反馈。具有闭环的单级反相器是稳定的(不振荡)。增大的环路增益需要添加级以使得始终存在奇数个级(符号为负),从而提供必要的负反馈。虽然单级放大器本质上是稳定的,但三个级以及最为明确地,五个级是不稳定的(它们始终在振荡--因为它们是环形振荡器)。

[0060] 接着,问题便是如何恰当地补偿多级闭环放大器,同时维持合理的增益带宽乘积。这在电路级的设计必须简单的深亚微米尺度上尤其困难。严重受限的电源电压妨碍了对常规模拟设计方法的使用。另外,期望避免对模拟扩展的依赖,而是期望使用所有数字部分来实现必要的模拟功能以提高产出且减小成本。使用所有数字部分允许在尚不具有且可能永远不具有模拟扩展的工艺节点处实现模拟功能。

[0061] 长期需要集成在单个芯片上的低成本/高性能系统以用于负担得起的大容量装置,例如物联网、智能传感器和其它随处可见的装置。

## 发明内容

[0062] 本发明涉及由新颖和创造性复合装置结构构建的电路,所述复合装置结构实现基于电荷的利用下文的过饱和源极沟道的指数关系的方法,所述方法在用于模拟CMOS电路设计时拥有亚阈值类操作。本发明是普通CMOS反相器的演进和电流场效应晶体管(iFET)的进一步改进。其使用全数字纳米尺度或深亚- $\mu\text{m}$  IC工艺来提供极高精度、速度、线性度、低噪声和紧凑的物理布局。除预期的数字反相器功能之外,例示了五个类别的模拟电路:电压输入放大器、电流输入放大器、与电流镜相反的电流反相器、可调整延迟电路以及电压或电流参考源。尤其要注意,在数字IC工艺中使用单个优化的数字逻辑电路单元来实现模拟功能。

[0063] 根据本发明的另一个方面,其提供具有源极端子、漏极端子和扩散(或iPort)端子的过饱和iFET(或xiFET)装置,所述端子限定源极端子与扩散端子之间的源极沟道和漏极端子与扩散端子之间的漏极沟道。装置具有电容耦合到源极沟道的第一栅极和电容耦合到漏极沟道的第二栅极,而不具有电容耦合到源极和漏极沟道的共用栅极。

[0064] 根据本发明的另一方面,其利用掺杂分布和比值法。不必对电路的电配置执行有关优化电路的一切操作。适当的装置大小设计且尤其是调整互补晶体管之间的大小关系会提供相当多的性能益处。作为复合结构的xiFET提供广泛机会以通过物理装置参数的适当配比来建立阻抗匹配和增益控制。像噪声、速度和功率等其它重要特性可通过晶体管的物理构造和掺杂的谨慎规范进行定制,而非仅仅依靠于电路配置。

[0065] 根据本发明的又一方面,其提供某些噪声优点。最终,其归结为信噪比。超深亚微米IC工艺中的低电源电压要求将最大信号摆幅限制于比大多数模拟设计师所习惯的小得多的数值。因此在较小信号的情况下,必须采用本文实施的低噪声技术以便维持所要的信噪比。

[0066] 本发明可提供额外优点。此技术呈现的主要优点是在无模拟扩展的情况下产生完全从数字部分构造出的模拟构建块的能力。同样重要的情况是,所述技术实际上在超深亚

微米尺度下操作,且在降低的电源电压下操作得最好,所述降低的电源电压低于超深亚- $\mu\text{m}$  IC工艺所需的一伏。这三个因素促成前所未有的跨越工艺节点的设计便携性。将因具有多于一个控制输入的FET而实现全新的电路设计。所述CiFET在栅极上提供高阻抗电压控制,而同时在iPort处提供低阻抗电流控制。这两种输入彼此独立地操作,且在输出处对它们独立的响应进行求和。

[0067] 根据本发明的又一方面,其提供互补xiFET复合装置,可配置成电流输入放大器或互补电流低噪声放大器(CxiLNA)。举例来说,用作电流放大器的CxiFET复合装置提供出乎意料地更宽的动态范围,且在极端频率范围上具有很大线性度。这种CxiLNA在其通带中提供恒定增益和输入电阻。本发明的CxiLNA并不存在通带中的相移问题。此CxiLNA利用低至毫伏级的电源以合理的带宽进行操作。所述CxiLNA并不依赖于高于正常MOS阈值电压的操作。所属领域的技术读者将了解且发现所述CxiLNA作为不受周围寄生效应妨碍的增益块适用于许多应用,原因在于本发明的CxiLNA展现不可思议地更高的信噪比。这种性能即使在LNA中也是很少见的。

## 附图说明

[0068] 图1a示出作为现有技术放大器以供比较的高质量CMOS运放现有技术晶体管示意图,其出自Gray、Hurst Lewis和Meyer所著的著名教本《模拟集成电路的分析和设计(Analysis and Design of Analog Integrated Circuits)》第4版第482页;

[0069] 图1b到1d是图示图1a的现有技术运放的频域性能和电源依赖性的一组基准的代表性性能曲线图;

[0070] 图1e和1g分别示出弱反型和强反型中的现有技术MOSFET沟道导电的横截面图,且图1f和1h示出分别呈现漏极电流与栅极电压之间在处于弱反型时的指数关系和在处于强反型时的二次关系的曲线图;

[0071] 图1i示出现有技术的两(2)指反相器的晶体管示意图;

[0072] 图1j和1k示出现有技术的两(2)指反相器的物理布局抽象图;

[0073] 图1m示出现有技术的两(2)指反相器的三(3)维透视图;

[0074] 图1n示出图1m中所示的截面AA处的横截面图;

[0075] 图1p示出现有技术的分离沟道CMOS晶体管的物理布局;

[0076] 图1q示出现有技术的模拟设定大小的MOSFET的3D透视图;

[0077] 图1r示出现有技术的鳍式场效应晶体管(FinFET)的模拟设定大小阵列的物理布局平面图;

[0078] 图1s示出图1r中所示的圆形Z内部的缩放透视图,其示出现有技术的FinFET的透视图;

[0079] 图1t示出表示现有技术的nMOS晶体管的固有增益比例的曲线图;

[0080] 图2a示出具有本发明的新的中间沟道双向电流端口(iPort)的MOS场效应晶体管(或iFET)的三(3)维预期视图;

[0081] 图2b示出本发明的具有直观沟道电荷分布的iFET的横截面图;

[0082] 图2c示出在不存在iPort注入电流时的漏极电压 $V_{ds}$ 和漏极电流 $I_s$ 的图,而图2d示出在提供最大iPort注入电流时的另一图;

- [0083] 图2e示出本发明的各种iFET符号；
- [0084] 图3a图示本发明的iFET互补对的示意图；
- [0085] 图3b和3c图示本发明的互补iFET(或CiFET)复合装置的物理布局抽象图；
- [0086] 图3d示出CiFET复合装置的三(3)维透视图；
- [0087] 图3e示出图3d的截面AA处的横截面图；
- [0088] 图3f、3g和3h图示CiFET操作性建模、自偏置示意图以及其中所用符号；
- [0089] 图4a图示本发明的过饱和电流场效应晶体管(xiFET)的三(3)维透视图；
- [0090] 图4b图示图4a中所示出的xiFET的符号表示；
- [0091] 图4c图示图4a中所示出的xiFET的横截面图；
- [0092] 图5图示本发明的一对互补的xiFET(或CxiFET)的示意图；
- [0093] 图6图示图5中所示出的CxiFET的物理布局抽象图；
- [0094] 图7a图示图5中所示出的CxiFET的三(3)维透视图；
- [0095] 图7b图示图7a中所示出的截面AA处的CxiFET的横截面图；
- [0096] 图7c图示根据本发明的CxiFET的功率图；
- [0097] 图8a(1)示出现有技术的焦平面阵列读出列的示意图；
- [0098] 图8a(2)示出图8a(1)中所示出的焦平面阵列的一个阵列像素部分的示意图；
- [0099] 图8b示出图8a(1)中所示出的焦平面阵列的读出列的一部分的示意图；
- [0100] 图8c(1)示出根据本发明的使用CiFET的焦平面阵列读出列的示意图；
- [0101] 图8c(2)示出图8c(1)中所示出的焦平面阵列的一个阵列像素部分的示意图；
- [0102] 图8d示出图8c(1)中所示出的焦平面阵列的读出列的一部分的示意图；
- [0103] 图8e示出根据本发明的增益可控制偏置产生器的示意图；以及
- [0104] 图9a示出根据本发明的锁存电流比较器的示意图。

## 具体实施方式

[0105] MOS结构在本文中被称作iFET,其中字母“i”是指电流并且“FET”是指场效应晶体管,MOS结构是本发明的若干高性能和新颖设计的实现要素。本发明是基于将直接连接添加到场效应晶体管(或FET)沟道中的中间点,并且基于认识到是由低阻抗端口(电流端口,或本文中称为“iPort”)在低饱和电压下为双向电流阱/源极中间沟道提供极低输入阻抗,并且另外连接具有相反“导电类型”(P型和N型)的互反iFET对,所述互反iFET对经互连以利用其互补性质作为一组且对称地操作以在电源之间的中间点附近自偏置。另外,可以调整iFET的第一沟道和第二沟道的相对强度(阈值选择、相对大小和掺杂分布)以调适本发明的此类互补iFET(或CiFET)复合装置的增益、速度、静态电流和输入阻抗。

[0106] iFET的iPort对补偿问题提供不寻常且非预期的解决方案,然后继续为其它旧问题提供新的或替代的解决方案,超出了行业的预期。以“弱反转”操作电路的优点早已为人所知,但也存在着问题。CiFET使电路能够利用弱反转中可获得的高增益和更宽动态范围,而不会损失优越的速度性能。CiFET复合设备提供了标准的有源IC增益设备,它比普通的模拟MOSFET更先进,使得数字IC具备模拟功能。其并非折衷。

[0107] 以下列出基于CiFET的电路的一些不寻常方面,包括但不限于:

[0108] ●在低电源电压下操作;

- [0109] ●高增益;
- [0110] ●极具线性;
- [0111] ●极高速(宽带);
- [0112] ●自偏置;
- [0113] ●低噪声;
- [0114] ●快速恢复(DC);
- [0115] ●使用所有数字部件和过程;
- [0116] ●iPort对电荷(自然界中的事物是基于电荷的)而不是电阻两端的电压作出响应;以及

[0117] ●iPort具有广泛的动态范围,在开放环路中具有恒定增益。

[0118] 参考图2a和2b,根据本发明的优选实施例,提供一种电流FET(或iFET) 200,其由衬底26a或26b、源极端子24a或24b以及漏极端子29a或29b组成,在衬底26a或26b上在所述源极端子与所述漏极端子之间分别界定两个沟道23a和25a或23b和25b,通常第一个(源极沟道23a或23b)连接到电源(未示出),而第二个(漏极沟道25a或25b)连接到负载(未示出)。衬底26a或26b是N型或P型。如图2a和2b中所示,两个沟道,即分别为源极沟道23a和漏极沟道25a或源极沟道23b和漏极沟道25b,在iPort控制端子21a或21b处彼此连接,并且沟道23a和25a或23b和25b分别共享共用栅极控制端子27a或27b。这种配置意味着iFET 200具有多于一个控制输入端子。

[0119] 栅极控制端子27a或27b的操作类似于常规MOSFET绝缘栅,具有其高输入阻抗和特有的跨导( $g_m$ )传递函数。小信号MOSFET晶体管的( $g_m$ )典型值是每个1到30毫西门子(1毫西门子=1/1K-ohm),这是跨导的计量单位。

[0120] iPort控制端子21a或21b相对于源极端子24a或24b来说阻抗较低,且具有看起来更像双极晶体管的beta( $\beta$ )的传递函数,但实际上是跨阻(或 $r_m$ ),或更笼统地说,尤其在高频下,是以K-ohm计量的跨阻抗,其中输出电压由输入电流得出。取决于CiFET的沟道大小比,小信号iFET晶体管200的典型电阻值(或 $r_m$ 的值)是从1K $\Omega$ 到4M $\Omega$ ,M $\Omega$ 是跨阻的计量单位。电流输入到电压输出(跨阻抗)是以下确证的基础:1 $\mu$ A的输入在大信号电平下将产生100mV的输出(或100,000:1的增益),或1pA的输入在低噪声放大器(或LNA)中将产生100nanoV的输出(或100,000:1的增益)(这两个结果都来自同一电路且在此动态范围内为线性的)。

[0121] 在模拟时使用同一电路,已显示这些值对于单个最小大小的iFET来说仍然是正确的,具有从1微微安培到10微安培的输入值。在180nm的CMOS构造中,本底噪声将测量值限制在低于约10微微安培。iFETS可用不同的长度与宽度比例来构造以具有可预见的极不同结果。

[0122] 与现有技术水平设计不同的高增益、非典型或出人意料的结果,是以图2b的高度电离过饱和模式操作的iFET 200的源极沟道23b的“弱反转”特性的结果。

[0123] 此过饱和源极沟道23b中的速度不受载流子沿着沟道23b的渡越时间限制,但是有源沟道中的高浓度的电离电荷载流子仅须在电荷借助于iPort控制端子21b添加到沟道23b或从沟道23b去除时略微推动周围的电荷,从而产生扩散电流,扩散电流由当MOSFET以弱反转操作时就已经实现的指数关系界定。这与导致电荷渡越沟道的电场形成了对比,所述电

场是栅极控制电压的平方律函数。在此配置中,速度快于由相同的基本晶体管构建且不受像双极晶体管那样具有较高增益的“弱反型”级影响的逻辑。相较于双极晶体管,控制电流可以进入或离开iPort控制端子21b以及在没有iPort电流的情况下进行操作,这有利于创建自偏置操作点。

[0124] 自偏置操作点有助于实现较低噪声。此处,漏极端子29a或29b处的电势与栅极控制端子27a或27b处的电势相同,从而大大减少了常规模拟电路设计中存在的夹断效应。

[0125] 由于源极沟道23a/23b和漏极沟道25a/25b上的共栅极连接,iFET 200对源极端子24a/24b或源极沟道23a/23b的栅极控制端子27a/27b(或GS)施加高于预期的电压。此高于预期的电压造成厚得多且深得多的(更低电阻、高度电离的)导电层,从而使大多数载流子能避开晶格表面中的阱,因此噪声低得多,类似于结型场效应晶体管(或j-FET)传导沟道位于表面以下的方式。

[0126] 跨阻( $r_m$ )是跨导( $g_m$ )的“双重性”。当查找跨阻时,大多数参考资料都是有关电感器和电容器,这表明iFET可能适用于合成电感器。

[0127] iFET的工作原理如下:低噪声放大器需要低阻抗沟道。低阻抗沟道的电压增益低但电流增益高。为了建立电压增益,需要作为电流电压转换器操作的第二级。级联对提供此类配置。级联对的偏置要求排除了其在低电压下的使用,除非找到解决偏置问题的方法。iFET通过互补对的自偏置来提供解决这个问题方法。沟道的阻抗可设计成适应驱动所述阻抗的特定信号源的阻抗(见后文有关比率的章节)。

[0128] 一般对于FET,载流子通过栅极场附着到表面,低栅极电压在沟道上形成薄的表面层(出现导电性的地方),而较高栅极电压形成较厚的底层。薄层的载流子被不均匀表面缺陷阻挡,从而产生电噪声,而较厚层载流子在表面下找到一条更平滑的路径,从而减少了整体电噪声。这指示较高的栅极电压能减少噪声。

[0129] 参考图2b,在iFET 200中,由栅极控制端子27b上的栅极电压 $V_g$ 形成的电场致使载流子从衬底26b上升到源极沟道23b区域中,从而将半导体材料转变为每体积或饱和时具有相对大量的载流子的导体,由此建立一定程度的导电性。

[0130] 引入到iPort控制端子21b中的注入电流 $I_{inj}$ 增加了在源极沟道23b上及在源极沟道23b中的扩散电荷(每体积的载流子数目),因此使源极沟道23b更具导电性。导电性变化的速率是指数级的,类似于在“弱反型”所发现的那样。此指数速率的导电性变化是由沿源极沟道23b的低压梯度(源极端子24b到iPort控制端子21b电压梯度)引起。

[0131] 源极沟道23b的电荷与栅极电压27b之间的iFET指数关系能提供对对数功能性的访问,其中两个对数函数的加法相当于乘法。反向的反对数操作或反向的指数性操作通过相反的互补iFET沟道来恢复模拟输出。这种指数关系可以用于各种低噪声放大器应用。指数关系还引起这些iFET电路的更宽动态范围。

[0132] 再次,参考图2a中的源极区,从栅极控制端子27a或/和iPort控制端子21a去除电荷(每体积的载流子数)导致源极沟道23a中的半导体材料的导电性降低。就此而言,iPort控制端子21a到源极端子24a的连接以类似于双极晶体管的基极区的方式(其为指数性的)操作:到iPort控制端子21a的控制电流越多,装置导电性( $g_m$ )就越高。

[0133] 图2a的iFET 200的漏极沟道25a的操作更类似于常规FET,类似之处在于,漏极沟道25a的厚度在iPort控制端子21a附近更大(与源极沟道23a厚度相同),并且随着漏极沟道

到达漏极端子29a周围的其扩散区而逐渐减小(漏极沟道25a与栅极控制端子27a之间减小的电压差分使场减小),从而形成由栅极电压 $V_g$ 设定的晶体管的输出电阻。较低漏极电压 $V_g$ (接近栅极上存在的电压)会减小漏极沟道输出电阻(漏极扩散处的较厚沟道)。连同较厚导电层,此较低漏极沟道电阻能产生较低噪声和高输出驱动能力,从而利用厚导电层提供的低阻抗驱动在漏极29a处形成所要漏极电压。

[0134] 在低电压下操作的iFET 200源极区24a周围的扩散区具有较低电压增益但其也具有低噪声。由于漏极电压与栅极电压 $V_g$ 相同,因此在较高电压下操作的漏极端子29a周围的扩散区提供所要电压增益且造成的噪声最小。这种电压均等性是由下文将解释的独特偏置构造所产生。

[0135] 图2b进一步示出根据本发明的iFET沟道电荷分布,示出其操作点或iFET的特征,但未示出图2c中所图示的iPort注入电流,其中将漏极沟道25b处不具有输入电流的源极沟道电流电平24c和电压电平25c应用于iPort控制端子21b。斜率26c表示漏极沟道25b的点跨阻 $r_m$ ,而斜率23c则针对超饱和的源极沟道23b且是iPort输入电阻 $R_{输入}$ 。图2d图示在具有iPort注入电流的情况下的iFET的V-I特征,其中斜率26d表示漏极沟道25b及其跨阻 $r_m$ ,而斜率23d是针对过饱和的源极沟道23b和iPort输入电阻 $R_{输入}$ 。应注意到,少量iPort电流21d如何极大地干扰漏极沟道输出电压 $V_{输出}$ 25d。正如我们所看到的, $V_{输出}$ 可以几乎达到满功率供应( $V_{dd}$ )。这是MOS装置的正常压控电流源使用的逆向或双倍,其中漏极到源极电压的大变化使得在饱和期间漏极电流的变化最小,如图2d中所示。这使得模拟IC设计师能够了解iFET作为放大器的有用性,其不需要典型的大型、笨重模拟平面晶体管用于所需跨导以获得增益。相反,电流控制电压源配置中的NiFET使用跨阻来将基于MOS的装置的增益提升到新的高度。

[0136] 非反相性质

[0137] 关于iPort控制端子,在N沟道和P沟道这两种装置的情况下,进入iPort控制端子的正电流取代将通过漏极沟道进入的等效电流,从而使漏极(输出)连接在正电压方向上移动,由此形成iPort输入的非反相性质。

[0138] iPort还用作电流逆变器而不是常规电流镜。

[0139] 有趣的是,与其它半导体装置不同,可以从iPort提取负电流,从而导致在负方向上的漏极(输出)移位。零输入电流同样有效。

[0140] 适当偏置

[0141] iFET 200(如图2b中所示)使两个栅极连接在一起并且在栅极上需要适当偏置电压来建立所要操作点。

[0142] 对称性

[0143] P沟道装置可按与其N沟道对应部分类似的方式构造和运行。

[0144] 应强调的是,虽然栅极输入相对于漏极是反相的,但是iPort并不是反相的。

[0145] CiFET放大器是基本的数字中模拟构建块:

[0146] 虽然单个iFET就其自身而言具有所关注的特性,但是一对互补的iFET(或CiFET)被证明更为有利。将相反半导体类型的iFET用作负载装置能方便为相反的iFET提供其偏置,而且还具有使MOSFET操作固有的非线性相抵(线性化)的优点。举例来说,源极沟道的过饱和操作的高增益指数特性在极宽的动态范围内线性化。

[0147] 所得互补装置(具有开创性的CiFET单元)可以认为是最有可能的功率增益带宽MOSFET放大器级。举例来说,观察任一iPort,过饱和源极沟道输入阻抗是相对低值的恒定电阻。这将任何输入电流转换成小的输入电压,其计算出通过高值 $r_m$ 跨阻实施的极高压增益传递函数。另外,过饱和源极沟道的亚表面操作可以在对于任何MOS装置可能的最低噪声下操作。为了低噪声,漏极沟道还最大限度地在其表面缺陷下方进行操作。最后,这一切都是关于信噪比。

[0148] 图3a呈现开创性的CiFET符号且图3b和3c示出概略地类似的物理布局抽象图;图3d示出三(3)维透视图且图3e图示图3d中的截面AA的横截面视图;以及图3f和3g图示本发明的CiFET装置的iPort控制端子行为模型、本发明的一对互补的iFET的自偏置示意图以及其对应的符号,其高增益、高精度、小尺度、模拟原始构建块方面是对现有技术水平的彻底改进。所述互补的iFET对完全由逻辑组件构建而无模拟扩展,同时实现了比例缩放和便携性。覆盖面和每增益/带宽的功耗从现有技术水平大幅度减少,同时保持了优良的噪声性能。

[0149] 参考图3a,互补的iFET对(或CiFET)300包括P型iFET(或PiFET)301和N型iFET(或NiFET)302,包括同时连接到PiFET 301的栅极控制端子37p和NiFET 302的栅极控制端子37n的输入端子30a,用作共用栅极端子30a。CiFET 300接收电力,即电源-和电源+,其中电源-连接到NiFET 302的源极端子且电源+连接到PiFET 301的源极端子。PiFET 301和NiFET 302中的每一个包括用于接收注入电流的iPort控制端子(31a和32a)。PiFET 301和NiFET 302的漏极端子组合以提供输出39a。

[0150] 图3b扩展了图3a的CiFET 300的PiFET和NiFET装置301和302,以使其视觉上与图3c的物理布局抽象图相关。

[0151] 参考图3c,CiFET 300包括沿着图中所示阱边界WB'类似镜像地布置在衬底(或分别在体B+和B-)上的PiFET 301和NiFET 302;PiFET 301包括源极端子S+、漏极端子D+和iPort控制端子Pi,从而界定源极端子S+与iPort控制端子Pi扩散区32c之间的源极+沟道34c,以及漏极端子D+与iPort控制端子Pi扩散区32c之间的漏极沟道36c。NiFET 302包括源极端子S-、漏极端子D-和iPort控制端子Ni,从而界定源极端子S-与iPort控制端子Ni扩散区31c之间的源极-沟道33c,以及漏极端子D-与iPort控制端子Ni扩散区31c之间的漏极沟道35c。CiFET 300进一步包括在源极+沟道34c、漏极+沟道36c、源极-沟道33c和漏极-沟道35c上的共用栅极端子30c。因此,共用栅极端子30c电容耦合到沟道34c、36c、35c和33c。

[0152] 图3d是图3c的CiFET物理布局的3维图示,且图3e是图3d的横截面AA。对应的精确数字与图3a、3b、3c、3d、3e、3f和3g中的每个图之间的相同特征相关,其中相同特征由带有图字母编号的参考标号表示。图3h示出本发明的CiFET装置的符号图。图3d和3e进一步指出对于偏置CiFET存在的有源沟道电荷传导区34d、34e、36d、36e、33d、33e、35d和35e,所述偏置CiFET的栅极电压为S+和S-端子上的栅极电压之间的差的约一半。

[0153] 在许多模拟电路中,偏置是个问题。使用如图3g中所示的呈互补对(31g和32g)的iFET允许它们“自偏置”(38g),由此消除漂移问题,另外,放大器在其操作曲线上找到最大增益点。

[0154] 在如图3f所示的“行为模型”中,iPort控制端子NiPort 33f和PiPort 34f处的电流通过跨阻( $r_m$ )转换为电压,其值决定了增益。为消除漂移问题,提供到 $V_{\text{输入}}30f$ 的自偏置路

径38f。此“跨阻”( $r_m$ )由“漏极沟道”与“源极沟道”强度的比率确立,且在整个操作范围内保持恒定。此处,iFET操作是源自源极和漏极沟道中不同的电流密度,这类似于产生参考电压的带隙方法的双重性:使相同电流值运行通过单个晶体管和相同晶体管的多个实例的并联组合。模拟结果表明,此电阻( $r_m$ )通常在1K $\Omega$ 到4M $\Omega$ 的范围内,典型值为100K $\Omega$ ,这由相对沟道大小决定。 $r_m$ 是 $g_m$ 的双重性。

[0155] 输出( $V_{\text{输出}39f}$ )是低阻抗的源极跟随器共用栅极FET配置,其可以用必要的电流输出其电压以驱动后续电路。

[0156] iPort输入是恒定的低阻端(与 $r_m$ 有关,但要低得多),其具有从相应电源轨道的约1mV到100mV的恒定偏移电压CTAT Ref、PTAT Ref。此偏移电压是由“漏极沟道”与“源极沟道”强度的比率确立的“带隙”参考。

[0157] 标准CiFET复合装置单元就像逻辑单元一样可以物理方式构造和实例化以用于设计模拟。通常,这是唯一需要的有源电路组件。就像晶体管一样,但CiFET单元完成有源组件所需的一切。

[0158] 接着如何产生适当的偏置电压?产生偏置电压的最简单的方式是使用呈互补对的iFET,NiFET 31g和PiFET 32g,从而形成如图3g中所示的反相装置,且接着使用输出39g向输入30g提供负反馈38g。CiFET复合装置将在电源之间的某一点处“自偏置”,在所述点处,增益最大化,且速度或转换速率对于大部分快速变化来说保持平稳。在此自偏置电压点,通过互补iFET装置31g和32g两个的电流完全相等,除了进入NiFET(31g)漏极之外不存在针对PiFET(32g)漏极的其它DC电流路径,由此针对这种电流相等性(或导电性)形成特定栅极电压。另外,由于iFET 31g和32g均具有相同的电流,因此上拉能力完全等于下拉能力,这界定了最大转换速率偏置点。接着iPort控制端子NiPort 33g和PiPort 34g处的电流通过跨阻( $r_m$ ) (未示出)转换为电压,其值决定了增益。

[0159] 由于互补的iFET 31g和32g对是自偏置的,因此对于操作环境中的变化,任何参数因子都是自动补偿的。归因于IC上的相邻部分之间的固有匹配,偏置产生器可用于对附近的其它iFET进行偏置。实时自偏置电路校正参数变化(呈各种形式)。

[0160] 本发明的反相器中的每个晶体管充当其互补物的“动态”负载,从而使栅极电压明显高于模拟电路栅极的传统偏置点。在互补iFET复合装置的栅极电压高于正常的栅极电压的情况下,源极传导沟道较深,从而产生较低噪声。

[0161] 传统模拟电路中的主要噪声源与“夹断”相关。以与栅极相同的电压(零差分)对漏极(或输出)进行偏置使漏极导电沟道避免通常在模拟电路中遇到的沟道夹断(浅沟道)现象。另一种阐述方式是:随着漏极接近其最大设计电压,晶体管变得越发嘈杂,自偏置反相器以最大设计电压的一半左右来操作其晶体管,且栅极处于与漏极相同的电压(零差分),因此自偏置反相器安静了许多。

[0162] CiFET放大器的操作与利用电流镜进行负载的常规模拟放大器的操作不同,不同之处在于:

[0163] “源极”沟道具有从源极端子到iPort控制端子的极小( $\sim 100\text{mV}$ )电压,而“栅极端子”处于 $\sim 1/2V_{\text{电源}}$ 。这使得iFET源极沟道进入“过饱和”状态,这种状态类似于弱反型,但具有较高栅极过驱动。栅极过驱动产生异常厚的导电层以及较低的源极到iPort电压,从而导致导电层沿沟道一直保持较厚。注意图1e中的导电沟道10s与图2b中的导电沟道23b之间的

厚度差别。

[0164] “漏极”沟道25b在 $\sim 1/2V_{\max}$ 下运行其漏极端子29b,从而大大减少夹断(和DIBBL)效应。这种夹断减少的状况通过“栅极端子”在 $\sim 1/2V_{\text{电源}}$ (与 $1/2V_{\max}$ 相同)下进行操作而进一步增强,这意味着在漏极29b与栅极27b之间没有电位差。

[0165] CiFET复合装置的另一重要方面是其电流输入,所述电流输入使其能从寄生电容的速度掠夺效应中解脱出来。

[0166] 这种细微而显著的差异是使弱反型产生作用并使互补iFET放大器具有优良的低噪声、更广泛动态范围和速度优势的支持特征。

[0167] 相较于等效双极电路,MOSFET并不能形成特别好的放大器。其增益有限、嘈杂、而且其高阻抗使其变慢。

[0168] 双极型差分放大器发展到了输入偏移量相当好的程度,但是对CMOS的发展却从未真正带来好的结果。

[0169] 长期以来,已知晓从以弱反型操作的CMOS可以获得优良的性能,但因不切实际的低电流所致的由高阻抗引起的复杂情况会妨碍利用弱反型中所见的优良增益(相当于双极晶体管的优良增益)、动态范围(超过双极晶体管的动态范围)以及对数性能(允许几十倍放大)。由于弱反型,CiFET将结型FET中所见的深沟道中的多数载流子的噪声益处带入MOSFET中。

[0170] 在处于弱反型的MOSFET通过增加电流源负载而呈现对数传递函数时,相同的MOSFET通过增加反对数负载而消除非线性,从而产生完全线性传递函数。所述CiFET放大器是此类电路,即:对数输入、反对数负载、完全线性、宽广动态范围、低噪声。低噪声是偏置的结果,其中源极沟道栅极电势极高,而跨越源极沟道自身的电势维持在接近零伏处。漏极沟道是电平移位器,在输出处递送高幅度信号摆幅时维持源极沟道上的极低电压。

[0171] 以闭环样本数据块实施的CiFET放大器因其“飞跨电容器”输入而在输入偏置方面呈现近似完美的性能。以开环实施的CiFET放大器即使是在存在高电平背景的情况下也能呈现出乎意料的灵敏度等级(增益>1百万),这是由极端动态范围所致。

[0172] 利用掺杂分布和比值法:

[0173] 传统上,工程师会避免在模拟配置中使用数字逻辑,因为这被认为具有不可接受的非线性且难以进行偏置。数字逻辑还会为了紧凑性而牺牲驱动对称性。通过适当的装置比例表达( $\sim 3:1p:n$ 宽度)恢复对称性会提高线性度、增大抗噪声度且最大化动态范围。自偏置解决了偏置问题。

[0174] 图1q描绘饱和态的MOS晶体管结构的基本符号和3维视图。此处示出通用平面MOSFET,其具有惯用的模拟应用中所用的典型较长/较宽沟道。所示FET符号和结构适用于n型或p型平面晶体管,所述晶体管视需要可进一步有关于且适用于包裹栅极finFET结构。应注意,FET具有四个端口,包含栅极(g)17q、漏极(d)19q、源极(s)14q和体(b)16q。通常,电压作为输入施加于高电阻栅极端口17q,而电压或电流可施加于物理上类似(且可互换)的漏极19q和源极端口14q。块体/体端口16q一般附接到最低(或低)电压电势以用于n型FET且附接到最高(或高)电压电势以用于p型FET,从而控制/防止块体-源极结的正向偏置且给出相对于电源电压来说最低的 $V_{gs}$ 以供正常操作(尽管存在例外以及块体的特殊用法,但这将不在此处论述)。另外,在图1q中示出平面3维MOSFET结构,其具有常用于模拟电路的较宽宽度

W和较长长度L以及夹断饱和区中的沟道。

[0175] 为了维持较高固有增益, MOSFET需要较高输出阻抗。这通过高 $r_o = R_{\text{输出}}$ 所必要的较长沟道长度获得。由于 $g_m$ 与MOSFET的W/L比率成正比, 为了在沟道较长时保持 $g_m$ 较高, 沟道还必须成比例地更宽。此处, 增益是 $\sim g_m R_L / R_{\text{输出}}$ 。随着IC工艺收缩,  $g_m$ 增大, 但 $R_{\text{输出}}$ 减小更快, 从而阻止了短沟道长度用于模拟。这就是最新双数字(位) CMOS技术中虽然IC工艺收缩但模拟晶体管并不相应缩放的原因。另外, 应注意, 模拟沟道电流在栅极下的表面附近行进, 表面缺陷载流子陷阱在此处形成特有的MOSFET 1/f噪声。

[0176] 图1r示出现有技术的鳍式场效应晶体管(FinFET)阵列的物理布局平面图。源极14r和漏极19r堆叠且形成鳍, 且栅极17r的阵列安置在其间以形成FinFET 12r。图1s中示出图1r中的圆形Z的放大图, 其示出FinFET 12r的一个现有技术三(3)维透视图。

[0177] 图1t示出表示现有技术的nMOS晶体管的固有增益比例的曲线图。可以看出, nMOS晶体管的固有增益的不断减少警告模拟设计师在其试图按比例缩放可在65nm或90nm下有效地执行14nm CMOS工艺的放大器的设计时将面对的困难, 其将很有可能失败。因此, 必须探索不同于常规程序的其它方法, 以便找到切实可行策略以在较新超深亚- $\mu\text{m}$  CMOS技术中驾驭固有晶体管增益。

[0178] FinFET具有增大 $g_m$ 同时降低裸露场效应晶体管的漏极输出电阻的较短纳米级沟道长度。更高 $g_m$ 提供对通道电导的更好控制, 但漏极紧密接近源极使得它们彼此交谈, 从而使输出电阻较低。此得到在纳米级尺寸下的MOSFET的较低固有增益。相反地, CiFET是低输出电阻装置且改进了深度。

[0179] 根据本发明的优选实施例, 噪声指数可通过适当比例表达在前端放大器上特别优化。iFET的电特性可通过修改源极和漏极沟道的经组合和相对强度而不修改可用的IC过程(无需模拟扩展)强化。存在实现此优化(调整长度、宽度和尤其阈值)的数种方法。

[0180] 几乎任何源极和漏极沟道大小将形成有作用的iFET, 但取决于目标, 改变个别iFET沟道的相对和累计大小会增大iFET性能。

[0181] 根本上:

[0182] ●利用与漏极沟道相比更低的电流密度(较宽)源极沟道来实现更低iPort阻抗。

[0183] ●通过与源极沟道相比的更高电阻(更长)漏极沟道来获得更高电压增益, 这产生向漏极端子内窥视的更高输出阻抗(iFET电压增益=漏极沟道电阻/源极沟道电阻)。

[0184] ●功率与速度的折衷通过用于使无功电流穿过互补iFET放大器的所有沟道强度的累计总和来控制。这就确立了输出转换速率(或输出驱动能力)。

[0185] 更清楚地说, iFET沟道的强度以及其阈值随着个别沟道宽度和长度改变。iFET沟道中的每个可具有个别选定的大小和/或与另一沟道的阈值关系。

[0186] 图2e示出本发明的iFET装置的各种惯例/符号。示出代表PiFET的符号22g和24g以及代表NiFET的符号21g和23g。举例来说, NiFET 21g或23g表示具有如先前所描述的较短源极沟道的n型iFET(或NiFET), 且因此, 如可见, 示出NiPort靠近源极。对于组合iFET的漏极:源极比率为4, NiFET装置21g的实例大小设计可以是 $W_{\text{min}}/2 \times L_{\text{min}}$ 的漏极沟道, 而源极沟道为 $2 \times W_{\text{min}}/L_{\text{min}}$ 。此NiFET将允许有以电流增益目标为目标的较低输入iPort终端电阻, 这适用于高增益电流输入跨阻抗放大器应用。类似地, 示出PiFET 22g或24g也使PiPort靠近源极, 这表示较宽源极沟道。对于仍为4的组合iFET漏极:源极比率, PiFET装置22g的实例大小设计

可以是 $3xW_{min}/2xL_{min}$ 的漏极沟道,而源极沟道可以是 $6xW_{min}/L_{min}$ ,但为了类似的PiFET到NiFET的总体强度具有 $3x$  PiFET到NiFET的比率调整,从而大致地平衡P到N总沟道电导。

[0187] 虽然iFET放大器为了极快响应和高准确度可以构造有确实能在输出处提供充分电流的最小尺寸装置,但仍必须小心以使得互补iFET放大器不传送过多电流,以免出现机械故障。物理布局需要充足接触点和金属以用于所需的DC和瞬态电流。

[0188] 参考图2a和2b中的电流场效应晶体管(iFET);将iFET 200的源极沟道23a/23b栅极s27a/s27b从漏极沟道25a/25b栅极扩散区d27a/d27b分离,iFET源极沟道23a/23b的过饱和和28b水平可经由独立地调整跨源极沟道s27a/s27b的源极栅极s27a/s27b电压电控。为了实现独立栅极控制,栅极27a/27b如中图4a和4c所示的分离。

[0189] 过饱和电流场晶体管(或xiFET)包含在体46a上的源极端子44a、漏极端子49a、iPort(或扩散)端子41a。漏极沟道45a界定于iPort端子41a与漏极端子49a之间,且源极沟道43a界定于iPort端子41a与源极端子44a之间。第一栅极端子47a1跨漏极沟道45a电容耦合;而第二栅极端子47a2跨源极沟道43a电容耦合。xiFET 400的此iFET改进提供用于使其源极沟道43a(如图4a和4c中所示)处于其最大饱和限度电荷分布的方式,而不是图2a/2b中所示的共用栅极27a/27b或iFET的方法。此最大饱和限度针对给定沟道大小比率为其低阻抗iPort控制端子41a提供可能的最低输入阻抗。此处,源极沟道栅极47a2电压 $V_{sg}$ 由独立电压源v47a2提供。

[0190] 通过调整具有独立信号源v47a2的栅极s47as处的电压 $V_{sg}$ ,iPort输入阻抗可能受电控。此特别适用于匹配天线或传输线的输入阻抗以使反射最小化且使进入iPort 41a的输入功率传递最大化。此额外源极沟道栅极输入同样可用于控制iPort跨阻抗增益,从而确立压控放大器增益应用。此外,源极沟道栅极输入47a2可用于迅速地断开和接通xiFET 400以在不需要时截止其漏极电流以便节省功率。xiFET接通几乎是瞬时的,这是因为与常规模拟电流镜相比,iPort 41a处的偏置点是低阻抗的且并不需要设定。在断开时,xiFET输出是高阻抗的,因此当多个xiFET电压输出连接在一起且启用个别xiFET时,阵列xiFET可用作模拟多路复用器。

[0191] 此性质尤其适用于焦平面阵列(FPA)读出。此处,FPA核心完全没有改变,而是仅读出线驱动电压不同地受控制以操作现有的两个晶体管像素读出晶体管作为xiFET。低噪声、高速度、高动态范围、低功率性质共同作用以产生高质量FPA。

[0192] 图4b示出图4a和4c中所示出的电路400的其对应的符号s400,所述电路包含源极端子s44、漏极端子s49、iPort s41、体s46、第一栅极s47a和第二栅极s47b。

[0193] 图5示出根据本发明的一对互补的xiFET(或CxiFET)500的示意图。CxiFET 500包含n型xiFET(或NxiFET)501和P型xiFET(或PxiFET)502。NxiFET 501和PxiFET502的第一栅极端子连接在一起以接收输入50a,NxiFET 501和PxiFET 502的漏极端子也连接在一起以形成输出59a。NxiFET 501的源极端子接收负电源,且PxiFET 502的源极端子接收正电源。在如图5中所示的此互补配置500中提供此第二栅极控制输入57-a和57+a得到与如先前所论述的CiFET装置结构的线性化类似的线性化。

[0194] 当第二栅极端子57-a、57+a中的任一个采用其相应电源轨时,CxiFET 501、502断开,因此在放大器未使用时节省功率。由于源极沟道离子化电荷载流子的较大和均匀分布,且饱和关闭与回退之间的低沟道/iPort电压改变极其快,接近模拟信号的逻辑速度。源极

沟道迅速切断或立即到达其稳定偏置点。低电阻和最小电压改变驱动到稳定偏置点的快速指数设定。

[0195] 另外,当第二栅极57-a、57+a中的任一个或两个采用中间电压时,通过CxiFET装置500从电源+到电源-的电流和跨阻抗 $r_m$ 增益受控制,使得增益和功率消耗相较于速度可电控。当这些源极沟道栅极切换到共用栅极电压时,CxiFET变为CiFET。

[0196] 当CxiFET用于电荷耦合逻辑时,这些第二栅极57-a、57+a上的输入可用于接通或断开逻辑以及视需要用时钟选通逻辑状态。

[0197] 其还可以是交叉耦合的锁存控制,其中电荷脉冲翻转锁存且归因于低电压操作性质,锁存状态可如图7c中所示的用几乎零位电流消耗保持。源极沟道电压可用于电力地调整速度:CxiFET操作的功率以实时优化功率。源极沟道栅极上的模拟电压信号乘以iPorts上的模拟电流信号,从而获得具有广泛动态范围以及对从PxiFET导出的输出与来自NxiFET的输出进行求和的能力的模拟乘法器。

[0198] 在“iFET”中,源极沟道连接到共用单个栅极。在“xiFET”中,源极沟道栅极采用通常比漏极沟道栅极电压更高的独立电压,以提高源极沟道的过饱和水平。因此,iPort处的输入电阻受此分离的源极通沟道的栅极电压输入控制。这种配置有关于iPort的端接电压的与绝对温度成比例(或PTAT)/与绝对温度互补(或CTAT)系数以及跨阻抗增益( $r_m$ )的量值。其可建模为两个分离的FET晶体管,具有其串联电路耦合之间的连接中的iPort电流输入。使用此作为良态的线性模拟双向电流/电荷输入/输出是独特的,这产生一种方法,所述方法产生具有分离的电控 $r_m$ 增益和输入电阻以及输入端接电压的跨阻抗MOSFET。这是电力地调整PTAT/CTAT iPort参考电压和温度性质的方法。

[0199] 一般来说,iFET/CiFET和xiFET/CxiFETs是新类型的模拟电路元件或在电荷注射模式中操作的类型,从而获得跨阻放大器(或更一般而言跨阻抗放大器),所述跨阻放大器产生独特的、可预测的、参数稳定且极有用的模拟增益块。此装置的优点是其稳定性、线性、高增益、高速度、低噪声、不受阈值电压限制的前所未有的低电压操作、高输出驱动、低功率、较小且由仅数字IC部件构建。

[0200] 互补抵消的各种程度由对称的相对扩散类型产生。

[0201] 这得到极具线性的传递函数,所述传递函数通过相对扩散类型中的相同电路产生互补输出信号驱动而获得。因此,非线性和其它误差在输出处消除。当其针对模拟应用粗略地优化时,除具有平衡晶体管的CMOS反相器外,我们并不知晓考虑此的任何模拟电路。

[0202] 图6是包含在阱边界W内接合在一起的NxiFET 501和PxiFET 502的CxiFET 500的物理布局抽象图,且图7a是其三维表示,且图7b是图7a的截面AA处的横截面图。此布局对应于图5中所示出的示意图。输入50d连接到共用栅极57d,所述共用栅极与NxiFET 501的第一栅极57dn连通,所述第一栅极57dn电容耦合到漏极端子d55d与NiPort 51d之间的漏极沟道55d;且所述共用栅极与PxiFET 502的第一栅极57dp连通,所述第一栅极57dp电容耦合到漏极端子d56d与PiPort 52d之间的漏极沟道56d。NxiFET501的第二栅极端子57-a电容耦合到源极端子s53d与NiPort 51d之间的源极沟道53d;而PxiFET 502的第二栅极端子57+d电容耦合到源极端子s52d与PiPort 52d之间的源极沟道54d。NxiFET 501和PxiFET 502的漏极端子d55d和d56d连接在一起以形成电压输出59d。

[0203] 图7c示出CxiFET的功率消耗。纳米级工艺将是低级的,基本上随小型CMOS几何结

构和具有IC工艺收缩的阈值电压降低而变化。

[0204] 噪声优点：

[0205] 最终，其归结为信噪比。超深亚 $\mu\text{m}$  IC工艺中的低电源电压要求将最大信号摆幅限制于比大多数模拟设计师所习惯的小得多的数值。因此在较小信号的情况下，噪声必须同等地小以便维持所要信噪比。减小噪声问题势在必行。本iFET放大器技术不仅如所必要将噪声减小一定量，而且还表现得远超乎期望，从而呈现超安静前端。

[0206] 源极沟道中的 $1/f$ 噪声得以减小，因为自偏置方案在源极沟道的栅极上提供较高场强度，从而迫使沟道中的载流子在表面下方起作用，在所述表面下方存在比沿着晶格缺陷干扰的表面更平滑的路径（更少障碍）。

[0207] 漏极沟道中的 $1/f$ 噪声也较低。与常规模拟设计不同，栅极如同漏极在电源轨之间的中间点处自偏置，而iPort在电力轨的 $\sim 100$ 毫伏内。在沿着漏极沟道的高电场以及栅极电压等于漏极端子电压的情况下，载流子被限于主要在沟道表面下方流动。这使漏极沟道免于夹断状况，在夹断状况下会产生非所需的 $1/f$ 噪声。

[0208] 电阻器噪声得以减小，因为所述自偏置配置使互补对处于其最低沟道电阻操作点。电阻由导体中的载流子与周围原子之间的碰撞产生。电阻越低，碰撞越少。

[0209] 对于高频率电路，宽带噪声（白噪声）在高增益方面将始终是个问题。虽然常规设计调整栅极电压以确立合适的操作点，但本发明的设计在最优点（“甜蜜点”）处确立栅极电压，然后调整负载以确立所要操作点。这种方法建立较高静态电流，其中（出于上文解释的原因）较高电流密度电路具有较低宽带噪声。

[0210] 本发明的互补iFET电路中存在高共模电源抑制。信号参照中间点而非参照电源轨中的一个（类似于具有其“虚拟”接地的运放）。电源噪声从一个轨到另一轨，相对于彼此相等且反相；因此在中间点周围抵消。

[0211] 接地-环路噪声得以减弱，因为电路接地是“虚拟”的（正如许多运放电路中一样）而非作为一个或另一电源连接件的接地。…在闭环情况下，采用“飞跨电容器”（或“输入电压取样电容器”）。在“飞跨电容器”的情况下，各级之间不存在直接电连接，因此不存在共用接地；虚拟或其它方式。对“差分去耦”（飞跨电容器）的使用在各级之间提供类似变压器的隔离，且集成电路元件紧凑。

[0212] 来自“寄生感应串扰”的耦合噪声随信号幅度的平方增加。按系数100:1（平方律效应），1伏信号情况下的非既定电容耦合会产生比100mV信号的情况多很多的麻烦。模拟区段中采用的小电压信号大体上减小这种电容耦合干扰。按照定义，附近数字信号将是高幅度（轨对轨）。良好的布局实践仍是对这种数字噪声源的最佳防御。

[0213] 额外优点：

[0214] 存在多个额外优点。举例来说，对iPort的双向控制意味着电流可以流入以及流出此连接；两个方向都对整个沟道电流具有显著控制效果。所述iPort具有比栅极多约五（5）个数量级的动态控制范围。

[0215] 本发明的iFET产生比使用相同的MOS装置的逻辑显著更快的模拟结构。这种速度提高归因于以下事实：互补结构在其自然自偏置点处，电源之间的中间位置，体现其最大增益（和最高静态电流）。

[0216] 由于iPort电压并未显著改变，其不受周围的寄生效应的R/C时间常数效应影响，

因此iPort (电流) 输入响应得比栅极 (电压) 输入更快。

[0217] 由于在本发明的CiFET复合装置的大多数应用中, 输出电压 (漏极连接点) 并未极大地变化, 因此使得输出不受周围寄生效应的R/C时间常数效应的影响。此处, 逻辑信号比模拟慢, 因为逻辑信号必须从轨摆动到轨。

[0218] 在以模拟模式操作的CiFET复合装置中避免了漏极感应势垒降低或 (DIBL) 阈值减小。当增益和阈值电压较重要时, 漏极以电源电压的大约一半进行操作, 由此消除DIBL效应活跃的较高漏极电压。

[0219] 图8a (1) 示出现有技术的焦平面阵列 (像素) 80a的示意图。图8a (2) 示出图8a (1) 中所示出的焦平面阵列80a的一个阵列像素部分PX80的示意图。图8b示出图8a (1) 中所示出的焦平面阵列80a的读出列的部分80b的示意图, 包含源极跟随器Q82、行选择控制件Q83和SW80 (SW80受行选择信号SEL80控制) 以及电流源镜Q84和Q85。

[0220] 电路80a示出单个核心像素元件PX80, 以及电流镜Q84和Q85, 其将电流80Iload从并联列中的每个下拉到偏置源极跟随器Q82以用于将相应像素电压施加到其列ADCU80。像素行通过逻辑地接通行选择MOSFET开关Q83利用所选行像素PX80中的每个内的行选择信号80Rsel来选择。相应列偏置电流通过像素源极跟随器Q82在每一像素中路由形成Vdd; 这实际上输出光电二极管节点PD80电压80aVfd, 减去源极跟随器Q82的操作阈值。这两个像素晶体管皆不提供增益, 其只是将Vfd像素电压80aVfd传递到长的完整阵列读出列80RC, 归因于高阻抗电流源输出使得上拉相对坚固, 但使下拉较弱, 以用于在一个方向上而非另一方向上驱动高电容列总线。

[0221] 图8c (1) 示出使用根据本发明的互补iFET/xiFET结构的焦平面阵列 (像素) PX80c的示意图; 图8c (2) 示出图8c (1) 中所示出的焦平面阵列80c的一个阵列像素部分PX80c的示意图; 且图8d示出图8c (1) 中所示出的焦平面阵列的读出列的一部分的示意图。具体地说, 图8d中所示出的电路80d功能上相当于图8b中所示出的电路80b。当行选择SW80d开关处于Vss时, 像素输出断开, 但当行选择80csel切换到CiFET偏置电压80cbias时, 行选择晶体管沟道目前在CiFET模式中操作, 从而将低输出阻抗提供到读出列, 这迅速且准确地将列驱动到具有低噪声和广泛动态范围的高分辨率像素输出电压。

[0222] 如可见, 图8a (1)、8a (2) 和8b与8c (1)、8c (2) 和8d相比而言, 使用CiFET和CxiFET的仅微小改变将允许消除大型电流镜且用最小大小的iFET来代替它们。像素核心PX80/PX80c无变化, 但仅从像素阵列核心外部以不同方式驱动, 这是因为源极跟随器和行选择晶体管中的电流在方向上是反向的。关于此, 针对源极跟随器Vdd路由的像素核心金属实际上连接到Vss, 且行选择控制线切换到CiFET自偏置电压而不是Vdd以用于选择像素行读出。这使用广泛动态信号范围和低噪声来组装快速低输出阻抗列驱动器。阵列读出增益控制可以另外通过一起修整包含图8e偏置产生器80e PiPort P86b的图8c (1) PiPort P84b中的全部而激活。这将提供优于现有技术各种性能改进。

[0223] 在图8c (1) 中, 电路80c包含PiFET P84、一个阵列像素读出部分PX80c和模/数转换器 (或ADC) U81。在PiFET P84中, 其源极端子P84a接收正电源Vdd, 其iPort端子P84b接收增益控制80cgain, 栅极端子P84d接收偏置80cbias, 并且漏极端子连接到ADC U81的输入且耦合到一个像素读出电路PX80c, 所述像素读出电路包含光电二极管PD80”、一对FET Q80”和Q81”以及xiFET对Q82”和Q83”, 其连接在一起以接收Vrst 80cVrst、初始化信号80cInit、曝

光信号80cExpo和用于读出控制的行选择信号80cRsel。图8a(2)和8c(2)中的圆形区域突出显示现有技术与本发明之间的连接差异。如可见,在图8c(2)中,一个阵列像素读出部分PX80c包含控制块80d中的混合xiFET,所述混合xiFET在图8d中进一步且清楚地作为N85可见。

[0224] 图8d中的等效电路80d示出获得CiFET放大以及输出控制功能的一对混合的PiFETP84和NxiFET N85,其至少相当于图8b中所示出的块80b。电路80d进一步包含开关SW80d,其功能性地表示由选择信号80cself操作以用于在行激活或关于去激活的负电源Vss期间选择性地将NxiFET N85的栅极端子N85d耦合到CiFET偏置80cbias的行选择逻辑。NxiFET N85的源极栅极端子N85e读取存储于电容器C80d上的像素电压。漏极栅极端子N85d在未选定像素行时从Vss切换到图8e CiFET偏置电压out80e以用于行选择。另外,增益可能受在PiFET P84的iPort端子P84b处接收到的信号80cgain控制。

[0225] 图8e示出增益可控制CiFET偏置产生器80e的示意图,其用于产生out80e CiFET自偏置电压以将80cbias馈送到列上拉PiFET栅极且还提供在行选择期间由开关SW80d使用以使得xiFET/PiFET类似于根据本发明的开创性CiFET单元操作的行选择电压电平。

[0226] 增益可控制偏置产生器80e包含一对互补的NiFET N86和PiFET P86,其中的每个包含源极端子N86a/P86a、iPort端子N86b/P86b、漏极端子N86c/P86c以及栅极端子N86d/P86d。NiFET N86的源极端子N86a接收负电源Vss,且PiFET P86的源极端子P86a接收正电源Vdd。PiFET P86的iPort端子P86b接收增益控制信号gc80e。栅极端子N86d和P86d,以及漏极端子N86c和P86c耦合在一起作为输出out80e,所述输出是由本发明电路80e产生的偏置电压。

[0227] 图9a示出根据本发明的锁存电流比较器900的示意图。比较器900包括差分跨阻抗放大器(CiTIA)900m和比较器COMP。CiTIA 900m包含三对混合互补的PiFET和NxiFET对且接收电流输入70m、71m、72m和73m,所述三个互补对包含第一对PiFET301a和NxiFET 501a、第二对PiFET 301b和NxiFET 501b、第三对PiFET 301c和NxiFET501c。NxiFET 501a、501b和501c中的每个进一步包含第二扩散端子500ae/500be/500ce,其接收选通信号900strb以便在系统未使用时节省功率。在本发明的另一优选实施例中,PiFET 301a、301b及/或301c可由一个或多个PxiFET装置替换且接收选通信号900strb以用于节省另外可使用的功率。

[0228] 比较器COMP包含两个CiFET 300a和300b,其中的每个与图3a、3g等中所示出的CiFET 300相同。第一组开关SS90a、SS90b和SS90c在控制信号的“设置”相期间闭合以通过,且第二组开关ES90a和ES90b在控制信号的“启动”相期间闭合以通过。比较器COMP包含第一电容器COS90a和第二电容器COS90b,其各自具有第一端子和第二端子。第一电容器COS90a的第二端子连接到第一CiFET 300a的输入。第一CiFET300a的输出电容耦合到第二CiFET 300b的输入。来自第二CiFET 300b的输出形成电路900的输出900out。电容器COS90b存储两个CiFET 300a和300b自偏压之间的差值,而电容器COS90a存储CiFET 300a的自偏置电压与差分TIA 710m的正参考电压79m之间的差值以供在操作的设置相期间进行比较。

[0229] 在控制信号的“设置”相期间,第一和第二开关SS90a、SS90b和SS90c和ES90a和ES90b使CTIA 710m的正电压输出79m与第一电容器COS90a的第一端子耦合,通过将第一CiFET 300a的输出连接到其输入而使其自偏置,且进一步通过将第二CiFET300b的输出连接到其输入而使其自偏置,同时第二电容器COS90b存储这两个自偏置电压之间的任何微小

偏移电压差值。

[0230] 在控制信号的“启动”相的起点处，第一和第二开关SS90a、SS90b和SS90c和ES90a使正电压79m与负电压78m之间的差值即刻耦合到第一电容器COS90a的第一和第二端子，且通过第一锁存器CiFET 300a的输入输入。在短暂的逻辑缓冲传播延迟之后，第二CiFET 300b的输出开关ES90b闭合通过第一CiFET 300a的输入形成快速AC正反馈锁存环路。此短暂的逻辑缓冲延迟使得CiFET 300a和300b在如TIA输出79m和78m的差值所引起的其适当极性方向上开始。理想地，一旦CiFET 300b的输出开始移动，那么正反馈环路闭合，驱动比较器一直锁存为将迅速地传递到此比较器所嵌入的系统上的其逻辑状态。

[0231] 对于甚至更高的比较器决策速度，锁存电流比较器900可以任选地具有前馈电容器CFF90p和CFF90n，所述前馈电容器将第一CiFET 300a的输入电容耦合到第二CiFET300b的iPort。

[0232] 术语的定义：

[0233] iFET:4端子(加上体)装置，类似于场效应晶体管但具有使所述装置对电流输入刺激作出响应的额外控制连接。

[0234] 源极沟道:iPort扩散与源极扩散之间的半导体区域。此区域中的导电通过栅极上的合适电压实现。

[0235] 漏极沟道:漏极扩散与iPort扩散之间的半导体区域。此区域中的导电通过栅极上的合适电压实现。

[0236] CiFET:图3a中所示的单级互补iFET复合装置。

[0237] 过饱和:指数性导电条件，类似于弱反型，但具有高栅极过驱动和沿着导电沟道的强制低电压。图2b#23b。

[0238] 前馈:在早期为预测最终值而呈现有关输出的信号的技术。

[0239] 自偏置:不同于固定偏置电路，自偏置电路调整以适应局部条件，从而确立最优操作点。

[0240] 双重性:(定理、表达等中)通过变量对的互换而与另一项相关，例如在“跨导”到“跨阻”中的电流和电压。

[0241] 跨阻:是跨导的双重性，偶尔称为互阻。所述术语是转移电阻的缩写式。它是指两个输出点处的电压的改变与相关的通过两个输入点的电流的改变之间的比率，且用符号表示为 $r_m$ ：

$$[0242] \quad g_m = \frac{\Delta I_{\text{输出}}}{\Delta V_{\text{输入}}}$$

$$[0243] \quad r_m = \frac{\Delta V_{\text{输出}}}{\Delta I_{\text{输入}}}$$

[0244] 跨阻的SI单位就是欧姆，如同电阻。

[0245] 对于小的信号交流电，本定义更简单：

$$[0246] \quad g_m = \frac{i_{\text{输出}}}{v_{\text{输入}}}$$

$$[0247] \quad r_m = \frac{v_{\text{输出}}}{i_{\text{输入}}}$$

[0248] 跨阻抗:类似于跨阻,但进一步包含用于高频率应用的复杂变量。

[0249] 跨导是某些电子组件的属性。导电与电阻互反;跨导是输出处的电流变化与输入处的电压变化的比率。它写作 $g_m$ 。对于直流电,跨导如下定义:

$$[0250] \quad g_m = \frac{\Delta I_{\text{输出}}}{\Delta V_{\text{输入}}}$$

$$[0251] \quad r_m = \frac{\Delta V_{\text{输出}}}{\Delta I_{\text{输入}}}$$

[0252] 对于小的信号交流电,本定义更简单:

$$[0253] \quad g_m = \frac{i_{\text{输出}}}{v_{\text{输入}}}$$

$$[0254] \quad r_m = \frac{v_{\text{输出}}}{i_{\text{输入}}}$$

[0255] 跨导是转移电导的缩写式。电导的旧单位姆欧(欧姆倒写)被替换为SI单位西门子,符号为S(1西门子=1安培每伏)。

[0256] 跨导线性电路:跨导线性电路是使用跨导线性原理执行其功能的电路。这些是可使用遵从指数电流-电压特性的晶体管——这包含BJT和呈弱反型的CMOS晶体管——制造的电流模式电路。

[0257] 亚阈值导电或亚阈值漏电或亚阈值漏极电流是MOSFET的源极与漏极之间在晶体管处于亚阈值区或弱反型区(即,栅源电压低于阈值电压)中时的电流。Tsividis中描述了各种反型程度的术语。(Yannis Tsividis(1999);《MOS晶体管的操作和建模(Operation and Modeling of the MOS Transistor)》(第二版);纽约:McGraw-Hill;第99页;ISBN 0-07-065523-5。)

[0258] 亚阈值斜率:在亚阈值区中,漏极电流行为——尽管受栅极端子控制——类似于正向偏置二极管的按指数律增加的电流。因此,在漏极、源极和本体电压固定的情况下,对数漏极电流与栅极电压的曲线图将在此MOSFET操作状态中呈现大致对数线性行为。其斜率是亚阈值斜率。

[0259] 扩散电流:扩散电流是半导体中由电荷载流子(空穴和/或电子)的扩散产生的电流。扩散电流可与因半导体中的电场而形成的漂移电流的方向相同或相反。在p-n结中的均衡状态下,耗尽区中的前向扩散电流与反向漂移电流平衡,使得净电流为零。扩散电流和漂移电流一起通过漂移-扩散方程进行描述。

[0260] 漏极感应势垒降低:漏极感应势垒降低或DIBL是MOSFET中的短沟道效应,最初是指晶体管的阈值电压在较高漏极电压下减小。

[0261] 随着沟道长度减小,来自源极的电子在其通往漏极的过程中要越过的势垒 $\phi_B$ 减小。

[0262] 随着沟道长度减小,亚阈值区(弱反型)中的DIBL效应最初以亚阈值电流与栅偏置

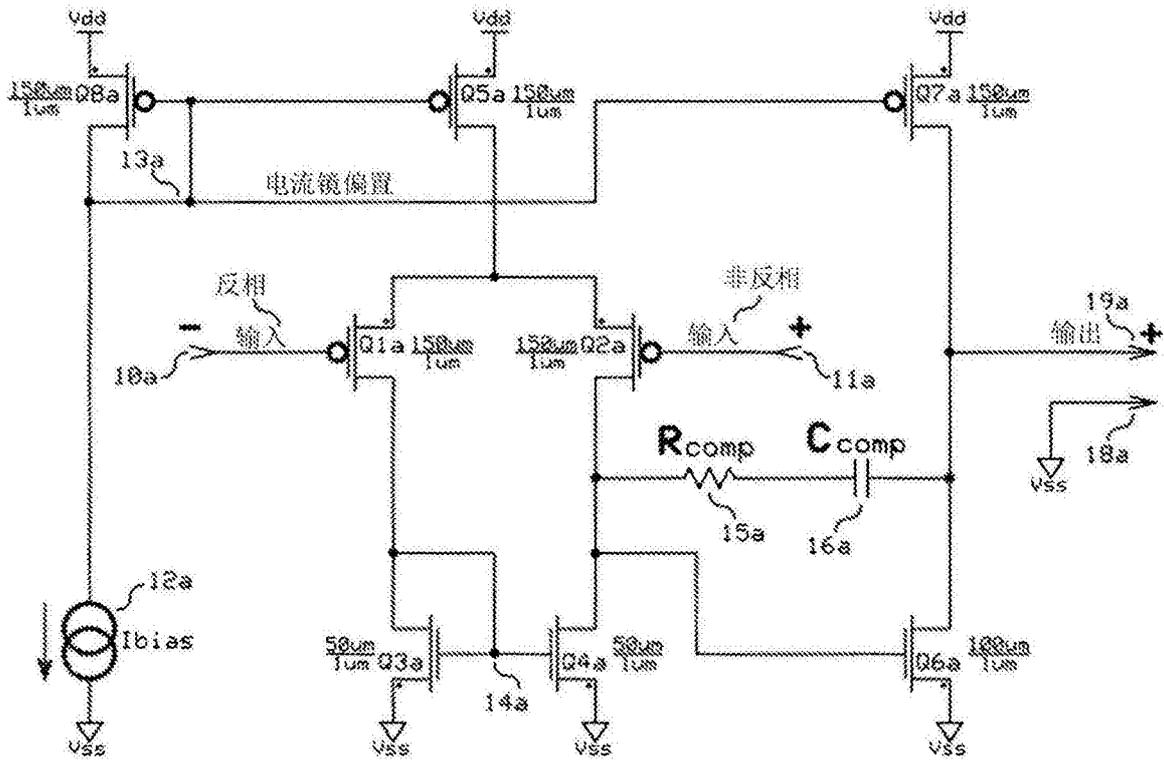
曲线的简单平移且漏极电压改变的形式出现,这可建模为在漏极偏置情况下的阈值电压简单改变。然而,在更短长度下,电流与栅偏置曲线的斜率减小,即,其需要栅偏置的较大改变来实现漏极电流的相同改变。在极其短的长度下,栅极完全无法关断装置。这些效应无法作为阈值调整进行建模。

[0263] DIBL还影响有源模式中的电流与漏极偏置曲线,使得电流随着漏极偏置而增大,从而降低MOSFET输出电阻。这种增大超出了对输出电阻的正常沟道长度调制,且无法总是作为阈值调整进行建模。

[0264] PSSR表示如下定义电源抑制比:

$$[0265] \quad PSSR = 20 \log_{10} \left( \frac{\Delta V_{dd}}{\Delta V_{\text{输出}}} A \right) [dB]$$

[0266] 其中A是电路的增益。一些制造商将PSSR的基础放在放大器输入到偏移电压上,且其它制造商将PSSR的基础放在如实例方程中所示的电压输出上。



现有技术

图1a

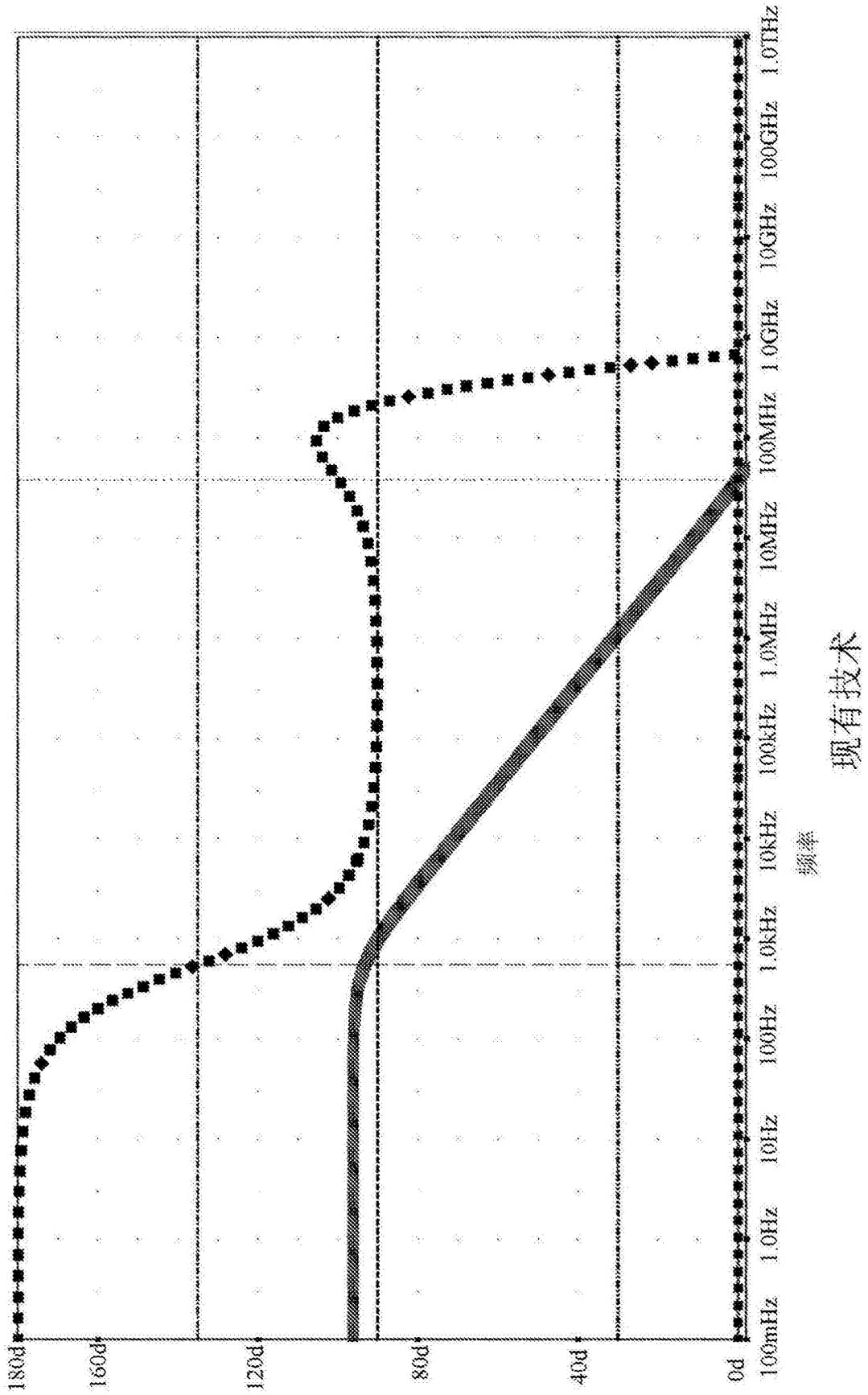


图1b

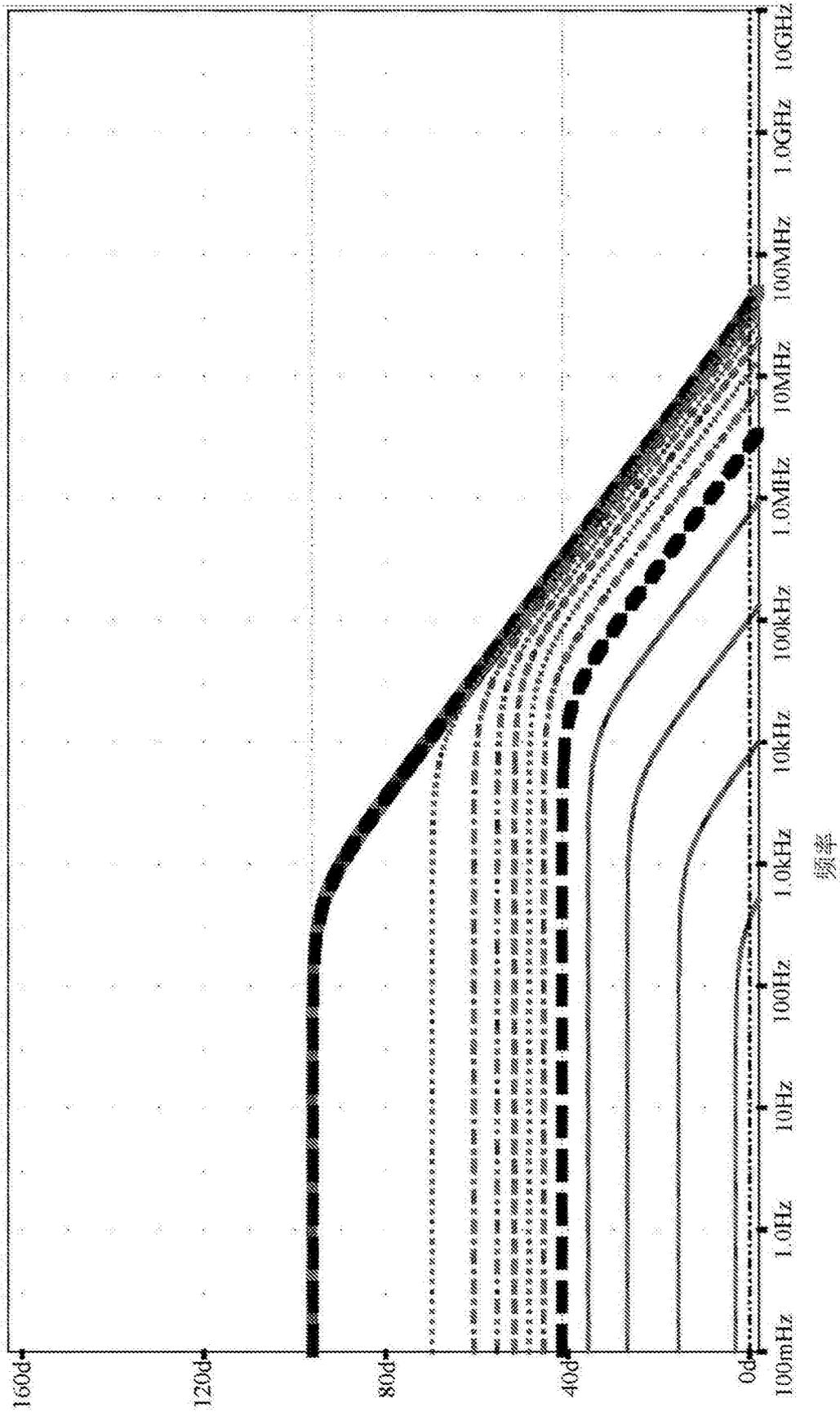


图1c

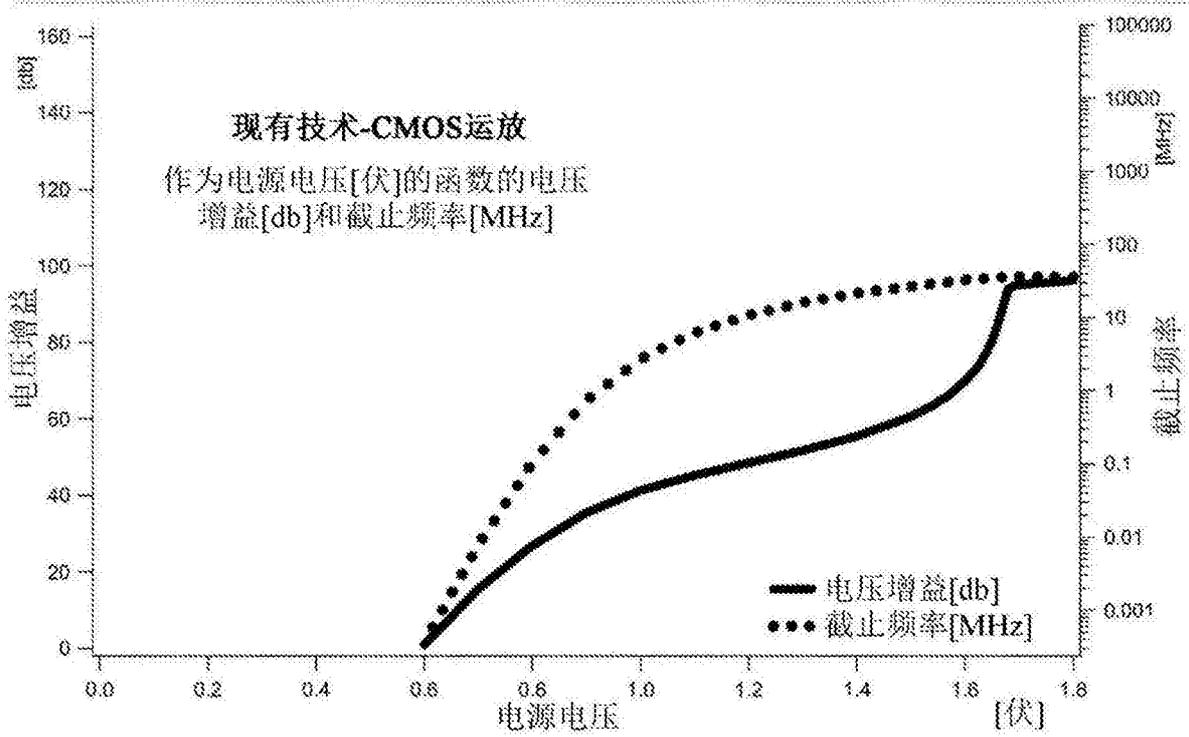
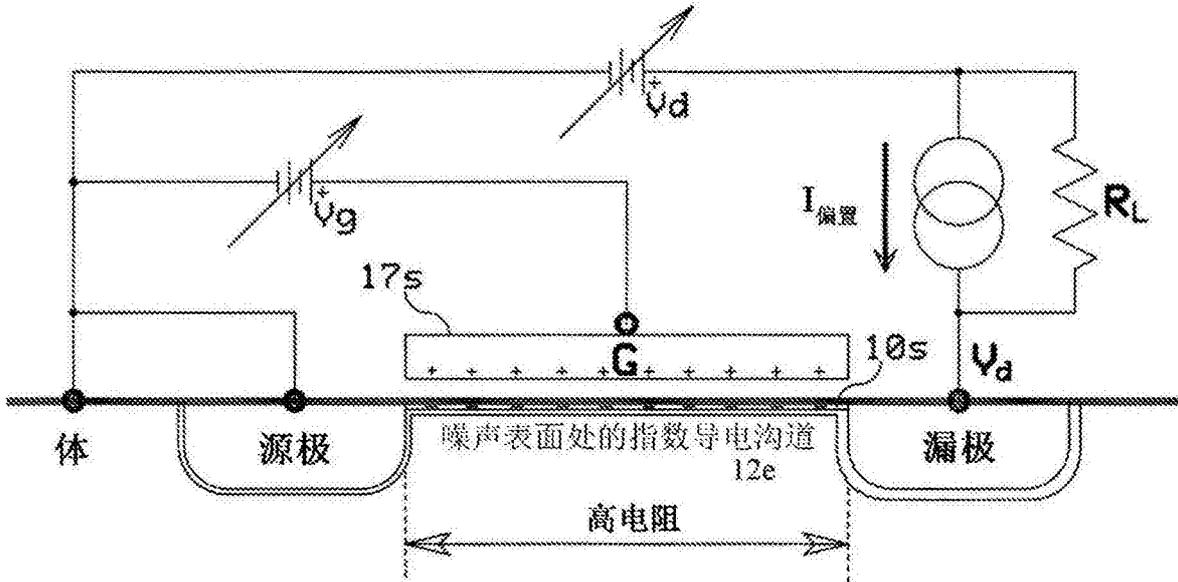


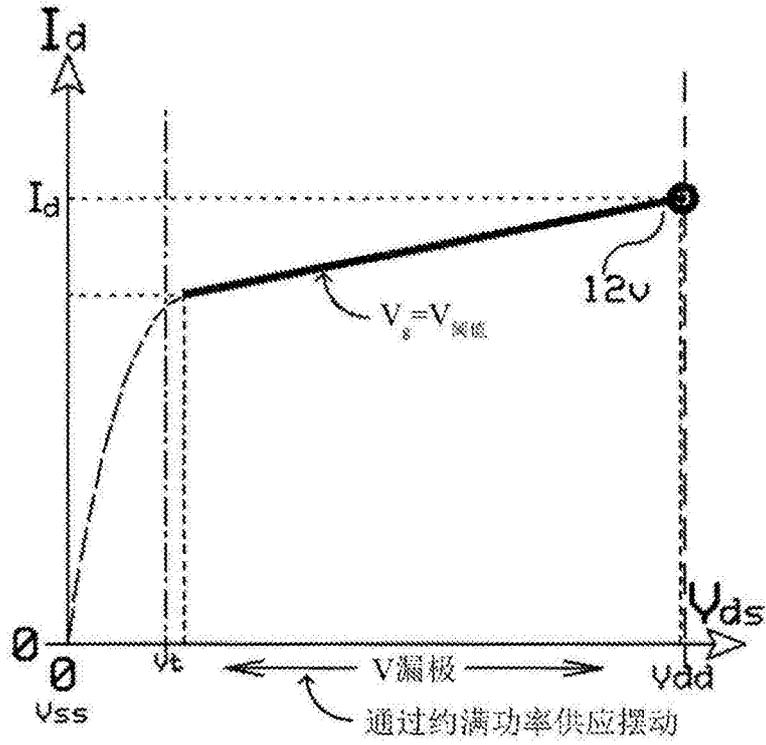
图1d



现有技术

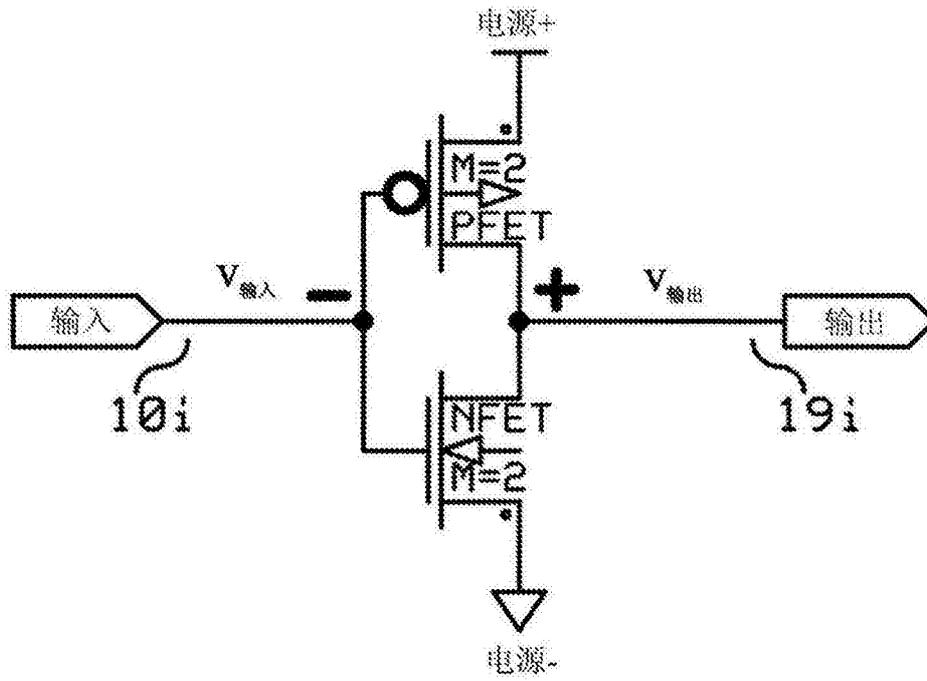
图1e





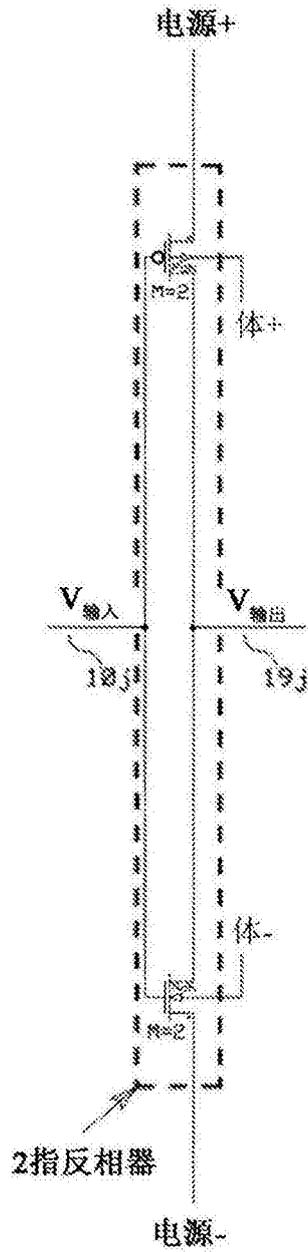
现有技术

图1h



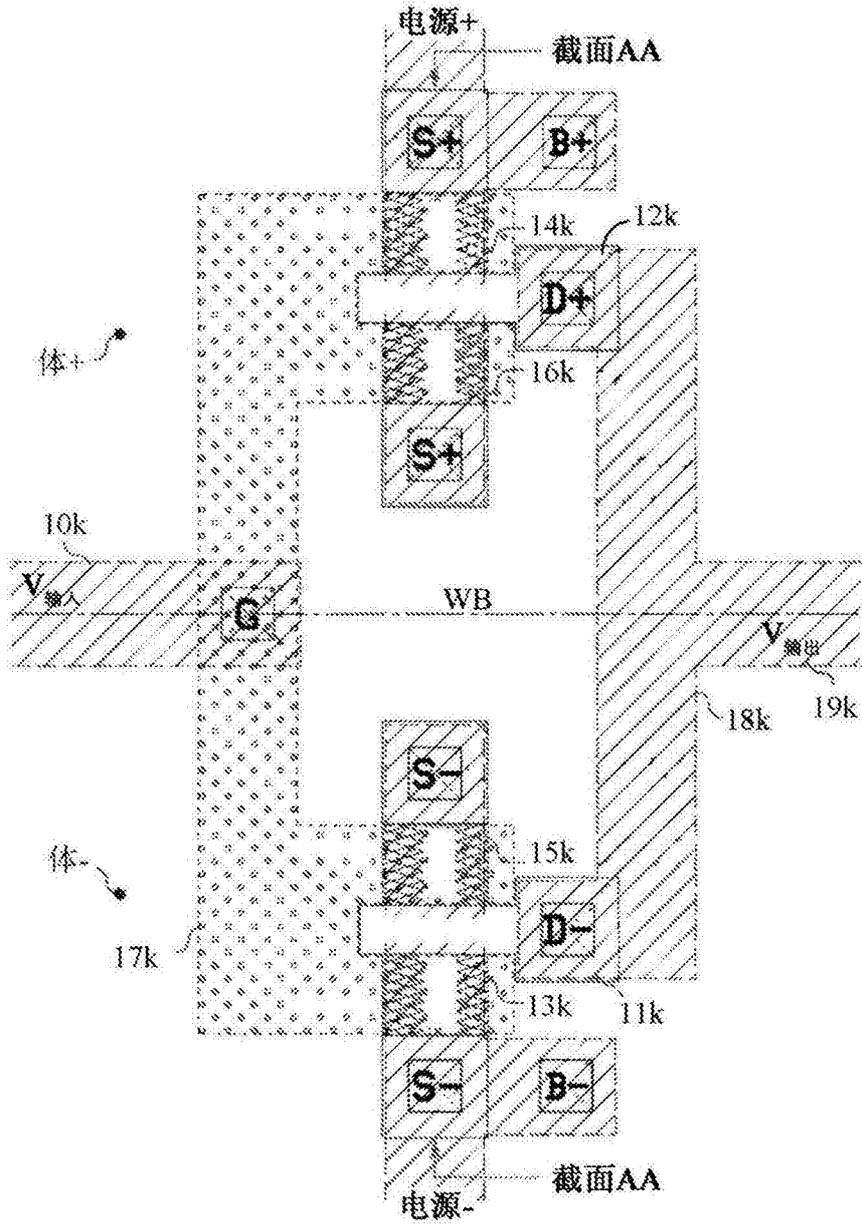
现有技术

图1i



现有技术

图1j



现有技术

图1k

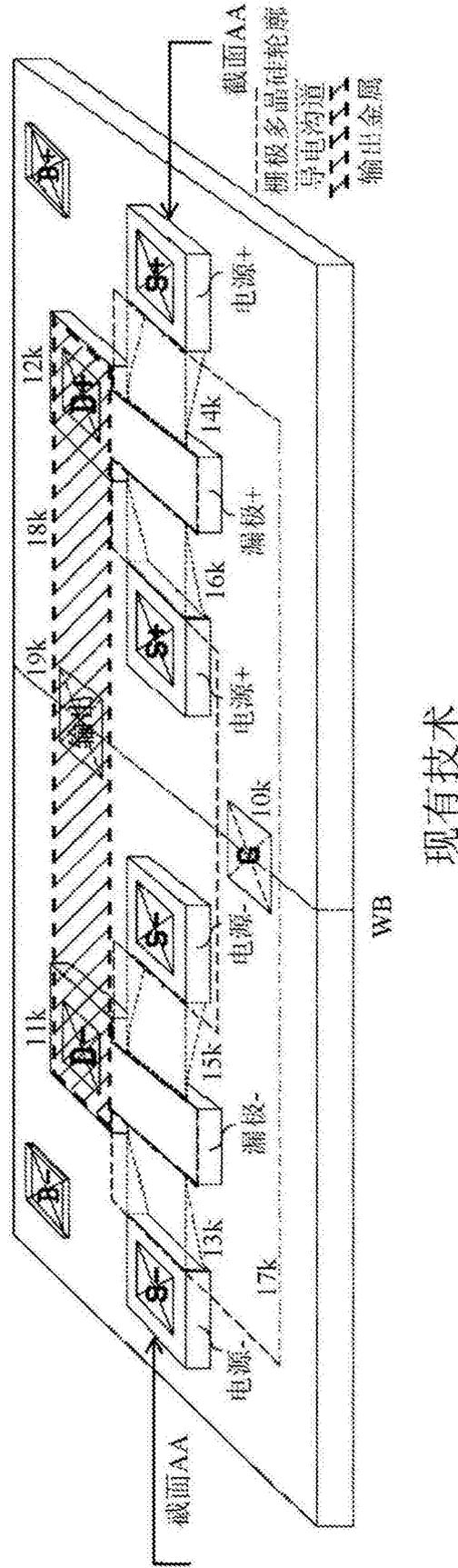


图1m

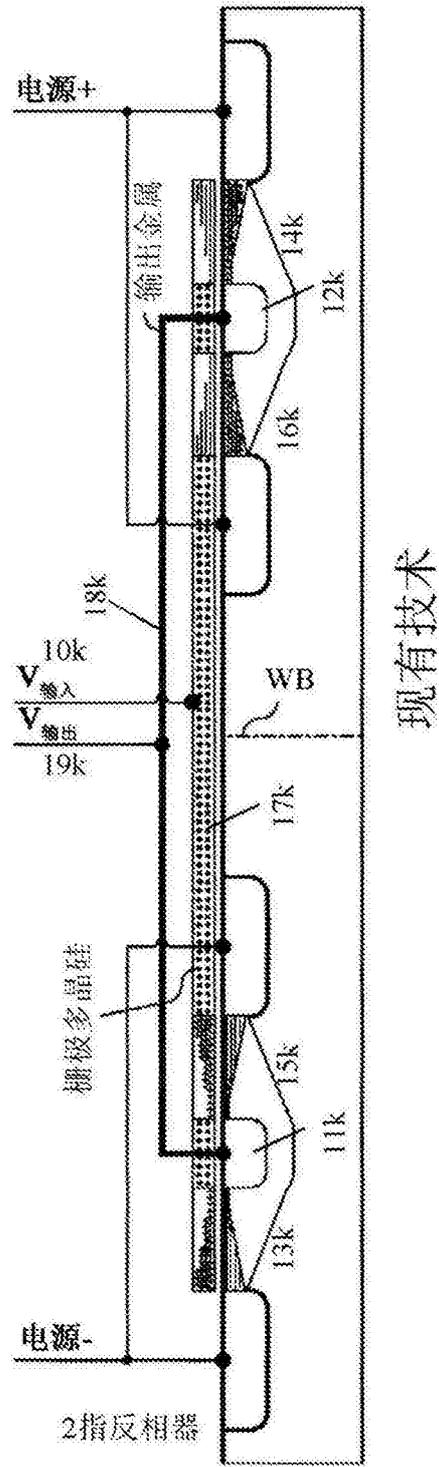


图1n

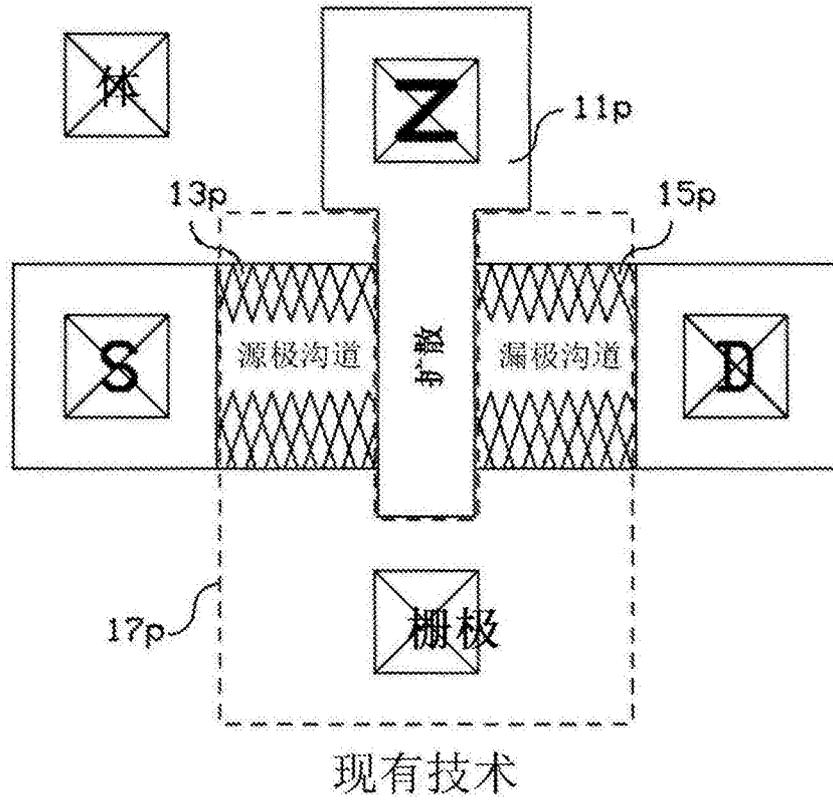


图1p

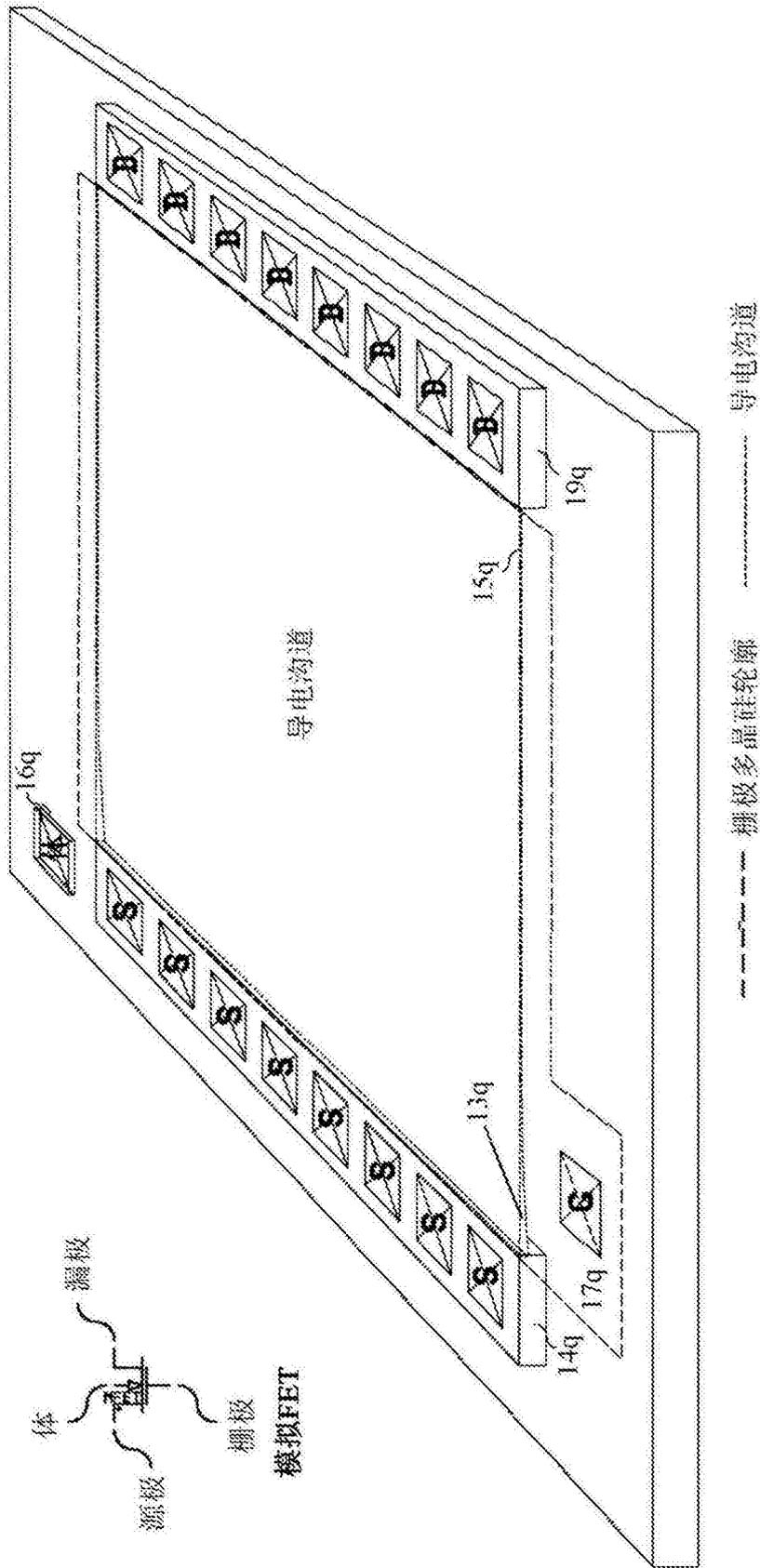


图1q

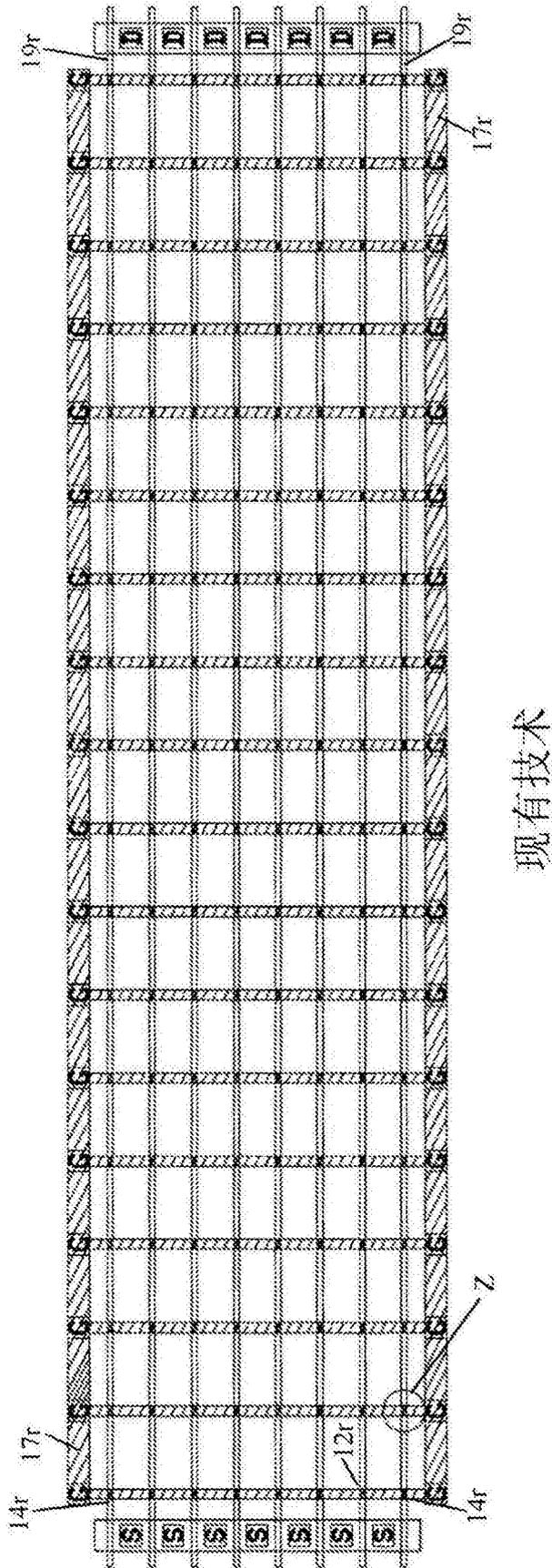
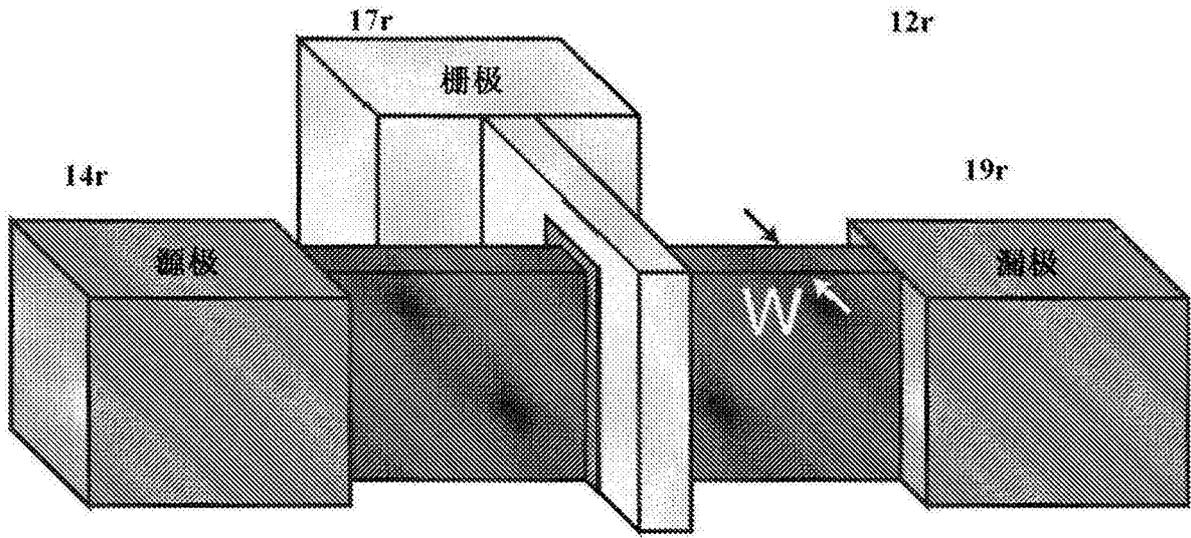
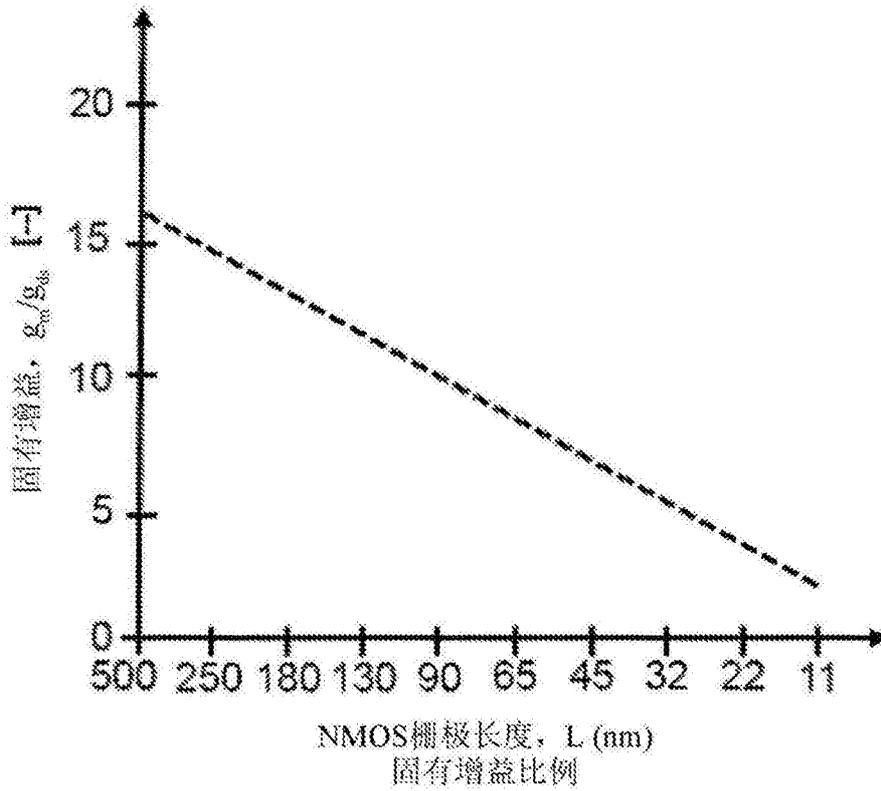


图1r



现有技术

图1s



现有技术

图1t

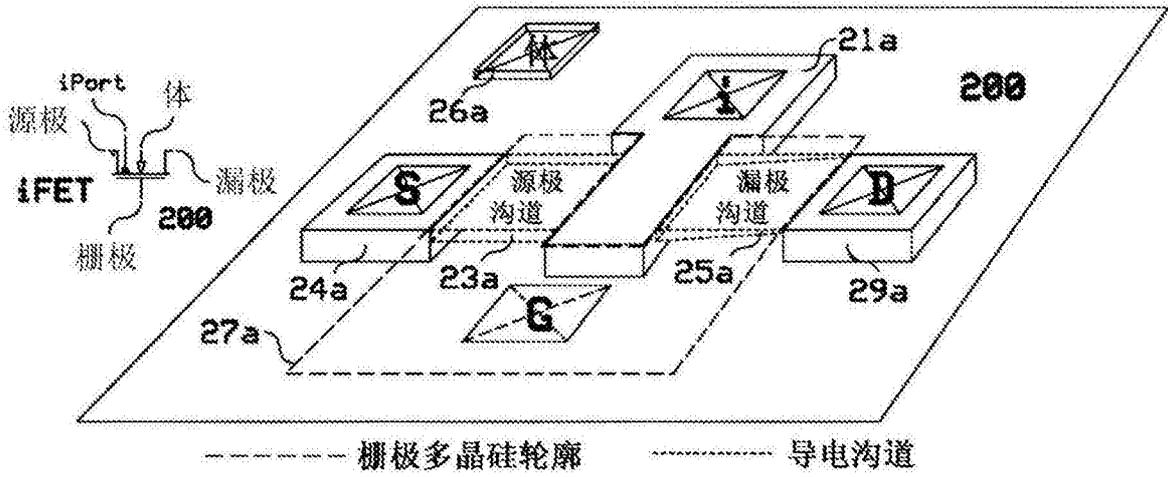


图2a

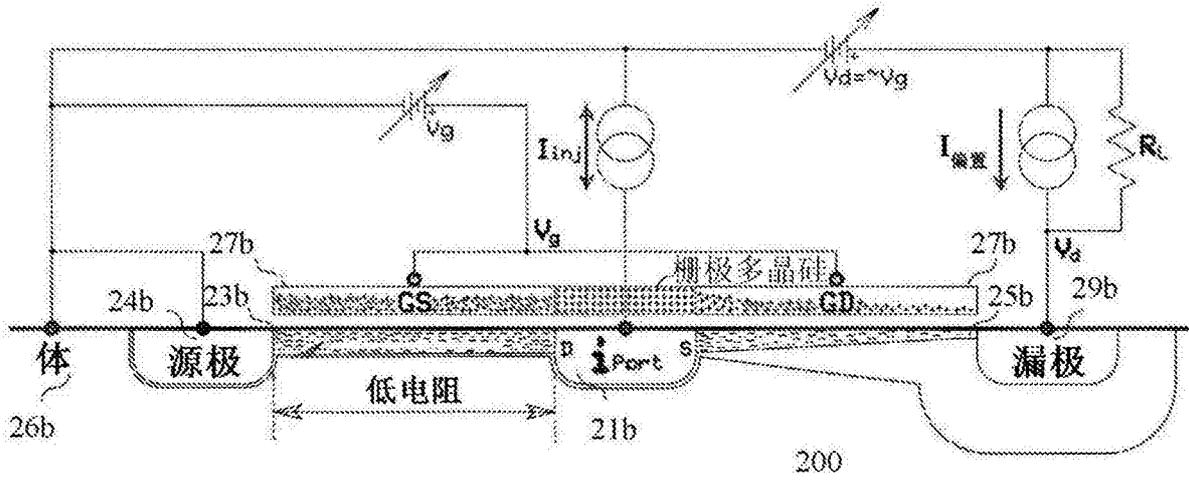


图2b

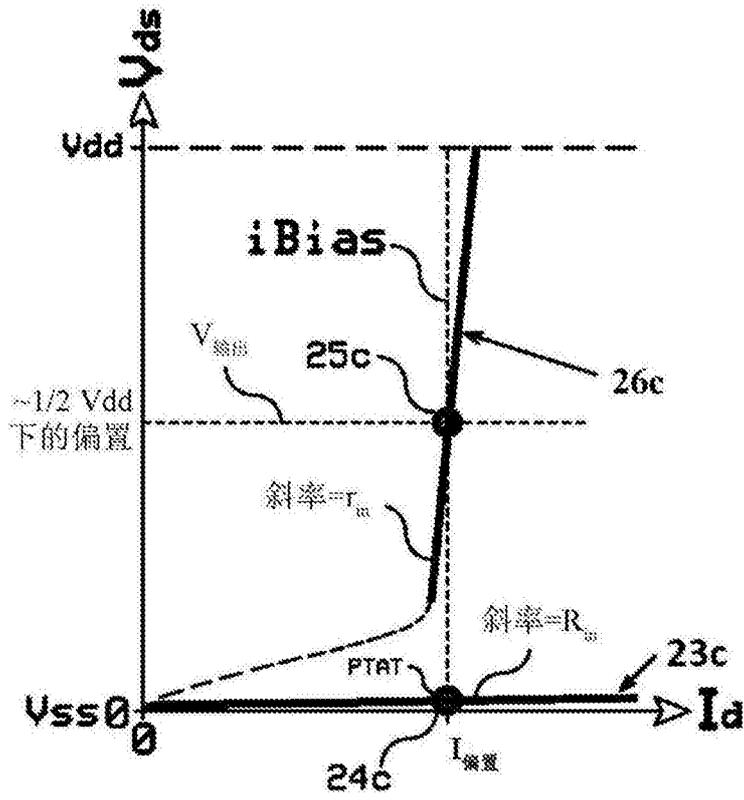


图2c

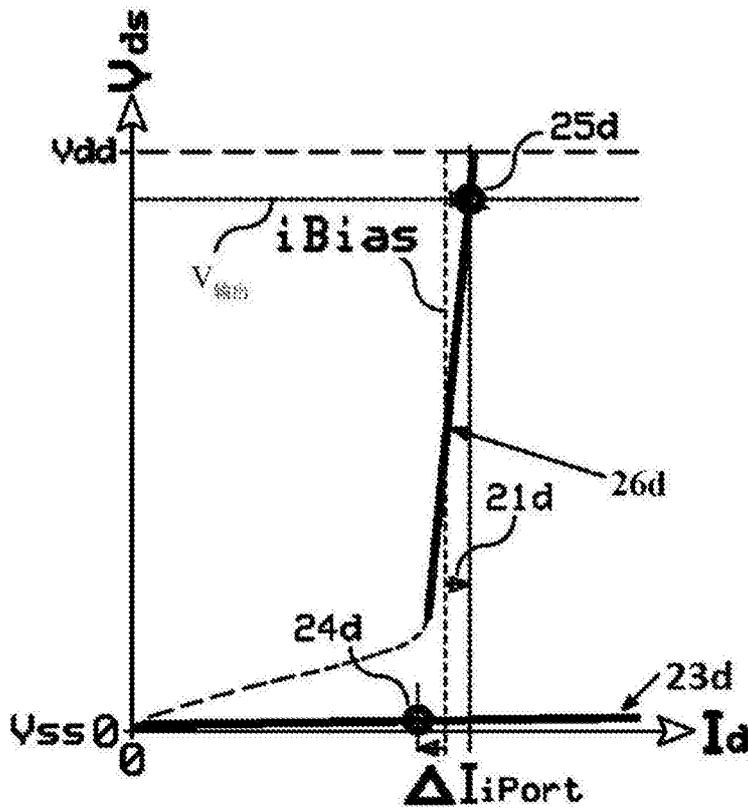


图2d

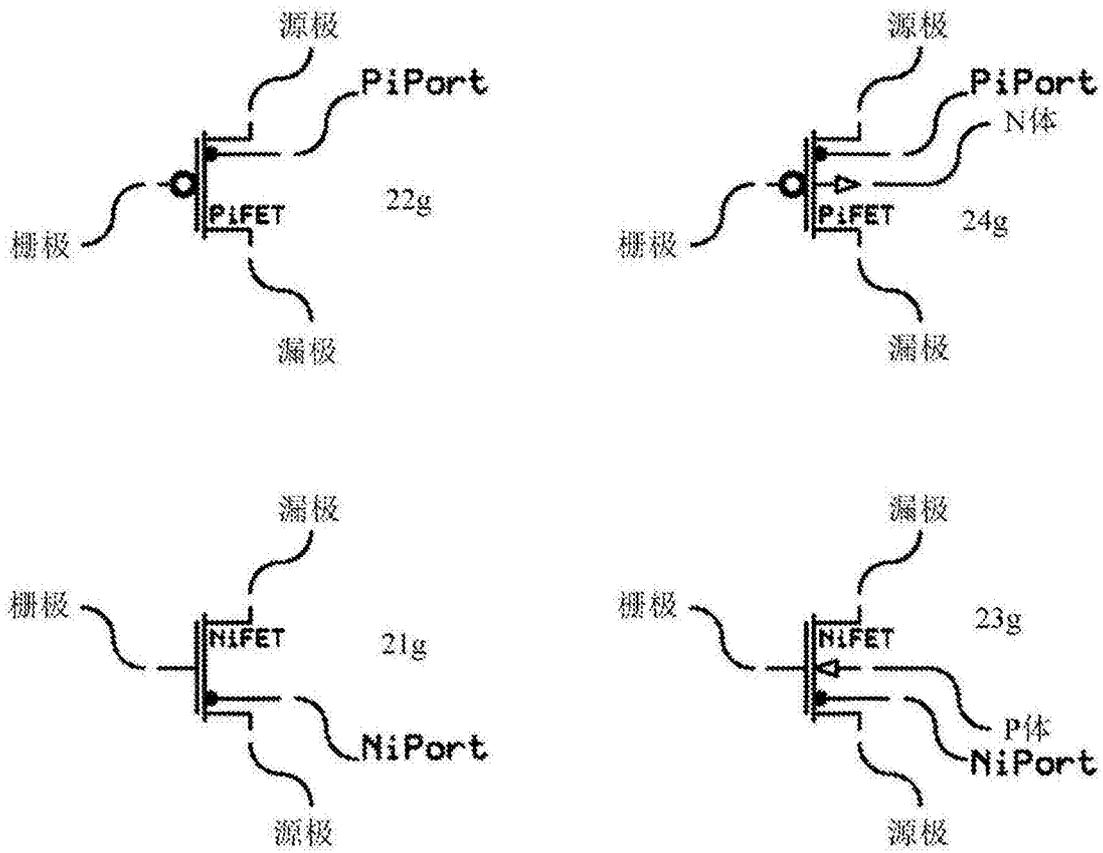


图2e

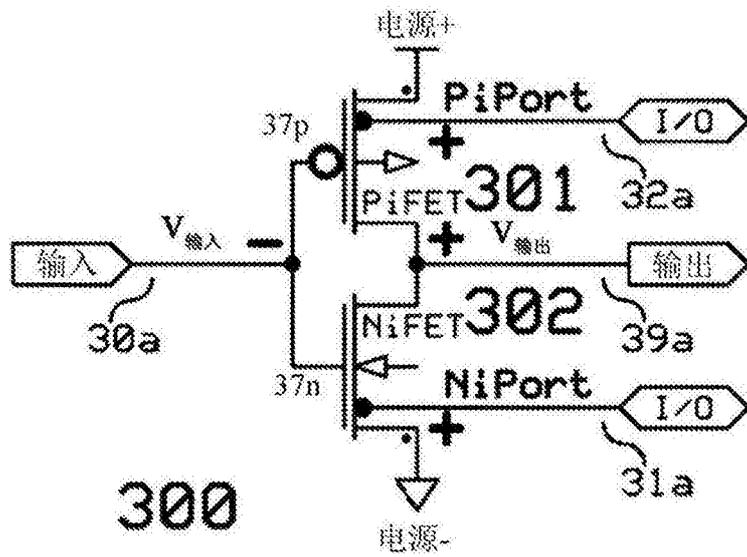


图3a

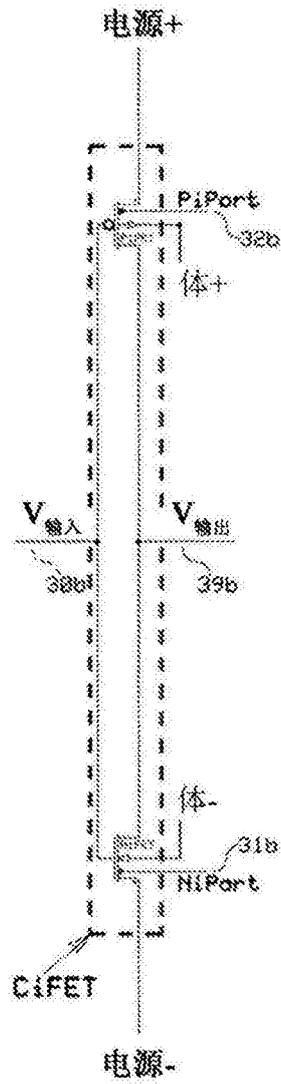


图3b

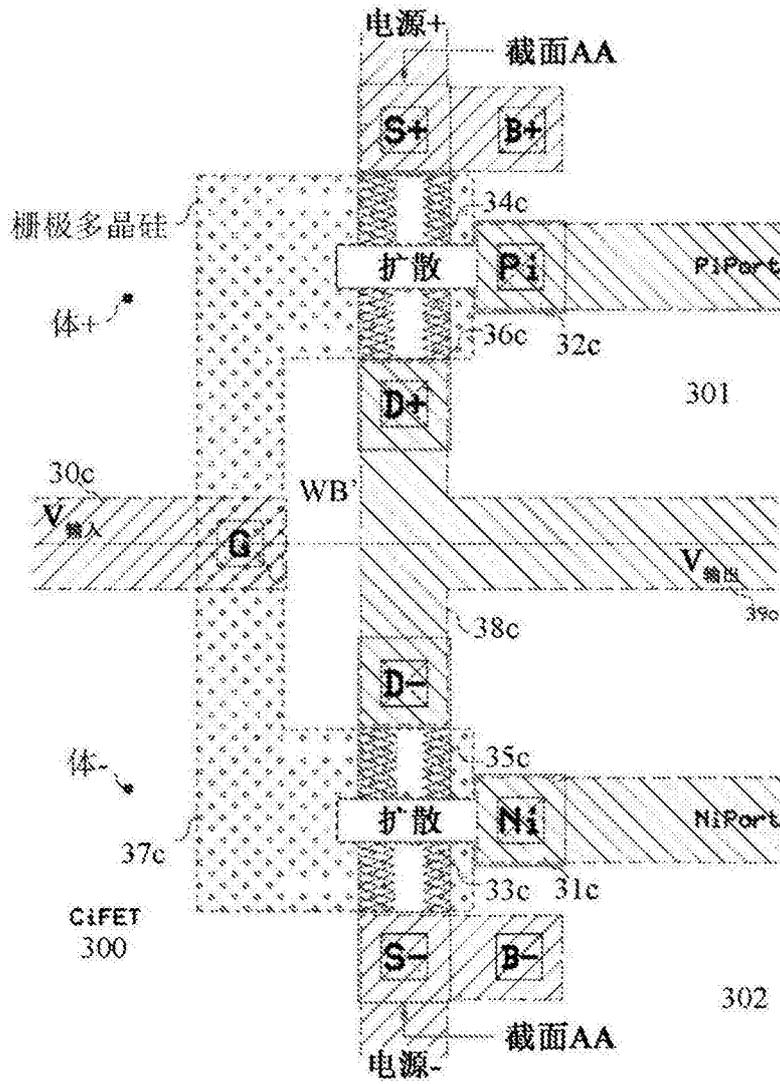


图3c

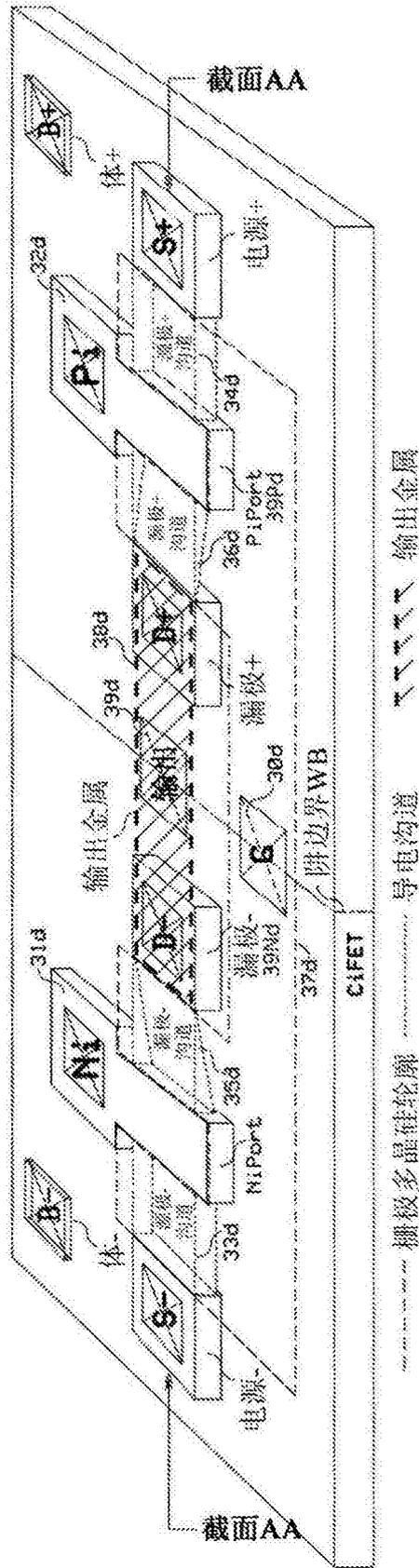


图3d

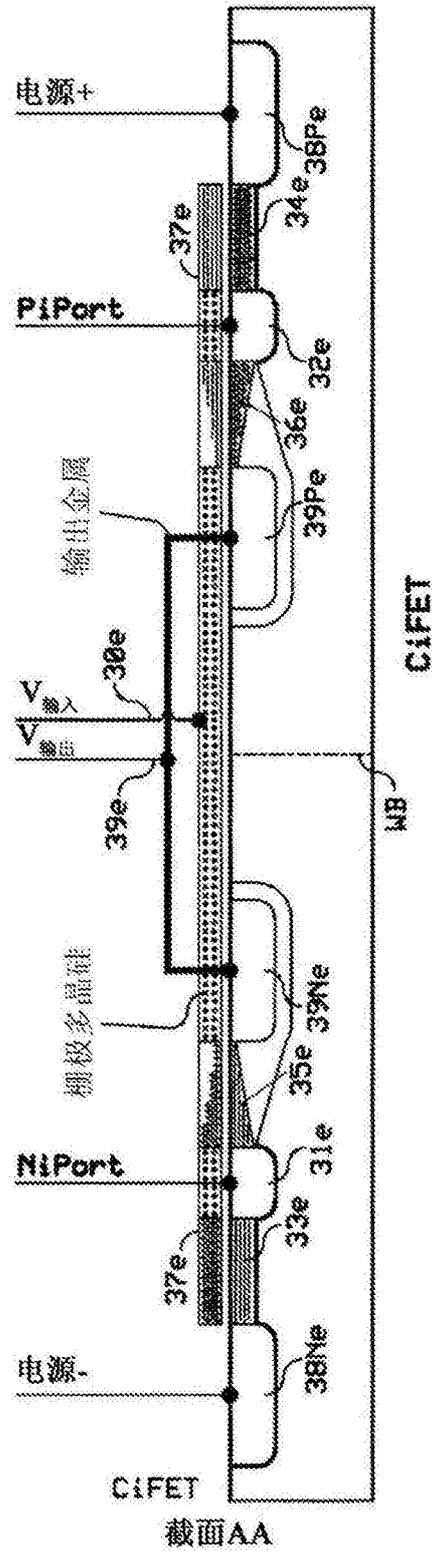


图3e

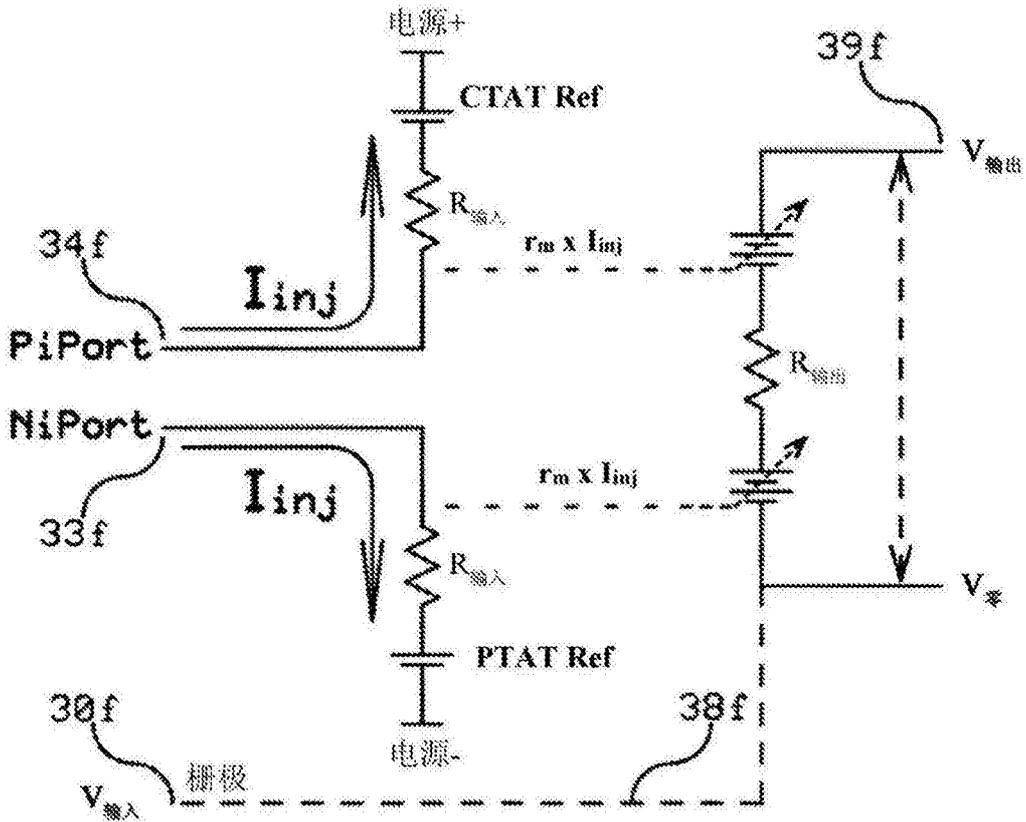


图3f

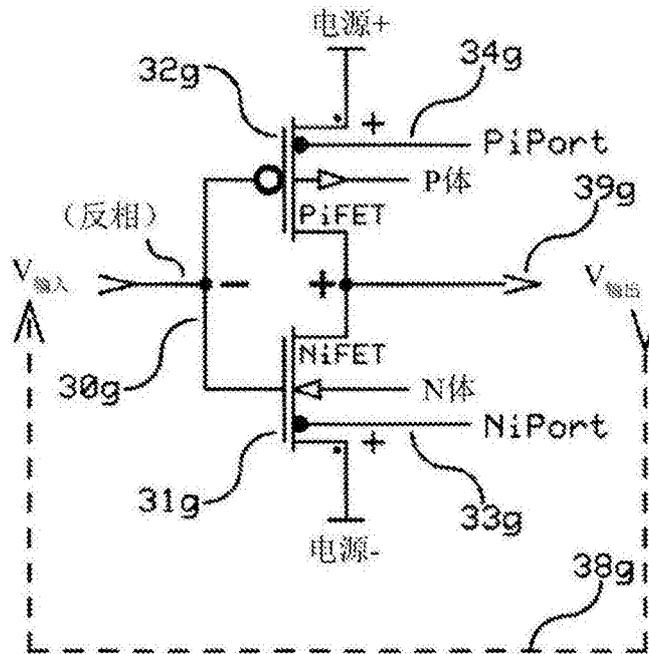


图3g

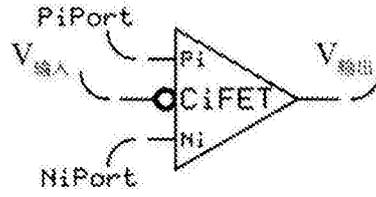


图3h

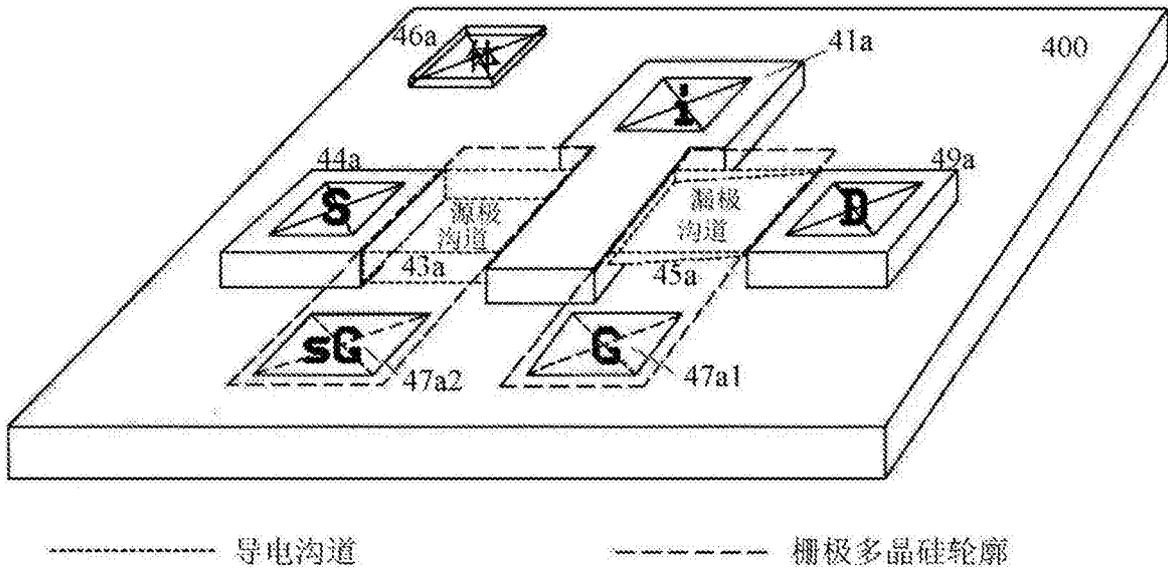


图4a

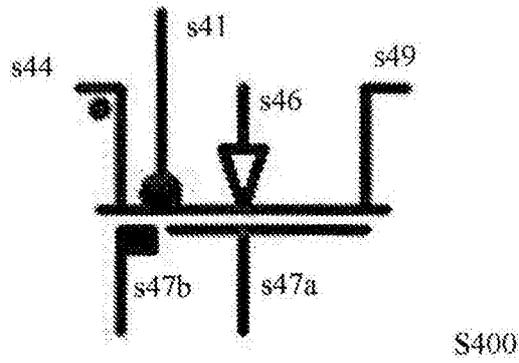


图4b

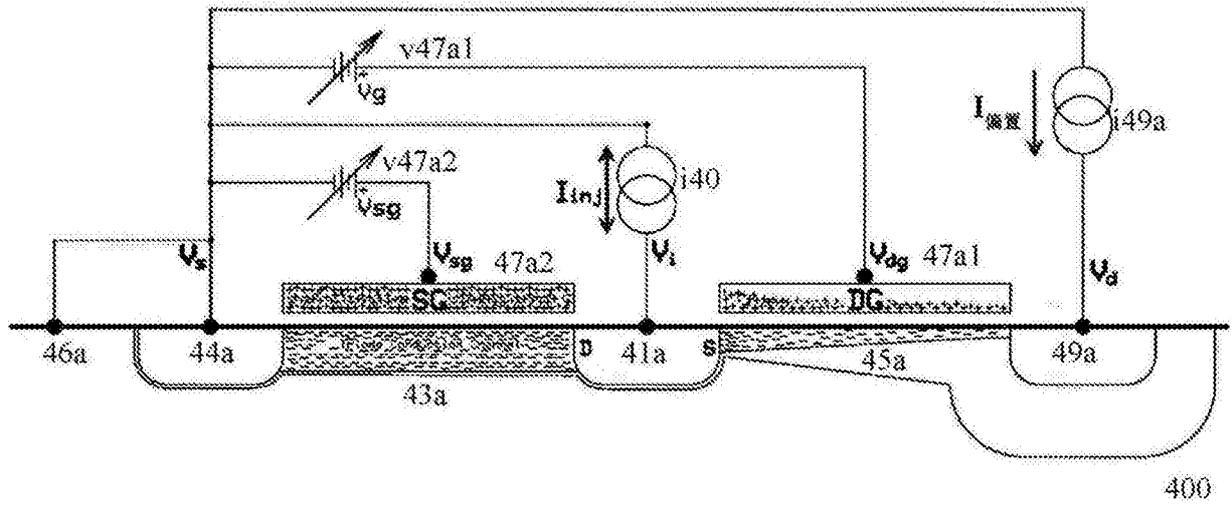


图4c

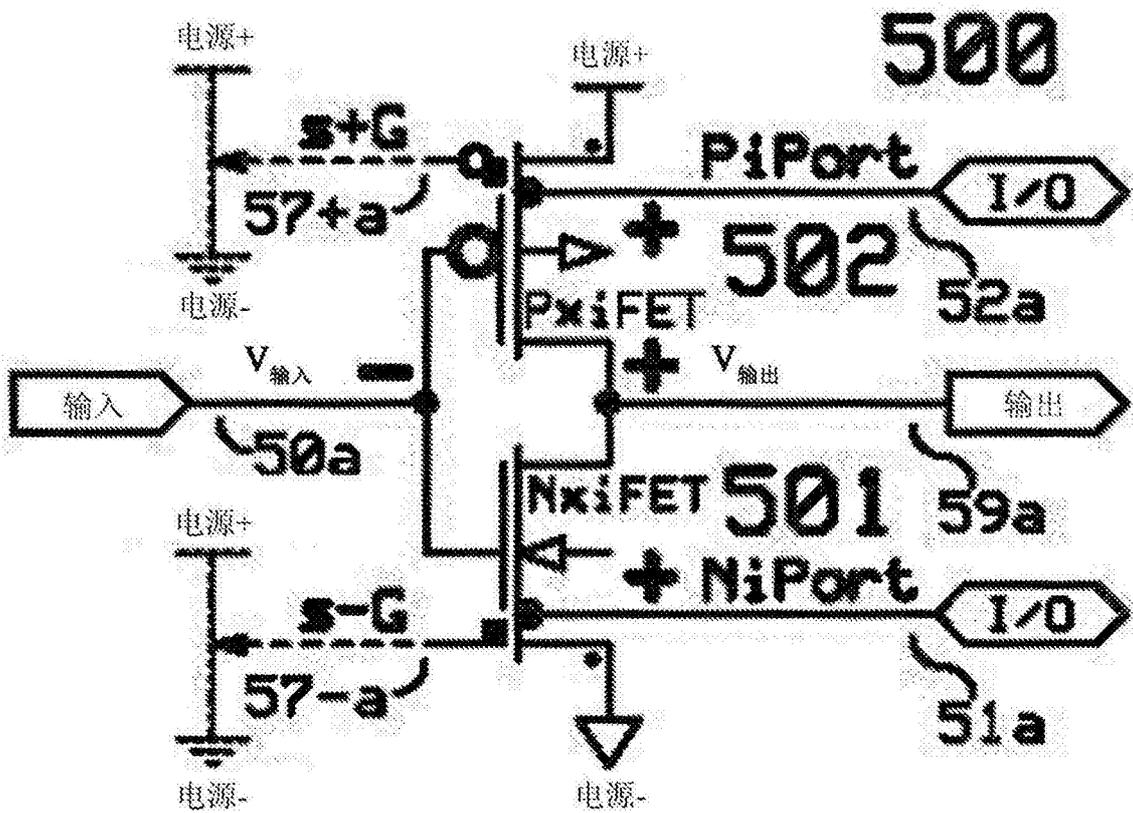


图5

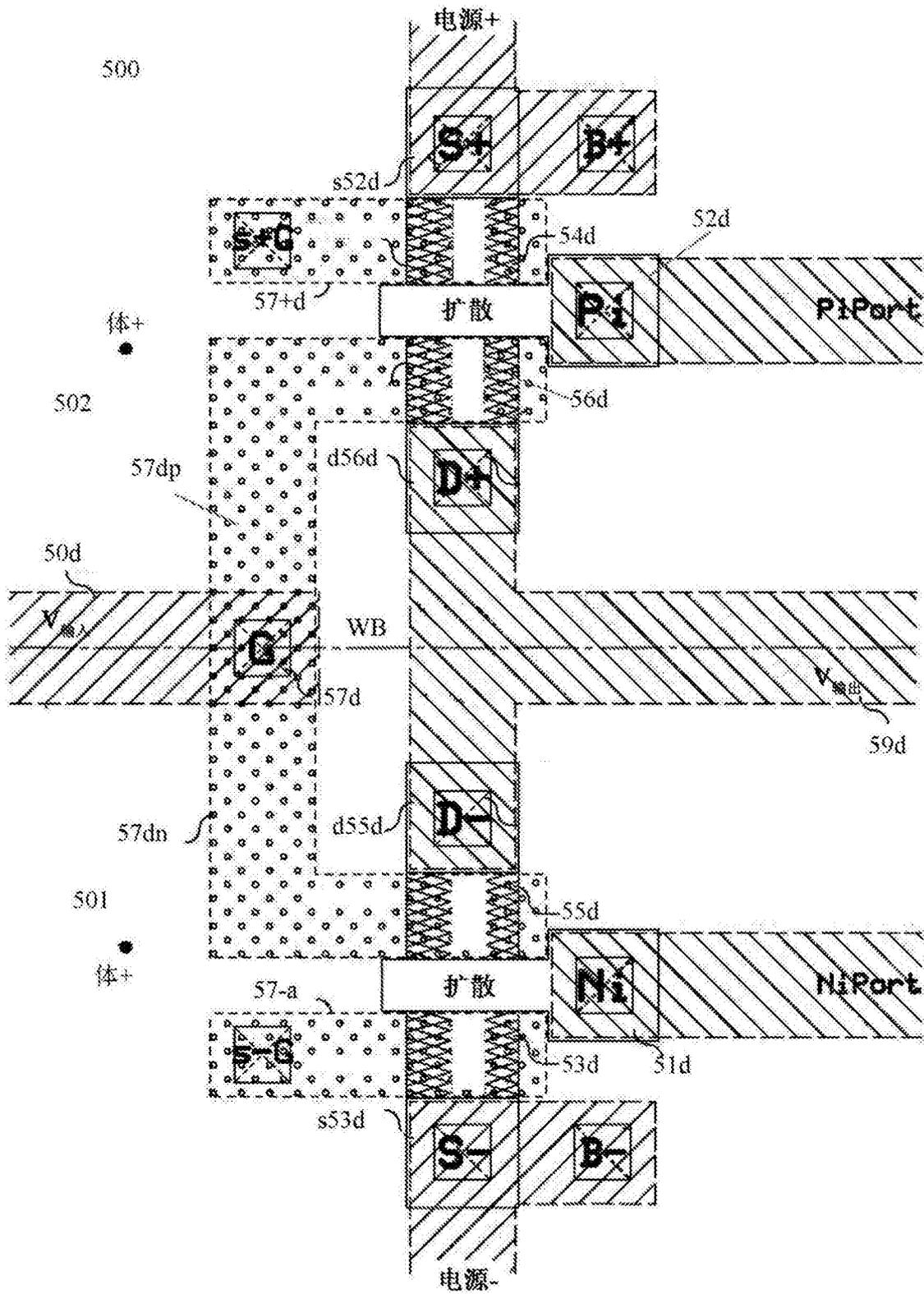


图6



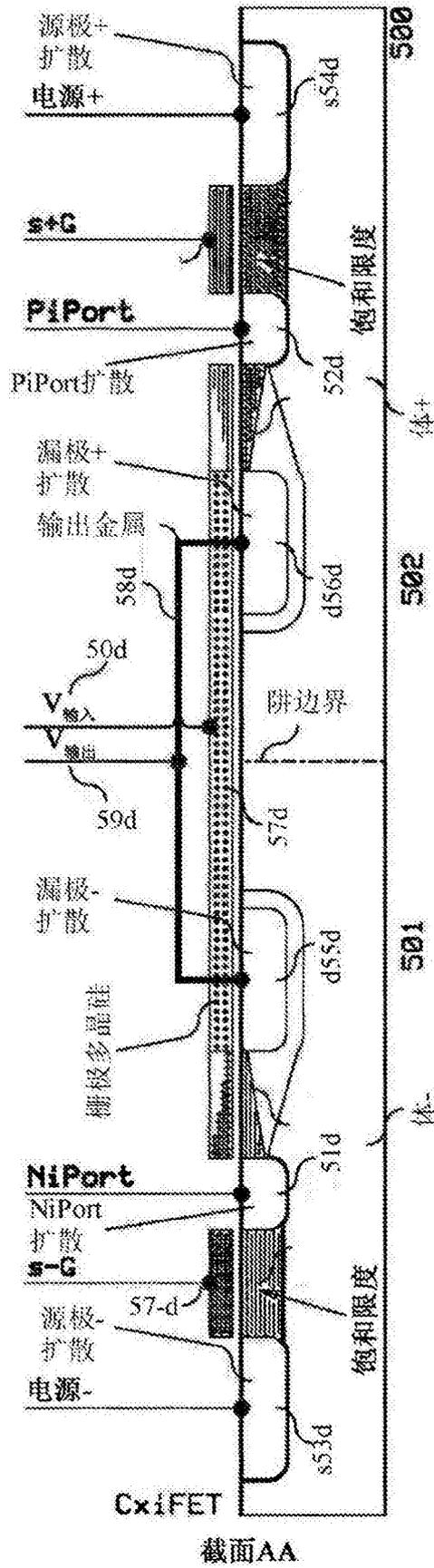


图7b

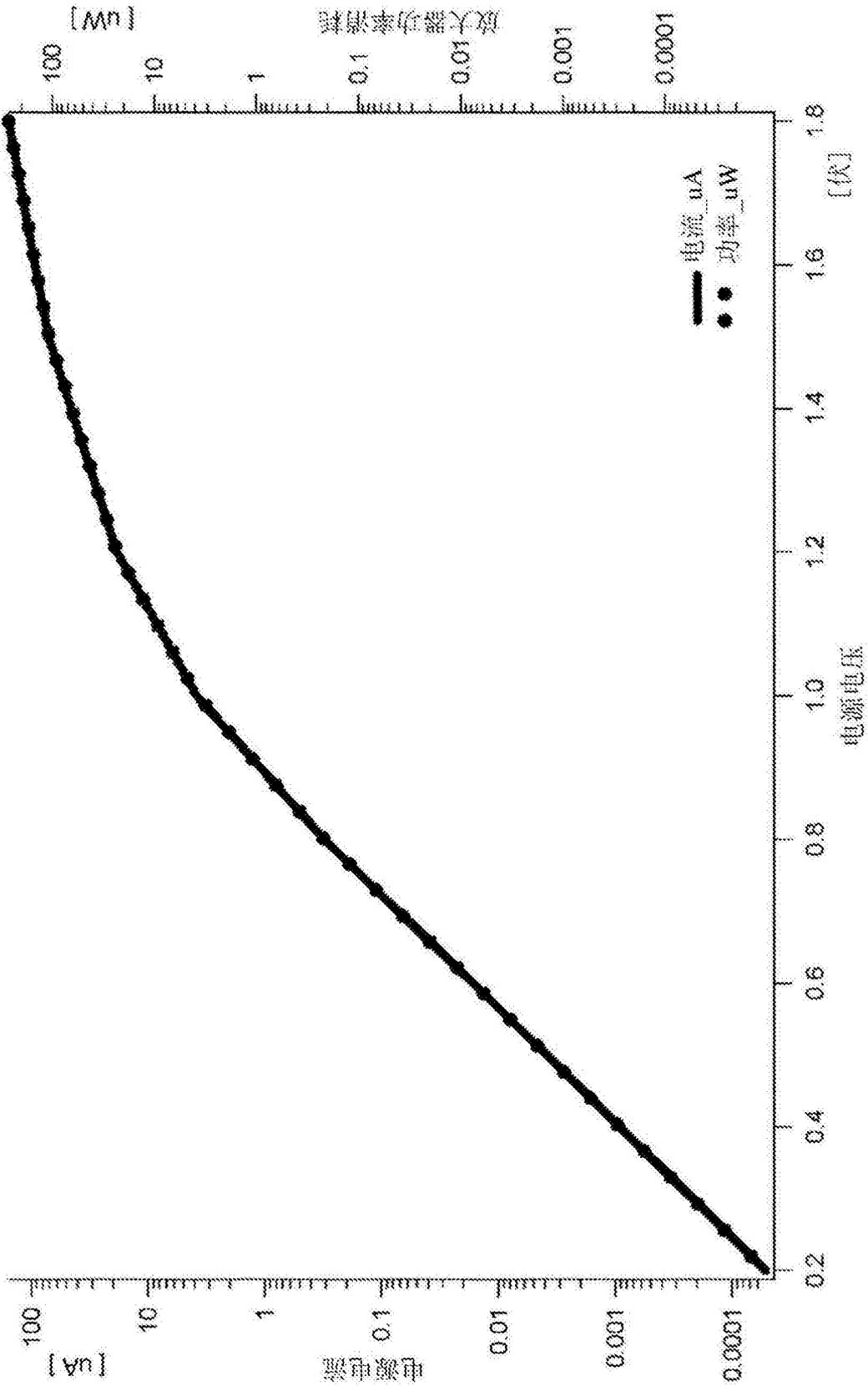
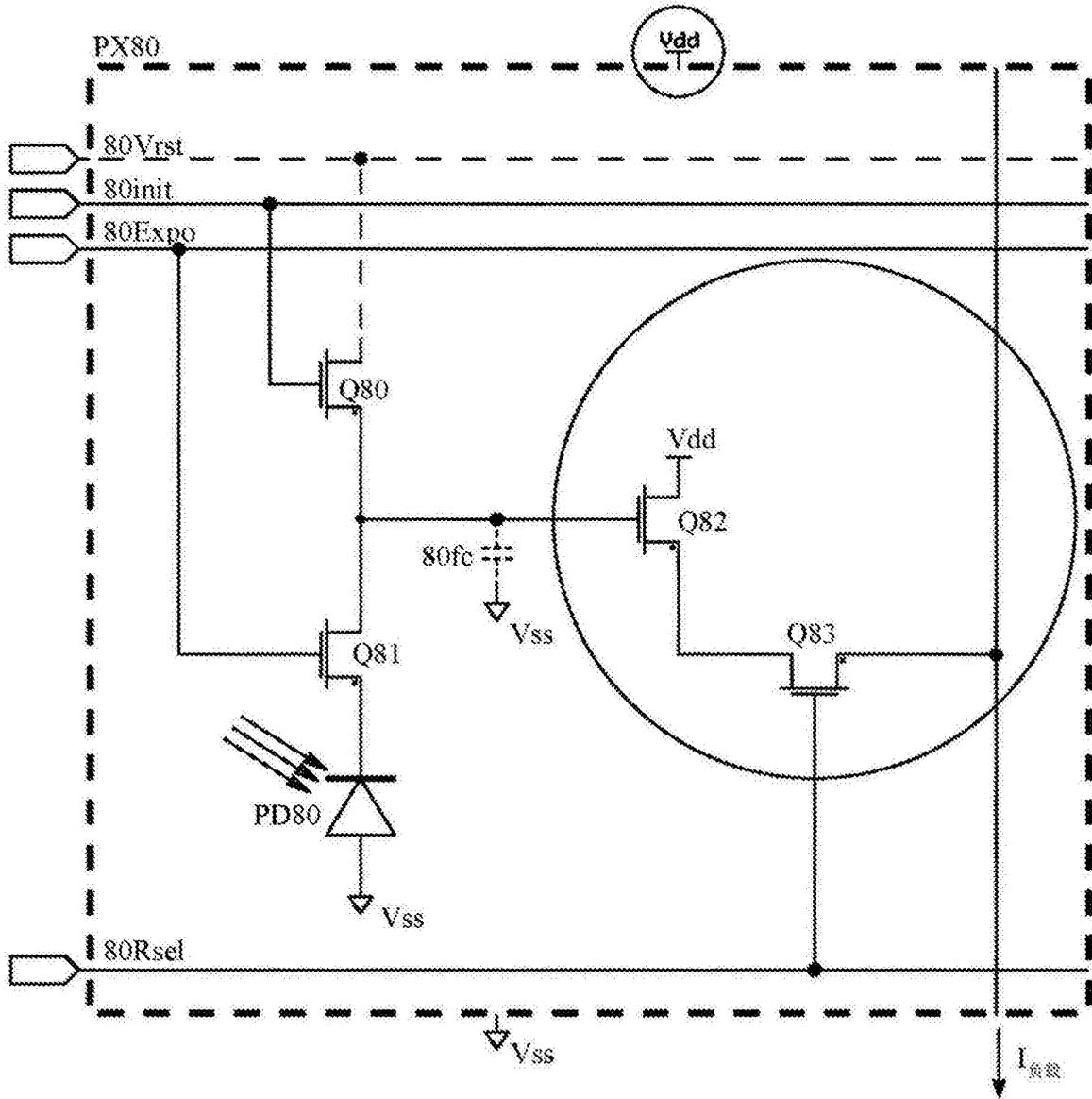


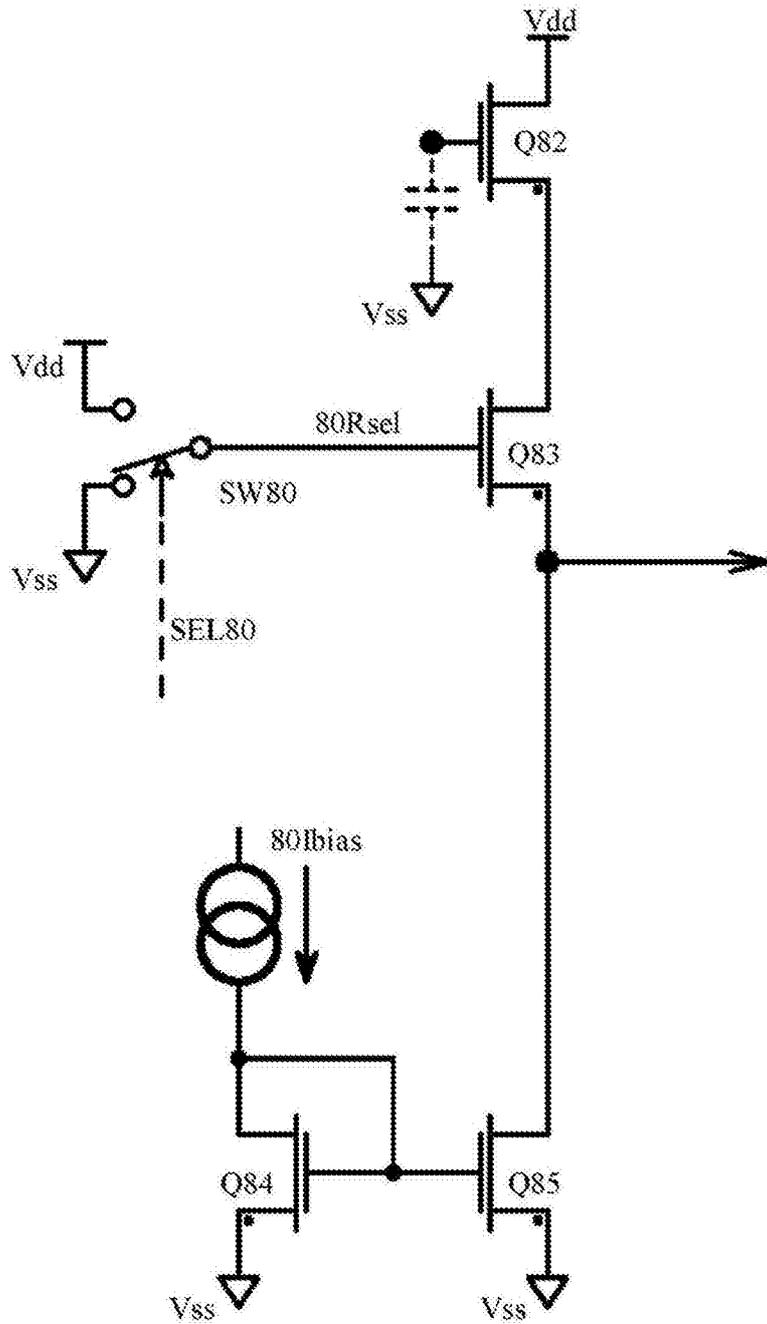
图7c





现有技术

图8a (2)



80b

现有技术

图8b

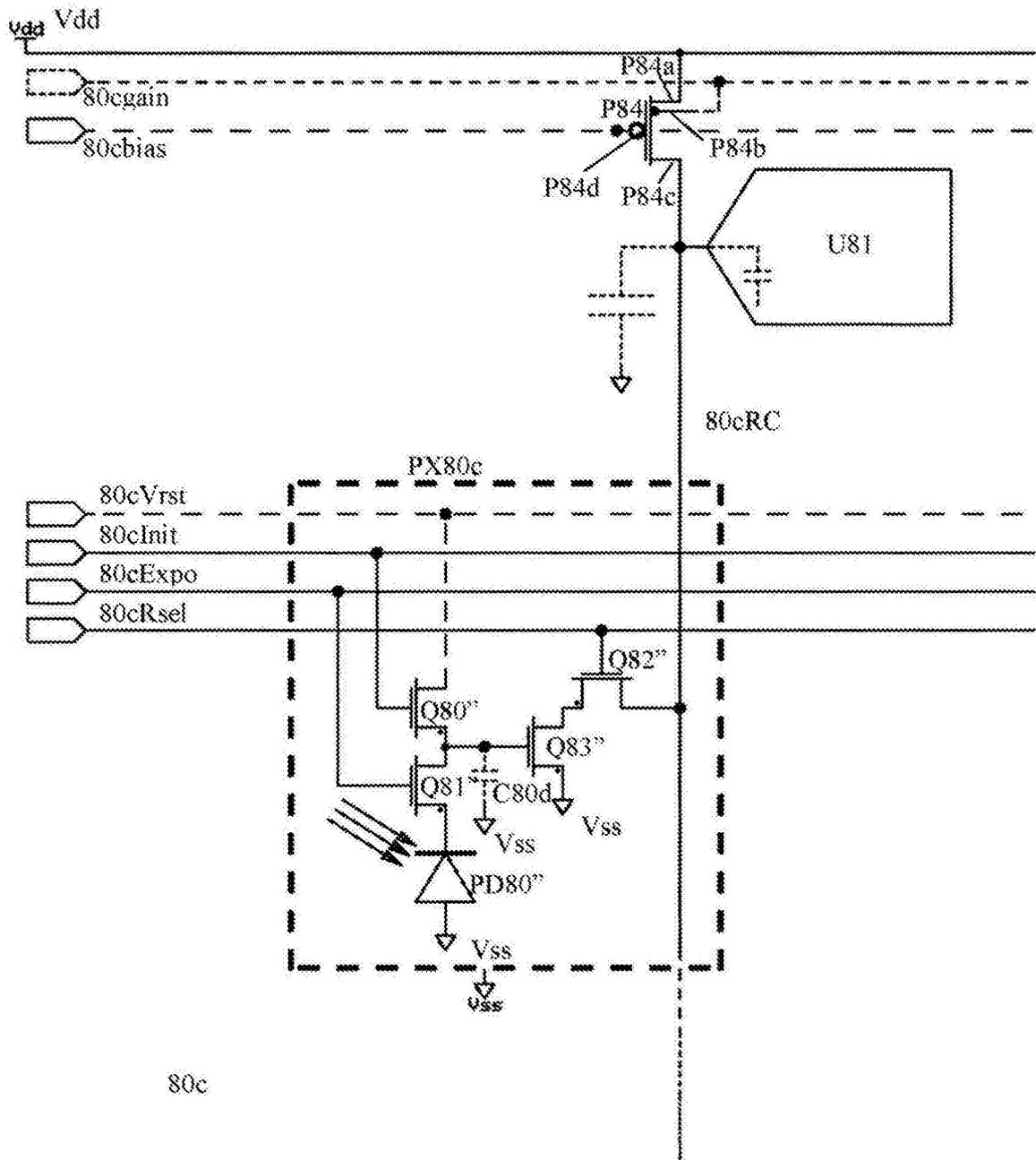


图8c (1)

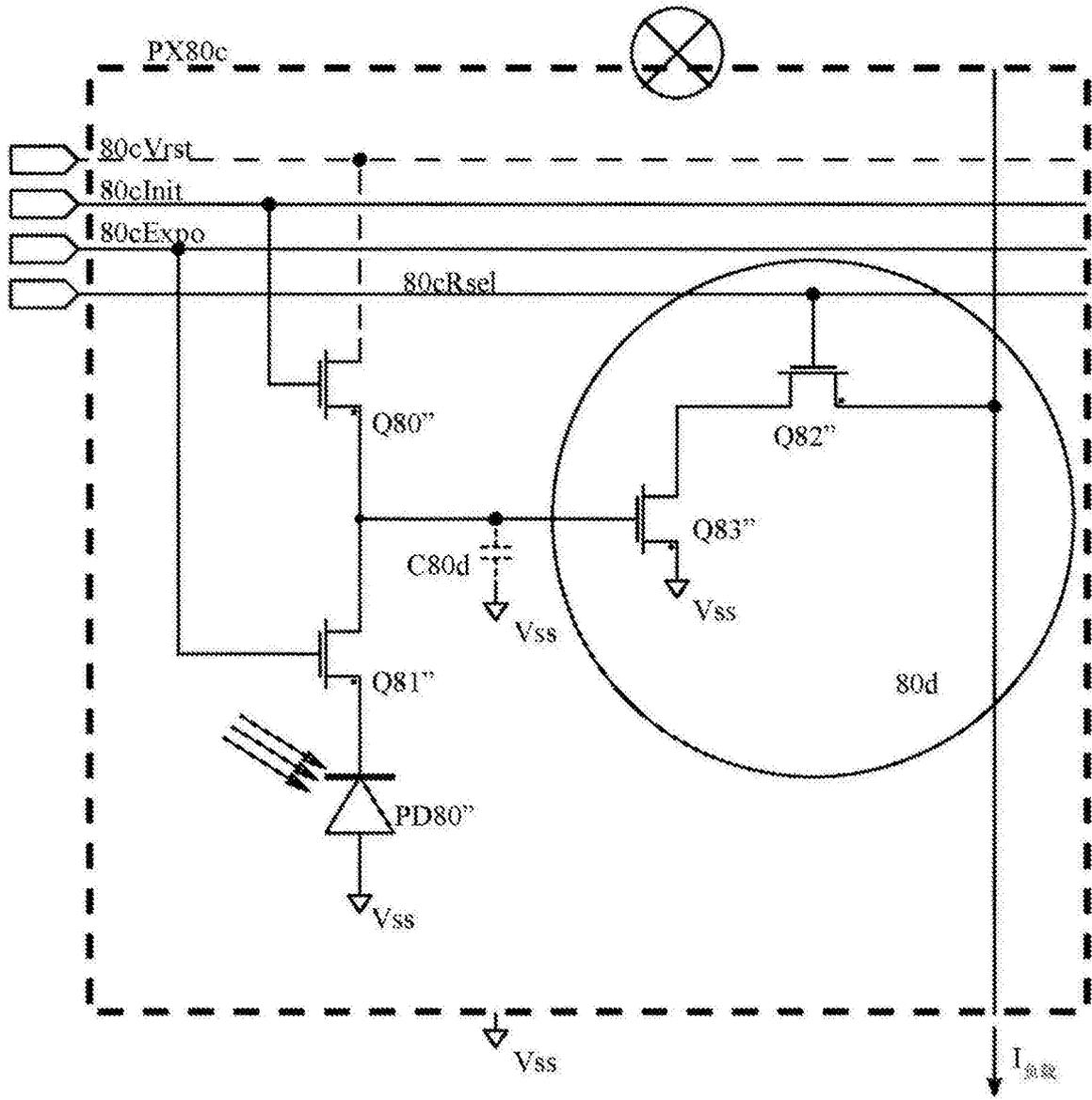


图8c (2)

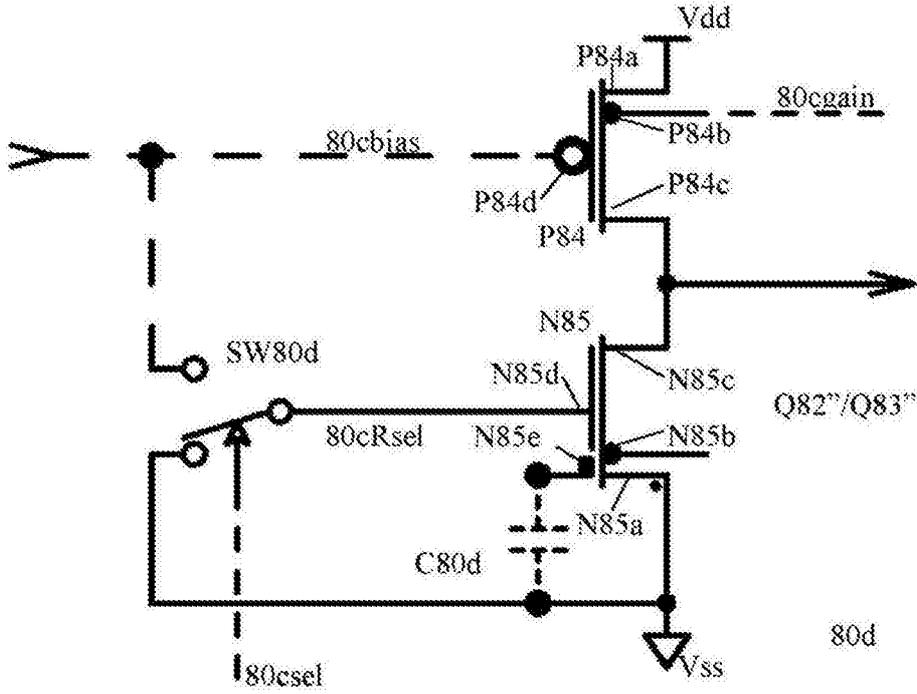


图8d

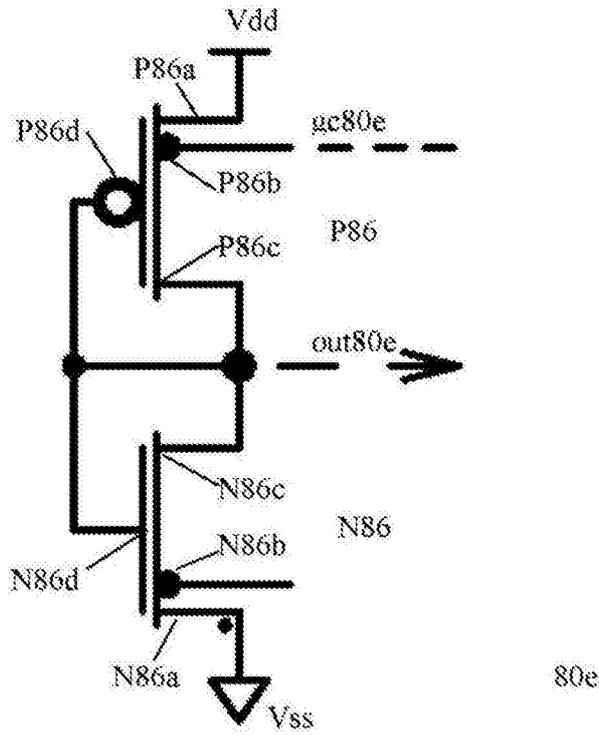


图8e

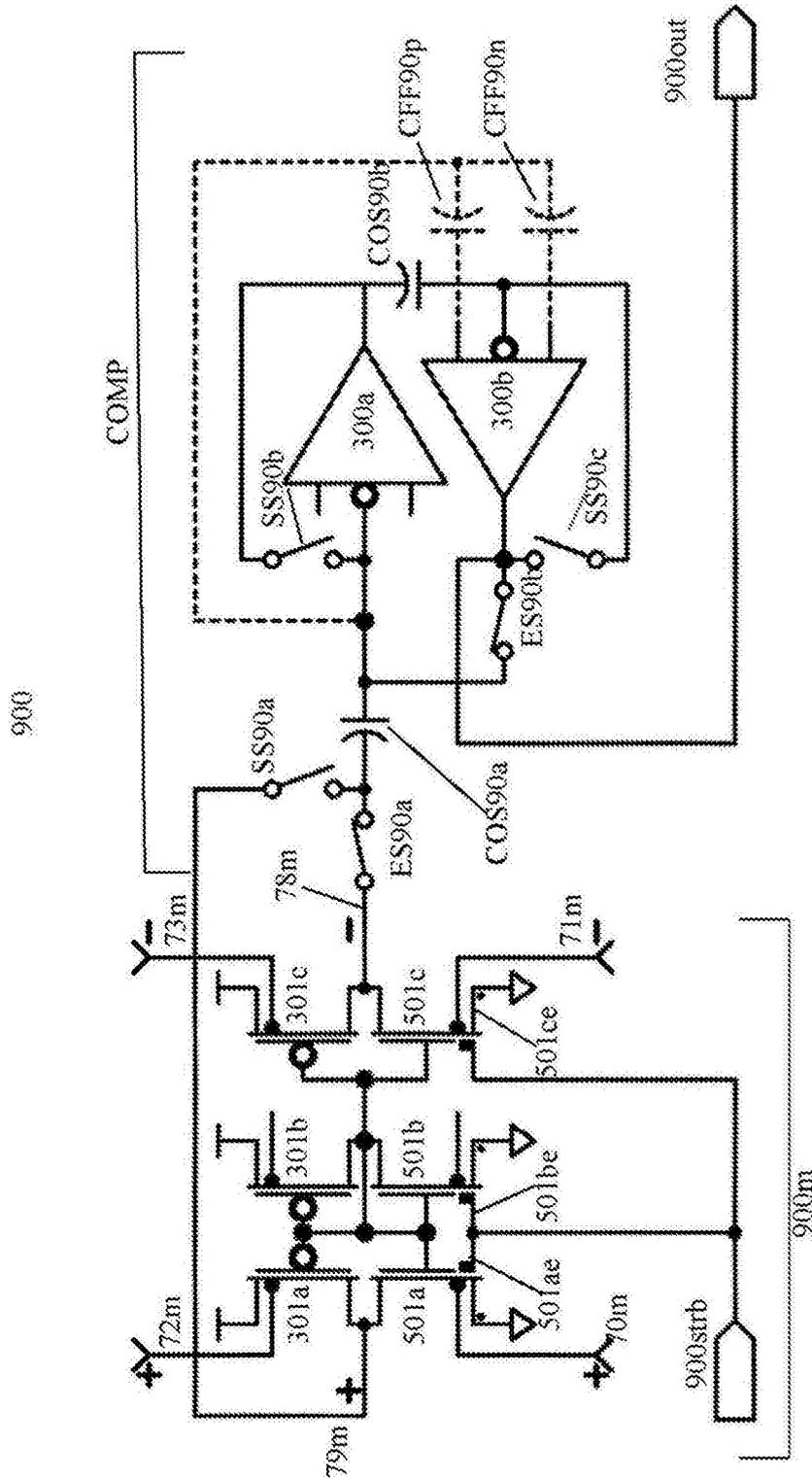


图9a