

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5645543号  
(P5645543)

(45) 発行日 平成26年12月24日(2014.12.24)

(24) 登録日 平成26年11月14日(2014.11.14)

(51) Int.Cl.

H04N 5/378 (2011.01)

F I

H04N 5/335 780

請求項の数 5 (全 14 頁)

(21) 出願番号	特願2010-185421 (P2010-185421)	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成22年8月20日(2010.8.20)	(74) 代理人	100090273 弁理士 國分 孝悦
(65) 公開番号	特開2012-44549 (P2012-44549A)	(72) 発明者	桜木 孝正 東京都大田区下丸子3丁目30番2号 キ ヤノン株式会社内
(43) 公開日	平成24年3月1日(2012.3.1)		
審査請求日	平成25年8月9日(2013.8.9)	審査官	松永 隆志

最終頁に続く

(54) 【発明の名称】 撮像装置

(57) 【特許請求の範囲】

【請求項 1】

各々が光電変換素子を有し、行列状に配列される複数の画素と、前記複数の画素の各列に対応して設けられ、前記画素の信号を増幅する複数のアンプと

、

信号を蓄積する複数のホールド容量と、前記複数のアンプの出力端子及び前記複数のホールド容量の間にそれぞれ接続される複  
数のスイッチとを有し、前記複数のアンプは、それぞれ、1つのオペアンプを有し、前記複数のアンプの出力端子に対してそれぞれ前記1つのオペアンプの出力端子のみが  
接続され、前記各列のアンプは、並列に動作し、前記スイッチがオンの状態で前記アンプは第1の信号帯域幅で増幅し、その後、前記ス  
イッチがオンの状態で前記アンプは前記第1の信号帯域幅より狭い第2の信号帯域幅で増  
幅し、その後、前記スイッチがオフの状態で前記アンプは第2の信号帯域幅で増幅するこ  
とを特徴とする撮像装置。

【請求項 2】

前記アンプは、第1のバイアス電流の供給を受けることにより前記第1の信号帯域幅で  
増幅し、前記第1のバイアス電流より小さい第2のバイアス電流の供給を受けることによ  
り前記第2の信号帯域幅で増幅することを特徴とする請求項1記載の撮像装置。

10

20

## 【請求項 3】

前記アンプは、容量及び可変抵抗の直列接続回路を有する位相補償回路を有する負帰還アンプであり、前記可変抵抗を第 1 の抵抗値にすることにより前記第 1 の信号帯域幅で増幅し、前記可変抵抗を前記第 1 の抵抗値より低い第 2 の抵抗値にすることにより前記第 2 の信号帯域幅で増幅することを特徴とする請求項 1 記載の撮像装置。

## 【請求項 4】

前記アンプは、負帰還アンプであることを特徴とする請求項 1 又は 2 記載の撮像装置。

## 【請求項 5】

前記アンプは、ソースフォロワーアンプであることを特徴とする請求項 1 又は 2 記載の撮像装置。

10

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、撮像装置に関する。

## 【背景技術】

## 【0002】

特許文献 1 には、撮像素子に用いられる 2 重サンプリング回路が開示されている。最近のアナログ信号処理回路には、ほとんどの場合、スイッチと容量を用いたサンプルホールド回路が使用されている。撮像素子のみならず、ほとんど全ての電子機器は高速動作が求められ、信号処理回路内のサンプルホールド回路も高速動作が必要になる。サンプルホールド回路を高速動作させるには、サンプルホールド回路の入力端子を駆動するバッファの信号帯域幅を広くすることが必要である。バッファの信号帯域幅は、通常そのバイアス電流に依存し、バイアス電流を大きくするほど広帯域になる。

20

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献 1】特開 2006 - 345280 号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

30

しかし、バッファのゲインはバッファのバイアス電流に依存し、バイアス電流が大きいほど帯域が広がるので、サンプルホールド回路を高速化するために、バッファのバイアス電流を増加し広帯域化すると、バッファの出力端子におけるノイズも増大してしまう。

## 【0005】

本発明の目的は、サンプルホールドの高速化と低ノイズ化を両立させることができる撮像装置を提供することである。

## 【課題を解決するための手段】

## 【0006】

本発明の撮像装置は、各々が光電変換素子を有し、行列状に配列される複数の画素と、前記複数の画素の各列に対応して設けられ、前記画素の信号を増幅する複数のアンプと、信号を蓄積する複数のホールド容量と、前記複数のアンプの出力端子及び前記複数のホールド容量の間にそれぞれ接続される複数のスイッチとを有し、前記複数のアンプは、それぞれ、1 つのオペアンプを有し、前記複数のアンプの出力端子に対してそれぞれ前記 1 つのオペアンプの出力端子のみが接続され、前記各列のアンプは、並列に動作し、前記スイッチがオンの状態で前記アンプは第 1 の信号帯域幅で増幅し、その後、前記スイッチがオンの状態で前記アンプは前記第 1 の信号帯域幅より狭い第 2 の信号帯域幅で増幅し、その後、前記スイッチがオフの状態で前記アンプは第 2 の信号帯域幅で増幅することを特徴とする。

40

## 【発明の効果】

## 【0007】

50

サンプルホールドの高速化と低ノイズ化を両立させることができる。

【図面の簡単な説明】

【 0 0 0 8 】

【図 1】第 1 の実施形態におけるサンプルホールド回路の概略構成を示す図である。

【図 2】第 1 の実施形態のサンプルホールド回路のタイミング図である。

【図 3】第 2 の実施形態におけるサンプルホールド回路の概略構成を示す図である。

【図 4】第 2 の実施形態のサンプルホールド回路のタイミング図である。

【図 5】バッファアンプの回路例を表す図である。

【図 6】バッファアンプにおける電圧ゲイン - 周波数特性を表す図である。

【図 7】第 3 の実施形態におけるバッファアンプの回路図である。

10

【図 8】第 4 の実施形態におけるバッファアンプの概略構成を示す図である。

【図 9】第 4 の実施形態におけるバッファアンプのゲイン - 周波数特性図である。

【図 10】可変電流源の具体例を示す図である。

【図 11】第 2 の実施形態における可変抵抗の具体例を示す図である。

【図 12】第 4 の実施形態におけるサンプルホールド回路の構成例を示す図である。

【図 13】図 12 のサンプルホールド回路のタイミング図である。

【図 14】第 5 の実施形態における撮像装置の構成例を示す図である。

【図 15】図 14 の撮像装置のタイミング図である。

【図 16】第 6 の実施形態における撮像装置の構成例を示す図である。

【図 17】図 16 の撮像装置のタイミング図である。

20

【発明を実施するための形態】

【 0 0 0 9 】

(第 1 の実施形態)

図 1 は、本発明の第 1 の実施形態によるサンプルホールド回路の構成例を示す図であり、図 2 はそのサンプルホールド回路のタイミング図である。図中、A は、スイッチ S とホールド容量 C<sub>h</sub> で形成されるサンプルホールド回路の入力を駆動するバッファアンプであり、I<sub>1</sub> はバッファアンプ A のバイアス電流源、V<sub>i n</sub> はバッファアンプ A の入力に印加される信号源である。バッファアンプ C は、信号源 V<sub>i n</sub> の信号を増幅する。ホールド容量 C<sub>h</sub> は、信号を蓄積する。スイッチ S は、バッファアンプ A の出力端子及びホールド容量 C<sub>h</sub> の間に接続される。

30

【 0 0 1 0 】

図 5 は、バッファアンプ A 及び電流源 I<sub>1</sub> の構成例を示す図である。バッファアンプ A は、差動増幅回路 541 と、ソース接地増幅回路 543 と、発振を防止するための位相補償回路 542 とを有する負帰還アンプである。差動増幅回路 541 の反転入力端子 I<sub>NN</sub> には、ソース接地増幅回路 543 の出力端子 O<sub>UT</sub> が接続されている。差動増幅回路 541 は、端子 C<sub>CP</sub>1 から入力される電圧によってバイアス電流 I<sub>2</sub> が制御される MOS 電界効果トランジスタ (MOS トランジスタ) 510 と、MOS トランジスタ 511 ~ 514 とを有する。差動増幅回路 541 において、端子 I<sub>NN</sub> は反転入力端子、端子 I<sub>NP</sub> は入力端子である。位相補償回路 542 は、抵抗 R<sub>c</sub> 及び容量 C<sub>c</sub> の直列接続回路を有し、差動増幅回路 541 及びソース接地増幅回路 543 間に接続されている。ソース接地増幅回路 543 は、端子 C<sub>CP</sub>2 から入力される電圧によってバイアス電流 I<sub>3</sub> が制御される MOS トランジスタ 531 と、MOS トランジスタ 532 とを有する。バッファアンプ A は、入力端子 I<sub>NP</sub> から入力した信号源 V<sub>i n</sub> の信号を増幅し、出力端子 O<sub>UT</sub> から出力する。

40

【 0 0 1 1 】

図 6 は、図 5 のバッファアンプ A の電圧ゲイン - 周波数特性を示す図である。図中、z はゼロ点、p<sub>1</sub> は第 1 のポール周波数、p<sub>2</sub> は第 2 のポール周波数を示している。第 2 のポール周波数 p<sub>2</sub> は、おおよそ次式 (1) で表わされる。

【 0 0 1 2 】

$$p_1 = 1 / (g_m \times R_1 \times R_L \times C_c) \quad (1)$$

50

## 【 0 0 1 3 】

$g_m$ はMOSトランジスタ532の相互コンダクタンス、 $R_1$ 及び $R_L$ はそれぞれ差動増幅回路541の出力インピーダンス及び出力負荷抵抗である。

## 【 0 0 1 4 】

$R_1$ はMOSトランジスタ512、514のドレイン抵抗 $R_{ds}$ に並列したものに等しく、ドレイン抵抗 $R_{ds}$ はドレイン電流 $I_d$ に反比例する( $R_{ds} = 1 / I_d$ )。一方、 $g_m$ は $g_m = I_d$ の関係にある。

## 【 0 0 1 5 】

また、ドレイン電流 $I_d$ はバイアス電流 $I_2$ の $1/2$ に等しいので、結局、第1のポール周波数 $p_1$ は、 $p_1 = I_2 / C_c$ と表され、バイアス電流 $I_2$ の $1/2$ に比例する。第1のポール $p_1$ 以降、電圧ゲインは $-6\text{ dB/oct}$ で変化するので、図6に示すように、第1のポール周波数 $p_1$ と帯域幅は基本的に比例関係にある。したがって、帯域幅は、バイアス電流 $I_2$ の $1/2$ に比例する。さらに、第2のポール周波数 $p_2$ とゼロ周波数 $z$ は次式(2)及び(3)のように表される。ここで、 $C_2$ は出力端子の負荷容量である。

## 【 0 0 1 6 】

$$p_2 = -g_m / C_2 \quad (2)$$

$$z = -1 / C_c (1 / g_m - R_c) \quad (3)$$

## 【 0 0 1 7 】

式(3)から抵抗 $R_c$ の値によって、 $z$ の周波数が変化し、 $R_c \gg 1 / g_m$ とすると、 $z$ は小さい値( $z'$ )となるので、図6内の破線で示したゲイン特性のようになる。高周波領域でのゲインが増加し広帯域化され、逆に抵抗 $R_c$ を小さくすると帯域は狭くなる。

## 【 0 0 1 8 】

バッファアンプAの出力端子におけるランダムノイズ $V_o(f)$ は、次式(4)で表わされる。ここで、バッファアンプAの入力換算ノイズ電圧を $V_1(f)$ 、該バッファアンプAの入力端子に印加される信号源 $V_{in}$ のノイズ電圧を $V_2(f)$ とし、さらにバッファアンプAの電圧ゲインを $A_v(f)$ とする。

## 【 0 0 1 9 】

$$V_o(f) = A_v(f) \times \{V_1(f)^2 + V_2(f)^2\} \quad (4)$$

## 【 0 0 2 0 】

ここで、 $A_v(f)$ は、図6で示したように、電圧ゲインが周波数 $f$ の関数であることを示している。出力端子のノイズは、次式(5)で表わされるので、バッファアンプAが広帯域になるほど、バッファアンプAから出力されるノイズは大きくなる。

## 【 0 0 2 1 】

$$V_o(f) df = \{A_v(f) \times \{V_1(f)^2 + V_2(f)^2\}\} df \quad (5)$$

## 【 0 0 2 2 】

本実施形態では、電流源 $I_1$ は、バッファアンプA及びグランド電位ノード間に接続され、サンプルモード及びホールドモードのタイミングに応じて、電流を可変できる。可変電流源 $I_1$ の具体例を図10に示す。 $I_{10}$ 及び $I_{11}$ は定電流源、 $S_{10}$ 及び $S_{11}$ はスイッチ、 $M_{10}$ 及び $M_{11}$ はMOSトランジスタである。MOSトランジスタ $M_{10}$ 及び $M_{11}$ はそれぞれのゲートが接続されてカレントミラー回路を構成している。

## 【 0 0 2 3 】

図2のタイミング図と共に動作を説明すると、電流源 $I_1$ の大電流期間において図10のスイッチ $S_{10}$ 及び $S_{11}$ が共にオンし、定電流源 $I_{10}$ 及び $I_{11}$ の電流はMOSトランジスタ $M_{10}$ のドレイン端子に流入する。MOSトランジスタ $M_{10}$ 及び $M_{11}$ は、前述のようにカレントミラー回路を構成しているので、MOSトランジスタ $M_{11}$ のドレイン電流は電流源 $I_{10}$ 及び $I_{11}$ の電流を足した値になる。次に、図2の電流源 $I_1$ の小電流期間では、図10のスイッチ $S_{10}$ はオフに、スイッチ $S_{11}$ はオンにすることに

10

20

30

40

50

より、MOSトランジスタM10のドレインに流れ込む電流は電流源I11の電流になる。よって、MOSトランジスタM11のドレイン電流も電流源I11の電流になる。

【0024】

図1において、スイッチSをオンにして、サンプルホールド回路をサンプルモードにすると、バッファアンプAはホールド容量Chを充電し、Chの端子間電圧は変化する。この変化する速度を向上させることはサンプルホールド回路の高速動作に直結するので、バッファアンプAの信号帯域は広くなくてはならない。そのために、バッファアンプAのバイアス電流源I1の電流を、容量Chの端子間電圧が変化している間は大きい値に設定する。容量Chの端子間電圧の遷移が終了した後、バッファアンプAのバイアス電流源I1の電流を小さい値に設定し、バッファアンプAを狭帯域、低ノイズモードにする

10

【0025】

以上のように、スイッチSがオンの状態（サンプルモード）でバッファアンプAは第1の信号帯域幅（広帯域）で増幅する。その後、スイッチSがオンの状態（サンプルモード）でバッファアンプAは第1の信号帯域幅（広帯域）より狭い第2の信号帯域幅（狭帯域）で増幅する。その後、スイッチSがオフの状態（ホールドモード）でバッファアンプAは第2の信号帯域幅（狭帯域）で増幅する。バッファアンプAは、第1のバイアス電流（大電流）の供給を受けることにより第1の信号帯域幅（広帯域）で増幅し、第1のバイアス電流（大電流）より小さい第2のバイアス電流（小電流）の供給を受けることにより第2の信号帯域幅（狭帯域）で増幅する。

20

【0026】

信号源Vinは、サンプルホールド回路の入力端子を駆動するバッファアンプAの入力信号源である。信号源Vinの信号が変化し、それに応答してバッファアンプAの出力が変化し、サンプルホールドスイッチSをオンさせて該出力電圧がサンプルホールド容量Chに印加される。その期間は、バッファアンプAのバイアス電流源I1の電流を大きい値に設定して高速駆動モードとし、バッファアンプAの出力電圧の遷移が終了した後にバッファアンプAのバイアス電流源I1の電流を小さい値に設定することで低速、低ノイズモードにする。その後サンプルホールドスイッチSをオフさせてホールド状態にすることで、サンプルホールドの高速化と低ノイズ化の両立が可能になる。

30

【0027】

（第2の実施形態）

図3は、本発明の第2の実施形態によるサンプルホールド回路の構成例を示す図である。本実施形態は、図1と同様であるが、バッファアンプAに搭載される位相補償容量（又は帯域制限のための容量）Ccに直列に、サンプルモード、ホールドモードのタイミングに応じて可変できる可変抵抗Rcを接続し、電流源I1を削除している点が異なる。バッファアンプAは、容量Cc及び可変抵抗Rcの直列接続回路を有する位相補償回路542（図5）を有する負帰還アンプである。抵抗Rcの値を、図4のタイミング図のようにスイッチSがオンしてサンプルモードになっているある期間に、可変抵抗Rcを高抵抗に設定し、該バッファアンプAを広帯域、高速モードにする。その後、容量Chの端子間電圧の遷移が終了するところで抵抗Rcを低い値に設定し、バッファアンプAを狭帯域、低ノイズモードにする。上記回路動作によってサンプルホールド回路を高速、低ノイズで動作させることが可能になる。以上のように、可変抵抗Rcを第1の抵抗値（高抵抗）にすることにより第1の信号帯域幅（広帯域）で増幅し、可変抵抗Rcを第1の抵抗値（高抵抗）より低い第2の抵抗値（低抵抗）にすることにより第2の信号帯域幅（狭帯域）で増幅する。

40

【0028】

サンプルホールド回路の入力端子を駆動するバッファアンプAの入力信号が変化し、

50

それに応答してバッファアンプAの出力が変化し、サンプルホールドスイッチSをオンさせて該出力電圧がサンプルホールド容量C<sub>h</sub>に印加される。その期間は、該バッファアンプA内の位相補償容量C<sub>c</sub>に直列に接続された抵抗R<sub>c</sub>の値を高い値に設定することで高速駆動モードとする。そして、該バッファアンプAの出力電圧の遷移が終了した後に該バッファアンプA内の位相補償容量C<sub>c</sub>に直列に接続された抵抗R<sub>c</sub>の値を低い値に設定することで低速、低ノイズモードにすることでサンプルホールドの高速化と低ノイズ化の両立が可能になる。

#### 【0029】

図11は抵抗R<sub>c</sub>を変化させるバッファアンプAの具体例である。電流源I<sub>2</sub>は図5のMOSトランジスタ510に対応し、電流源I<sub>3</sub>は図5のMOSトランジスタ531に対応する。MOSトランジスタM<sub>1</sub>は図5のMOSトランジスタ511に対応し、MOSトランジスタM<sub>2</sub>は図5のMOSトランジスタ512に対応する。MOSトランジスタM<sub>3</sub>は図5のMOSトランジスタ514に対応し、MOSトランジスタM<sub>4</sub>は図5のMOSトランジスタ513に対応する。MOSトランジスタM<sub>6</sub>は図5の抵抗R<sub>c</sub>に対応し、MOSトランジスタM<sub>5</sub>は図5のMOSトランジスタ532に対応する。可変抵抗R<sub>c</sub>は、MOSトランジスタM<sub>6</sub>のドレイン及びソース間抵抗であり、MOSトランジスタM<sub>6</sub>のゲート電圧に応じて抵抗値が変化する。図4のタイミング図と共に説明する。図4中の抵抗R<sub>c</sub>の高抵抗期間では図11内のパルス電圧源V<sub>A</sub>の値をある低電圧V<sub>L</sub>に設定することでMOSトランジスタM<sub>6</sub>のゲート-ソース間電圧が小さい値になるため、nチャネルMOSトランジスタM<sub>6</sub>のオン抵抗R<sub>c</sub>はある高い値になる。したがって、図5の帯域幅に関して前述したようにバッファアンプAの帯域幅は広がり動作は高速になる。図4中の抵抗R<sub>c</sub>の低抵抗期間では図11のパルス電圧源V<sub>A</sub>の値をある高電圧V<sub>H</sub>に設定することで、MOSトランジスタM<sub>6</sub>のゲート-ソース間電圧はある高い値になり、nチャネルMOSトランジスタM<sub>6</sub>のオン抵抗R<sub>c</sub>はある低い値になる。したがって、前記と同様の理由でバッファアンプAの信号帯域幅は狭くなる。なお、可変抵抗R<sub>c</sub>は、複数のスイッチとその複数のスイッチのそれぞれに直列に接続された抵抗を用い、その複数のスイッチをオン/オフ制御することにより、抵抗値を変えるようにしてもよい。

#### 【0030】

(第3の実施形態)

図7は、本発明の第3の実施形態によるバッファアンプAの構成例を示す図である。本実施形態のバッファアンプAは、図1のバッファアンプA及び電流源I<sub>1</sub>の代わりに設けられる。バッファアンプAがNMOSソースフォロワアンプであり、負帰還を掛けた演算増幅器ではない場合である。まず図7を用いて簡単に説明する。図中、M<sub>7</sub>はソースフォロワアンプを構成するMOSトランジスタ、I<sub>4</sub>はMOSトランジスタM<sub>7</sub>のバイアス電流源、C<sub>2</sub>は出力負荷容量である。M<sub>8</sub>はMOSトランジスタ、V<sub>A</sub>はMOSトランジスタM<sub>8</sub>のゲートを駆動する電圧源、C<sub>3</sub>は容量である。

#### 【0031】

サンプルホールド回路を駆動する駆動回路としてMOSソースフォロワアンプを用いた場合、そのゲイン-周波数特性におけるポール周波数 $p$ は次式(6)で表わされ、MOSトランジスタM<sub>7</sub>の相互コンダクタンス $g_m$ に比例する。ここで、相互コンダクタンス $g_m$ は、次式(7)で表わされる。

#### 【0032】

$$p = g_m / C_2 \quad (6)$$

$$g_m = (2k \times I_d \times W / L) \quad (7)$$

#### 【0033】

ここで、 $I_d$ はドレイン電流、 $k$ は定数、 $W$ 及び $L$ はそれぞれMOSトランジスタのゲート幅及びゲート長であるので、ドレイン電流 $I_d$ を大きくするほどポール周波数 $p$ は大きく、つまり広帯域化される。

#### 【0034】

本実施形態は、負帰還を用いた増幅回路に対して上述したのと同様の処理を行う。サン

プルホールド回路の入力端子を駆動するソースフォロワーアンプの入力信号が変化し、それに応答してソースフォロワーアンプの出力が変化し、サンプルホールドスイッチSをオンさせて該出力電圧がサンプルホールド容量C<sub>h</sub>に印加される。その期間では、ソースフォロワーアンプのバイアス電流源I<sub>4</sub>の電流を大きい値に設定して高速駆動モードとする。そして、ソースフォロワーアンプの出力電圧の遷移が終了した後に、ソースフォロワーアンプのバイアス電流源I<sub>4</sub>の電流を小さい値に設定することにより、低速、低ノイズモードにする。その後、サンプルホールドスイッチSをオフさせてホールド状態にすることで、サンプルホールドの高速化と低ノイズ化の両立が可能になる。可変電流源I<sub>4</sub>の具体例は前述した図10を用いることができる。バイアス電流源I<sub>4</sub>の電流を大きい値に設定する場合は、図10におけるスイッチS<sub>10</sub>及びS<sub>11</sub>を共にオンさせ、カレントミラー回路を構成するMOSトランジスタM<sub>11</sub>のドレイン電流をI<sub>10</sub> + I<sub>11</sub>にする。バイアス電流源I<sub>4</sub>の電流を小さい値に設定する場合は、図10中のスイッチS<sub>10</sub>のみオンさせ、スイッチS<sub>11</sub>はオフとすることで、カレントミラー回路を構成するMOSトランジスタM<sub>11</sub>のドレイン電流はI<sub>10</sub>となる。

【0035】

(第4の実施形態)

図8は、本発明の第4の実施形態によるバッファアンプを説明する図である。本実施形態では、図7内のMOSトランジスタM<sub>8</sub>と、MOSトランジスタM<sub>8</sub>のゲートを駆動する電圧源V<sub>A</sub>、容量C<sub>3</sub>を用いることで、ソースフォロワーアンプの帯域を制御することが可能になる。前述と同様にして、サンプルホールド回路のスイッチSがオン・オフするタイミングの前後にソースフォロワーアンプの信号帯域幅を変化させることで、サンプルホールドの高速化と低ノイズ化の両立が可能になる。

【0036】

上記事柄を、図8を用いて本実施形態の原理を詳細に説明する。図8中Aはソースフォロワーアンプの入力部を駆動する駆動回路(電圧ゲイン=1を仮定)、R<sub>2</sub>は該駆動回路の出力抵抗、R<sub>3</sub>は図7中のMOSトランジスタM<sub>8</sub>のオン抵抗である。信号源V<sub>1</sub>は図1の信号源V<sub>in</sub>に対応する。信号源V<sub>1</sub>と、抵抗R<sub>2</sub>を介してソースフォロワーアンプの入力部に現れる電圧V<sub>2</sub>の比(電圧ゲイン)は次式(8)で表される。

【0037】

$$V_2 / V_1 = (1 + C_3 \times R_3) / \{ (R_2 + R_3) \times C_3 + 1 \} \quad (8)$$

【0038】

R<sub>3</sub> >> R<sub>2</sub>の関係にある時は、V<sub>2</sub> / V<sub>1</sub> = 1となるが、R<sub>3</sub> << R<sub>2</sub>の時は、次式(9)になり、ボード線図で表すと図9のようになる。

【0039】

$$V_2 / V_1 = (1 + C_3 \times R_3) / (R_2 \times C_3 + 1) \quad (9)$$

【0040】

図中 p<sub>1</sub>はポール周波数、zはゼロ点である。ポール周波数 p<sub>1</sub>及びゼロ点 zは、それぞれ次式(10)及び(11)となる。

【0041】

$$p_1 = 1 / (C_3 \times R_2) \quad (10)$$

$$z = 1 / (C_3 \times R_3) \quad (11)$$

【0042】

抵抗R<sub>3</sub>の値を変えると、図9の z から z' のようにゼロ点の位置が変化するため、抵抗R<sub>3</sub>の値を大きくするほど広帯域になることが分かる。

【0043】

図7のMOSトランジスタM<sub>8</sub>のゲートを駆動する電圧源V<sub>A</sub>の電圧値を変えることで、MOSトランジスタM<sub>8</sub>のオン抵抗が変化し、上述した信号帯域が変化する。したがって、サンプルホールド回路のスイッチSがオン・オフするタイミングの前後に電圧源V<sub>A</sub>の電圧値を制御すればサンプルホールドの高速化と低ノイズ化の両立が可能になることが分かる。

10

20

30

40

50

## 【 0 0 4 4 】

図 1 2 は、本実施形態によるサンプルホールド回路の構成例を示す図であり、可変電圧源  $V_A$  を有し、サンプルホールド回路の動作モードに応じて電圧源  $V_A$  の電圧変化を行う具体例を示す。図 1 3 は、図 1 2 のサンプルホールド回路のタイミング図である。図中の符号は図 7、図 8 にならう。図 1 2 内のスイッチ  $S$  をオンさせてサンプルホールド回路がサンプルモードになっているとき、電圧源  $V_A$  の電圧をある低電位  $V_L$  にする。その電圧は図 1 2 の MOS トランジスタ  $M_8$  のゲートに印加されるので、 $n$  チャネル MOS トランジスタ  $M_8$  のオン抵抗  $R_3$  はある高い値になる。前述した理由によってゼロ点周波数  $f_z$  は低い値になるので、MOS トランジスタ  $M_7$  のソースフォロワーアンプは広帯域になる。

10

## 【 0 0 4 5 】

図 1 3 に示したように、図 1 2 のスイッチ  $S$  をオフにし、サンプルホールド回路がホールドモードになる以前に、図 1 2 の電圧源  $V_A$  の電圧をある高い値  $V_H$  にする。これにより、MOS トランジスタ  $M_8$  のオン抵抗  $R_3$  の値がある低い値になり、MOS トランジスタ  $M_7$  のソースフォロワーアンプは狭帯域になる。

## 【 0 0 4 6 】

( 第 5 の実施形態 )

図 1 4 は、本発明の第 5 の実施形態による撮像装置の構成例を示す図である。第 1 の実施形態のサンプルホールド回路は、列アンプ部 1 0 2 に適用されている。同図の構成と、その動作タイミングを図 1 5 も併用して簡単に説明する。なお、図 1 4 では、画素部 1 0 1 は 1 つしか記載されていないが、2 次元的に複数配列された形式のものも当然含まれる。

20

## 【 0 0 4 7 】

画素 1 0 1 は、光電変換により信号を生成する光電変換素子であるフォトダイオード  $PD$  と、フォトダイオード  $PD$  に蓄積された電荷を、画素出力部  $SF$  を構成する MOS トランジスタのゲート端子に転送する転送部  $TX$  を含む。画素出力部  $SF$  の入力部であるゲート端子は、リセット部  $RES$  を介して電源  $VDD$  と接続されている。さらに、画素出力部  $SF$  のソース端子は画素選択部  $SEL$  を介して列アンプ 1 0 2 の入力容量  $C_0$  の一方の端子と接続されると共に、定電流源  $I_{cnt}$  にも接続される。

## 【 0 0 4 8 】

列アンプ 1 0 2 は、オペアンプ  $C$  を備え、画素 1 0 1 の出力信号を増幅する。オペアンプ  $C$  の反転入力端子は入力容量  $C_0$  の他方の端子と接続される。オペアンプ  $C$  の反転入力端子と出力端子間に、帰還容量  $C_f$  が接続されている。さらに、オペアンプ  $C$  の反転入力端子と出力端子とを短絡するスイッチ  $S_3$  が設けられている。オペアンプ  $C$  の非反転入力端子には電源  $V_{ref}$  が与えられる。画素 1 0 1 から垂直信号線  $VL$  に出力された信号に対しては、オペアンプ  $C$  の帰還経路に接続される帰還容量  $C_f$  の容量値と、入力容量  $C_0$  の容量値との比で決定されるゲインがかかって増幅される。後述するが、画素 1 0 1 に起因するノイズが入力容量  $C_0$  で低減される。ここでは入力容量  $C_0$ 、オペアンプ  $C$  を含めて第 1 の CDS ( Correlated Double Sampling ; 相関二重サンプリング ) 回路とする。

30

40

## 【 0 0 4 9 】

列アンプ 1 0 2 で増幅された信号は、スイッチ  $S_1$ 、 $S_2$  を介して、保持容量 ( ホールド容量 )  $CTS_1$ 、 $CTN_1$  に選択的に伝達されて保持される。保持容量  $CTS_1$  には、フォトダイオード  $PD$  で光電変換されることで得られる電荷に基づく信号が蓄積され、保持容量  $CTN_1$  には、画素出力部  $SF$  をリセットしたことに基づく信号が蓄積される。保持容量  $CTS_1$ 、 $CTN_1$  はそれぞれ異なる水平信号線  $HL_n$  (  $n$  は 1 ~ 2 ) に接続される。保持容量  $CTS_1$  及び  $CTN_1$  に保持された信号は、それぞれスイッチを介して差動増幅器  $B$  の異なる入力端子に接続される。水平走査回路 1 0 5 から信号  $H_1$ 、 $H_2$ 、 $\dots$  が入力されると、保持容量  $CTS_1$ 、 $CTN_1$  に保持された信号が水平信号線  $HL_n$  を介して対応する差動増幅器  $B$  に入力される。差動増幅器  $B$  からは、保持容量  $CTS_1$

50



及びCTN1で保持された信号の差分が出力される。ここで、保持容量CTS1, CTN1と差動増幅器Bとを含めて第2のCDS回路とする。第2のCDS回路によって列アンプ102に起因するオフセットが低減される。

【0050】

図15を用いて、本実施形態に係る動作を説明する。図14において、TX、RES、SEL、スイッチS3に入力される信号をそれぞれTX、RES、SEL、S3で表し、信号がハイレベルである時にスイッチが導通するものとする。保持容量CTS1、CTN1と列アンプ102の出力端子との間にあるスイッチS1、S2に与えられる信号をそれぞれCTS1、CTN1と表し、信号がハイレベルである時にスイッチが導通するものとする。

10

【0051】

まず、時刻t0において信号TX及びHnを除く信号がハイレベルに遷移する。信号SELがハイレベルになると画素選択部SELが導通するので、画素出力部SFのソース端子と定電流源Icntとが電氣的に接続されてソースフォロワーアンプが形成される。これにより画素出力部SFのゲート端子の電位に応じたレベルが信号として垂直信号線VLに現れる。このタイミングで信号RESがハイレベルであるので、垂直信号線VLには、画素出力部SFのゲート端子をリセットしている状態に対応するレベルが現れる。また、信号S3がハイレベルになることでオペアンプCの反転入力端子と出力端子とが短絡されると共に、帰還容量Cfがリセットされる。オペアンプCの仮想接地により、帰還容量Cfの両端子の電位は電源Vrefと同電位とみなせる。信号CTN1、CTS1がハイレベルであるので、オペアンプCの出力によって保持容量CTN1、CTS1がリセットされる。

20

【0052】

時刻t1に信号RESがローレベルに遷移し、画素出力部SFのゲート端子のリセット状態が解除される。時刻t2において信号S3、CTN1、CTS1がローレベルになり、それぞれに対応するスイッチが非導通状態になる。

【0053】

その後、時刻t3において信号S3がローレベルに遷移することで、オペアンプCの入出力端子の短絡状態が解除される。入力容量C0では、画素出力部SFのゲート端子をリセットしたことに対応するレベルが、電源Vrefによりクランプされる。

30

【0054】

時刻t4に信号CTN1がハイレベルになり、時刻t5に信号CTN1がローレベルになることで、この時の列アンプ102の出力が保持容量CTN1に保持される。すなわち、保持容量CTN1に保持される信号には、列アンプ102に起因するオフセット成分が含まれる。

【0055】

時刻t6に信号TXがハイレベルに遷移すると、フォトダイオードPDに蓄積されていた電荷が画素出力部SFのゲート端子へと転送される。これにより画素出力部SFのゲート端子の電位が変化するので、垂直信号線VLに現れるレベルも変化する。このとき入力容量C0は浮遊状態にあるので、時刻t1でクランプされた垂直信号線VLのレベルからの電位の変動分のみがオペアンプCの反転入力端子に入力される。これにより光電変換に基づく信号がオペアンプCに入力される。

40

【0056】

時刻t8から信号CTS1がハイレベルになり、これがローレベルに遷移すると、垂直信号線VLに現れたレベルを増幅した信号が保持容量CTS1に保持される。ここで保持容量CTS1に保持される信号には、保持容量CTN1と同様に、列アンプ102に起因するオフセットが含まれる。

【0057】

この後、信号SELがローレベルになることで、画素101の選択状態が解除される。各保持容量CTS1, CTN1に保持される信号には、列アンプ102に起因するオフ

50

セットが含まれるので、差動増幅器 B により差分を取ることでオフセット成分を低減することが可能となる。

#### 【 0 0 5 8 】

その後、水平走査回路 1 0 5 から信号  $H_n$  が出力され、容量  $C_{TS1}$ 、 $C_{TN1}$  から水平信号線  $H_{L1}$ 、 $H_{L2}$  に信号が転送され、差動増幅器（出力アンプ）B から信号が出力される。

#### 【 0 0 5 9 】

次に、本実施形態の動作を、上記の信号読み出し動作に絡めて説明する。オペアンプ C は図 1 のバッファアンプ A に対応し、スイッチ  $S_1$ 、 $S_2$  は図 1 のスイッチ S に対応し、容量  $C_{TS1}$  及び  $C_{TN1}$  は図 1 のホールド容量  $C_h$  に対応する。図 1 4 の容量  $C_{TS1}$ 、 $C_{TN1}$  に画素 1 0 1 の信号を高速に、かつ低ノイズで保存するため、列アンプ C が前記容量  $C_{TS1}$ 、 $C_{TN1}$  を駆動する際に該アンプ C のバイアス電流源  $I_1$  の値を第 1 の実施形態と同様に变化させる。具体的には、図 1 5 のタイミング図で、 $C_{TS1}$ 、 $C_{TN1}$  がハイレベルからローレベルへ遷移するある時間以前（図中  $t$  と記述）に該バイアス電流源  $I_1$  の電流をある大電流  $I_H$  からある小電流  $I_L$  へ变化させる。容量  $C_{TS1}$ 、 $C_{TN1}$  に該アンプ C から信号電荷を充放電する際には高速に行う。そして、充放電が終了し該容量  $C_{TS1}$ 、 $C_{TN1}$  の電位が定常状態に達した後に、該バイアス電流源  $I_1$  の電流を  $I_L$  と小さくすることでアンプ C は低ノイズで両容量  $C_{TS1}$ 、 $C_{TN1}$  を駆動する。図 1 5 中の時間  $t$  は、該アンプ C のセトリング時間を鑑み、 $C_{TS1}$ 、 $C_{TN1}$  のパルス幅から決定する。

#### 【 0 0 6 0 】

（第 6 の実施形態）

アンプ C を高速モードから低ノイズモードへ变化させる手段は、上記手段以外に第 2 の実施形態で示した、アンプ C 内の位相補償容量に直列に接続された抵抗  $R_c$  を变化させる方法も当然用いることができる。

#### 【 0 0 6 1 】

図 1 6 は、本発明の第 6 の実施形態による撮像装置の構成例を示す図である。オペアンプ C は図 1 のバッファアンプ A に対応し、スイッチ  $S_1$ 、 $S_2$  は図 1 のスイッチ S に対応し、容量  $C_{TS1}$  及び  $C_{TN1}$  は図 1 のホールド容量  $C_h$  に対応する。オペアンプ C の可変抵抗  $R_c$  の実施形態として、前記した図 1 1 の MOS トランジスタ  $M_6$  と、MOS トランジスタ  $M_6$  のゲート端子を駆動するパルス電圧源  $V_A$  とを用いることができる。図 1 7 は、図 1 6 の撮像装置の動作タイミングである。読み出しに関しては、前記図 1 5 とほぼ同様で、図 1 5 における電流源  $I_1$  の代わりにパルス電圧源  $V_A$  の電圧の変化タイミングを記述している。すなわち、図 1 7 のタイミング図で、信号  $C_{TS1}$ 、 $C_{TN1}$  がハイレベルからローレベルへ遷移するある時間以前（図中  $t$  と記述）に該電圧源  $V_A$  の電圧をある低電圧  $V_L$  からある高電圧  $V_H$  へ变化させる。こうすることで、該容量  $C_{TS1}$ 、 $C_{TN1}$  に該アンプ C から信号電荷を充放電する際には高速に行い、充放電が終了し該容量  $C_{TS1}$ 、 $C_{TN1}$  の電位が定常状態に達した後に、該電圧源  $V_A$  の電圧を  $V_H$  と高くすることで該アンプ C は低ノイズで両容量を駆動する。なお、第 5 及び第 6 の実施形態と同様に、第 3 及び第 4 の実施形態のサンプルホールド回路も撮像装置の列アンプ 1 0 2 に適用することができる。

#### 【 0 0 6 2 】

なお、上記実施形態は、何れも本発明を実施するにあたっての具体化の例を示したものに過ぎず、これらによって本発明の技術的範囲が限定的に解釈されてはならないものである。すなわち、本発明はその技術思想、又はその主要な特徴から逸脱することなく、様々な形で実施することができる。

#### 【 符号の説明 】

#### 【 0 0 6 3 】

$V_{in}$  信号源、A バッファアンプ、 $I_1$  バイアス電流源、S スイッチ、 $C_h$  ホールド容量

10

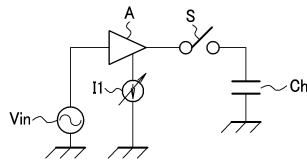
20

30

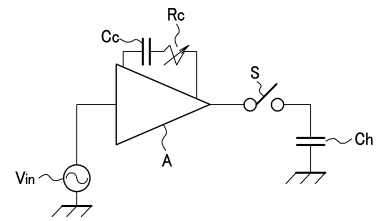
40

50

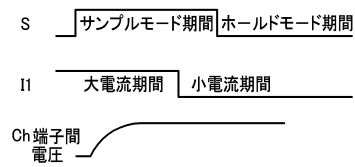
【図 1】



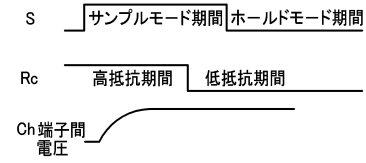
【図 3】



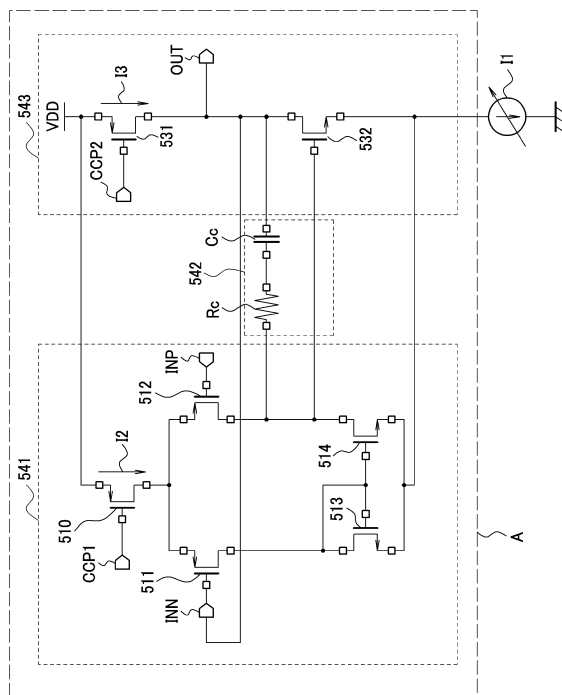
【図 2】



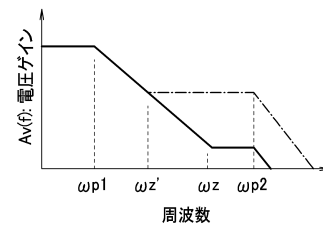
【図 4】



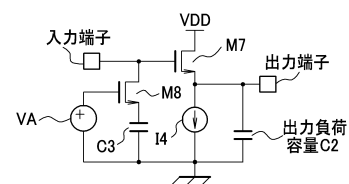
【図 5】



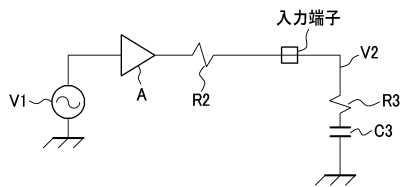
【図 6】



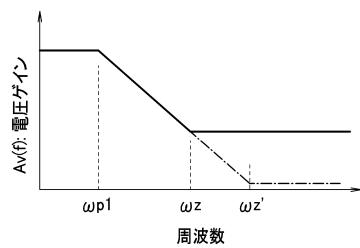
【図 7】



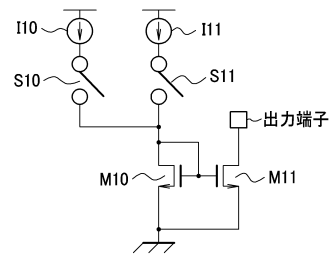
【図 8】



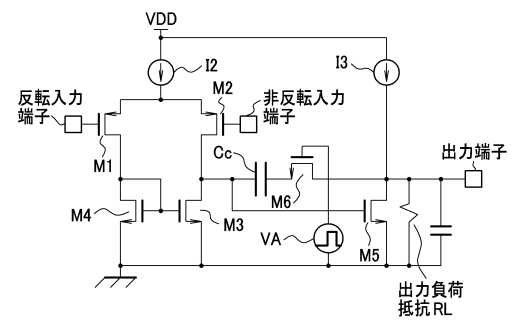
【図 9】



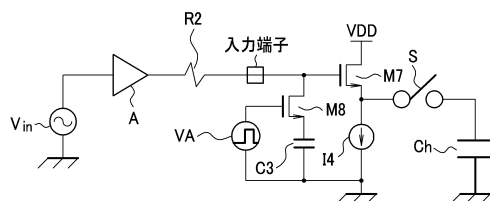
【図 10】



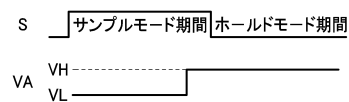
【図 11】



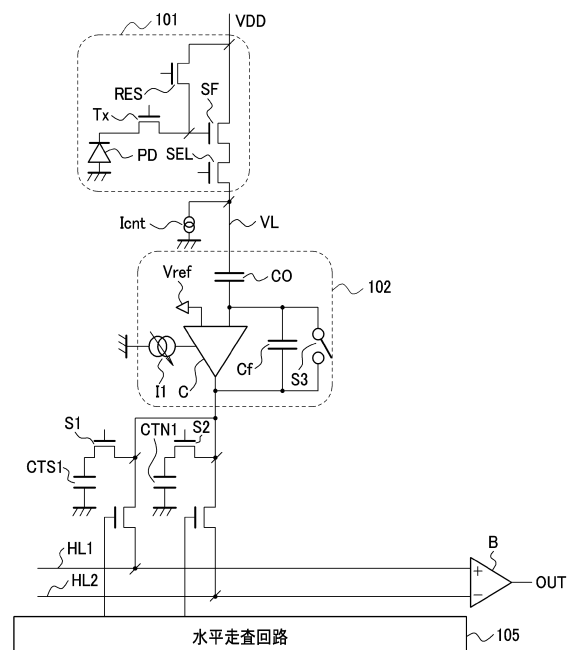
【図 12】



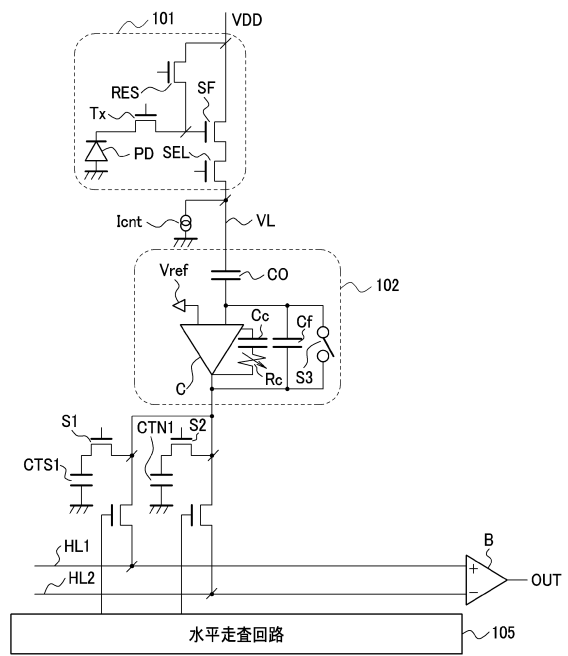
【図 13】



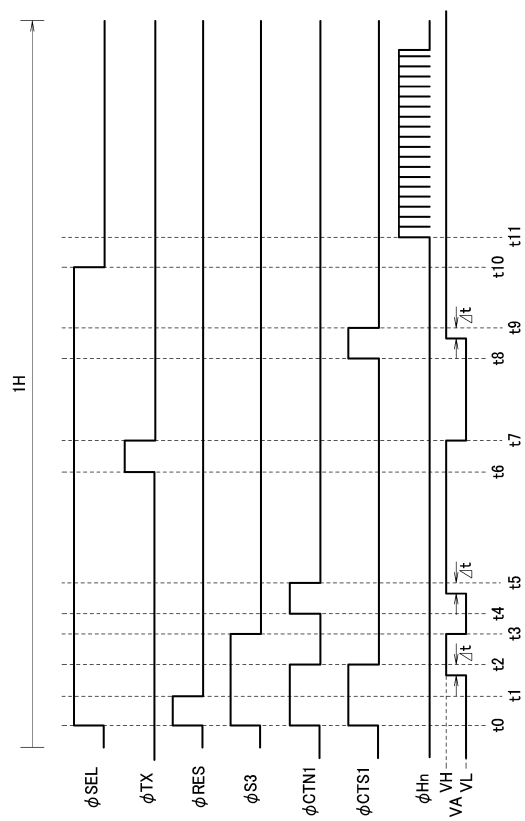
【図 14】



【 図 1 6 】



【 圖 1 7 】



---

フロントページの続き

(56)参考文献 特開2009-273148(JP,A)  
特開2003-060934(JP,A)  
特開平11-150683(JP,A)

(58)調査した分野(Int.Cl., DB名)  
H04N 5/378