

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5855342号
(P5855342)

(45) 発行日 平成28年2月9日(2016.2.9)

(24) 登録日 平成27年12月18日(2015.12.18)

(51) Int.Cl.	F I
G 1 1 C 11/413 (2006.01)	G 1 1 C 11/34 M
H 0 1 L 27/10 (2006.01)	H 0 1 L 27/10 4 6 1
	H 0 1 L 27/10 4 8 1

請求項の数 19 (全 16 頁)

(21) 出願番号	特願2010-538225 (P2010-538225)	(73) 特許権者	595020643
(86) (22) 出願日	平成20年12月15日(2008.12.15)		クアルコム・インコーポレイテッド
(65) 公表番号	特表2011-507139 (P2011-507139A)		QUALCOMM INCORPORATED
(43) 公表日	平成23年3月3日(2011.3.3)		ED
(86) 国際出願番号	PCT/US2008/086829		アメリカ合衆国、カリフォルニア州 92
(87) 国際公開番号	W02009/079455		121-1714、サン・ディエゴ、モア
(87) 国際公開日	平成21年6月25日(2009.6.25)		ハウス・ドライブ 5775
審査請求日	平成22年8月10日(2010.8.10)	(74) 代理人	100108855
審査番号	不服2014-8432 (P2014-8432/J1)		弁理士 蔵田 昌俊
審査請求日	平成26年5月7日(2014.5.7)	(74) 代理人	100109830
(31) 優先権主張番号	61/014,038		弁理士 福原 淑弘
(32) 優先日	平成19年12月15日(2007.12.15)	(74) 代理人	100103034
(33) 優先権主張国	米国 (US)		弁理士 野河 信久
(31) 優先権主張番号	12/334,817	(74) 代理人	100075672
(32) 優先日	平成20年12月15日(2008.12.15)		弁理士 峰 隆司
(33) 優先権主張国	米国 (US)		最終頁に続く

(54) 【発明の名称】 選択的プリチャージを使用したメモリ読取り安定性の改善

(57) 【特許請求の範囲】

【請求項1】

第1のセクションと第2のセクションとを有する第1のビット線であって、前記第1のビット線の前記第1のセクションが第1の電圧にプリチャージされ、前記第1のビット線の前記第2のセクションが、前記第1の電圧とは異なる第2の電圧にプリチャージされる、第1のビット線と、

第1のセクションと第2のセクションとを有する第2のビット線であって、前記第2のビット線の前記第1のセクションが前記第1の電圧にプリチャージされ、前記第2のビット線の前記第2のセクションが前記第2の電圧にプリチャージされる、第2のビット線と、

各ビット線の第1のセクションと前記各ビット線の第2のセクションとに選択的に結合された電荷共有回路と

を備えるメモリデバイスであって、前記電荷共有回路は、前記各ビット線の第1のセクションを前記各ビット線の第2のセクションに結合して、すべてのビット線の第1のセクションとすべてのビット線の第2のセクションとの間の電荷共有を可能にし、電荷共有が完了した後に、非選択の前記第1のセクションを前記第2のセクションから分離するメモリデバイス。

【請求項2】

前記各ビット線の前記第1のセクションが供給電圧にプリチャージされ、前記各ビット線の前記第2のセクションが接地にプリチャージされる、請求項1に記載のメモリデバイ

ス。

【請求項 3】

プリチャージ回路がアクティブでなく、mux 信号が電荷共有を示すとき、前記電荷共有回路を活動化するように構成された電荷共有対応回路をさらに備える、請求項 1 に記載のメモリデバイス。

【請求項 4】

前記各ビット線の前記第 1 のセクションに結合されたビットセルをさらに備える、請求項 1 に記載のメモリデバイス。

【請求項 5】

第 1 のセクションと第 2 のセクションとを有する逆ビット線をさらに備え、前記電荷共有回路が、前記逆ビット線の前記第 1 のセクションと前記逆ビット線の前記第 2 のセクションとに選択的に結合され、前記逆ビット線の前記第 1 のセクションを前記逆ビット線の前記第 2 のセクションに結合および分離するように構成された、請求項 1 に記載のメモリデバイス。

10

【請求項 6】

前記メモリデバイスがマイクロプロセッサに結合された、請求項 1 に記載のメモリデバイス。

【請求項 7】

前記メモリデバイスと前記マイクロプロセッサとが通信デバイスに一体化された、請求項 6 に記載のメモリデバイス。

20

【請求項 8】

第 1 のセクションと第 2 のセクションとを含む第 1 及び第 2 のビット線を有し、前記第 1 のビット線の前記第 2 のセクションと前記第 2 のビット線の前記第 2 のセクションとは同一の共有ビット線であり、メモリデバイスを動作させる方法であって、

前記第 1 のビット線の前記第 1 のセクションを第 1 の電圧にプリチャージすることと、
前記第 1 のビット線の前記第 2 のセクションを、前記第 1 の電圧とは異なる第 2 の電圧にプリチャージすることと、

前記第 2 のビット線の前記第 1 のセクションを第 1 の電圧にプリチャージすることと、
前記第 2 のビット線の前記第 2 のセクションを、前記第 2 の電圧にプリチャージすることと、

30

前記第 1 の電圧と前記第 2 の電圧との間の最終電圧を得るために、各ビット線の前記第 1 のセクションと前記各ビット線の前記第 2 のセクションとの間で電荷を共有することと、

電荷共有が完了した後に、非選択の前記第 1 のセクションを前記第 2 のセクションから分離することとを備える、方法。

【請求項 9】

少なくとも部分的に、各ビット線の前記第 1 のセクションの容量と各ビット線の前記第 2 のセクションの容量とによって前記最終電圧が決定される、請求項 8 に記載の方法。

【請求項 10】

前記第 1 のセクションをプリチャージすることが、各ビット線の前記第 1 のセクションを供給電圧にプリチャージすることを備え、前記第 2 のセクションをプリチャージすることが、各ビット線の前記第 2 のセクションを接地電圧にプリチャージすることを備える、請求項 8 に記載の方法。

40

【請求項 11】

プリチャージ回路がアクティブでないとき、mux 状態信号に従って電荷を共有することが行われる、請求項 8 に記載の方法。

【請求項 12】

通信に係るデータをメモリデバイスに記憶することをさらに備える、請求項 8 に記載の方法。

【請求項 13】

50

第1のセクションと第2のセクションとを有する第1のビット線と、第1のセクションと第2のセクションとを有する第2のビット線とを備え、前記第1のビット線の前記第2のセクションと前記第2のビット線の前記第2のセクションとは同一の共有ビット線であるメモリデバイスであって、

前記第1のビット線の第1のセクションを第1の電圧にプリチャージするための手段と、

前記第1のビット線の第2のセクションを第2の電圧にプリチャージするための手段と、

前記第2のビット線の前記第1のセクションを第1の電圧にプリチャージするための手段と、

10

前記第2のビット線の前記第2のセクションを、前記第2の電圧にプリチャージするための手段と、

前記各ビット線の前記第1のセクションと、前記各ビット線の前記第2のセクションとの間で電荷を共有するための手段と、

電荷共有が完了した後に、非選択の前記第1のセクションを前記第2のセクションから分離するための手段とを備える、メモリデバイス。

【請求項14】

前記第1の電圧が供給電圧である、請求項13に記載のメモリデバイス。

【請求項15】

前記第2の電圧が接地である、請求項13に記載のメモリデバイス。

20

【請求項16】

前記メモリデバイスがセルラー電話に組み込まれる、請求項13に記載のメモリデバイス。

【請求項17】

第1のセクションと第2のセクションとを含む第1及び第2のビット線を有し、前記第1のビット線の前記第2のセクションと前記第2のビット線の前記第2のセクションとは同一の共有ビット線であるメモリデバイスを動作させる方法であって、

第1のビット線の第1のセクションを第1の電圧にプリチャージするステップと、

前記第1のビット線の前記第2のセクションを、前記第1の電圧とは異なる第2の電圧にプリチャージするステップと、

30

前記第2のビット線の第1のセクションを第1の電圧にプリチャージするステップと、

前記第2のビット線の前記第2のセクションを、前記第2の電圧にプリチャージするステップと、

前記第1の電圧と第2の電圧との間の電圧レベルを得るために、前記各ビット線の前記第1のセクションと前記各ビット線の前記第2のセクションとの間で電荷を共有するステップと、

電荷共有が完了した後に、非選択の前記第1のセクションを前記第2のセクションから分離するステップとを備える、方法。

【請求項18】

逆ビット線の第1のセクションと、前記逆ビット線の第2のセクションとをプリチャージし、前記逆ビット線の前記第1のセクションと前記逆ビット線の前記第2のセクションとの間で電荷を共有するステップをさらに備える、請求項17に記載の方法。

40

【請求項19】

通信リンクを介して受信したデータを前記メモリデバイスに記憶すること
をさらに備える、請求項17に記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は、2007年12月15日に出願された米国仮出願第61/014,038号

50

の利益を主張する。

【0002】

本開示は、一般に集積回路（IC）に関する。より詳細には、本開示はメモリデバイスに関する。

【背景技術】

【0003】

メモリデバイスまたはメモリは、後で取り出すためにデータを記憶することができるハードウェアとして一般に説明できる。いくつかのメモリデバイスは、（たとえば、電荷によって表される）データを記憶するために使用されるトランジスタのセットと、データストアへのアクセスを制御するために使用されるトランジスタのセットとを含む。トランジスタのサイズは、45 nmに縮小しており、まもなく32 nmに達する。サイズが減少するにつれて、製造中に容認できる誤差限界は減少した。したがって、製造されたトランジスタは動作中により大きい変動性を示す。

10

【0004】

トランジスタ技術の変動性の大きい増加は、メモリデバイスおよびそれらの読取り安定性に悪影響を及ぼした。読取り安定性は、ノイズの存在下でアクセスされたときに正しいデータを保持するメモリデバイスの能力である。通常、読取り安定性は、スタティック・ノイズ・マージン（SNM）を使用して測定される。製造されたトランジスタの大きいばらつきは、メモリデバイスのスタティック・ノイズ・マージンを低減させる。スタティック・ノイズ・マージンのこの低減は、ノイズに対するビットセルロバストネスおよび許容差を低下させ、したがって、障害の増加によりメモリ収率を低下させる。

20

【0005】

供給電圧に比較してメモリデバイスのビット線電圧をわずかに低減させることにより、メモリデバイスのスタティック・ノイズ・マージンは大幅に改善する。しかしながら、メモリ設計において、ビット線は、一般に、メモリにアクセスする前に供給電圧にプリチャージされる。読取り安定性を改善するためにビット線電圧を低減するいくつかの試みが行われた。以前の試みは、読取り安定性を改善するためにそれらの有効性を制限することがある、製造中のプロセス変動、温度変動および電圧変動に対して大きい敏感性を示した。これらの試みのいくつかは、パルスビット線方式、二重供給電圧、および動的セルバイアスを含む。

30

【0006】

パルスビット線方式では、プルダウン・デバイスをビット線に接続する。ビット線を供給電圧にプリチャージした後、ビット線電圧を低下させ、読取り安定性を改善する狭いパルスをプルダウン・デバイスに適用する。特に、パルス幅はトランジスタの製造中のプロセス変動、電圧変動、および温度変動、ならびに環境変動とともに変化するので、この技法はこの狭いパルスの発生に極めて敏感である。

【0007】

別の試みは、2つの供給電圧、1つはビットセル用、もう1つはビット線用を使用し、ビット線電圧はビットセル電圧よりも低い。さらなる供給電圧を追加することは、困難な作業であり、チップの物理設計および検証を複雑にする。

40

【0008】

ビット線電圧を低減するさらに別の試みは、NMOSデバイスをを使用してビット線をプリチャージして、ビット線電圧をNMOSデバイスのしきい値電圧だけ低減することを含む。この場合、低いしきい値電圧NMOSデバイスを使用するので、プロセス複雑さおよびコストが増加し、たとえば、追加の作業が必要になる。さらに、しきい値電圧は、プロセス変動、電圧変動、および温度変動に強く依存する。

【0009】

メモリ読取り安定性を改善するこれらの3つの試みは、製造ばらつきに敏感であり、したがって、実装が困難であり、実装にコストがかかる。複数の供給電圧またはNMOSデバイスがプリチャージ回路に実装されたとき、そのようなコストはさらに増加する。した

50

がって、追加のコストを招くことなしに製造ばらつきに対する敏感性を低減するメモリ設計における読取り安定性の改善が必要である。

【発明の概要】

【0010】

本開示の1つの態様によれば、メモリデバイスは、第1のセクションと第2のセクションとを有するビット線を含む。メモリデバイスはまた、第1のセクションと第2のセクションとに選択的に結合される電荷共有回路を含み、その電荷共有回路は、第1のセクションを第2のセクションに結合および分離するように構成される。

【0011】

本開示の別の態様によれば、メモリデバイスを動作させる方法は、ビット線の第1のセクションを第1の電圧にプリチャージすることと、ビット線の第2のセクションを第2の電圧にプリチャージすることを含む。第2の電圧は、第1の電圧とは異なる。本方法はまた、ビット線の第1のセクションとビット線の第2のセクションとの間で電荷を共有することを含む。

【0012】

本開示のさらに別の態様によれば、メモリデバイスは、ビット線の第1のセクションを第1の電圧にプリチャージするための手段を含む。メモリデバイスはまた、ビット線の第2のセクションを第2の電圧にプリチャージするための手段を含む。メモリデバイスは、ビット線の第1のセクションとビット線の第2のセクションとの間で電荷を共有するための手段をさらに含む。

【0013】

本開示のさらなる態様によれば、第1のセクションと第2のセクションとを含むビット線を有するメモリデバイスを動作させる方法は、ビット線の第1のセクションを第1の電圧にプリチャージするステップを含む。本方法は、ビット線の第2のセクションを、第1の電圧とは異なる第2の電圧にプリチャージするステップをさらに含む。本方法はまた、第1の電圧と第2の電圧との間の電圧レベルを得るために、ビット線の第1のセクションとビット線の第2のセクションとの間で電荷を共有するステップを含む。

【0014】

ここでは、以下の詳細な説明がより良く理解できるように、本開示の特徴および技術的利点についてやや広く概説した。以下で、本開示の追加の特徴および利点について説明する。本開示は、本開示の同じ目的を実行するための他の構造を変更または設計するための基礎として容易に利用できることを、当業者は理解されたい。また、そのような等価な構成は、添付の特許請求の範囲に記載の本開示の教示から逸脱しないことを、当業者は了解されたい。さらなる目的および利点とともに、本開示の編成と動作の方法の両方に関して、本開示を特徴づけると考えられる新規の特徴は、添付の図に関連して以下の説明を検討するとより良く理解されよう。ただし、図の各々は、例示および説明のみの目的で提供され、本開示の範囲の限界を定めるものではないことを明白に理解されたい。

【0015】

本出願における開示のより完全な理解のために、次に添付の図面とともに以下を行う以下の説明を参照する。

【図面の簡単な説明】

【0016】

【図1】有利には本開示の一実施形態が採用される例示的なワイヤレス通信システムの図。

【図2A】SRAM安定性の改善のための従来のパルスビット線方式を示す回路図。

【図2B】SRAM安定性の改善のための従来のパルスビット線方式を示すタイミング図。

【図3】本開示の一実施形態による、例示的な選択的プリチャージ技法における初期プリチャージ動作を示す回路図。

【図4】本開示の一実施形態による、例示的な選択的プリチャージ技法における電荷共有

10

20

30

40

50

動作を示す回路図。

【図5】本開示の一実施形態による、読取りまたは書込み動作のためのビットセルの選択を示す回路図。

【図6】本開示の一実施形態による、例示的な選択的プリチャージ技法における異なる電圧へのビット線のプリチャージを示す回路図。

【図7】本開示の一実施形態による、例示的な選択的プリチャージ動作を示すタイミング図。

【図8】本開示の一実施形態による、例示的な選択的プリチャージ技法を実装するための回路の回路図。

【図9】開示する半導体集積回路の回路、レイアウト、および論理設計のために使用される設計ワークステーションを示すブロック図。

【発明を実施するための形態】

【0017】

図1に、有利には本開示の一実施形態が採用される例示的なワイヤレス通信システム100を示す。説明のために、図1に、3つのリモートユニット120、130、および150と、2つの基地局140とを示す。典型的なワイヤレス通信システムは、より多くのリモートユニットと基地局とを有することができることを認識されよう。リモートユニット120、130、および150は、本開示の一実施形態に従って作成される、メモリデバイス125A、125Bおよび125Cを含む。図1に、基地局140とリモートユニット120、130、および150とからの順方向リンク信号180と、リモートユニット120、130、および150から基地局140への逆方向リンク信号190とを示す。

【0018】

図1では、リモートユニット120は携帯電話として示され、リモートユニット130はポータブルコンピュータとして示され、リモートユニット150はワイヤレスローカルループシステム中の固定位置リモートユニットとして示されている。たとえば、リモートユニットは、セルホン、ハンドヘルドパーソナル通信システム（PCS）ユニット、携帯情報端末などのポータブルデータユニット、またはメータ読取り装置などの固定位置データユニットとすることができる。図1は、本開示の教示によるリモートユニットを示すが、本開示は、これらの例示的な図示されたユニットに限定されない。本開示は、本開示の教示に従って作製されるメモリデバイスを含む任意のデバイスにおいて好適に採用できる。

【0019】

図2Aは、メモリ安定性の改善のための従来のパルスビット線方式を示す回路図である。回路20は、データを記憶するように構成されたビットセル21を含み、回路20の読取りおよび書込み挙動を制御するための追加の回路に結合される。ビットセル21は6トランジスタ記憶セルとすることができる。プリチャージ信号PCHはプリチャージ回路22に結合される。プリチャージ回路22は、ビット線BLに結合されたトランジスタ221と、逆ビット線BLBに結合されたトランジスタ222と、ビット線BLと逆ビット線BLBの両方に結合されたトランジスタ223とを含む。パルス信号PULSEはプルダウン回路23に結合される。プルダウン回路23は、ビット線BLに結合されたトランジスタ231と、逆ビット線BLBに結合されたトランジスタ232と、ビット線BLと逆ビット線BLBの両方に結合されたトランジスタ233とを含む。

【0020】

説明のために、次に従来のパルスビット線方式の動作について説明する。図2Bは、メモリ安定性の改善のための従来のパルスビット線方式を示すタイミング図である。回路20は、プリチャージ信号PCHがローである時間251において開始し、トランジスタ221はビット線BLを供給電圧V_{DD}にプルアップし、トランジスタ222は逆ビット線BLBを供給電圧V_{DD}にプルアップする。時間252において、プリチャージ信号PCHはハイであり、トランジスタ221と、トランジスタ222と、トランジスタ223と

10

20

30

40

50

をオフにして、ビット線BLおよび逆ビット線BLBを供給電圧 V_{DD} から分離する。時間252において、狭い正のパルスがパルス信号PULSE上に発生される。パルス信号PULSEはトランジスタ231とトランジスタ232とをオンに切り替えて、ビット線BLと逆ビット線BLBとを接地206に結合する。トランジスタ233はオフに切り替わって、ビット線BLを逆ビット線BLBから分離する。電圧の低減がビット線BLと逆ビット線BLBとの上に起こる。時間253において、パルス信号PULSEがローに戻り、その結果、ビット線BLと逆ビット線BLBとが電圧の低減を止める。この技法は、読取り安定性を改善するためにビット線電圧を低減するが、特にパルス幅はトランジスタの製造中のプロセス変動、電圧変動、および温度変動とともに強く変動するので、この技法は、狭いパルスの発生に極めて敏感である。

10

【0021】

次に図3、図4および図5を参照しながら、次に例示的な改善された選択的プリチャージ技法について説明する。選択的プリチャージ技法は、プロセス変動、電圧変動、および温度変動に敏感になることなし、読取り安定性を改善するためにビット線電圧を低減する。ビット線電圧は、読取りおよび書込み動作中の共有を可能にするために選択的に結合されるビット線のセクション間で電荷を共有することによって低減される。SRAMメモリデバイスについて説明するが、選択的プリチャージ技法は、限定はしないがSRAM、DRAM、またはMRAMを含む、任意のメモリ設計に適用できる。

【0022】

ビット線の異なる部分が、異なる電圧（たとえば、 V_{DD} およびGND）にプリチャージされ、電荷共有を使用することによって、ビット線電圧の所要の最終値が達成される。一実施形態では、電荷共有動作は3つのパートに分割される。最初に、図3に示すように、ビット線の上側部分が V_{DD} にプリチャージされ、ビット線の下側部分がGNDにプリチャージされる。次に、図4に示すように、電荷共有スイッチがオンにされて、ビット線の上側部分と下側部分との間の電荷共有を可能にする。したがって、最終ビット線電圧は、 C_{BL} と C_2 との間の容量の比によって決定される。最後に、図5で示すように、電荷共有はすべての列に対して無効にされ、スイッチは読取りまたは書込み動作のために選択された列に対してオンのままである。

20

【0023】

図3は、例示的な選択的プリチャージ技法における初期プリチャージ動作を示すブロック図である。ブロック図30は、値 C_{BL} をもつ、キャパシタ311によって示される関連する容量とともに上側ビット線31を含む。下側ビット線33は、値 C_2 をもつ、キャパシタ331によって示される関連する容量を有する。上側ビット線31および下側ビット線33はmuxスイッチ32に結合される。ブロック図30では、muxスイッチ32は初期プリチャージ中に開いており、上側ビット線31が供給電圧 V_{DD} にプリチャージすること、および下側ビット線33が接地GNDにプリチャージすることを可能にする。さらに、ビットセル34は上側ビット線31に結合される。別の実施形態では、ビットセル34は下側ビット線33に結合される。

30

【0024】

図4は、例示的な選択的プリチャージ技法における電荷共有動作を示すブロック図である。ブロック図40は、上側ビット線31と、キャパシタ311によって表される容量と、下側ビット線33と、キャパシタ331によって表される容量と、muxスイッチ32とを含む。電荷共有動作は、muxスイッチ32を閉じて、上側ビット線31を下側ビット線33に結合することによって起こる。上側ビット線31と下側ビット線33との組合せ上の最終電圧 V_{BL} は、上側ビット線31上の初期電圧と、下側ビット線33上の初期電圧と、キャパシタ311と、キャパシタ331とに対応し、以下によって与えられる。

40

【数 1】

$$V_{BL} = \frac{V_{DD} * (N * C_{BL})}{N * C_{BL} + C_2} = \frac{V_{DD}}{1 + 1/N * C_2 / C_{BL}}$$

【0025】

式中、Nは、muxスイッチ32に接続されたビット線対の数である。

【0026】

図5は、例示的な選択的プリチャージ技法における電荷共有無効化を示すブロック図である。ブロック図50は、上側ビット線31と、キャパシタ311によって表される容量と、下側ビット線33と、キャパシタ331によって表される容量と、muxスイッチ32とを含む。muxスイッチ32は、電荷共有が完了した後に開いて、上側ビット線31を下側ビット線33から分離する。この開きにより、電荷共有動作が無効になり、その結果、データをビットセル34から読み取ること、またはそこに書き込むことができるようになる。読取りまたは書込み動作のためにビットセル54が選択されたので、muxスイッチ52は閉じたままである。

10

【0027】

図6は、本開示の別の実施形態による、例示的な選択的プリチャージ技法における異なる電圧へのビット線のプリチャージを示すブロック図である。この実施形態では、上側ビット線のすべてが供給電圧 V_{DD} にチャージされるわけではない。ブロック図60は、上側ビット線31と、キャパシタ311によって表される容量と、下側ビット線33と、キャパシタ331によって表される容量と、muxスイッチ32とを含む。上側ビット線31は供給電圧 V_{DD} にプリチャージされ、下側ビット線33は接地GNDにプリチャージされる。本実施形態では、各上側ビット線は、異なる電圧にプリチャージされる。たとえば、上側ビット線61は接地GNDにプリチャージされる。したがって、電荷共有が行われると、上側ビット線および逆上側ビット線は、すべての上側ビット線が供給電圧 V_{DD} にプリチャージされるときに比較して低い最終電圧を有することになる。適切な最終電圧を得るために、追加のビット線を接地GND、供給電圧 V_{DD} 、または他の供給電圧（図示せず）にチャージすることができる。

20

【0028】

図7は、選択的プリチャージ動作を示すタイミング図である。上側ビット線 BL_U 、逆上側ビット線 BLB_U 、下側ビット線 BL_L 、および逆下側ビット線 BLB_L での選択的プリチャージの動作は、プリチャージ信号PRECHG、mux信号MUX__STATE、および電荷共有信号CH__SHによって制御される。ワード線信号WLは、上側ビット線 BL_U 、逆上側ビット線 BLB_U 、下側ビット線 BL_L 、および逆下側ビット線 BLB_L へのアクセスを可能にする。回路の初期状態は時間711であり、プリチャージ信号PRECHG、mux信号MUX__STATE、電荷共有信号CH__SH、およびワード線WLがローである。下側ビット線 BL_L 、および逆下側ビット線 BLB_L は接地にプリデイスチャージされ、上側ビット線 BL_U および逆上側ビット線 BLB_U は供給電圧 V_{DD} にプリチャージされる。供給電圧レベルを一点短鎖線によって示す。

30

40

【0029】

プリチャージ信号PRECHGがハイになった（プリチャージ回路を非活動化する）後、mux信号MUX__STATEがローであるとき、電荷共有が有効にされる。したがって、時間712において、電荷共有信号CH__SHはハイになる。上側ビット線 BL_U および逆上側ビット線 BLB_U は、電荷共有にตอบสนองして、電圧が接地GNDへ低減する。さらに、下側ビット線 BL_L および逆下側ビット線 BLB_L は、供給電圧 V_{DD} へ電圧が増加する。mux信号MUX__STATEは、時間713の少し前にハイになり、電荷共有動作の終了を示す。したがって、電荷共有信号CH__SHは、時間713においてローになり、電荷共有動作を完了する。上側ビット線 BL_U 、逆上側ビット線 BLB_U 、下側ビット線 BL_L 、および逆下側ビット線 BLB_L の電圧は、電荷共有動作が終了する時間7

50

13において安定化する。上側ビット線 BL_U 、および逆上側ビット線 BLB_U の電圧の低減は、メモリの読取り安定性を高める。

【0030】

時間714において、ワード線 WL はハイになり、読取り動作が開始したことを示す。上側ビット線 BL_U 、上側逆ビット線 BLB_U 、下側ビット線 BL_L 、および下側逆ビット線 BLB_L 上の電圧は接地 GND へ放電する。読取り動作が完了し、ワード線 WL がローになった後の時間715において、プリチャージ信号 $PRECHG$ はローになる。したがって、上側ビット線 BL_U および逆上側ビット線 BLB_U は、供給電圧 V_{DD} にプリチャージされ、下側ビット線 BL_L および逆下側ビット線 BLB_L は接地 GND にプリディスチャージされる。時間716の少し前に、 mux 信号 MUX_STATE はローになり、時間716においてすべての信号をそれらの初期状態に戻す。

【0031】

図8は、本開示の一実施形態による、例示的な選択的プリチャージ技法を実装するための回路の回路図である。回路80は、ビットセル84にアクセスするように構成された、上側ビット線85 BL_U と逆上側ビット線87 BLB_U とを含む。さらに、回路80は、下側ビット線86 BL_L と逆下側ビット線88 BLB_L とを含む。ビットセル84は上側ビット線85、87に接続されているのが示されているが、ビットセル84は下側ビット線86、88に接続することもできる。電荷共有を活動化するように構成された電荷共有対応回路81は、 mux 信号 MUX_STATE とプリチャージ信号 $PRECHRG$ とに結合され、電荷共有信号 CH_SH を出力する。電荷共有対応回路81は、 mux 信号 MUX_STATE に結合されたインバータ812と、インバータ812の出力およびプリチャージ信号 $PRECHRG$ に結合された $NAND$ ゲート814と、 $NAND$ ゲート814の出力に結合されたインバータ816とを含む。図示の電荷共有対応回路81は、電荷共有を活動化することが可能な論理ゲートのただ1つの可能な組合せである。プリチャージ回路891は上側ビット線85、87に結合され、プルダウン回路892は下側ビット線86、88に結合される。プリチャージ回路891およびプルダウン回路892はプリチャージ信号 $PRECHRG$ によって制御される。

【0032】

電荷共有信号 CH_SH および選択信号 SEL_n は、電荷共有回路83を制御するための NOR ゲート82への入力である。電荷共有信号 CH_SH がハイのとき、電荷共有回路83はアクティブである。電荷共有回路83がアクティブであるとき、上側ビット線85は下側ビット線86に結合され、上側ビット線87は下側ビット線88に結合される。選択信号 SEL_n は、読取りまたは書込み動作のためのビットセルを選択するために使用される。ただ1つの選択信号 SEL_n 、上側ビット線 BL_U 、逆上側ビット線 BLB_U 、下側ビット線 BL_L 、および逆下側ビット線 BLB_L が示されているが、より多くを回路80に組み込むことができる。さらに、より多くのビットセルを回路80に組み込むことができる。

【0033】

次に、回路80の動作をタイミング図70に関して説明する。時間711において、プリチャージ信号 $PRECHG$ はローであり、 mux 信号 MUX_STATE はローである。電荷共有対応回路81 CH_SH の出力はローになる。上側ビット線85、87は供給電圧 V_{DD} にプリチャージされ、下側ビット線86、88は接地にプリチャージされる。プリチャージ信号 $PRECHG$ が（プリチャージ回路を非活動化する）ハイになった後の時間712において、 mux 信号 MUX_STATE はローのままであり、電荷共有対応回路81 CH_SH の出力はハイになる。これにより、 NOR ゲート82は、上側ビット線85、87を下側ビット線86、88に結合するように電荷共有回路83を制御し、上側ビット線 BL_U および逆上側ビット線 BLB_U 上の電圧が低減することになる。 mux 信号 MUX_STATE がハイになった後の時間713において、電荷共有対応回路81 CH_SH の出力はローになる。この変化により、電荷共有回路83は上側ビット線85、87を下側ビット線86、88から分離させ、電荷共有が終了する。時間714

において、（書込み線信号WLに応答して）ビットセル84がアクセスされ、読取りまたは書込み動作が起こる。

【0034】

本開示で説明する電荷共有技法は、ビット線電圧を供給電圧から低減することによってメモリ読取り安定性を改善する。ビット線電圧は、ビット線の1つのセクションを第1の電圧にプリチャージし、ビット線の第2のセクションを第2の電圧にプリチャージすることによって低減される。次いで、電荷共有回路は、2つのセクションを選択的に結合して、ビット線電圧を第1の電圧と第2の電圧との間に到達させる。最終電圧は、ビット線の2つのセクションの相対容量に部分的に依存し、したがって、デバイスのいかなる製造ばらつきも電荷共有の動作に影響を及ぼさない。一実施形態では、第1のセクションは上側ビット線であり、第2のセクションは下側ビット線である。

10

【0035】

本開示の1つの利点は、ビット線電圧を低減することによる読取り安定性の改善である。正確な電圧レベルをビット線に対して選択することができる。上述のように、ビット線電圧の低減はメモリデバイスのスタティック・ノイズ・マージン(SNM)を改善する。すべてのビット線がビットセルの供給電圧に比較して低い電圧を示すので、アクセスされたビットセルと半選択ビットセルの両方が改善される。半選択ビットセルは、アサートされたワード線によっては選択されるが、そのビット線によっては選択されないセルである。

【0036】

20

本開示の第2の利点は、優れた設計ロバストネスである。本開示は、トランジスタのしきい値電圧およびクリティカル信号のタイミングに依存しない。

【0037】

本開示の第3の利点は、プロセス変動トレランスである。提案する解決策は、プロセス変動、電圧変動、および温度変動とともに変化しない相対容量値に依存する。ビット線電圧は、プロセス条件とは無関係になる。

【0038】

本開示の第4の利点は、設計フレキシビリティである。ビット線の電圧値は、どのビット線セグメントを V_{DD} にプリチャージすべきか、およびどのビット線セグメントを接地にプリチャージすべきかを選択することによって変更できる。たとえば、1つまたは複数のビット線を接地にプリチャージすることにより、より大きいデルタ値(V_{DD} からのビット線の変更)が可能になる。たとえば、供給電圧が1.125ボルトであり、上部セクションが1.125ボルトであり、下側セクションが1.125ボルトである場合、すべてのビット線が V_{DD} にプリチャージされるならば、最終電圧は1.125ボルトになる。デルタは、この場合、0ミリボルトになる。しかしながら、同じ場合において、ビット線の1つが接地にプリディスチャージされるならば、最終電圧は1.00ボルトになる。デルタは、この場合、125ミリボルトになる。したがって、ビット線セクションがプリチャージされる電圧に関して高度のフレキシビリティがある。

30

【0039】

本開示の第5の利点は、ただ1つの供給電圧が使用されることである。これにより、メモリのトップレベルの物理設計および検証が単純化される。

40

【0040】

開示するメモリデバイスは、マイクロプロセッサまたは他のマイクロエレクトロニクスのデバイスに結合できる。メモリデバイスは、マイクロプロセッサとともにパッケージングでき、さらに通信デバイスに組み込むことができる。たとえば、メモリは、携帯電話または通信基地局に埋め込むことができる。

【0041】

図9は、開示する半導体集積回路の回路、レイアウト、および論理設計のために使用される設計ワークステーションを示すブロック図である。設計ワークステーション900は、オペレーティングシステムソフトウェア、サポートファイル、およびCadenceま

50

たはO r C A Dなどの設計ソフトウェアを含んでいる、ハードディスク901を含む。設計ワークステーション900はまた、回路設計910の設計を可能にするためのディスプレイを含む。回路設計910は、上記で開示したメモリ回路とすることができる。回路設計910を有形に記憶するための記憶媒体904が設けられる。回路設計910は、G D S I IまたはG E R B E Rなどのファイル形式で記憶媒体904に記憶できる。記憶媒体904は、C D - R O M、D V D、ハードディスク、フラッシュメモリ、または他の適切なデバイスとすることができる。さらに、設計ワークステーション900は、記憶媒体904から入力を受け入れるため、または記憶媒体904に出力を書き込むためのドライブ装置903を含む。

【0042】

記憶媒体904に記録されたデータは、論理回路構成、フォトリソグラフィマスクのためのパターンデータ、または電子ビームリソグラフィなどのシリアル書込みツールのためのマスクパターンデータを指定することができる。データは、論理シミュレーションに関連するタイミング図またはネット回路など、論理検証データをさらに含むことができる。記憶媒体904にデータを供給することにより、半導体集積回路を設計するためのプロセスの数が減少するので、回路設計910の設計が容易になる。

【0043】

本開示およびその利点について詳細に説明したが、添付の特許請求の範囲によって規定される本開示の趣旨および範囲から逸脱することなく様々な変更、置換および改変を本明細書で行うことができることを理解されたい。たとえば、S R A Mメモリデバイスについて説明したが、選択的プリチャージ技法は、限定はしないがS R A M、D R A MまたはM R A Mを含む任意のメモリ設計に適用できる。さらに、本出願の範囲は、本明細書で説明するプロセス、機械、製造、組成物、手段、方法およびステップの特定の実施形態に限定されるものではない。当業者が本開示の開示から容易に諒解するように、ほぼ同じ機能を実行するか、または本明細書で説明する対応する実施形態とほぼ同じ結果を達成する、現在存在する、または後に開発される、プロセス、機械、製造、組成物、手段、方法またはステップは本開示に従って利用できる。したがって、添付の特許請求の範囲は、それらの範囲内にそのようなプロセス、機械、製造、組成物、手段、方法、またはステップを含むものとする。

以下に、本願出願の当初の特許請求の範囲に記載された発明を付記する。

[1] 第1のセクションと第2のセクションとを有する第1のビット線と、

前記第1のセクションと前記第2のセクションとに選択的に結合された電荷共有回路とを備えるメモリデバイスであって、前記電荷共有回路が、前記第1のセクションを前記第2のセクションに結合および分離するように構成された、メモリデバイス。

[2] 前記第1のビット線の前記第1のセクションが第1の電圧にプリチャージされ、前記第1のビット線の前記第2のセクションが、前記第1の電圧とは異なる第2の電圧にプリチャージされる、[1]に記載のメモリデバイス。

[3] 前記第1のビット線の前記第1のセクションが接地にプリチャージされ、前記第1のビット線の前記第2のセクションが供給電圧にプリチャージされる、[2]に記載のメモリデバイス。

[4] 第1のセクションと第2のセクションとを有する第2のビット線をさらに備え、前記第2のビット線の前記第1のセクションと、前記第2のビット線の前記第2のセクションとが、前記第1の電圧にプリチャージされる、[2]に記載のメモリデバイス。

[5] プリチャージ回路がアクティブでなく、m u x信号が電荷共有を示すとき、前記電荷共有回路を活動化するように構成された電荷共有対応回路をさらに備える、[1]に記載のメモリデバイス。

[6] 前記第1のビット線の前記第1のセクションに結合されたビットセルをさらに備える、[1]に記載のメモリデバイス。

[7] 第1のセクションと第2のセクションとを有する逆ビット線をさらに備え、前記電荷共有回路が、前記逆ビット線の前記第1のセクションと前記逆ビット線の前記第2の

10

20

30

40

50

セクションとに選択的に結合され、前記逆ビット線の前記第 1 のセクションを前記逆ビット線の前記第 2 のセクションに結合および分離するように構成された、[1]に記載のメモリデバイス。

[8] 前記メモリデバイスがマイクロプロセッサに結合された、[1]に記載のメモリデバイス。

[9] 前記メモリデバイスと前記マイクロプロセッサとが通信デバイスに一体化された、[8]に記載のメモリデバイス。

[1 0] 第 1 のセクションと第 2 のセクションとを含むビット線を有するメモリデバイスを動作させる方法であって、

前記ビット線の前記第 1 のセクションを第 1 の電圧にプリチャージすることと、

前記ビット線の前記第 2 のセクションを、前記第 1 の電圧とは異なる第 2 の電圧にプリチャージすることと、

前記第 1 の電圧と前記第 2 の電圧との間の最終電圧を得るために、前記ビット線の前記第 1 のセクションと前記ビット線の前記第 2 のセクションとの間で電荷を共有することとを備える、方法。

[1 1] 少なくとも部分的に、前記ビット線の前記第 1 のセクションの容量と前記ビット線の前記第 2 のセクションの容量とによって前記最終電圧が決定される、[1 0]に記載の方法。

[1 2] 前記第 1 のセクションをプリチャージすることが、前記ビット線の前記第 1 のセクションを供給電圧にプリチャージすることを備え、前記第 2 のセクションをプリチャージすることが、前記ビット線の前記第 2 のセクションを接地電圧にプリチャージすることを備える、[1 0]に記載の方法。

[1 3] 第 2 のビット線の第 1 のセクションと第 2 のビット線の第 2 のセクションとを前記第 1 の電圧にプリチャージすること
をさらに備える、[1 0]に記載の方法。

[1 4] プリチャージ回路がアクティブでないとき、mux 状態信号に従って電荷を共有することが行われる、[1 0]に記載の方法。

[1 5] 通信に関係するデータをメモリデバイスに記憶すること
をさらに備える、[1 0]に記載の方法。

[1 6] ビット線の第 1 のセクションを第 1 の電圧にプリチャージするための手段と、
前記ビット線の第 2 のセクションを第 2 の電圧にプリチャージするための手段と、
前記ビット線の前記第 1 のセクションと、前記ビット線の前記第 2 のセクションとの間で電荷を共有するための手段と
を備える、メモリデバイス。

[1 7] 前記第 1 の電圧が供給電圧である、[1 6]に記載のメモリデバイス。

[1 8] 前記第 2 の電圧が接地である、[1 6]に記載のメモリデバイス。

[1 9] 前記メモリデバイスがセルラー電話に組み込まれる、[1 6]に記載のメモリデバイス。

[2 0] 第 1 のセクションと第 2 のセクションとを含むビット線を有するメモリデバイスを動作させる方法であって、

ビット線の第 1 のセクションを第 1 の電圧にプリチャージするステップと、

前記ビット線の前記第 2 のセクションを、前記第 1 の電圧とは異なる第 2 の電圧にプリチャージするステップと、

前記第 1 の電圧と第 2 の電圧との間の電圧レベルを得るために、前記ビット線の前記第 1 のセクションと前記ビット線の前記第 2 のセクションとの間で電荷を共有するステップと
を備える、方法。

[2 1] 第 2 のビット線の第 1 のセクションを前記第 1 の電圧にプリチャージし、前記第 2 のビット線の第 2 のセクションを前記第 1 の電圧にプリチャージするステップをさらに備える、[1 8]に記載の方法。

10

20

30

40

50

[2 2] 逆ビット線の第 1 のセクションと、前記逆ビット線の第 2 のセクションとをプリチャージし、前記逆ビット線の前記第 1 のセクションと前記逆ビット線の前記第 2 のセクションとの間で電荷を共有するステップをさらに備える、[1 8]に記載の方法。

[2 3] 通信リンクを介して受信したデータを前記メモリデバイスに記憶することをさらに備える、[1 6]に記載の方法。

[2 4] コンピュータ可読媒体上に有形に実現されたメモリ設計構造であって、第 1 のセクションと第 2 のセクションとを有する第 1 のビット線と、前記第 1 のセクションと前記第 2 のセクションとに選択的に結合された電荷共有回路とを備え、前記電荷共有回路が、前記第 1 のセクションを前記第 2 のセクションに結合および分離するように構成された、メモリ設計構造。

[2 5] 前記第 1 のビット線と前記電荷共有回路とに結合されたマクロプロセッサをさらに備える、[2 4]に記載のメモリ設計構造。

10

【図 1】

図 1

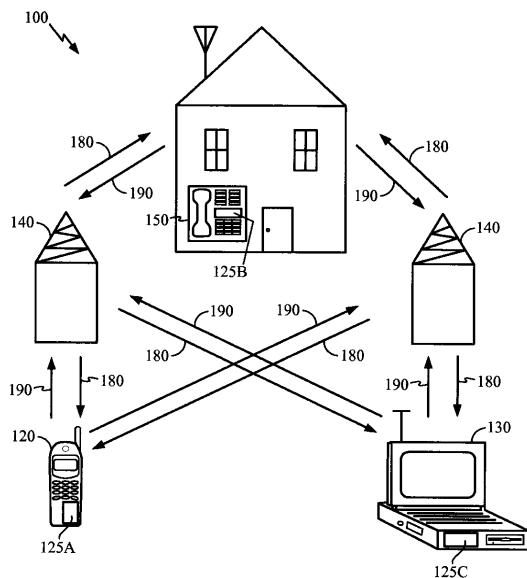


FIG. 1

【図 2 A】

図 2A

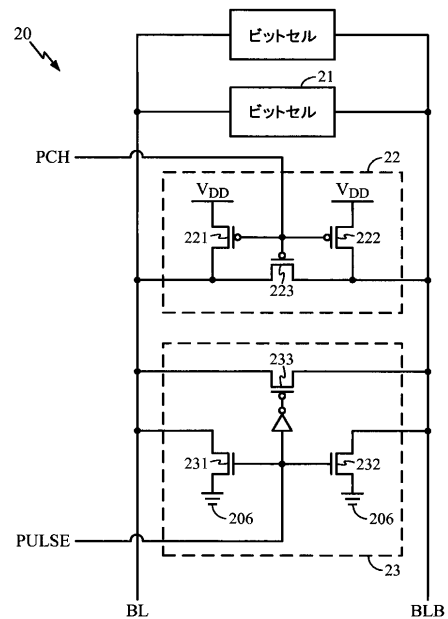


FIG. 2A

【図 2 B】

図 2B

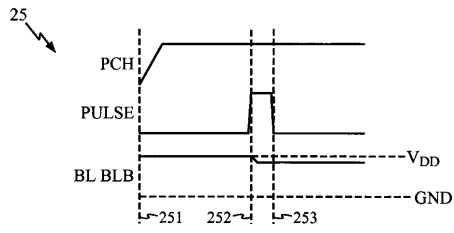


FIG. 2B

【図 3】

図 3

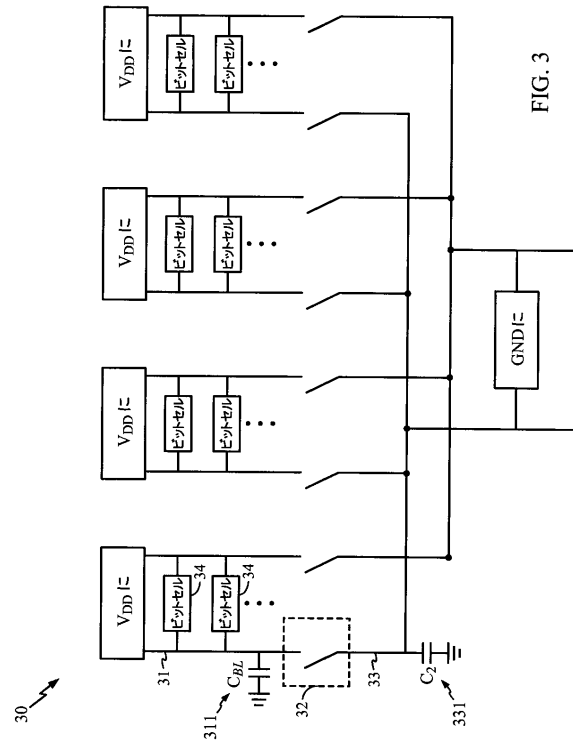


FIG. 3

【図 4】

図 4

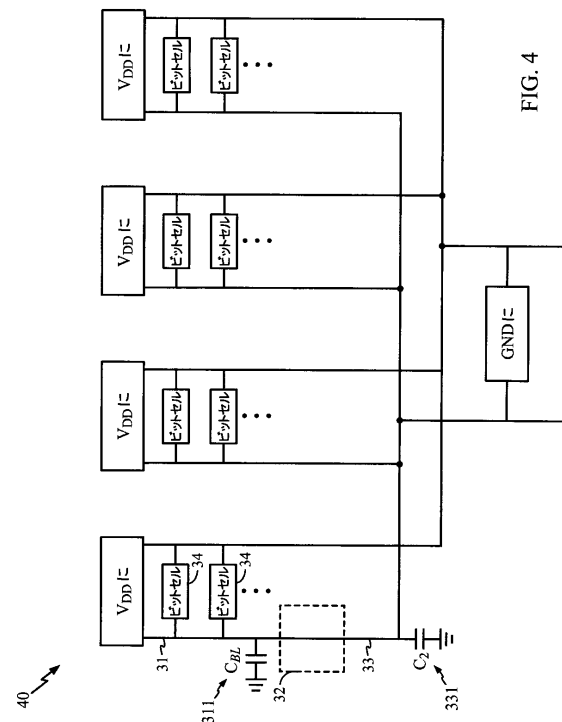


FIG. 4

【図 5】

図 5

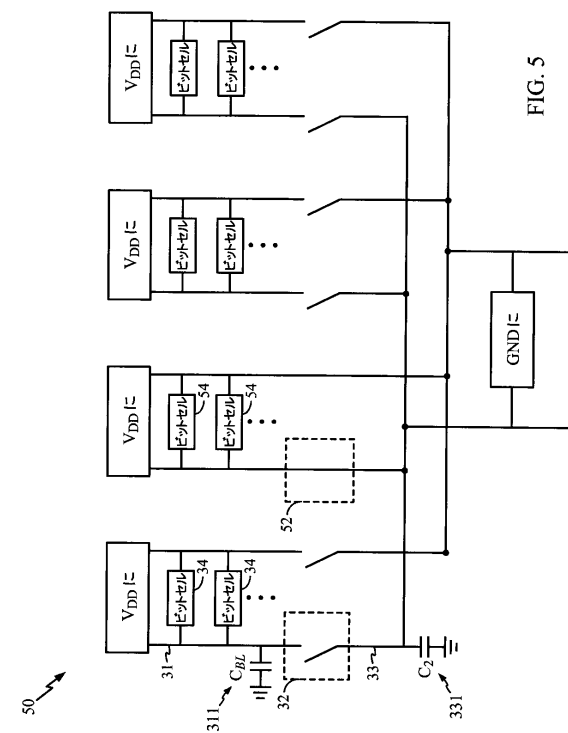
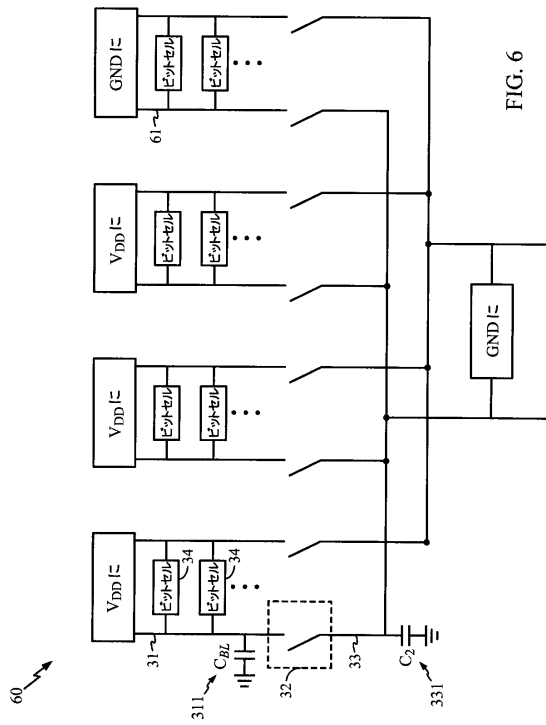


FIG. 5

【図 6】

图 6



【图 7】

图 7

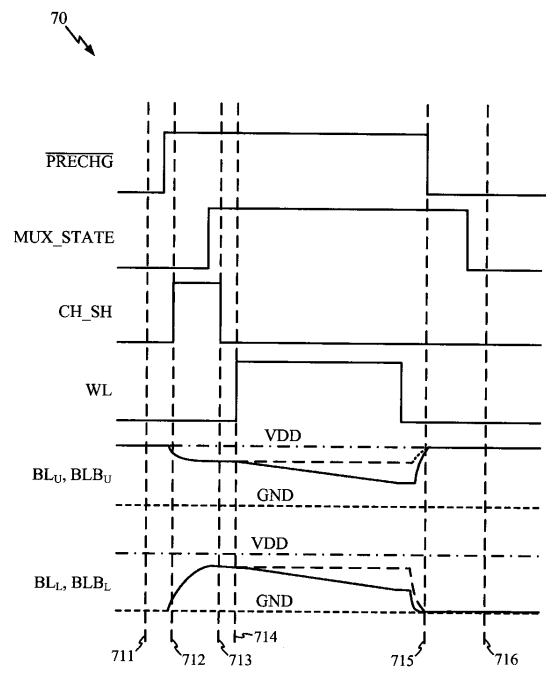
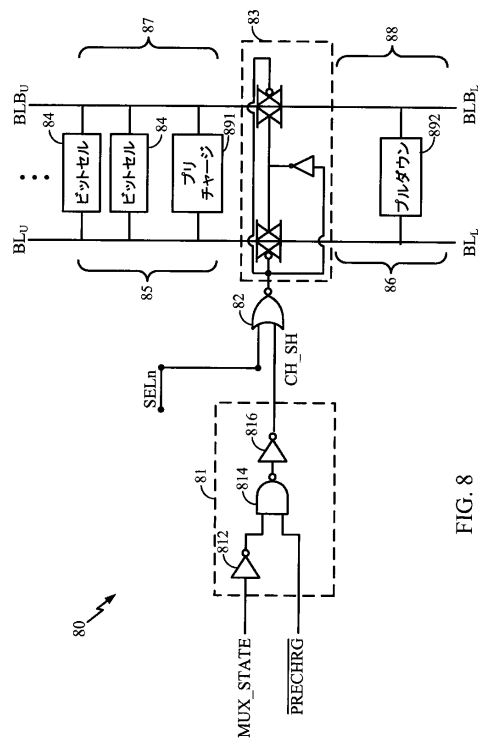


FIG. 7

【図 8】

图 8



【图 9】

图 9

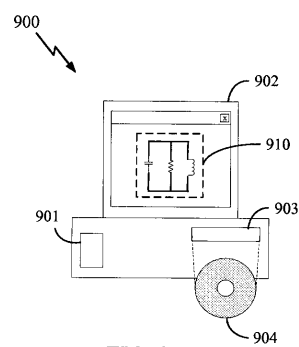


FIG. 9

フロントページの続き

- (74)代理人 100153051
弁理士 河野 直樹
- (74)代理人 100140176
弁理士 砂川 克
- (74)代理人 100158805
弁理士 井関 守三
- (74)代理人 100179062
弁理士 井上 正
- (74)代理人 100124394
弁理士 佐藤 立志
- (74)代理人 100112807
弁理士 岡田 貴志
- (74)代理人 100111073
弁理士 堀内 美保子
- (72)発明者 アブーラーマ、モハメド・エイチ.
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 チャバ、リツ
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 チェン、ナン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5
- (72)発明者 ヨン、セイ・スン
アメリカ合衆国、カリフォルニア州 9 2 1 2 1、サン・ディエゴ、モアハウス・ドライブ 5 7
7 5

合議体

審判長 飯田 清司

審判官 鈴木 匡明

審判官 長谷川 素直

- (56)参考文献 特開昭62-293586 (JP, A)
特開昭63-183680 (JP, A)
特開平03-102698 (JP, A)

- (58)調査した分野(Int.Cl., DB名)
G11C 11/413
H01L 27/10