



(12) 发明专利申请

(10) 申请公布号 CN 102122636 A

(43) 申请公布日 2011. 07. 13

(21) 申请号 201010579606. 7

(22) 申请日 2010. 12. 08

(71) 申请人 中国科学院上海微系统与信息技术
研究所

地址 200050 上海市长宁区长宁路 865 号

(72) 发明人 刘旭焱 张挺 刘卫丽 宋志棠
杜小峰 顾怡峰 成岩

(74) 专利代理机构 上海光华专利事务所 31219
代理人 李仪萍

(51) Int. Cl.

H01L 21/822(2006. 01)

H01L 21/82(2006. 01)

H01L 45/00(2006. 01)

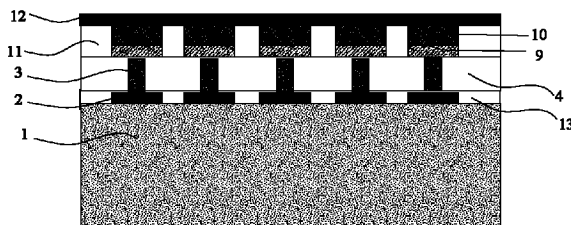
权利要求书 2 页 说明书 6 页 附图 7 页

(54) 发明名称

三维电阻转换存储芯片制备方法

(57) 摘要

本发明涉及一种三维电阻转换存储芯片制备方法。该方法利用电阻转换材料与含有电极阵列的绝缘介质层的直接键合以及改进型智能剥离技术突破了存储单元三维堆叠的温度难题。该方法中采用低温等离子体活化键合技术将包含电极阵列的第一半导体晶圆与包含电阻转换材料和选通管层材料的第二半导体晶圆进行键合;利用不高于 400℃低温退火增强键合强度,同时实现低温电阻转换材料转移,即将具有电阻转换材料和选通管层材料的薄膜转移到第一半导体晶圆上,随后在第一半导体晶圆结构上通过半导体工艺,制备存储和选通单元。



1. 一种三维电阻转换存储芯片制备方法,其特征在于,包括以下步骤:
 - A、在第一半导体晶圆表面制备包含字线或位线、以及电极阵列的结构;
 - B、在第二半导体晶圆表面制备包含缺陷层及二极管单元层的结构,并对所述缺陷层进行氢离子注入;
 - C、在注入过氢离子的第二半导体晶圆表面沉积电阻转换存储材料薄膜;
 - D、基于低温等离子体活化键合技术,将具有电极阵列的第一半导体晶圆的和沉积有电阻转换存储材料薄膜的第二半导体晶圆进行面对面低温晶圆键合,并使用不高于 400℃ 的温度进行退火处理,以使所述缺陷层因氢离子受热而使所述缺陷层与所述二极管单元层剥离;
 - E、对剥离后的二极管单元层表面进行平坦化处理,再进行图形化光刻和刻蚀,以形成二极管-电阻存储单元阵列;
 - F、在所述二极管-电阻存储单元阵列表面进行位线或字线的制备,以形成一层垂直结构的电阻转换存储单元阵列。
2. 按照权利要求 1 所述的三维电阻转换存储芯片制备方法,其特征在于还包括:在所形成的垂直结构的电阻转换存储单元阵列表面依序重复进行制备电极阵列的步骤、以及步骤 B 至步骤 F,以形成至少两层垂直结构的电阻转换存储单元阵列。
3. 按照权利要求 2 所述的三维电阻转换存储芯片制备方法,其特征在于还包括:重复进行制备电极阵列的步骤、以及步骤 B 至步骤 F 的重复次数不超过 11 次。
4. 按照权利要求 1 所述的三维电阻转换存储芯片制备方法,其特征在于:所述第一半导体晶圆是半导体材料的晶圆、包含外围电路的晶圆、及包含一层或者多层存储结构的晶圆中的一种。
5. 按照权利要求 1 所述的三维电阻转换存储芯片制备方法,其特征在于:所述第一半导体晶圆表面的字线或位线、及电极阵列嵌入在绝缘介质材料中;其中,字线或位线的材料为:Al、Cu、Ti、W、重掺杂 Si、TiN、SiW、CoSi₂ 中的一种或多种,所述电极的材料为 W、TiN、Ti、及 TiW 中的一种或多种。
6. 按照权利要求 1 或 5 所述的三维电阻转换存储芯片制备方法,其特征在于:所述电极的直径或者边长尺寸范围为 5nm 到 300nm。
7. 按照权利要求 1 所述的三维电阻转换存储芯片制备方法,其特征在于:所述第二半导体晶圆是硅晶圆、锗晶圆、SiC、或者其它半导体单晶材料。
8. 按照权利要求 1 所述的三维电阻转换存储芯片制备方法,其特征在于:所形成的二极管为 PN 结二极管或肖特基二极管。
9. 按照权利要求 1 或 8 所述的三维电阻转换存储芯片制备方法,其特征在于:采用离子注入、扩散法、或结合掺杂外延方法形成所述二极管单元层。
10. 按照权利要求 9 所述的三维电阻转换存储芯片制备方法,其特征在于:所述二极管单元层中包含重掺杂层以确保欧姆接触。
11. 按照权利要求 1 所述的三维电阻转换存储芯片制备方法,其特征在于:所述步骤 B 包括:先在所述第二半导体晶圆表面形成厚度在 150nm 以内的 SiGe 层作为缺陷层,再形成所述二极管单元层。
12. 按照权利要求 1 所述的三维电阻转换存储芯片制备方法,其特征在于:所述步骤 B

包括：在所述第二半导体晶圆表面形成所述二极管单元层后，再采用离子注入引入所述缺陷层。

13. 按照权利要求 12 所述的三维电阻转换存储芯片制备方法，其特征在于：所述离子注入所采用的离子源为硼离子、氮离子、铝离子、硅离子、锗离子、氮离子、磷离子中的一种或多种。

14. 按照权利要求 1 所述的三维电阻转换存储芯片制备方法，其特征在于：所述电阻转换存储材料为相变材料、或电阻随机存储器材料。

15. 按照权利要求 1 所述的三维电阻转换存储芯片制备方法，其特征在于所述步骤 C 包括步骤：在沉积所述电阻转换存储材料薄膜前预先沉积 TiN 以增强薄膜粘合力并作为阻挡层材料。

16. 按照权利要求 1 或 15 所述的三维电阻转换存储芯片制备方法，其特征在于：沉积所述电阻转换存储材料薄膜在低温或常温下进行。

17. 按照权利要求 1 所述的三维电阻转换存储芯片制备方法，其特征在于：所述步骤 D 包括步骤：

(1) 对所述具有电极阵列的第一半导体晶圆与所述沉积有电阻转换存储材料薄膜的第二半导体晶圆进行清洗；

(2) 将清洗后第一半导体晶圆和第二半导体晶圆表面进行低温等离子体活化处理；

(3) 将活化处理后的结构使用兆声去离子水清洗和甩干。

18. 按照权利要求 17 所述的三维电阻转换存储芯片制备方法，其特征在于：活化处理所用的等离子体是产生自 N₂ 气、Ar 气、O₂ 气、或 H 和 He 的混合气体。

19. 按照权利要求 1 所述的三维电阻转换存储芯片制备方法，其特征在于：所述步骤 D 还包括步骤：

(4) 将键合后的结构先在 150℃ 至 250℃ 的低温进行第一次退火处理；

(5) 将经过第一次退火处理的结构在 250℃ 至 400℃ 的高温进行再次退火处理。

20. 按照权利要求 1 所述的三维电阻转换存储芯片制备方法，其特征在于：所述步骤 E 还包括步骤：在光刻和刻蚀之前沉积一层金属或者金属氧化物。

21. 按照权利要求 1 所述的三维电阻转换存储芯片制备方法，其特征在于：所述金属为 Al、Cu、Ti、W、Ni、或 Hf；所述金属氧化物为 Al、Cu、Ti、W、Ni、或 Hf 的氧化物。

22. 按照权利要求 1 所述的三维电阻转换存储芯片制备方法，其特征在于：所述步骤 F 的位线或字线的制备时，采用的绝缘材料为 SiO₂、Si₃N₄、BPSG、多晶硅或低 k 介质材料；所述绝缘材料在所述二极管 - 电阻存储单元阵列表面之上的厚度在 100nm 到 1000nm 之间。

三维电阻转换存储芯片制备方法

技术领域

[0001] 本发明属于半导体技术领域,涉及一种三维电阻转换存储芯片制备方法。

背景技术

[0002] 随着半导体技术的发展,器件尺寸进入纳米尺度,集成密度也越来越高,特征尺寸的极限以及高密度的要求使得半导体器件立体堆叠的三维集成电路成为必然的发展趋势。三维电路不仅能够大大提高集成度,还能显著降低互连的 RC 延迟,提高电路速度,从而也降低了单位面积芯片成本。

[0003] 存储器是集成电路最主要的应用领域之一。电阻转换存储器因为其非易失性、高速、循环寿命长等优势将成为下一代主流的通用存储器。随着存储容量的不断加大和存储单元的不断缩小,对芯片集成度提出了更高的要求。同时,传统 1T1R 结构的电阻转换存储器由于 T(场效应晶体管)的尺寸较大和相对复杂的结构而逐渐不符合集成电路高密度高集成度的趋势,新的 1D1R 存储单元逐渐成为研究热点,即使用 D(二极管)来取代原来的场效应晶体管,二极管的使用不仅弥补了场效应晶体管面积过大的缺点,还使器件工艺大大简化并更容易实现三维堆叠结构,使存储器的存储单元密度成倍提升,垂直结构的互连也可以有效降低 RC 延迟,提高芯片工作速度。另外,选用合适的堆叠层数,器件的单位成本也会得到显著降低。

[0004] 三维立体结构相变存储器的工艺过程存在一些挑战。首先需要确保外围电路性能不退化,这就需要后续工艺温度不能超过 400℃;其次是第二层以上的堆叠,需要考虑到下层电阻转换材料的稳定性问题,例如常用相变材料 GeSbTe 在高温下不稳定且容易挥发;第三要保证足够的键合强度。因此,三维存储器的实现过程中,工艺温度将是最大的限制,需要在确保可靠性的基础上最大限度的降低工艺温度,才可以有效保证外围电路性能不退化以及电阻转换存储材料的稳定性。传统的 Si 片键合需要千度高温退火才能获得需要的键合强度,因此,难以应用于制备三维立体结构相变存储器,而如何解决这一难题,实已成为本领域技术人员亟待解决的课题。

发明内容

[0005] 本发明所要解决的技术问题是:提供一种采用低温等离子体活化键合和改进型智能剥离的单晶硅薄膜转移技术,大大简化传统工艺,实现高速高密度三维立体结构相变存储器的结构。

[0006] 为解决上述技术问题,本发明采用以下技术方案:

[0007] 本发明提出了一种三维电阻转换存储芯片制备方法,简化了传统工艺并可以节约成本,其包括以下步骤:A、在第一半导体晶圆表面制备包含字线或位线、以及电极阵列的结构;B、在第二半导体晶圆表面制备包含缺陷层及二极管单元层的结构,并对所述缺陷层进行氢离子注入;C、在注入过氢离子的第二半导体晶圆表面沉积电阻转换存储材料薄膜;D、基于低温等离子体活化键合技术,将具有电极阵列的第一半导体晶圆的和沉积有电阻转换

存储材料薄膜的第二半导体晶圆进行面对面低温晶圆键合,并使用不高于 400°C 的温度进行退火处理,以使所述缺陷层因氢离子受热而使所述缺陷层与所述二极管单元层剥离;E、对剥离后的二极管单元层表面进行平坦化处理,再进行图形化光刻和刻蚀,以形成二极管-电阻存储单元阵列;以及 F、在所述二极管-电阻存储单元阵列表面进行位线或字线的制备,以形成一层垂直结构的电阻转换存储单元阵列。

[0008] 其中,所述三维电阻转换存储芯片制备方法还可包括:在所形成的垂直结构的电阻转换存储单元阵列表面依序重复进行制备电极阵列的步骤、以及步骤 B 至步骤 F,以形成至少两层垂直结构的电阻转换存储单元阵列,重复的次数不超过 11 次为佳。

[0009] 其中,所述第一半导体晶圆可以是半导体材料的晶圆、包含外围电路的晶圆、或包含一层或者多层存储结构的晶圆等;所述第二半导体晶圆可以是硅晶圆、锗晶圆、SiC、或者其它半导体单晶材料等。

[0010] 其中,所述第一半导体晶圆表面的字线或位线、及电极阵列嵌入在绝缘介质材料中,表面平整;字线或位线的材料可以为:Al、Cu、Ti、W、重掺杂 Si、TiN、SiW、CoSi₂ 中的一种或多种,所述电极的材料可以为 W、TiN、Ti、及 TiW 中的一种或多种等,还可以是 W、Ti 等的合金,所述电极的直径或者边长尺寸范围可以为 5nm 到 300nm 等。

[0011] 其中,所形成的二极管为 PN 结二极管或肖特基二极管等;可采用离子注入、扩散法、或结合掺杂外延方法来形成所述二极管单元层;而所述二极管单元层中可以包含重掺杂层以确保欧姆接触。

[0012] 其中,所述步骤 B 可包括:先在所述第二半导体晶圆表面形成厚度在 150nm 以内的 SiGe 层作为缺陷层,再形成所述二极管单元层;或者在所述第二半导体晶圆表面形成所述二极管单元层后,再采用离子注入引入所述缺陷层,所述离子注入所采用的离子源可以为硼离子、氮离子、铝离子、硅离子、锗离子、氮离子、磷离子中的一种或多种。

[0013] 其中,所述步骤 C 可包括步骤:在沉积所述电阻转换存储材料薄膜前预先沉积 TiN 以增强薄膜粘合力并作为阻挡层材料;沉积所述电阻转换存储材料薄膜在低温或常温下进行;所述电阻转换存储材料可以为相变材料、或电阻随机存储器材料。

[0014] 其中,所述步骤 D 包括步骤:(1) 对所述具有电极阵列的第一半导体晶圆与所述沉积有电阻转换存储材料薄膜的第二半导体晶圆进行清洗;(2) 将清洗后第一半导体晶圆和第二半导体晶圆表面进行低温等离子体活化处理;(3) 将活化处理后的结构使用兆声去离子水清洗和甩干;而活化处理所用的等离子体可以是产生自 N₂ 气、Ar 气、O₂ 气、或 H 和 He 的混合气体等。

[0015] 其中,所述步骤 D 还可包括:先将键合后的结构先在 150°C 至 250°C 的低温进行第一次退火处理;随后再将经过第一次退火处理的结构在 250°C 至 400°C 的高温进行再次退火处理。

[0016] 其中,所述步骤 E 还包括步骤:在光刻和刻蚀之前沉积一层金属或者金属氧化物;所述金属可以为 Al、Cu、Ti、W、Ni、或 Hf 等;所述金属氧化物可以为 Al、Cu、Ti、W、Ni、或 Hf 的氧化物等。

[0017] 其中,所述步骤 F 的位线或字线的制备时,采用的绝缘材料为 SiO₂、Si₃N₄、BPSG、多晶硅或低 k 介质材料;所述绝缘材料在所述二极管-电阻存储单元阵列表面之上的厚度在 100nm 到 1000nm 之间。

[0018] 本发明的有益效果在于：本发明使用低温等离子体键合技术可以做到电阻转换材料和嵌有电极阵列的绝缘介质层之间的直接键合，并在不高于 300℃ 的条件下获得可以经受后续工艺的键合强度，大大简化了三维存储单元阵列的制备工艺；利用缺陷吸附的改进式智能剥离技术把剥离温度从传统智能剥离技术的 550℃ 降低到了 250℃ 到 400℃ 之间，从而避免了下层已有电路结构在高温下的失效，同时因被剥离第二半导体晶圆的再利用而大大节约了成本。

附图说明

[0019] 图 1(a) 至图 1(k) 是本发明的三维电阻转换存储芯片制备方法制备单层 1D1R 单元阵列结构的流程示意图；

[0020] 图 2(a) 至图 2(h) 是本发明的三维电阻转换存储芯片制备方法制备两层立体 1D1R 存储单元阵列结构流程示意图；

[0021] 图 3 是本发明的三维电阻转换存储芯片制备方法制备的多层 1D1R 单元阵列结构示意图；

[0022] 所示各示意图均是为了说明制备工艺，其中所画的尺寸和比例并非实际的尺寸和比例。

具体实施例

[0023] 下面结合附图详细说明本发明的优选实施例。

[0024] 实施例一

[0025] 本发明揭示了一种在半导体晶圆上堆叠一层电阻转换存储单元阵列的制备工艺流程，包括如下步骤：

[0026] 1、首先，在第一半导体晶圆表面制备包含字线或位线 2、以及电极阵列 3 的结构。如图 1(a) 所示，其中，所述第一半导体晶圆的基底 1 可以包含外围电路，或者包含一层或多层存储结构；在基底 1 上面制作的按照存储器性能而设计的金属字线 2，并在字线 2 上制作直径在 5nm 到 300nm 的电极阵列 3。字线 2 和电极阵列 3 都嵌入在绝缘介质层 4，例如氧化硅，中，绝缘介质层 4 表面平整。字线的材料可以为 Al、Cu、Ti、W、重掺杂 Si、TiN、SiW、CoSi₂ 等等，所述电极的材料可以为 W、TiN、Ti、或 TiW 等等。

[0027] 2、接着，在第二半导体晶圆表面制备包含缺陷层及二极管单元层的结构，并对所述缺陷层进行氢离子注入。其中，第二半导体晶圆可以是硅晶圆、锗晶圆、SiC、或者其它半导体单晶材料等。如图 1(b) 所示，例如，在硅晶圆 5 顶层形成可制备二极管的二极管单元层 6，该二极管单元层 6 可以是用作形成 PN 结二极管、或者用作形成其他选通管，例如肖特基二极管。该二极管单元层 6 的形成可以采用离子注入或者掺杂外延方式，其厚度可在 1 微米以内，掺杂浓度可以根据二极管性能参数进行调节，该二极管单元层 6 的上下两面均为重掺杂以利于形成欧姆接触。

[0028] 3、随后，对该二极管单元层 6 进行离子注入，在该二极管单元层 6 下部形成缺陷层 7。其中，离子注入所采用的离子源可以为硼离子、氮离子、铝离子、硅离子、锗离子、氮离子、磷离子等等。如图 1(c) 所示，以使用硼离子为例，先做硼离子预注入，再进行氢离子注入，注入的离子能量需根据二极管单元层的厚度进行调节，硼离子与氢离子注入后浓度峰值位

置应相当,且应在二极管单元层下部;可选硼离子剂量为 $1 \times 10^{11} \text{cm}^{-2} \sim 1 \times 10^{17} \text{cm}^{-2}$,氢离子剂量为 $1 \times 10^{15} \text{cm}^{-2} \sim 1 \times 10^{17} \text{cm}^{-2}$ 。

[0029] 4、接着,在注入过氢离子的第二半导体晶圆表面沉积电阻转换存储材料薄膜。如图 1(d) 中所示,在第二半导体晶圆表面低温或常温沉积一层电阻转换存储材料 8,比如 GeSbTe 或者 SiSbTe 等相变材料,也可以是如 TiO_x 在内的金属氧化物电阻随机存储材料等。

[0030] 此外,在沉积所述电阻转换存储材料薄膜 8 前可预先沉积 TiN 以增强薄膜粘合力并作为阻挡层材料等。

[0031] 5、接着,基于低温等离子体活化键合技术,将具有电极阵列 3 的第一半导体晶圆和沉积有电阻转换存储材料薄膜 8 的第二半导体晶圆进行面对面低温晶圆键合。如图 1(e) 所示。键合前的清洗工艺中,为避免酸碱对电阻转换存储材料以及导电材料的腐蚀作用,舍去传统的 RC1 和 RC2 清洗,仅仅采用丙酮超声+乙醇超声的清洗工艺;然后采用低温等离子体活化键合技术,在键合前,对清洗后即将键合的两片晶圆表面进行低温等离子体活化处理,所用等离子体产生自 N_2 气、Ar 气、 O_2 气、或 H 和 He 的混合气体等,活化功率根据结构的实际情况在 10W 到 200W 之间选择;活化时间可以从 5 秒到 60 秒之间选择。活化之后使用兆声去离子水清洗和甩干,随后进行预键合。

[0032] 6、接着,将键合后的结构在 200°C 进行 2 个小时的低温退火以加强键合强度,再升温至 300°C 退火 5 到 30 分钟,如图 1(f) 所示。

[0033] 在低温退火过程中,键合界面产物(包括氢气分子,水分子等)可以从界面介质层(如 SiO_2 , Si_3N_4 , TEOS 等)有效扩散出去,避免生成界面气泡,同时有效提高低温键合强度,此时键合强度即可使顶层二极管单元层经受 CMP 工艺。而在高温退火过程中,因吸附在缺陷层的大量 H^+ 受热反应生成气泡,使电阻转换存储材料薄膜剥离从而完成电阻转换材料层一二极管层的转移

[0034] 7、接着,采用化学机械抛光(CMP)对剥离后的二极管单元层表面残余缺陷层进行清理并平坦化表面,从而完成二极管单元层 6 的转移,所形成的结构如图 1(g) 中所示,此时电阻转换存储材料 8 与金属小型电极阵列 3 以及绝缘介质层 4 接触。

[0035] 7、接着,对平坦化处理后的结构进行图形化光刻和刻蚀,形成岛状的电阻转换存储材料 9 和二极管 10 存储单元阵列,如图 1(h) 所示。

[0036] 8、接着,在所述二极管-电阻存储单元阵列表面进行位线或字线的制备。例如,先沉积绝缘介质层 11,并使用 CMP 进行平坦化处理,在存储单元上方保留一定厚度的介质层,如图 1(i) 所示。绝缘介质层 11 的材料可以为 SiO_2 、 Si_3N_4 、BPSG、多晶硅或低 k 介质材料等,其在所述二极管-电阻存储单元阵列表面之上的厚度在 100nm 到 1000nm 之间。

[0037] 9、接着,如图 1(j) 所示,使用光刻和刻蚀在绝缘介质层 11 中开槽直到存储单元上方,填入导电材料作为位线 12,并使用 CMP 平坦化处理,形成第一层垂直结构的二极管-电阻(1D1R)存储单元阵列的三维堆叠。所形成的结构沿 AA' 方向的投影示意图如图 1(k) 所示,字线 2 和位线 12 呈现异面交叉结构。

[0038] 实施例二

[0039] 实施例二与实施例一的不同之处在于,所制备的三维电阻转换存储芯片中,包含的选通管为肖特基二极管,而非 PN 结二极管,由此二极管单元层 6 的制作大大简化。即仅需要在第二半导体晶圆表面进行较低的单一的掺杂即可,但需要在下表面(也就是将要和

第一半导体晶圆键合的界面)形成重掺杂层以保证其和字线良好的欧姆接触,二极管单元层 6 的材料可选用浓度为低于 $1 \times 10^{17} \text{cm}^{-3}$ 的 P(或者 N)型掺杂,但需要在下表面(也就是将要和第一半导体晶圆键合的界面)形成大于 $1 \times 10^{19} \text{cm}^{-3}$ 的 P(或者 N)型重掺杂。

[0040] 相应的,位线 12 需要采用能够和二极管 10 的半导体材料形成肖特基二极管的导电材料,例如,可以选用金属,或者金属氧化物以及金属硅化物等。

[0041] 实施例三

[0042] 本发明揭示了一种在基底上堆叠多层电阻转换存储单元阵列的制备工艺流程,包括如下步骤:

[0043] 1、首先,类似于实施例一的步骤,在第一半导体晶圆 13 上的绝缘介质层 16 中,形成嵌入式的字线结构 14 以及在字线 14 上的电极阵列 15,例如, TiN 电极阵列,随后,通过低温键合以及改进型智能剥离工艺获得电阻转换存储材料和二极管单元层的堆叠,经过图形化光刻和刻蚀,形成 1D(18)1R(17)结构阵列,并通过绝缘介质层 19 填入和平坦化以及开槽刻蚀和填入重掺杂 Si 层形成位线 20。

[0044] 2、接着,以位线 20 作为新的字线,如图 2(a)所示,可以在之前绝缘介质 19 填入后的平坦化中预留足够厚度的绝缘介质层,并同时制作位线 20 以及位线 20 上的小型电极阵列 21;也可以在步骤 1 完成一层存储单元阵列基础之上,再沉积绝缘介质层 22,之后开孔制备小型电极阵列 21。抛光平坦化之后的结构如图 2(b)所示,小型电极为圆柱形或者长方柱形。

[0045] 3、接着,如图 2(c)中所示,在第二半导体晶圆 23,例如 Si 片,表面形成轻掺杂层 24,并在轻掺杂层 24 底部区域注入 Ge 离子以形成缺陷层 25,然后将 H^+ 注入到缺陷层 25 所处深度之处,并在第二半导体晶圆 23 表面低温沉积电阻随机存储材料 26,例如, TiO_x 。

[0046] 5、接着,将包含一层电阻转换存储单元阵列的结构和沉积有电阻转换存储材料薄膜 26 的第二半导体晶圆进行面对面键合,如图 2(d)所示。键合前的清洗工艺中,为避免酸碱对存储材料以及导电材料的腐蚀作用,舍去传统的 RC1 和 RC2 清洗,仅仅采用丙酮超声+乙醇超声的清洗工艺;然后采用低温等离子体活化键合技术,在键合前,对清洗后即将键合的两片晶圆表面进行低温等离子体活化处理,所用等离子体产生自 H 和 He 混合气,活化功率根据样品情况在 10W 到 200W 之间选择;活化时间可以从 5 秒到 60 秒之间选择。活化之后使用兆声去离子水清洗和甩干,随后进行预键合。

[0047] 6、接着,将键合后的结构在 200°C 进行 2 个小时的低温退火以加强键合强度,再升温至 250°C 退火 10 到 60 分钟,至完成剥离分开为止。如图 2(e)所示。

[0048] 7、化学机械抛光(CMP)清理已完成剥离的结构表面残余的缺陷层,并平坦化表面;从而完成轻掺杂层 Si 薄膜 24 的转移,所得结构如图 2(f)中所示,此时电阻随机存储材料 TiO_x 26 与小型电极阵列 21 以及绝缘介质层 22 接触。

[0049] 7、接着,将经过平坦化的结构进行图形化光刻和刻蚀,形成岛状的 TiO_x 和轻掺杂半导体材料阵列,如图 2(g)所示;每个存储单元的尺寸在 20nm 到 $5 \mu\text{m}$ 之间。

[0050] 8、接着,在存储单元表面沉积低 k 介质层 27,并使用 CMP 进行平坦化处理,在存储单元阵列上方保留一定厚度的介质层,然后在介质层中开槽,填入金属材料制作位线 28,如图 2(h)所示。位线 28 所用金属材料和轻掺杂硅层 24 形成肖特基二极管结构,从而形成第二层的 1D1R 阵列堆叠。

[0051] 实施例四

[0052] 实施例四与实施例三的不同之处在于：

[0053] 在步骤 7 的图形化光刻和刻蚀之前，在轻掺杂层 24 上再沉积一层金属氧化物或者金属材料，以和轻掺杂层 24 形成肖特基接触，之后再继续进行图形化光刻和刻蚀以形成岛状存储单元阵列，接着再填充绝缘介质材料和制备位线等。

[0054] 实施例五

[0055] 实施例五与实施例三的不同之处在于：

[0056] 在实现两层电阻转换存储单元阵列的堆叠后，可以继续重复工艺，制备三层至十二层的多层堆叠，实现超高速超高密度存储。多层电阻转换存储单元阵列示意图如图 3 所示，在半导体基底上制备有 N 层电阻转换存储单元阵列，每一层包括：存储单元、字线、位线、小型电极、及绝缘介质层，制备过程以及使用材料均可参考以上各例，其中，N 小于等于 12。需要强调的是，各层相应所使用的导电材料、电阻转换存储材料、介质材料分别可以使用相同的材料，也可以使用不同的材料，以成功实现存储性能为佳。

[0057] 综上所述，本发明的三维电阻转换存储芯片制备方法采用低温等离子体活化键合技术，可以较低的温度（ $\leq 400^{\circ}\text{C}$ ）退火即可获得可支撑后续工艺的键合强度。更重要的是，电阻转换存储材料薄膜转移工艺可以在 250°C 到 400°C 之间的温度下完成，从而保持了原有电路性能以及二极管单元层的晶格完整性。和在介质层上沉积形成多晶硅二极管相比，本工艺有利于实现高开关比的单晶硅二极管，且避免了较为复杂的硅通孔（TSV）工艺；此外利用改进型智能剥离的方法还可以对被剥离过的第二半导体晶圆片回收再利用，大大降低了成本。

[0058] 这里本发明的描述和应用是说明性的，并非想将本发明的范围限制在上述实施例中。这里所披露的实施例的变形和改变是可能的，对于那些本领域的普通技术人员来说实施例的替换和等效的各种部件是公知的。本领域技术人员应该清楚的是，在不脱离本发明的精神或本质特征的情况下，本发明可以以其他形式、结构、布置、比例，以及用其他基底、材料和部件来实现。在不脱离本发明范围和精神的情况下，可以对这里所披露的实施例进行其他变形和改变。

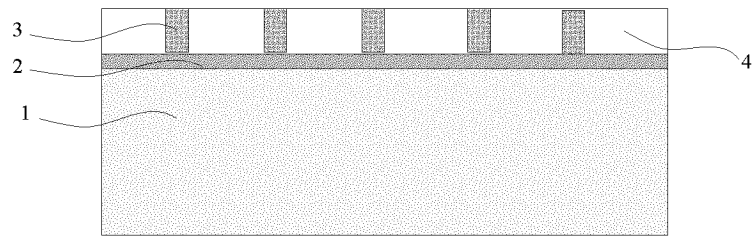


图 1(a)

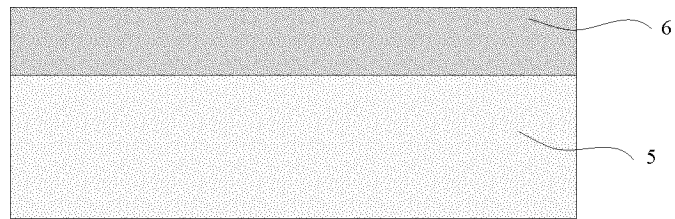


图 1(b)

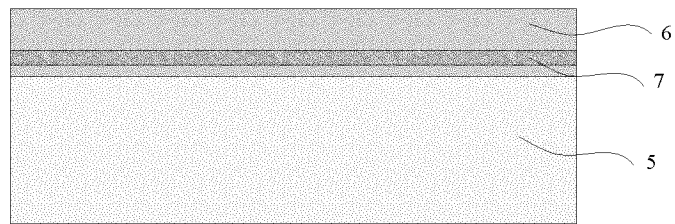


图 1(c)

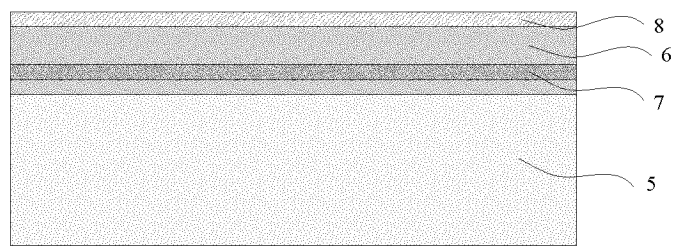


图 1(d)

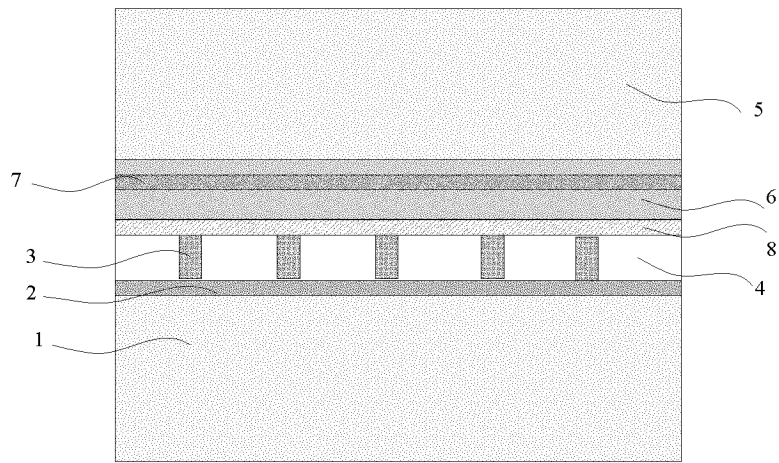


图 1(e)

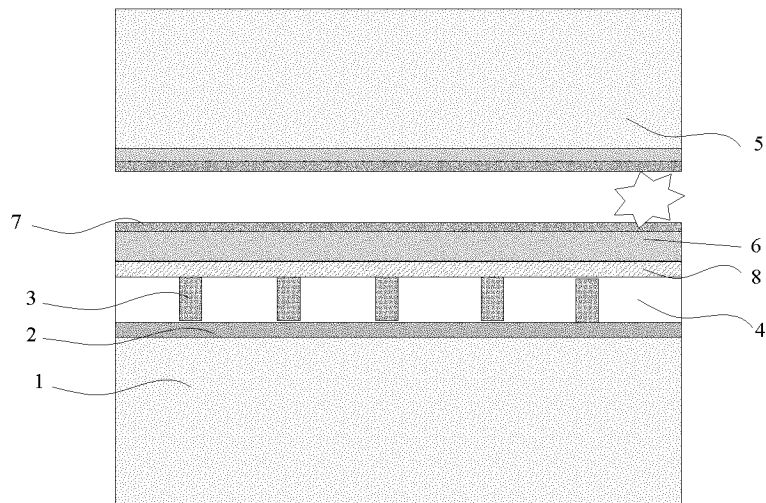


图 1(f)

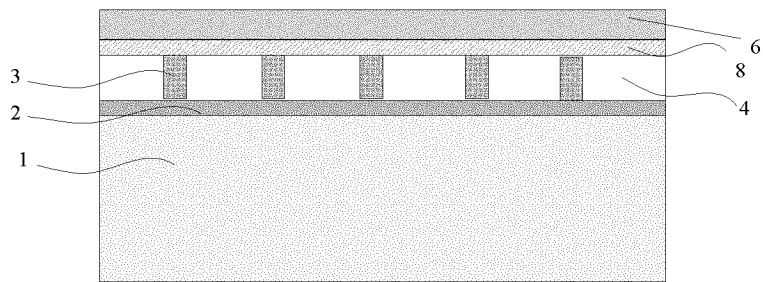


图 1(g)

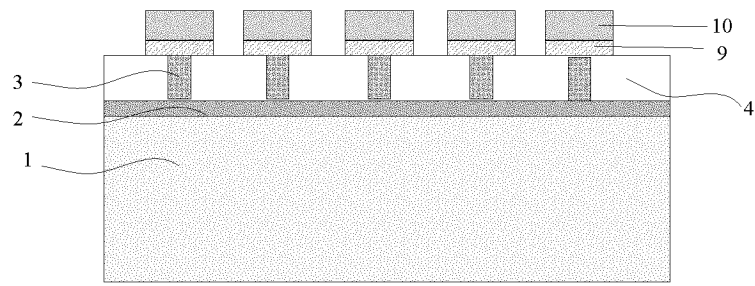


图 1(h)

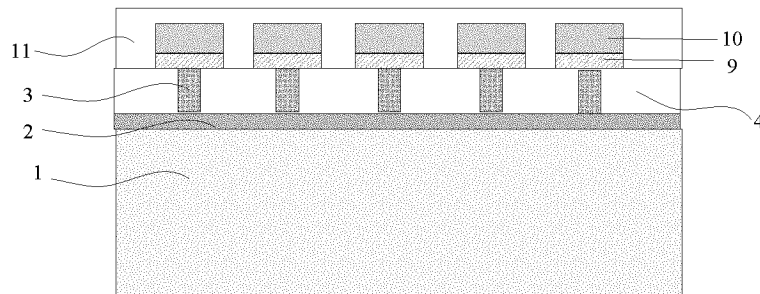


图 1(i)

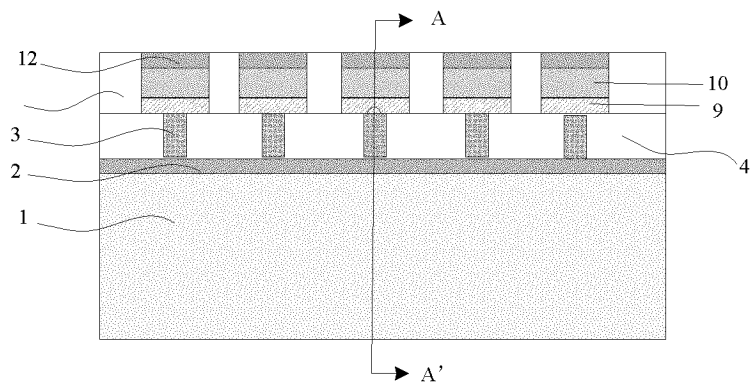


图 1(j)

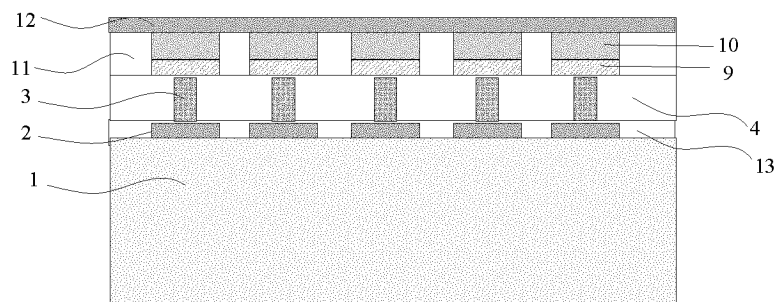


图 1(k)

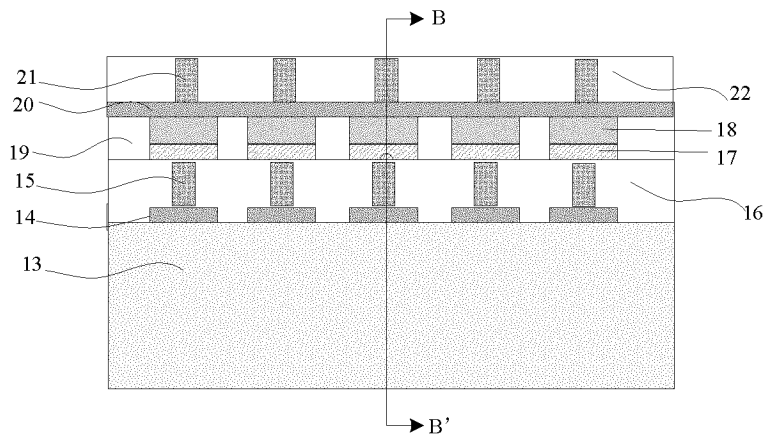


图 2(a)

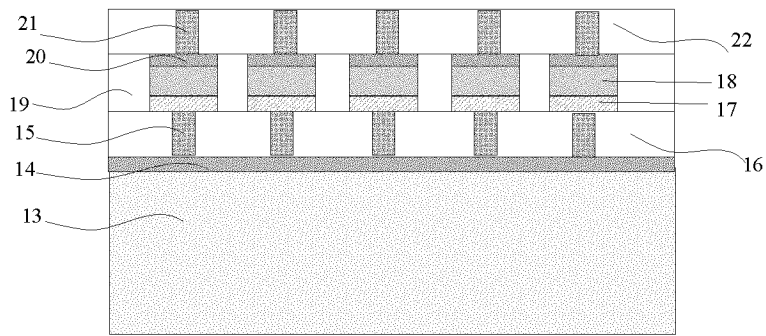


图 2(b)

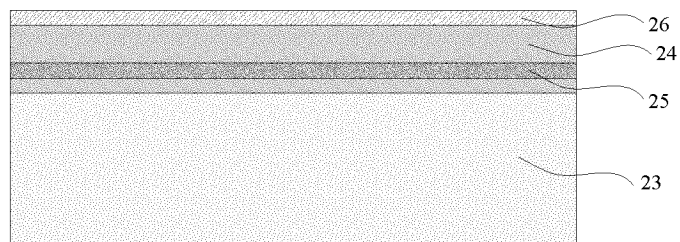


图 2(c)

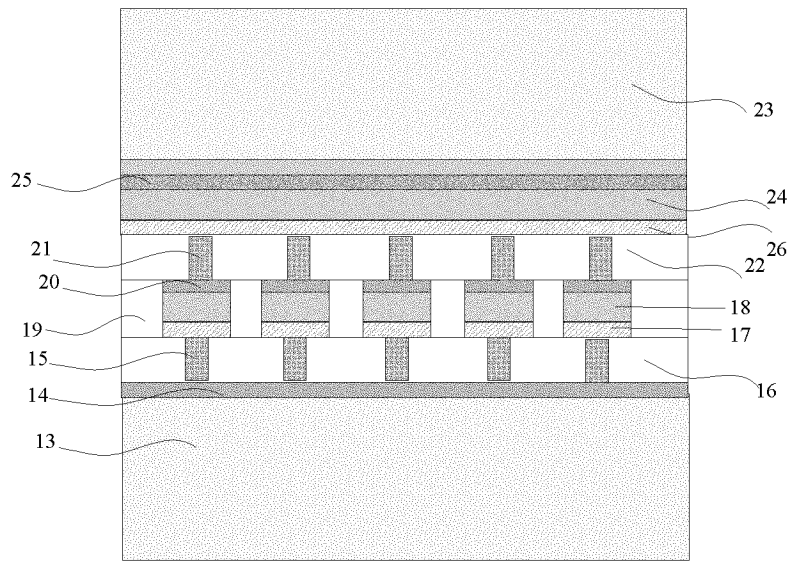


图 2(d)

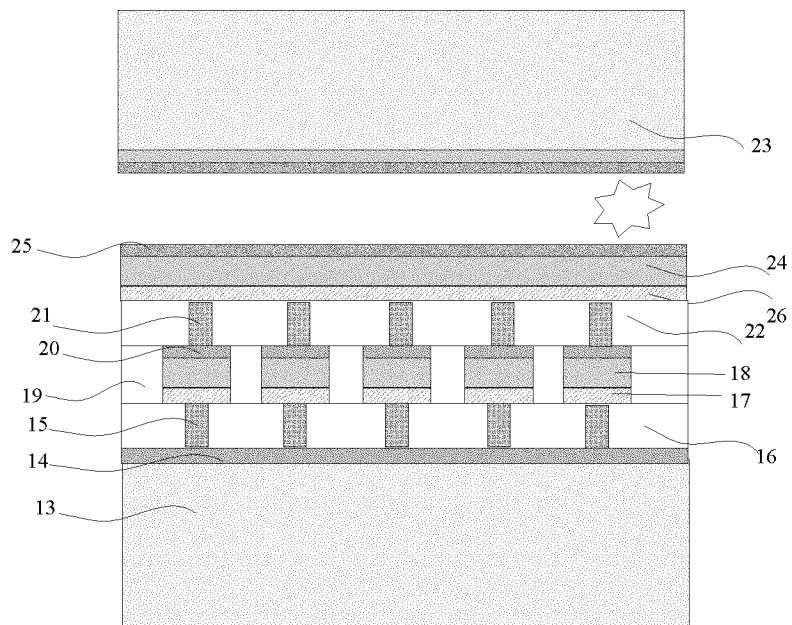


图 2(e)

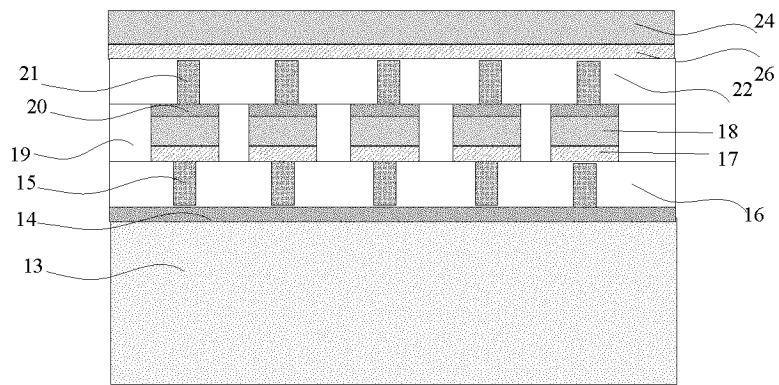


图 2(f)

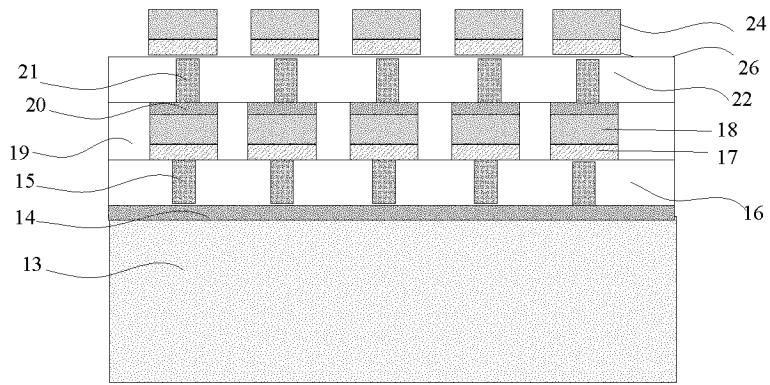


图 2(g)

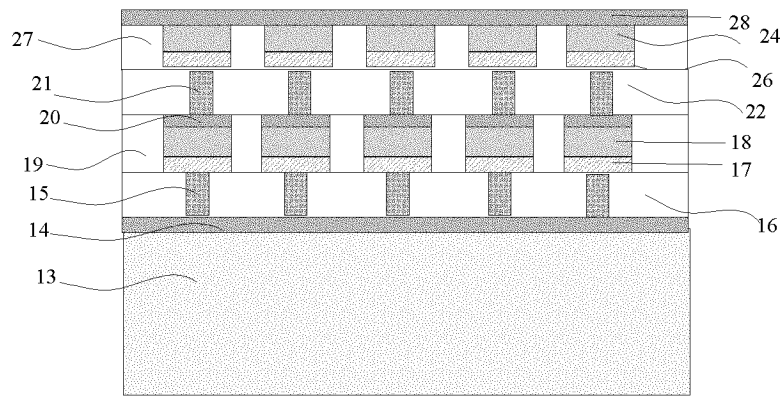


图 2(h)

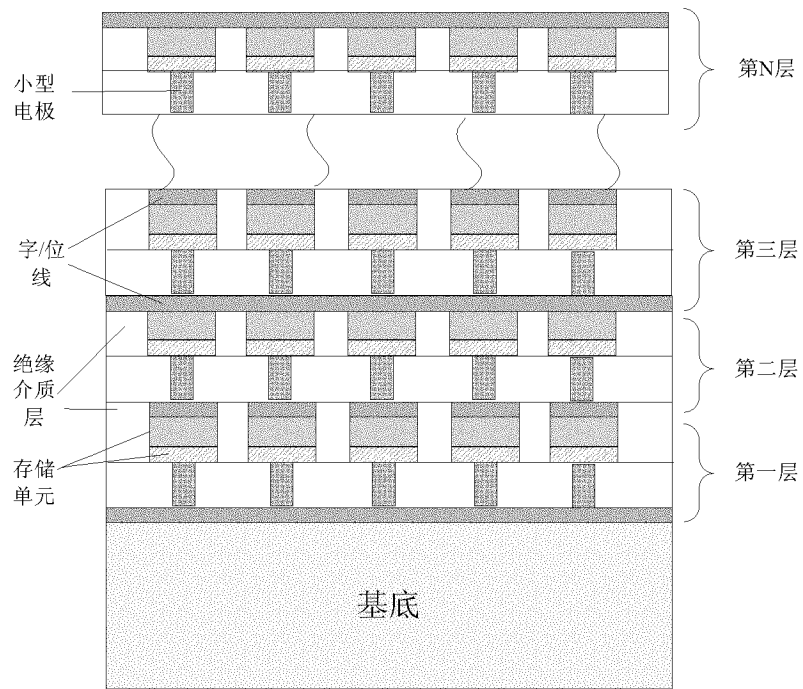


图 3