



(21) 申请号 202311510157.4

(22) 申请日 2023.11.13

(65) 同一申请的已公布的文献号
申请公布号 CN 117728811 A

(43) 申请公布日 2024.03.19

(73) 专利权人 中科南京智能技术研究院
地址 211135 江苏省南京市江宁区创研路
266号麒麟人工智能产业园8栋8层

(72) 发明人 游恒 尚德龙 周玉梅

(74) 专利代理机构 北京华沛德权律师事务所
11302
专利代理师 张晓冬

(51) Int. Cl.
H03K 17/22 (2006.01)

(56) 对比文件

CN 110798187 A, 2020.02.14

CN 218387464 U, 2023.01.24

CN 214752954 U, 2021.11.16

审查员 姜婷婷

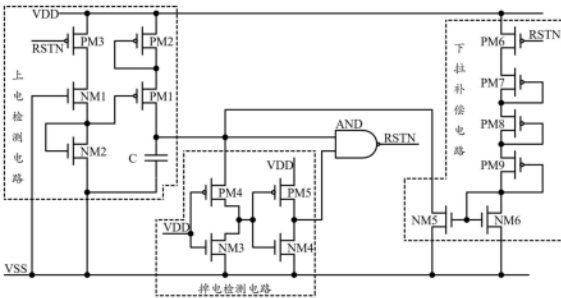
权利要求书2页 说明书6页 附图1页

(54) 发明名称

一种低漏电延迟型上电复位电路

(57) 摘要

本发明公开了一种低漏电延迟型上电复位电路,涉及复位电路技术领域,在系统电源电压开始上升时,第一NMOS管和第二NMOS管输出参考电压控制第一PMOS管的栅极,当系统电源电压不足以使第一PMOS管开启时,第一PMOS管关断,不向电容充电。下拉补偿电路将电容的电压下拉到低电平。随着系统电源电压的升高,第一PMOS管开启,逐渐将电容充电到高电平,复位信号RSTN也由低电平变为高电平,电路进入稳态模式。进入稳态后,第三PMOS管和第六PMOS管关断,切断上电检测电路和下拉补偿电路的漏电通路,进而大幅度降低漏电。本申请解决了当前上电复位电路静态功耗过高的问题。



1. 一种低漏电延迟型上电复位电路,其特征在于,所述复位电路包括:

上电检测电路,所述上电检测电路的输入端连接检测系统电源,当系统电源从低电平变成高电平时,则所述上电检测电路的输出端输出高电平信号,当系统电源从高电平变成低电平时,则所述上电检测电路的输出端停止输出高电平信号;

掉电检测电路,所述掉电检测电路的输入端连接检测系统电源,当系统电源从低电平变成高电平时,则所述掉电检测电路的输出端输出高电平信号,当系统电源从高电平变成低电平时,则所述掉电检测电路的输出端输出低电平信号;

与门,所述与门的第一输入端连接所述上电检测电路的输出端,所述与门的第二输入端连接所述掉电检测电路的输出端,当系统电源从低电平变成高电平时,则所述与门的输出端输出高电平的停止复位信号,当系统电源从高电平变成低电平时,则所述与门的输出端输出低电平的复位信号;

所述上电检测电路包括第一NMOS管、第二NMOS管、第一PMOS管、第三PMOS管和电容,所述第一NMOS管的漏极连接系统电源,所述第一NMOS管的栅极接地,所述第一NMOS管的源极连接所述第二NMOS管的漏极、第二NMOS管的栅极和第一PMOS管的栅极,所述第二NMOS管的源极接地,所述第一PMOS管的源极连接系统电源,所述第一PMOS管的漏极连接所述电容的一端和所述与门的第一输入端,所述电容的另一端接地,所述第三PMOS管的源极连接系统电源,所述第三PMOS管的漏极连接所述第一NMOS管的漏极,所述第三PMOS管的栅极用于接收所述复位信号;

下拉补偿电路,所述下拉补偿电路分别连接所述与门的第一输入端、系统电源和地点,当系统电源从低电平变成高电平时,则下拉电路关断,当系统电源从高电平变成低电平时,则下拉电路拉低所述与门的第一输入端的电位;

所述下拉补偿电路包括第六PMOS管、单向导通元件和电流镜电路,所述第六PMOS管的源极连接系统电源,所述第六PMOS管的栅极用于接收所述复位信号,所述第六PMOS管的漏极连接所述单向导通元件的输入端。

2. 根据权利要求1所述的复位电路,其特征在于,所述上电检测电路还包括第二PMOS管,所述第二PMOS管的源极连接系统电源,所述第二PMOS管的栅极连接所述第二PMOS管的漏极和所述第一PMOS管的源极。

3. 根据权利要求1所述的复位电路,其特征在于,所述掉电检测电路包括第一反相器和第二反相器,所述第一反相器的输入端用于接收系统电源,所述第一反相器的输出端连接所述第二反相器的输入端,所述第二反相器的输出端连接所述与门的第二输入端。

4. 根据权利要求3所述的复位电路,其特征在于,所述第一反相器包括第三NMOS管和第四PMOS管,所述第四PMOS管的源极连接所述与门的第一输入端,所述第四PMOS管的栅极连接所述第三NMOS管的栅极和系统电源,所述第四PMOS管的漏极连接所述第三NMOS管的漏极,所述第三NMOS管的源极接地;

所述第二反相器包括第四NMOS管和第五PMOS管,所述第五PMOS管的源极连接系统电源,所述第五PMOS管的栅极连接所述第四NMOS管的栅极、第四PMOS管的漏极和第三NMOS管的漏极。

5. 根据权利要求1所述的复位电路,其特征在于,所述单向导通元件的输出端连接所述电流镜电路的第一输入端和所述电流镜电路的控制端,所述电流镜电路的第二输入端连接

所述与门的第一输入端,所述电流镜电路的两个输出端均接地。

6.根据权利要求1所述的复位电路,其特征在于,所述单向导通元件包括第七PMOS管、第八PMOS管和第九PMOS管,所述第七PMOS管的源极连接所述第六PMOS管的漏极,所述第七PMOS管的栅极连接所述第七PMOS管的漏极和所述第八PMOS管的源极,所述第八PMOS管的栅极连接所述第八PMOS管的漏极和所述第九PMOS管的源极,所述第九PMOS管的栅极连接所述第九PMOS管的漏极、所述电流镜电路的第一输入端和所述电流镜电路的控制端。

7.根据权利要求6所述的复位电路,其特征在于,所述电流镜电路包括第五NMOS管和第六NMOS管,所述第五NMOS管的源极和所述第六NMOS管的源极均接地,所述第五NMOS管的漏极连接所述与门的第一输入端,所述第五NMOS管的栅极连接所述第六NMOS管的栅极、第六NMOS管的漏极、第九PMOS管的栅极和第九PMOS管的漏极。

一种低漏电延迟型上电复位电路

技术领域

[0001] 本发明涉及复位电路技术领域,尤其涉及一种低漏电延迟型上电复位电路。

背景技术

[0002] 随着集成电路的发展,功耗问题逐渐变成限制集成电路应用的一个关键问题。作为集成电路系统中的一个必要模块,上电复位电路的功耗直接影响着数字系统的功耗。由于上电复位电路在系统中属于常开单元,无法通过电源门控等低功耗手段降低其在稳态时的功耗开销,因此开发低漏电的上电复位电路至关重要。

发明内容

[0003] 本发明的目的在于提供一种低漏电延迟型上电复位电路,旨在解决当前上电复位电路静态功耗过高的问题。

[0004] 为解决上述技术问题,本发明采用如下技术方案:

[0005] 本发明实施例的一方面提供了一种低漏电延迟型上电复位电路,所述复位电路包括:上电检测电路,所述上电检测电路的输入端连接检测系统电源,当系统电源从低电平变成高电平时,则所述上电检测电路的输出端输出高电平信号,当系统电源从高电平变成低电平时,则所述上电检测电路的输出端停止输出高电平信号;掉电检测电路,所述掉电检测电路的输入端连接检测系统电源,当系统电源从低电平变成高电平时,则所述掉电检测电路的输出端输出高电平信号,当系统电源从高电平变成低电平时,则所述掉电检测电路的输出端输出低电平信号;与门,所述与门的第一输入端连接所述上电检测电路的输出端,所述与门的第二输入端连接所述掉电检测电路的输出端,当系统电源从低电平变成高电平时,则所述与门的输出端输出高电平的停止复位信号,当系统电源从高电平变成低电平时,则所述与门的输出端输出低电平的复位信号。

[0006] 在一些实施例中,所述上电检测电路包括第一NMOS管、第二NMOS管、第一PMOS管和电容,所述第一NMOS管的漏极连接系统电源,所述第一NMOS管的栅极接地,所述第一NMOS管的源极连接所述第二NMOS管的漏极、第二NMOS管的栅极和第一PMOS管的栅极,所述第二NMOS管的源极接地,所述第一PMOS管的源极连接系统电源,所述第一PMOS管的漏极连接所述电容的一端和所述与门的第一输入端,所述电容的另一端接地。

[0007] 在一些实施例中,所述上电检测电路还包括第二PMOS管,所述第二PMOS管的源极连接系统电源,所述第二PMOS管的栅极连接所述第二PMOS管的漏极和所述第一PMOS管的源极。

[0008] 在一些实施例中,所述上电检测电路还包括第三PMOS管,所述第三PMOS管的源极连接系统电源,所述第三PMOS管的漏极连接所述第一NMOS管的漏极,所述第三PMOS管的栅极用于接收所述复位信号。

[0009] 在一些实施例中,所述掉电检测电路包括第一反相器和第二反向器,所述第一反相器的输入端用于接收系统电源,所述第一反相器的输出端连接所述第二反相器的输入

端,所述第二反相器的输出端连接所述与门的第二输入端。

[0010] 在一些实施例中,所述第一反相器包括第三NMOS管和第四PMOS管,所述第四PMOS管的源极连接所述与门的第一输入端,所述第四PMOS管的栅极连接所述第三NMOS管的栅极和系统电源,所述第四PMOS管的漏极连接所述第三NMOS管的漏极,所述第三NMOS管的源极接地;所述第二反相器包括第四NMOS管和第五PMOS管,所述第五PMOS管的源极连接系统电源,所述第五PMOS管的栅极连接所述第四NMOS管的栅极、第四PMOS管的漏极和第三NMOS管的漏极。

[0011] 在一些实施例中,所述复位电路还包括下拉补偿电路,所述下拉补偿电路分别连接所述与门的第一输入端、系统电源和地点,当系统电源从低电平变成高电平时,则下拉电路关断,当系统电源从高电平变成低电平时,则下拉电路拉低所述与门的第一输入端的电位。

[0012] 在一些实施例中,所述下拉补偿电路包括第六PMOS管、单向导通元件和电流镜电路,所述第六PMOS管的源极连接系统电源,所述第六PMOS管的栅极用于接收所述复位信号,所述第六PMOS管的漏极连接所述单向导通元件的输入端,所述单向导通元件的输出端连接所述电流镜电路的第一输入端和所述电流镜电路的控制端,所述电流镜电路的第二输入端连接所述与门的第一输入端,所述电流镜电路的两个输出端均接地。

[0013] 在一些实施例中,所述单向导通元件包括第七PMOS管、第八PMOS管和第九PMOS管,所述第七PMOS管的源极连接所述第六PMOS管的漏极,所述第七PMOS管的栅极连接所述第七PMOS管的漏极和所述第八PMOS管的源极,所述第八PMOS管的栅极连接所述第八PMOS管的漏极和所述第九PMOS管的源极,所述第九PMOS管的栅极连接所述第九PMOS管的漏极、所述电流镜电路的第一输入端和所述电流镜电路的控制端。

[0014] 在一些实施例中,所述电流镜电路包括第五NMOS管和第六NMOS管,所述第五NMOS管的源极和所述第六NMOS管的源极均接地,所述第五NMOS管的漏极连接所述与门的第一输入端,所述第五NMOS管的栅极连接所述第六NMOS管的栅极、第六NMOS管的漏极、第九PMOS管的栅极和第九PMOS管的漏极。

[0015] 根据本发明实施例的一种低漏电延迟型上电复位电路,至少具有如下有益效果:传统的上电复位电路都需要较高的静态功耗,使其难以适用于对低功耗有较高要求的边缘端应用场景。针对以上问题,本申请的低漏电延迟型上电复位电路采用延迟型结构,在稳态时切断了电路中所有的漏电通路,因此能够大幅度优化电路的静态功耗。

[0016] 应当理解的是,以上的一般描述和后文的细节描述仅是示例性的,并不能限制本公开。

附图说明

[0017] 为了更清楚地说明本申请实施例的技术方案,下面将对实施例描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0018] 图1为根据实施例的低漏电延迟型上电复位电路原理图。

具体实施方式

[0019] 下面将结合本发明实施例中的附图,对本发明实施例中的技术方案进行清楚、完整地描述,显然,所描述的实施例仅仅是本发明一部分实施例,而不是全部的实施例。基于本发明中的实施例,本领域普通技术人员在没有做出创造性劳动前提下所获得的所有其他实施例,都属于本发明保护的范围。

[0020] 术语“第一”、“第二”、“第三”仅用于描述目的,而不能理解为指示或暗示相对重要性或者隐含指明所指示的技术特征的数量。由此,限定有“第一”、“第二”、“第三”的特征可以明示或者隐含地包括一个或者更多个该特征。在本发明的描述中,除非另有说明,“多个”的含义是两个或两个以上。

[0021] 在本发明的描述中,需要说明的是,除非另有明确的规定和限定,术语“连通”、“安装”、“相连”、“连接”应做广义理解,例如,可以是固定连接,也可以是可拆卸连接,或一体地连接;可以是机械连接,也可以是电连接;可以是直接相连,也可以通过中间媒介间接相连,可以是两个元件内部的连通。对于本领域的普通技术人员而言,可以根据具体情况理解上述术语在本发明中的具体含义。

[0022] 现在将参考附图更全面地描述示例实施方式。然而,示例实施方式能够以多种形式实施,且不应被理解为限于在此阐述的范例;相反,提供这些示例实施方式使得本公开的描述将更加全面和完整,并将示例实施方式的构思全面地传达给本领域的技术人员。附图仅为本公开的示意性图解,并非一定是按比例绘制。图中相同的附图标记表示相同或类似的部分,因而将省略对它们的重复描述。

[0023] 下面对本申请实施例的技术方案进行简单阐述:

[0024] 根据一些实施例,如图1所示,本申请提供了一种低漏电延迟型上电复位电路,所述复位电路包括:

[0025] 上电检测电路,所述上电检测电路的输入端连接检测系统电源VDD,当系统电源VDD从低电平变成高电平时,则所述上电检测电路的输出端输出高电平信号,当系统电源VDD从高电平变成低电平时,则所述上电检测电路的输出端停止输出高电平信号;

[0026] 掉电检测电路,所述掉电检测电路的输入端连接检测系统电源VDD,当系统电源VDD从低电平变成高电平时,则所述掉电检测电路的输出端输出高电平信号,当系统电源VDD从高电平变成低电平时,则所述掉电检测电路的输出端输出低电平信号;

[0027] 与门AND,所述与门AND的第一输入端连接所述上电检测电路的输出端,所述与门AND的第二输入端连接所述掉电检测电路的输出端,当系统电源VDD从低电平变成高电平时,则所述与门AND的输出端输出高电平的停止复位信号RSTN,当系统电源VDD从高电平变成低电平时,则所述与门AND的输出端输出低电平的复位信号RSTN。

[0028] 以下结合本说明书的附图1,对本公开的较佳实施方式予以进一步地详尽阐述。

[0029] 根据一些实施例,如图1所示,所述上电检测电路包括第一NMOS管NM1、第二NMOS管NM2、第一PMOS管PM1和电容C,所述第一NMOS管NM1的漏极连接系统电源VDD,所述第一NMOS管NM1的栅极接地VSS,所述第一NMOS管NM1的源极连接所述第二NMOS管NM2的漏极、第二NMOS管NM2的栅极和第一PMOS管PM1的栅极,所述第二NMOS管NM2的源极接地VSS,所述第一PMOS管PM1的源极连接系统电源VDD,所述第一PMOS管PM1的漏极连接所述电容C的一端和所述与门AND的第一输入端,所述电容C的另一端接地VSS。

[0030] 基于上述实施例的工作原理为,当系统电源VDD从低电平逐渐升高,直至第一NMOS管NM1的源极输出稳定的参考电压,第二NMOS管NM2类似于单向导通的二极管,用于限流。当第一NMOS管NM1的源极电压逐渐升高到参考电压时,第一PMOS管PM1开启,逐渐将电容C充电到高电平,与门AND的第一输入端接收到高电平。同时,当系统电源VDD从低电平变成高电平时,则掉电检测电路的输出端输出高电平信号。与门AND的第二输入端也接收到高电平,与门AND输出高电平的停止复位信号RSTN,电路进入稳态模式。当系统电源VDD从高电平变成低电平时,第一NMOS管NM1的源极电压低于第一PMOS管PM1的开启电压,第一PMOS管PM1关断,电容C不充电。同时,当系统电源VDD从高电平变成低电平时,则掉电检测电路的输出端输出低电平信号,与门AND输出低电平的复位信号RSTN。

[0031] 根据一些实施例,如图1所示,所述上电检测电路还包括第二PMOS管PM2,所述第二PMOS管PM2的源极连接系统电源VDD,所述第二PMOS管PM2的栅极连接所述第二PMOS管PM2的漏极和所述第一PMOS管PM1的源极。

[0032] 基于上述实施例的工作原理为,第二PMOS管PM2主要起到防止电流回流的作用,当系统电源VDD电压下降时,切断电容C到系统电源VDD的通路,避免电容C通过第一PMOS管PM1向系统电源VDD充电,导致电容C上的电压随着系统电源VDD电压的下降而下降,进而造成掉电检测电路失效。

[0033] 根据一些实施例,如图1所示,所述上电检测电路还包括第三PMOS管PM3,所述第三PMOS管PM3的源极连接系统电源VDD,所述第三PMOS管PM3的漏极连接所述第一NMOS管NM1的漏极,所述第三PMOS管PM3的栅极用于接收所述复位信号RSTN。

[0034] 基于上述实施例的工作原理为,由于系统电源VDD为低电平时复位信号RSTN也为低电平,所以当系统电源VDD从低电平逐渐升高到高电平的初始阶段,第三PMOS管PM3为导通状态,直至第一NMOS管NM1的源极输出稳定的参考电压,第一PMOS管PM1开启,逐渐将电容C充电到高电平,与门AND的第一输入端接收到高电平。同时,当系统电源VDD从低电平变成高电平时,则掉电检测电路的输出端输出高电平信号。与门AND的第二输入端也接收到高电平,与门AND输出高电平的停止复位信号RSTN,电路进入稳态模式。进入稳态后,第三PMOS管PM3关断,切断上电检测电路的漏电通路,进而大幅度降低漏电。

[0035] 根据一些实施例,如图1所示,所述掉电检测电路包括第一反相器和第二反向器,所述第一反相器的输入端用于接收系统电源VDD,所述第一反相器的输出端连接所述第二反相器的输入端,所述第二反相器的输出端连接所述与门AND的第二输入端。

[0036] 根据一些实施例,如图1所示,所述第一反相器包括第三NMOS管NM3和第四PMOS管PM4,所述第四PMOS管PM4的源极连接所述与门AND的第一输入端,所述第四PMOS管PM4的栅极连接所述第三NMOS管NM3的栅极和系统电源VDD,所述第四PMOS管PM4的漏极连接所述第三NMOS管NM3的漏极,所述第三NMOS管NM3的源极接地VSS;

[0037] 所述第二反相器包括第四NMOS管NM4和第五PMOS管PM5,所述第五PMOS管PM5的源极连接系统电源VDD,所述第五PMOS管PM5的栅极连接所述第四NMOS管NM4的栅极、第四PMOS管PM4的漏极和第三NMOS管NM3的漏极。

[0038] 根据一些实施例,如图1所示,所述复位电路还包括下拉补偿电路,所述下拉补偿电路分别连接所述与门AND的第一输入端、系统电源VDD和地点VSS,当系统电源VDD从低电平变成高电平时,则下拉电路关断,当系统电源VDD从高电平变成低电平时,则下拉电路拉

低所述与门AND的第一输入端的电位。

[0039] 根据一些实施例,如图1所示,所述下拉补偿电路包括第六PMOS管PM6、单向导通元件和电流镜电路,所述第六PMOS管PM6的源极连接系统电源VDD,所述第六PMOS管PM6的栅极用于接收所述复位信号RSTN,所述第六PMOS管PM6的漏极连接所述单向导通元件的输入端,所述单向导通元件的输出端连接所述电流镜电路的第一输入端和所述电流镜电路的控制端,所述电流镜电路的第二输入端连接所述与门AND的第一输入端,所述电流镜电路的两个输出端均接地VSS。

[0040] 根据一些实施例,如图1所示,所述单向导通元件包括第七PMOS管PM7、第八PMOS管PM8和第九PMOS管PM9,所述第七PMOS管PM7的源极连接所述第六PMOS管PM6的漏极,所述第七PMOS管PM7的栅极连接所述第七PMOS管PM7的漏极和所述第八PMOS管PM8的源极,所述第八PMOS管PM8的栅极连接所述第八PMOS管PM8的漏极和所述第九PMOS管PM9的源极,所述第九PMOS管PM9的栅极连接所述第九PMOS管PM9的漏极、所述电流镜电路的第一输入端和所述电流镜电路的控制端。

[0041] 根据一些实施例,如图1所示,所述电流镜电路包括第五NMOS管NM5和第六NMOS管NM6,所述第五NMOS管NM5的源极和所述第六NMOS管NM6的源极均接地VSS,所述第五NMOS管NM5的漏极连接所述与门AND的第一输入端,所述第五NMOS管NM5的栅极连接所述第六NMOS管NM6的栅极、第六NMOS管NM6的漏极、第九PMOS管PM9的栅极和第九PMOS管PM9的漏极。

[0042] 本申请的工作原理为,在系统电源VDD电压开始上升时,第一NMOS管NM1和第二NMOS管NM2产生一个参考电压用来控制第一PMOS管PM1的栅极,当系统电源VDD电压不足以使第一PMOS管PM1开启时,第一PMOS管PM1关断,不向电容C充电。此时通过下拉补偿电路将电容C的电压下拉到低电平。在下拉补偿电路中,第七PMOS管PM7、第八PMOS管PM8和第九PMOS管PM9为二极管连接,用来限制第五NMOS管NM5和第六NMOS管NM6的电流,避免下拉电流过大导致电容C的电压无法充电到高电平。随着系统电源VDD电压的升高,第一PMOS管PM1开启,逐渐将电容C充电到高电平,复位信号RSTN也由低电平变为高电平,电路进入稳态模式。进入稳态后,第三PMOS管PM3和第六PMOS管PM6关断,切断上电检测电路和下拉补偿电路的漏电通路,进而大幅度降低漏电。而第一PMOS管PM1的栅极通过第二NMOS管NM2接收到电平,系统电源VDD通过第二PMOS管PM2和第一PMOS管PM1持续向电容C充电,使得与门AND的第一输入端保持高电平。当系统电源VDD电压开始下降时,掉电检测电路开始工作,掉电检测电路由两级反相器组成,第一反相器的供电连接到电容C上,栅极则与系统电源VDD相连,当系统电源VDD的电压下降到电容C电压的一半以下时,掉电检测电路的第一反相器翻转,掉电检测电路的第二反相器的栅极与第一反相器的输出相连,供电与系统电源VDD相连,当第一反相器发生翻转时,第二反相器也会相应翻转,进而使得复位信号RSTN翻转为低电平。

[0043] 传统的上电复位电路都需要较高的静态功耗,使其难以适用于对低功耗有较高要求的边缘端应用场景。而本申请的低漏电延迟型上电复位电路采用延迟型结构,在稳态时切断了电路中所有的漏电通路,因此能够大幅度优化电路的静态功耗。

[0044] 在上述实施方式的描述中,具体特征、结构、材料或者特点可以在任何一个或多个实施例或示例中以合适的方式结合。

[0045] 虽然已参照几个典型实施方式描述了本公开,但应当理解,所用的术语是说明和示例性、而非限制性的术语。由于本公开能够以多种形式具体实施而不脱离本申请的精神

或实质,所以应当理解,上述实施方式不限于任何前述的细节,而应在随附权利要求所限定的精神和范围内广泛地解释,因此落入权利要求或其等效范围内的全部变化和改型都应随附权利要求所涵盖。

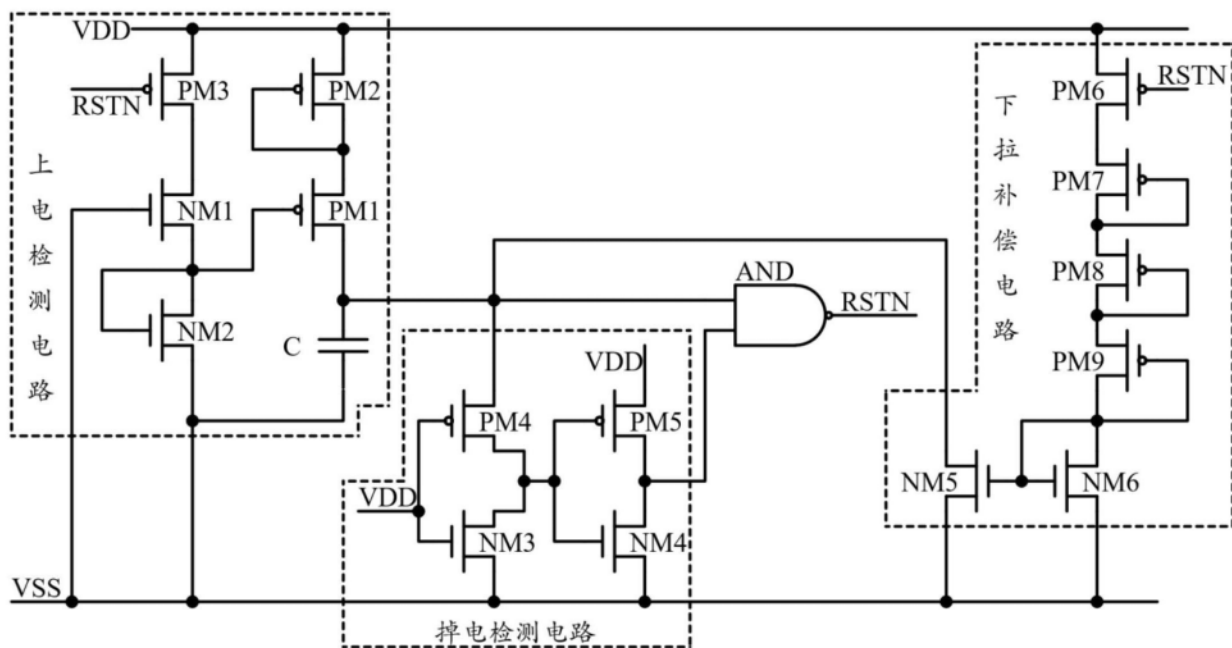


图1