

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年5月16日(16.05.2024)



(10) 国際公開番号
WO 2024/101006 A1

(51) 国際特許分類:

H01L 29/78 (2006.01) *H01L 27/04* (2006.01)
H01L 21/28 (2006.01) *H01L 29/06* (2006.01)
H01L 21/3205 (2006.01) *H01L 29/41* (2006.01)
H01L 21/76 (2006.01) *H01L 29/423* (2006.01)
H01L 21/768 (2006.01) *H01L 29/49* (2006.01)
H01L 21/822 (2006.01) *H01L 29/739* (2006.01)
H01L 23/522 (2006.01)

特願 2022-178475 2022年11月7日(07.11.2022) JP

(71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院
溝崎町 2 1 番地 Kyoto (JP).

(72) 発明者: 村 ▲ 崎 ▼ 耕平 (MURASAKI, Kohei);
〒6158585 京都府京都市右京区西院溝崎町 2
1 番地 ローム株式会社内 Kyoto (JP).

(21) 国際出願番号: PCT/JP2023/034189

(22) 国際出願日: 2023年9月21日(21.09.2023)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

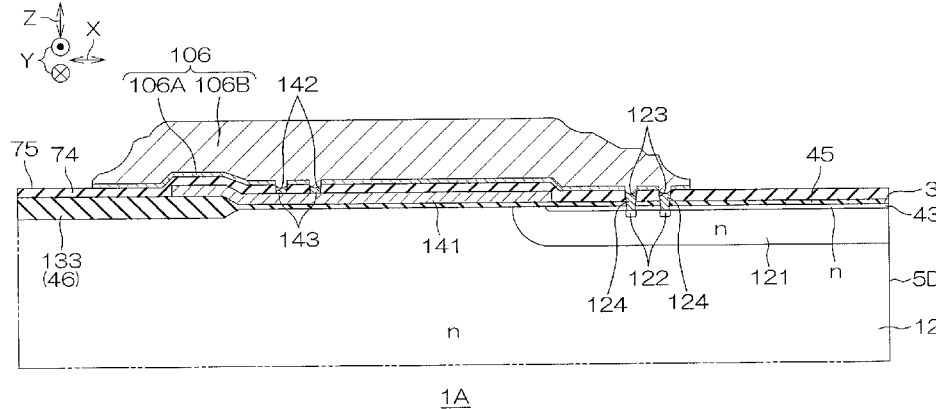
(30) 優先権データ:

(74) 代理人: 弁理士法人 あい 特 許
事 務 所 (AI ASSOCIATION OF PATENT AND
TRADEMARK ATTORNEYS); 〒5410059 大阪
府大阪府中央区博労町三丁目 2 番 8 号 岩
田東急ビル 8 階 Osaka (JP).

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

図10D



(57) Abstract: In the present invention, a semiconductor device includes: a first-electroconductivity-type second medium-concentration region 121 that is selectively formed on the surface layer part of an outer periphery region 9 on the first-main-surface 3 side of a drift region 12; a first-electroconductivity-type second high-concentration region 43 that serves as a channel stop region and has a higher first-electroconductivity-type impurity concentration than the second medium-concentration region, the first-electroconductivity-type second high-concentration region 43 being disposed, in

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

the outer periphery region, nearer to the first-main-surface side with respect to the second medium-concentration region, and being the surface layer part of the first main surface; second-electroconductivity-type channel stop contact regions 122 that are formed on the second-high-concentration-region-side surface layer part of the second medium-concentration region; a channel stop electrode 106 that is disposed on the first main surface of the outer periphery region so as to cover the channel stop contact region; and a channel stop connection electrode 124 that electrically connects the channel stop electrode and the channel stop contact region.

(57) 要約: 半導体装置は、外周領域9において、ドリフト領域12の第1主面3側の表層部に選択的に形成された第1導電型の第2中濃度領域121と、外周領域において、第1主面の表層部であって、第2中濃度領域に対して第1主面側に配置され、第2中濃度領域よりも第1導電型不純物濃度が高い、チャンネルストップ領域としての第1導電型の第2高濃度領域43と、第2中濃度領域の第2高濃度領域側の表層部に形成された第2導電型のチャンネルストップコンタクト領域122と、外周領域において、チャンネルストップコンタクト領域を覆うように、第1主面上に配置されたチャンネルストップ電極106と、チャンネルストップ電極とチャンネルストップコンタクト領域とを電気的に接続するチャンネルストップ接続電極124とを含む。

明 細 書

発明の名称：半導体装置

技術分野

[0001] 本開示は、半導体装置に関する。

背景技術

[0002] 特許文献1は、半導体基板、複数のトレンチ構造およびゲートパッド部を含む半導体装置を開示している。複数のトレンチ構造は、半導体基板の表面に形成されている。ゲートパッド部は、複数のトレンチ構造を被覆するように半導体基板の上に配置されている。

先行技術文献

特許文献

[0003] 特許文献1：米国特許出願公開第2017/0040423号明細書

発明の概要

発明が解決しようとする課題

[0004] 本開示の目的は、リーク電流を低減できる半導体装置を提供することである。

課題を解決するための手段

[0005] 本開示の一実施形態は、第1主面およびその反対側の第2主面を有するチップと、前記第1主面に設けられた活性領域と、前記活性領域外であって、前記第1主面の外周部に設けられた外周領域と、前記チップの内部に形成された第1導電型のドリフト領域と、前記活性領域において、前記ドリフト領域の前記第1主面側の表層部に形成され、前記ドリフト領域よりも第1導電型不純物濃度が高い、キャリア蓄積領域としての第1導電型の第1中濃度領域と、前記活性領域において、前記第1主面の表層部であって、前記第1中濃度領域に対して前記第1主面側に配置された第2導電型のチャネル領域と、前記チャネル領域の表層部に配置され、前記第1中濃度領域よりも第1導電型不純物濃度が高い第1導電型の第1高濃度領域と、前記活性領域におい

て、前記第1主面から前記第1高濃度領域、前記チャンネル領域および前記第1中濃度領域を通して前記ドリフト領域に達しているトレンチゲート構造と、前記外周領域において、前記ドリフト領域の前記第1主面側の表層部に選択的に形成された第1導電型の第2中濃度領域と、前記外周領域において、前記第1主面の表層部であって、前記第2中濃度領域に対して前記第1主面側に配置され、前記第2中濃度領域よりも第1導電型不純物濃度が高い、チャンネルストップ領域としての第1導電型の第2高濃度領域と、前記第2中濃度領域の前記第2高濃度領域側の表層部に形成された第2導電型のチャンネルストップコンタクト領域と、前記外周領域において、前記チャンネルストップコンタクト領域を覆うように、前記第1主面上に配置されたチャンネルストップ電極と、前記チャンネルストップ電極と前記チャンネルストップコンタクト領域とを電氣的に接続するチャンネルストップ接続電極とを含む、半導体装置を提供する。

[0006] この構成では、リーク電流を低減できる。

[0007] 上述のまたはさらに他の目的、特徴および効果は、添付図面の参照によって説明される実施形態により明らかにされる。

図面の簡単な説明

[0008] [図1]図1は、一実施形態に係る半導体装置を示す平面図である。

[図2]図2は、第1主面のレイアウトを示す平面図である。

[図3]図3は、活性領域および外周領域を示す拡大平面図である。

[図4]図4は、図3に示すIV-IV線に沿う断面図である。

[図5]図5は、図3に示すV-V線に沿う断面図である。

[図6]図6は、図3に示すVI-VI線に沿う断面図である。

[図7]図7は、活性領域および境界領域を示す拡大平面図である。

[図8]図8は、図7に示すVIII-VIII線に沿う断面図である。

[図9]図9は、図7に示すIX-IX線に沿う断面図である。

[図10A]図10Aは、外周領域の内周部の構造を示す図解的な断面図である。

[図10B]図10Bは、図10Aよりも外側部分の構造を示す図解的な断面図で

ある。

[図10C]図10Cは、図10Bの領域XCの詳細な構造を示す拡大断面図である。

[図10D]図10Dは、図10Bの領域XDの詳細な構造を示す拡大断面図である。

[図10E]図10Eは、比較例に係る半導体装置の一部を示す拡大断面図であって、図10Dに対応する拡大断面図である。

[図11]図11は、パッド領域を示す拡大平面図である。

[図12]図12は、図11に示すゲート抵抗構造を示す拡大平面図である。

[図13]図13は、図12に示すゲート抵抗構造の内方部を示す拡大平面図である。

[図14]図14は、図12に示すゲート抵抗構造の一端部を示す拡大平面図である。

[図15]図15は、図12に示すゲート抵抗構造の他端部を示す拡大平面図である。

[図16]図16は、図13に示すXVI-XVI線に沿う断面図である。

[図17]図17は、図13に示すXVII-XVII線に沿う断面図である。

[図18]図18は、図13に示すXVIII-XVIII線に沿う断面図である。

[図19]図19は、図13に示すXIX-XIX線に沿う断面図である。

[図20]図20は、図14に示すXX-XX線に沿う断面図である。

[図21]図21は、図15に示すXXI-XXI線に沿う断面図である。

[図22]図22は、図12に示すXXII-XXII線に沿う断面図である。

[図23]図23は、抵抗膜、ゲート電極膜およびゲート配線膜のレイアウトを示す平面図である。

[図24]図24は、ゲート抵抗構造、ゲート端子電極およびゲート配線電極およびを示す電気回路図である。

[図25]図25は、本実施形態に係る半導体装置および比較例に係る半導体装置それぞれについての、コレクタ・エミッタ間電圧 V_{ce} [V] に対するリ

ーク電流 I_{cs} [A] のシミュレーション結果を示すグラフである。

発明を実施するための形態

- [0009] 以下、添付図面を参照して、実施形態が詳細に説明される。添付図面は、模式図であり、厳密に図示されたものではなく、縮尺等は必ずしも一致しない。また、添付図面の間で対応する構造には同一の参照符号が付され、重複する説明は省略または簡略化される。説明が省略または簡略化された構造については、省略または簡略化される前になされた説明が適用される。
- [0010] 比較対象 (comparison target) が存する説明において「ほぼ (substantially) 等しい」の文言が使用される場合、この文言は、比較対象の数値 (形態) と等しい数値 (形態) を含む他、比較対象の数値 (形態) を基準とする $\pm 10\%$ の範囲の数値誤差 (形態誤差) も含む。実施形態では「第 1」、「第 2」、「第 3」等の文言が使用されるが、これらは説明順序を明確にするために各構造の名称に付された記号であり、各構造の名称を限定する趣旨で付されていない。
- [0011] 図 1 は、第 1 実施形態に係る半導体装置 1 A を示す平面図である。図 2 は、第 1 主面 3 のレイアウトを示す平面図である。図 3 は、活性領域 6 および外周領域 9 を示す拡大平面図である。図 4 は、図 3 に示す IV-IV 線に沿う断面図である。図 5 は、図 3 に示す V-V 線に沿う断面図である。
- [0012] 図 6 は、図 3 に示す VI-VI 線に沿う断面図である。図 7 は、活性領域 6 および境界領域 8 を示す拡大平面図である。図 8 は、図 7 に示す VIII-VIII 線に沿う断面図である。図 9 は、図 7 に示す IX-IX 線に沿う断面図である。
- [0013] 図 10 A は、外周領域の内周部の構造を示す図解的な断面図である。図 10 B は、図 10 A よりも外側部分の構造を示す図解的な断面図である。図 10 C は、図 10 B の領域 X C の詳細な構造を示す拡大断面図である。図 10 D は、図 10 B の領域 X D の詳細な構造を示す拡大断面図である。
- [0014] 半導体装置 1 A は、IGBT (Insulated Gate Bipolar Transistor) を備えた IGBT 半導体装置である。図 1 ～図 10 D を参照して、半導体装置 1 A は、六面体形状 (具体的には直方体形状) のチップ 2 を含む。チップ 2 は

、「半導体チップ」と称されてもよい。チップ2は、この形態 (this embodiment) では、シリコン単結晶基板 (半導体基板) からなる単層構造を有している。

[0015] チップ2は、一方側の第1主面3、他方側の第2主面4、ならびに、第1主面3および第2主面4を接続する第1～第4側面5A～5Dを有している。第1主面3および第2主面4は、それらの法線方向Zから見た平面視 (以下、単に「平面視」という。) において四角形状に形成されている。法線方向Zは、チップ2の厚さ方向でもある。

[0016] 第1側面5Aおよび第2側面5Bは、第1主面3に沿う第1方向Xに延び、第1主面3に沿って第1方向Xに交差する第2方向Yに対向している。具体的には、第2方向Yは、第1方向Xに直交している。第3側面5Cおよび第4側面5Dは、第2方向Yに延び、第1方向Xに対向している。

[0017] 半導体装置1Aは、第1主面3に間隔を空けて設けられた複数の活性領域6を含む。複数の活性領域6は、第1活性領域6Aおよび第2活性領域6Bを含む。第1活性領域6Aは、第1主面3の中心を第1方向Xに横切る直線に対して第1側面5A側の領域に設けられている。第2活性領域6Bは、第1主面3の中心を第1方向Xに横切る直線に対して第2側面5B側の領域に設けられている。各活性領域6は、この形態では、平面視においてチップ2の周縁に平行な4辺を有する多角形状に形成されている。各活性領域6の平面形状は、任意である。

[0018] 半導体装置1Aは、第1主面3において複数の活性領域6外の領域に設けられた非活性領域7を含む。非活性領域7は、境界領域8および外周領域9を含む。境界領域8は、第1活性領域6Aおよび第2活性領域6Bの間の領域において、第1方向Xに延びる帯状に設けられている。境界領域8は、この形態では、第1主面3の中心を第1方向Xに横切る直線上に位置している。

[0019] 境界領域8は、第2方向Yに比較的大きい幅を有するパッド領域10、および、第2方向Yにパッド領域10の幅よりも小さい幅を有するストリート

領域 1 1 を含む。パッド領域 1 0 は、「第 1 境界領域」または「幅広領域」と称されてもよい。ストリート領域 1 1 は、「第 2 境界領域」、「ライン領域」または「幅狭領域」と称されてもよい。

[0020] パッド領域 1 0 は、第 1 方向 X の一方側（第 3 側面 5 C 側）の領域に設けられている。パッド領域 1 0 は、この形態では、平面視において第 1 主面 3 の中心を第 1 方向 X に横切る直線上に位置し、第 3 側面 5 C の中央部近傍において四角形状に設けられている。ストリート領域 1 1 は、パッド領域 1 0 に対して第 1 方向 X の他方側（第 4 側面 5 D 側）の領域に設けられている。ストリート領域 1 1 は、この形態では、パッド領域 1 0 から第 4 側面 5 D 側に向けて帯状に引き出され、第 1 主面 3 の中心を第 1 方向 X に横切る直線上に位置している。

[0021] 外周領域 9 は、複数の活性領域 6 を一括して取り囲むようにチップ 2 の周縁部に設けられている。外周領域 9 は、チップ 2 の周縁（第 1 ～第 4 側面 5 A ～5 D）に沿って延びる環状（この形態では四角環状）に設けられている。外周領域 9 は、第 1 主面 3 の一方側（第 3 側面 5 C 側）においてパッド領域 1 0 に接続され、第 1 主面 3 の他方側（第 4 側面 5 D 側）においてストリート領域 1 1 に接続されている。

[0022] 半導体装置 1 A は、チップ 2 の内部に形成された n 型（第 1 導電型）のドリフト領域 1 2 を含む。ドリフト領域 1 2 は、チップ 2 の内部の全域に形成されている。この形態では、チップ 2 が n 型の半導体基板（n 型の半導体チップ）からなり、ドリフト領域 1 2 は n 型のチップ 2 を利用して形成されている。

[0023] 半導体装置 1 A は、第 2 主面 4 の表層部に形成された n 型のバッファ領域 1 3 を含む。バッファ領域 1 3 は、この形態では、第 2 主面 4 の全域において第 2 主面 4 に沿って延びる層状に形成されている。バッファ領域 1 3 は、ドリフト領域 1 2 よりも高い n 型不純物濃度を有している。バッファ領域 1 3 の有無は任意であり、バッファ領域 1 3 を有さない形態が採用されてもよい。

- [0024] 半導体装置 1 A は、第 2 主面 4 の表層部に形成された p 型（第 2 導電型）のコレクタ領域 1 4 を含む。コレクタ領域 1 4 は、バッファ領域 1 3 の第 2 主面 4 側の表層部に形成されている。コレクタ領域 1 4 は、この形態では、第 2 主面 4 の全域において第 2 主面 4 に沿って延びる層状に形成されている。コレクタ領域 1 4 は、第 2 主面 4 および第 1 ～第 4 側面 5 A ～5 D の一部から露出している。
- [0025] 半導体装置 1 A は、複数の活性領域 6 を区画するように第 1 主面 3 に形成された複数のトレンチ分離構造 1 5 を含む。複数のトレンチ分離構造 1 5 には、ゲート電位が付与される。トレンチ分離構造 1 5 は、「トレンチゲート分離構造」または「トレンチゲート接続構造」と称されてもよい。複数のトレンチ分離構造 1 5 は、第 1 活性領域 6 A 側の第 1 トレンチ分離構造 1 5 A および第 2 活性領域 6 B 側の第 2 トレンチ分離構造 1 5 B を含む。
- [0026] 第 1 トレンチ分離構造 1 5 A は、第 1 活性領域 6 A を取り囲み、境界領域 8 および外周領域 9 から第 1 活性領域 6 A を区画している。第 1 トレンチ分離構造 1 5 A は、この形態では、平面視においてチップ 2 の周縁に平行な 4 辺を有する多角環状に形成されている。第 1 トレンチ分離構造 1 5 A は、平面視において境界領域 8 のパッド領域 1 0 およびストリート領域 1 1 を区画するように屈曲した部分を有している。
- [0027] 第 2 トレンチ分離構造 1 5 B は、第 2 活性領域 6 B を取り囲み、境界領域 8 および外周領域 9 から第 2 活性領域 6 B を区画している。第 2 トレンチ分離構造 1 5 B は、この形態では、平面視においてチップ 2 の周縁に平行な 4 辺を有する多角環状に形成されている。第 2 トレンチ分離構造 1 5 B は、平面視において境界領域 8 のパッド領域 1 0 およびストリート領域 1 1 を区画するように屈曲した部分を有している。
- [0028] トレンチ分離構造 1 5 は、ストリート領域 1 1 の幅未満の幅を有していることが好ましい。トレンチ分離構造 1 5 の幅は、トレンチ分離構造 1 5 が延びる方向に直交する方向の幅である。トレンチ分離構造 1 5 の幅は、0.1 μm 以上 2.5 μm 以下であってもよい。トレンチ分離構造 1 5 の幅は、0

、 $3\text{ }\mu\text{m}$ 以上 $1\text{ }\mu\text{m}$ 以下であることが好ましい。トレンチ分離構造15の幅は、 $0.4\text{ }\mu\text{m}$ 以上 $0.7\text{ }\mu\text{m}$ 以下であることが好ましい。トレンチ分離構造15は、 $1\text{ }\mu\text{m}$ 以上 $20\text{ }\mu\text{m}$ 以下の深さを有していてもよい。トレンチ分離構造15の深さは、 $4\text{ }\mu\text{m}$ 以上 $10\text{ }\mu\text{m}$ 以下であることが好ましい。

[0029] 以下、1つのトレンチ分離構造15の構成が説明される。トレンチ分離構造15は、分離トレンチ16、分離絶縁膜17および分離埋設電極18を含む。分離トレンチ16は、第1主面3に形成され、トレンチ分離構造15の壁面を区画している。分離絶縁膜17は、分離トレンチ16の壁面を膜状に被覆している。分離絶縁膜17は、酸化シリコン膜、窒化シリコン膜および酸化アルミニウム膜のうちの少なくとも1つを含んでいてもよい。

[0030] 分離絶縁膜17は、単一の絶縁膜からなる単層構造を有していることが好ましい。分離絶縁膜17は、チップ2の酸化物からなる酸化シリコン膜を含むことが特に好ましい。分離埋設電極18は、分離絶縁膜17を挟んで分離トレンチ16に埋設されている。分離埋設電極18は、導電性ポリシリコンを含んでいてもよい。分離埋設電極18には、ゲート電位が付与される。

[0031] 半導体装置1Aは、各活性領域6に形成されたIGBT構造Tr（トランジスタ構造）を含む。IGBT構造Trは、非活性領域7には形成されていない。第2活性領域6B側の構成（IGBT構造Trの構成）は第1活性領域6A側の構成（IGBT構造Trの構成）とほぼ同じであるため、以下では第1活性領域6A側の構成が説明される。第2活性領域6B側の構成は、この形態では、境界領域8を挟んで第1活性領域6A側の構成と線対称である。第2活性領域6B側の構造の説明については、第1活性領域6A側の構造の説明が適用され、省略される。

[0032] 半導体装置1Aは、第1活性領域6Aにおいて第1主面3の表層部に形成されたキャリア蓄積領域としてのn型の第1中濃度領域19を含む。第1中濃度領域19は、ドリフト領域12の第1主面3側の表層部に形成されている。第1中濃度領域19は、第1主面3に沿って層状に延び、トレンチ分離構造15の内周壁に接続されている。第1中濃度領域19は、トレンチ分離

構造 15 よりも浅く形成され、トレンチ分離構造 15 の底壁よりも第 1 主面 3 側に位置する底部を有している。第 1 中濃度領域 19 の底部は、トレンチ分離構造 15 の深さ範囲中間部よりも第 1 主面 3 側に位置していることが好ましい。第 1 中濃度領域 19 の厚さは、 $2\ \mu\text{m}$ 程度であってもよい。

[0033] 第 1 中濃度領域 19 は、ドリフト領域 12 よりも高い n 型不純物濃度を有している。ドリフト領域 12 を「第 1 ドリフト領域」と称し、第 1 中濃度領域 19 を「第 2 ドリフト領域」と称してもよい。第 1 中濃度領域 19 は、 p 型のコレクタ領域 14 からのホールを蓄積することにより、ドリフト領域 12 の見掛け上の抵抗率を小さくし、導通損失を低減するために形成されている。

[0034] ドリフト領域 12 の n 型不純物濃度は、この形態では、ドリフト領域 12 の第 1 主面 3 側の表面から第 2 主面 4 側の表面に向かって徐々に低くなるように変化している。ドリフト領域 12 の n 型不純物濃度は、たとえば、 $1.0 \times 10^{13}\text{ cm}^{-3}$ 以上 $1.0 \times 10^{15}\text{ cm}^{-3}$ 以下であることが好ましい。第 1 中濃度領域 19 の n 型不純物濃度は、たとえば、 $1.0 \times 10^{15}\text{ cm}^{-3}$ 以上であることが好ましい。第 1 中濃度領域 19 の n 型不純物濃度は、たとえば、 $1.0 \times 10^{15}\text{ cm}^{-3}$ 以上 $1.0 \times 10^{17}\text{ cm}^{-3}$ 以下であってもよい。

[0035] 半導体装置 1A は、第 1 活性領域 6A において第 1 主面 3 の表層部に形成された p 型のチャネル領域 20 を含む。チャネル領域 20 は、「ボディ領域」または「ベース領域」と称されてもよい。チャネル領域 20 は、第 1 中濃度領域 19 の第 1 主面 3 側の表層部に形成されている。チャネル領域 20 は、第 1 主面 3 に沿って層状に延び、トレンチ分離構造 15 の内周壁に接続されている。チャネル領域 20 は、トレンチ分離構造 15 よりも浅く形成され、トレンチ分離構造 15 の底壁よりも第 1 主面 3 側に位置する底部を有している。チャネル領域 20 の底部は、トレンチ分離構造 15 の深さ範囲中間部よりも第 1 主面 3 側に位置していることが好ましい。チャネル領域 20 の厚さは、 $1\ \mu\text{m}$ 程度であってもよい。

[0036] 半導体装置 1A は、第 1 活性領域 6A において第 1 主面 3 に形成された複

数の第1トレンチ構造21を含む。複数の第1トレンチ構造21には、ゲート電位が付与される。第1トレンチ構造21は、「トレンチゲート構造」と称されてもよい。複数の第1トレンチ構造21は、ドリフト領域12に至るようにチャンネル領域20を貫通している。複数の第1トレンチ構造21は、平面視において第1方向Xに間隔を空けて配列され、第2方向Yに延びる帯状にそれぞれ形成されている。つまり、複数の第1トレンチ構造21は、第2方向Yに延びるストライプ状に配列されている。

[0037] 各第1トレンチ構造21は、長手方向（第2方向Y）に関して、境界領域8側の一端部および外周領域9側の他端部を有している。複数の第1トレンチ構造21の一端部および他端部は、トレンチ分離構造15に機械的および電氣的に接続されている。つまり、複数の第1トレンチ構造21は、トレンチ分離構造15と共に1つの梯子状のトレンチ構造を構成している。第1トレンチ構造21およびトレンチ分離構造15の接続部は、トレンチ分離構造15の一部および／または第1トレンチ構造21の一部とみなされてもよい。

[0038] 複数の第1トレンチ構造21の間隔は、ストリート領域11の幅未満であることが好ましい。第1トレンチ構造21の幅は、ストリート領域11の幅未満であることが好ましい。第1トレンチ構造21の幅は、第1トレンチ構造21が延びる方向に直交する方向の幅である。第1トレンチ構造21の幅は、 $0.1\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下であってもよい。第1トレンチ構造21の幅は、 $0.3\mu\text{m}$ 以上 $1\mu\text{m}$ 以下であることが好ましい。

[0039] 第1トレンチ構造21の幅は、 $0.4\mu\text{m}$ 以上 $0.7\mu\text{m}$ 以下であることが特に好ましい。第1トレンチ構造21の幅は、トレンチ分離構造15の幅とほぼ等しいことが好ましい。第1トレンチ構造21は、 $1\mu\text{m}$ 以上 $20\mu\text{m}$ 以下の深さを有していてもよい。第1トレンチ構造21の深さは、 $4\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であることが好ましい。第1トレンチ構造21の深さは、トレンチ分離構造15の深さとほぼ等しいことが好ましい。

[0040] 以下、1つの第1トレンチ構造21の構成が説明される。第1トレンチ構

造 2 1 は、第 1 トレンチ 2 2、第 1 絶縁膜 2 3 および第 1 埋設電極 2 4 を含む。第 1 トレンチ 2 2 は、第 1 主面 3 に形成され、第 1 トレンチ構造 2 1 の壁面を区画している。第 1 トレンチ 2 2 は、この形態では、第 2 方向 Y の両端部において分離トレンチ 1 6 に連通している。具体的には、第 1 トレンチ 2 2 の側壁は分離トレンチ 1 6 の側壁に連通し、第 1 トレンチ 2 2 の底壁は分離トレンチ 1 6 の底壁に連通している。

[0041] 第 1 絶縁膜 2 3 は、第 1 トレンチ 2 2 の壁面を膜状に被覆している。第 1 絶縁膜 2 3 は、酸化シリコン膜、窒化シリコン膜および酸化アルミニウム膜のうちの少なくとも 1 つを含んでいてもよい。第 1 絶縁膜 2 3 は、単一の絶縁膜からなる単層構造を有していることが好ましい。

[0042] 第 1 絶縁膜 2 3 は、チップ 2 の酸化物からなる酸化シリコン膜を含むことが特に好ましい。第 1 絶縁膜 2 3 は、この形態では、分離絶縁膜 1 7 と同一の絶縁膜からなる。第 1 絶縁膜 2 3 は、分離トレンチ 1 6 および第 1 トレンチ 2 2 の連通部において分離絶縁膜 1 7 に接続されている。

[0043] 第 1 埋設電極 2 4 は、第 1 絶縁膜 2 3 を挟んで第 1 トレンチ 2 2 に埋設されている。第 1 埋設電極 2 4 は、導電性ポリシリコンを含んでいてもよい。第 1 埋設電極 2 4 には、ゲート電位が付与される。第 1 埋設電極 2 4 は、分離トレンチ 1 6 および第 1 トレンチ 2 2 の連通部において分離埋設電極 1 8 に機械的および電氣的に接続されている。

[0044] 半導体装置 1 A は、第 1 活性領域 6 A の第 1 主面 3 において隣り合う複数の第 1 トレンチ構造 2 1 の間の領域にそれぞれ形成された複数の第 2 トレンチ構造 2 5 を含む。第 2 トレンチ構造 2 5 は、「エミッタトレンチ構造」と称されてもよい。各第 2 トレンチ構造 2 5 は、平面視において複数の第 1 トレンチ構造 2 1 から第 1 方向 X に間隔を空けて形成され、第 2 方向 Y に延びる四角環状に形成されている。

[0045] 第 2 トレンチ構造 2 5 の幅は、ストリート領域 1 1 の幅未満であることが好ましい。第 2 トレンチ構造 2 5 の幅は、第 2 トレンチ構造 2 5 が延びる方向に直交する方向の幅である。第 2 トレンチ構造 2 5 の幅は、 $0.1\ \mu\text{m}$ 以

上2. $5\text{ }\mu\text{m}$ 以下であってもよい。第2トレンチ構造25の幅は、 $0.3\text{ }\mu\text{m}$ 以上 $1\text{ }\mu\text{m}$ 以下であることが好ましい。

[0046] 第2トレンチ構造25の幅は、 $0.4\text{ }\mu\text{m}$ 以上 $0.7\text{ }\mu\text{m}$ 以下であることが特に好ましい。第2トレンチ構造25の幅は、第1トレンチ構造21の幅とほぼ等しいことが好ましい。第2トレンチ構造25は、 $1\text{ }\mu\text{m}$ 以上 $20\text{ }\mu\text{m}$ 以下の深さを有していてもよい。第2トレンチ構造25の深さは、 $4\text{ }\mu\text{m}$ 以上 $10\text{ }\mu\text{m}$ 以下であることが好ましい。第2トレンチ構造25の深さは、第1トレンチ構造21の深さとほぼ等しいことが好ましい。

[0047] 以下、1つの第2トレンチ構造25の構成が説明される。第2トレンチ構造25は、第2トレンチ26、第2絶縁膜27および第2埋設電極28を含む。第2トレンチ26は、第1主面3に形成され、第2トレンチ構造25の壁面を区画している。

[0048] 第2絶縁膜27は、第2トレンチ26の壁面を膜状に被覆している。第2絶縁膜27は、酸化シリコン膜、窒化シリコン膜および酸化アルミニウム膜のうちの少なくとも1つを含んでいてもよい。第2絶縁膜27は、単一の絶縁膜からなる単層構造を有していることが好ましい。第2絶縁膜27は、チップ2の酸化物からなる酸化シリコン膜を含むことが特に好ましい。第2絶縁膜27は、この形態では、第1絶縁膜23と同一の絶縁膜からなる。

[0049] 第2埋設電極28は、第2絶縁膜27を挟んで第2トレンチ26に埋設されている。第2埋設電極28は、導電性ポリシリコンを含んでいてもよい。第2埋設電極28には、エミッタ電位が付与される。

[0050] 半導体装置1Aは、第1活性領域6Aにおいてチャネル領域20の表層部に形成されたn型の複数のエミッタ領域29を含む。エミッタ領域29は、本開示における「第1高濃度領域」の一例であり、「第1高濃度領域」と称されてもよい。複数のエミッタ領域（第1高濃度領域）29は、第1中濃度領域19よりも高いn型不純物濃度をそれぞれ有している。複数のエミッタ領域29は、複数の第1トレンチ構造21の両サイドにそれぞれ形成されている。エミッタ領域29のn型不純物濃度は、たとえば、 $1.0 \times 10^{19}\text{ cm}^{-3}$

m^{-3} 以上 $1 \cdot 0 \times 10^{21} cm^{-3}$ 以下であることが好ましい。

[0051] 複数のエミッタ領域 29 は、平面視において複数の第 1 トレンチ構造 21 に沿って延びる帯状にそれぞれ形成されている。むろん、複数のエミッタ領域 29 は、平面視において複数の第 1 トレンチ構造 21 に沿って間隔を空けて形成されていてもよい。複数のエミッタ領域 29 は、この形態では、第 1 トレンチ構造 21 および第 2 トレンチ構造 25 に接続されるように、第 1 トレンチ構造 21 および第 2 トレンチ構造 25 の間の領域に形成されている。エミッタ領域 29 は、トレンチ分離構造 15 および最外の第 2 トレンチ構造 25 の間の領域には形成されていないことが好ましい。

[0052] 半導体装置 1 A は、第 1 活性領域 6 A においてエミッタ領域 29 を露出させるように第 1 主面 3 に形成された複数のコンタクト孔 30 を含む。コンタクト孔 30 は、本開示における「第 1 コンタクト孔」の一例である。複数のコンタクト孔 30 は、複数の第 1 トレンチ構造 21 から間隔を空けて複数の第 1 トレンチ構造 21 の両サイドにそれぞれ形成されている。複数のコンタクト孔 30 は、開口から底壁に向けて開口幅が狭まる先細り形状にそれぞれ形成されていてもよい。

[0053] 複数のコンタクト孔 30 は、チャネル領域 20 に至るようにエミッタ領域 29 を貫通している。複数のコンタクト孔 30 は、チャネル領域 20 に至らないようにエミッタ領域 29 の底部から第 1 主面 3 側に離間していてもよい。複数のコンタクト孔 30 は、平面視において複数の第 1 トレンチ構造 21 に沿って延びる帯状にそれぞれ形成されている。長手方向（第 2 方向 Y）に関して、複数のコンタクト孔 30 は、複数の第 1 トレンチ構造 21 よりも短いことが好ましい。複数のコンタクト孔 30 は、複数の第 2 トレンチ構造 25 よりも短いことが特に好ましい。

[0054] 半導体装置 1 A は、第 1 活性領域 6 A のチャネル領域 20 の表層部において複数のエミッタ領域 29 とは異なる領域に形成された p 型の複数のチャネルコンタクト領域 31 を含む。複数のチャネルコンタクト領域 31 は、チャネル領域 20 よりも高い p 型不純物濃度を有している。複数のチャネルコン

タクト領域 31 は、平面視において対応するコンタクト孔 30 に沿って延びる帯状にそれぞれ形成されている。複数のチャネルコンタクト領域 31 の底部は、対応するコンタクト孔 30 の底壁およびチャネル領域 20 の底部の間の領域にそれぞれ形成されている。

[0055] チャネル領域 20 の p 型不純物濃度は、たとえば、 $1.0 \times 10^{16} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以下であることが好ましい。チャネルコンタクト領域 31 の p 型不純物濃度は、たとえば、 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{20} \text{ cm}^{-3}$ 以下であることが好ましい。

[0056] 半導体装置 1A は、第 1 活性領域 6A の第 1 主面 3 の表層部において複数の第 2 トレンチ構造 25 によって取り囲まれた領域にそれぞれ形成された複数の p 型のフローティング領域 32 を含む。複数のフローティング領域 32 は、電氣的に浮遊状態に形成されている。むろん、複数のフローティング領域 32 には、エミッタ電位が付与されてもよい。複数のフローティング領域 32 は、チャネル領域 20 よりも高い p 型不純物濃度を有していることが好ましい。

[0057] 各フローティング領域 32 は、第 1 主面 3 に沿って層状に延び、各第 2 トレンチ構造 25 の内周壁に接続されている。各フローティング領域 32 は、第 2 トレンチ構造 25 の深さ範囲中間部よりも深く形成されていることが好ましい。各フローティング領域 32 は、この形態では、第 2 トレンチ構造 25 よりも深く形成され、第 2 トレンチ構造 25 の底壁を被覆する部分を有している。

[0058] このように、第 1 活性領域 6A は、IGBT 構造 Tr として、チャネル領域 20、複数の第 1 トレンチ構造 21、複数の第 2 トレンチ構造 25、複数のエミッタ領域 29、複数のコンタクト孔 30、複数のチャネルコンタクト領域 31 および複数のフローティング領域 32 を含む。また、第 2 活性領域 6B は、第 1 活性領域 6A と同様に、IGBT 構造 Tr として、チャネル領域 20、複数の第 1 トレンチ構造 21、複数の第 2 トレンチ構造 25、複数のエミッタ領域 29、複数のコンタクト孔 30、複数のチャネルコンタクト

領域 3 1 および複数のフローティング領域 3 2 を含む。

[0059] 半導体装置 1 A は、境界領域 8 において第 1 主面 3 の表層部に形成された p 型の境界ウェル領域 4 0 を含む。境界ウェル領域 4 0 は、この形態では、チャネル領域 2 0 よりも高い p 型不純物濃度を有している。むしろ、境界ウェル領域 4 0 は、チャネル領域 2 0 よりも低い p 型不純物濃度を有しているもよい。

[0060] 境界ウェル領域 4 0 は、平面視において境界領域 8 に沿って第 1 方向 X に延びる帯状に形成されている。つまり、境界ウェル領域 4 0 は、第 1 トレンチ分離構造 1 5 A および第 2 トレンチ分離構造 1 5 B によって挟まれた領域において第 1 主面 3 に沿って延びる層状に形成され、第 1 主面 3 から露出している。境界ウェル領域 4 0 は、第 1 活性領域 6 A 側の複数の第 1 トレンチ構造 2 1 および第 2 活性領域 6 B 側の複数の第 1 トレンチ構造 2 1 によって挟まれた領域に形成されている。

[0061] 境界ウェル領域 4 0 は、パッド領域 1 0 に形成された第 1 境界ウェル領域 4 0 A、および、ストリート領域 1 1 に形成された第 2 境界ウェル領域 4 0 B を含む。第 1 境界ウェル領域 4 0 A は、第 2 方向 Y に比較的大きい領域幅を有している。第 1 境界ウェル領域 4 0 A は、平面視において多角形状（この形態では四角形状）に形成されている。第 1 境界ウェル領域 4 0 A は、パッド領域 1 0 の全域に形成されていることが好ましい。

[0062] 第 2 境界ウェル領域 4 0 B は、第 2 方向 Y に第 1 境界ウェル領域 4 0 A の領域幅よりも小さい領域幅を有し、第 1 境界ウェル領域 4 0 A からストリート領域 1 1 に向けて帯状に引き出されている。第 2 境界ウェル領域 4 0 B は、この形態では、第 1 主面 3 の中心を第 1 方向 X に横切る直線上に位置している。第 2 境界ウェル領域 4 0 B は、第 1 主面 3 の中心を第 2 方向 Y に横切る直線に対して第 1 方向 X の一方側（第 3 側面 5 C 側）の領域および他方側（第 4 側面 5 D 側）の領域に位置するように帯状に延びている。

[0063] 境界ウェル領域 4 0 は、チャネル領域 2 0 よりも深く形成されていることが好ましい。境界ウェル領域 4 0 は、複数のトレンチ分離構造 1 5（複数の

第1トレンチ構造21)よりも深く形成されていることが特に好ましい。境界ウェル領域40は、この形態では、第2方向Yに境界領域8の幅よりも大きい幅を有し、境界領域8から複数の活性領域6内に引き出されている。

[0064] 境界ウェル領域40は、第2方向Yに隣り合う複数のトレンチ分離構造15に接続されている。境界ウェル領域40は、複数のトレンチ分離構造15の底壁を被覆する部分を有している。境界ウェル領域40は、複数のトレンチ分離構造15を横切って複数の第1トレンチ構造21の底壁を被覆する部分を有している。

[0065] 境界ウェル領域40は、複数の活性領域6内においてトレンチ分離構造15の側壁および複数のトレンチ構造の側壁を被覆し、第1主面3の表層部において各チャネル領域20に接続されている。境界ウェル領域40の深さは、 $1\mu\text{m}$ 以上 $20\mu\text{m}$ 以下であってもよい。境界ウェル領域40の深さは、 $5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であることが好ましい。

[0066] 半導体装置1Aは、外周領域9において第1主面3の表層部に形成されたp型の外周ウェル領域41を含む。外周ウェル領域41は、この形態では、チャネル領域20よりも高いp型不純物濃度を有している。むしろ、外周ウェル領域41は、チャネル領域20よりも低いp型不純物濃度を有していてもよい。外周ウェル領域41のp型不純物濃度は、境界ウェル領域40のp型不純物濃度とほぼ等しいことが好ましい。

[0067] 外周ウェル領域41は、第1主面3に沿って延びる層状に形成され、第1主面3から露出している。外周ウェル領域41は、第1主面3の周縁(第1～第4側面5A～5D)から内方に間隔を空けて形成されている。外周ウェル領域41は、平面視において複数の活性領域6に沿って延びる帯状に形成されている。外周ウェル領域41は、この形態では、平面視において複数の活性領域6を一括して取り囲む環状(この形態では四角環状)に形成されている。

[0068] 外周ウェル領域41は、チャネル領域20よりも深く形成されていることが好ましい。外周ウェル領域41は、複数のトレンチ分離構造15(複数の

第1トレンチ構造21)よりも深く形成されていることが特に好ましい。外周ウェル領域41は、境界ウェル領域40とほぼ等しい深さを有していることが好ましい。

[0069] 外周ウェル領域41は、複数のトレンチ分離構造15に接続されている。外周ウェル領域41は、複数のトレンチ分離構造15の底壁を被覆する部分を有している。外周ウェル領域41は、外周領域9から複数の活性領域6内に引き出されている。外周ウェル領域41は、複数のトレンチ分離構造15を横切って複数の第1トレンチ構造21の底壁を被覆する部分を有している。

[0070] 外周ウェル領域41は、各活性領域6内においてトレンチ分離構造15の側壁および複数の第1トレンチ構造21の側壁を被覆し、第1主面3の表層部において複数のチャネル領域20に接続されている。外周ウェル領域41は、境界領域8および外周領域9の接続部において境界ウェル領域40に接続されている。つまり、外周ウェル領域41は、境界ウェル領域40と共に複数の活性領域6を区画している。

[0071] 図10Aおよび図10Bを参照して、半導体装置1Aは、外周領域9において第1主面3の表層部に形成された少なくとも1つ（この形態では複数）のp型のフィールド領域42を含む。フィールド領域42の個数は任意であり、1個以上20個以下（典型的には3個以上10個以下）であってもよい。

[0072] 複数のフィールド領域42は、チャネル領域20よりも高いp型不純物濃度を有していてもよい。複数のフィールド領域42は、外周ウェル領域41よりも高いp型不純物濃度を有していてもよい。複数のフィールド領域42は、外周ウェル領域41よりも低いp型不純物濃度を有していてもよい。複数のフィールド領域42は、外周ウェル領域41とほぼ等しいp型不純物濃度を有していてもよい。複数のフィールド領域42は、電氣的に浮遊状態に形成されている。

[0073] 複数のフィールド領域42は、チップ2の周縁および外周ウェル領域41

から間隔を空けてチップ2の周縁および外周ウェル領域41の間の領域に形成されている。複数のフィールド領域42は、平面視において外周ウェル領域41に沿って延びる帯状に形成されている。複数のフィールド領域42は、この形態では、平面視において外周ウェル領域41を取り囲む環状（四角環状）に形成されている。

[0074] 複数のフィールド領域42は、チャンネル領域20よりも深く形成されていることが好ましい。複数のフィールド領域42は、外周ウェル領域41とほぼ等しい深さで形成されていてもよい。複数のフィールド領域42は、外周ウェル領域41よりも浅く形成されていてもよい。複数のフィールド領域42は、一定の深さで形成されていてもよい。

[0075] 複数のフィールド領域42の間隔は、チップ2の周縁側に向けて漸増してもよい。複数のフィールド領域42は、外周ウェル領域41の幅よりも小さい幅をそれぞれ有している。複数のフィールド領域42のうち最外のフィールド領域42は、他のフィールド領域42よりも幅広に形成されていてもよい。

[0076] 図10Cを参照して、半導体装置1Aは、各フィールド領域42の第1主面3側の表層部に形成された少なくとも1つ（この形態では複数）のp型のフィールドコンタクト領域111を含む。この形態では、1つのフィールド領域42に対して2つのフィールドコンタクト領域111が形成されている。この形態では、フィールドコンタクト領域111は、チャンネルコンタクト領域31と同じp型不純物濃度を有している。このようなフィールドコンタクト領域111は、たとえば、チャンネルコンタクト領域31を形成する工程において、チャンネルコンタクト領域31と同時に形成することができる。

[0077] 図10Bおよび図10Dを参照して、半導体装置1Aは、外周領域9において複数のフィールド領域42からチップ2の周縁側に間隔を空けて第1主面3の表層部に形成されたn型の第2中濃度領域121を含む。第2中濃度領域121は、ドリフト領域12よりも高いn型不純物濃度を有している。この形態では、第2中濃度領域121は、キャリア蓄積領域としての第1中

濃度領域 1 9 と同じ n 型不純物濃度を有している。

[0078] 第 2 中濃度領域 1 2 1 は、平面視においてチップ 2 の周縁に沿って延びる帯状に形成されている。第 2 中濃度領域 1 2 1 は、この形態では、平面視において複数のフィールド領域 4 2 を取り囲む環状（四角環状）に形成されている。第 2 中濃度領域 1 2 1 は、第 1 ～第 4 側面 5 A ～5 D から露出している。第 2 中濃度領域 1 2 1 は、電氣的に浮遊状態に形成されている。

[0079] この形態では、第 2 中濃度領域 1 2 1 の底面の深さ位置は、第 1 中濃度領域 1 9 の底面の深さ位置と等しい。このような第 2 中濃度領域 1 2 1 は、たとえば、第 1 中濃度領域 1 9 を形成する工程において、第 1 中濃度領域 1 9 と同時に形成することができる。

[0080] 半導体装置 1 A は、第 2 中濃度領域 1 2 1 の第 1 主面 3 側の表層部に形成されたチャネルストップ領域としての n 型の第 2 高濃度領域 4 3 を含む。第 2 高濃度領域 4 3 の第 2 主面 4 側の表面は、第 2 中濃度領域 1 2 1 によって覆われている。言い換えれば、第 2 高濃度領域 4 3 は、第 1 主面 3 側の表層部であって、第 2 中濃度領域 1 2 1 に対して第 1 主面 3 側に配置されている。

[0081] 第 2 高濃度領域 4 3 は、第 2 中濃度領域 1 2 1 よりも高い n 型不純物濃度を有している。この形態では、第 2 高濃度領域 4 3 は、エミッタ領域（第 1 高濃度領域）2 9 と同じ n 型不純物濃度を有している。このような第 2 高濃度領域 4 3 は、たとえば、エミッタ領域 2 9 を形成する工程において、エミッタ領域 2 9 と同時に形成することができる。

[0082] 第 2 高濃度領域 4 3 は、平面視においてチップ 2 の周縁に沿って延びる帯状に形成されている。第 2 高濃度領域 4 3 は、この形態では、平面視において複数のフィールド領域 4 2 を取り囲む環状（四角環状）に形成されている。第 2 高濃度領域 4 3 は、第 1 ～第 4 側面 5 A ～5 D から露出している。第 2 高濃度領域 4 3 は、第 1 ～第 4 側面 5 A ～5 D から露出している。

[0083] この形態では、第 2 中濃度領域 1 2 1 の底面の内周縁部は、第 2 高濃度領域 4 3 によって覆われている。第 2 中濃度領域 1 2 1 の内周縁は、第 2 高濃

度領域 4 3 の内周縁よりも、フィールド領域 4 2 側に位置している。第 2 高濃度領域 4 3 は、電氣的に浮遊状態に形成されている。

[0084] 図 1 O D を参照して、半導体装置 1 A は、第 2 中濃度領域 1 2 1 の第 1 主面 3 側の表層部において、第 2 高濃度領域 4 3 とは異なる領域に形成された、少なくとも 1 つ（この形態では複数）の p 型のチャネルストップコンタクト領域 1 2 2 を含む。この形態では、チャネルストップコンタクト領域 1 2 2 は、第 2 中濃度領域 1 2 1 の第 2 高濃度領域 4 3 側の表層部に形成されている。

[0085] チャネルストップコンタクト領域 1 2 2 の一部が、第 2 高濃度領域 4 3 に形成されていてもよい。つまり、チャネルストップコンタクト領域 1 2 2 は、第 2 高濃度領域 4 3 と第 2 中濃度領域 1 2 1 との境界部に、それらに跨って形成されていてもよい。チャネルストップコンタクト領域 1 2 2 の底面は、第 2 中濃度領域 1 2 1 によって覆われている。この形態では、2 つのチャネルストップコンタクト領域 1 2 2 が形成されている。

[0086] この形態では、チャネルストップコンタクト領域 1 2 2 は、チャネルコンタクト領域 3 1 と同じ p 型不純物濃度を有している。このようなチャネルストップコンタクト領域 1 2 2 は、たとえば、チャネルコンタクト領域 3 1 を形成する工程において、チャネルコンタクト領域 3 1 と同時に形成することができる。

[0087] 半導体装置 1 A は、第 1 主面 3 を選択的に被覆する主面絶縁膜 4 5 を含む。主面絶縁膜 4 5 は、活性領域 6、境界領域 8 および外周領域 9 において第 1 主面 3 を選択的に被覆している。主面絶縁膜 4 5 は、酸化シリコン膜、窒化シリコン膜および酸化アルミニウム膜のうちの少なくとも 1 つを含んでもよい。

[0088] 主面絶縁膜 4 5 は、単一の絶縁膜からなる単層構造を有していることが好ましい。主面絶縁膜 4 5 は、チップ 2 の酸化物からなる酸化シリコン膜を含むことが特に好ましい。主面絶縁膜 4 5 は、この形態では、第 1 絶縁膜 2 3（分離絶縁膜 1 7）と同一の絶縁膜からなる。主面絶縁膜 4 5 は、トレンチ

分離構造 15、第 1 トレンチ構造 21 および第 2 トレンチ構造 25 を露出させるように第 1 主面 3 を被覆している。

[0089] 具体的には、主面絶縁膜 45 は、分離絶縁膜 17、第 1 絶縁膜 23 および第 2 絶縁膜 27 に接続され、分離埋設電極 18、第 1 埋設電極 24 および第 2 埋設電極 28 を露出させている。主面絶縁膜 45 は、境界領域 8 および外周領域 9 において境界ウェル領域 40、外周ウェル領域 41、フィールド領域 42、第 2 高濃度領域 43 および第 2 中濃度領域 121 を選択的に被覆している。

[0090] 半導体装置 1A は、外周領域 9 において、第 1 主面 3 を選択的に被覆するフィールド絶縁膜 46 を含む。主面絶縁膜 45 およびフィールド絶縁膜 46 は、本開示における「表面絶縁膜」の一例である。フィールド絶縁膜 46 は、酸化シリコン膜、窒化シリコン膜および酸化アルミニウム膜のうちの少なくとも 1 つを含んでいてもよい。

[0091] フィールド絶縁膜 46 は、主面絶縁膜 45 よりも厚い。フィールド絶縁膜 46 は、第 1 フィールド絶縁膜 131、複数の第 2 フィールド絶縁膜 132 および第 3 フィールド絶縁膜 133 を含む。

[0092] 第 1 フィールド絶縁膜 131 は、第 1 主面 33 上に、外周ウェル領域 41 の外周縁部と最も内側のフィールド領域 42 の内周縁部とに跨って形成されている。第 1 フィールド絶縁膜 131 は、この形態では、外周ウェル領域 41 に沿って延びる環状に形成されている。

[0093] 第 2 フィールド絶縁膜 132 は、第 1 主面 33 上に、隣り合う 2 つのフィールド領域 42 のうちの内側のフィールド領域 42 の外周縁部と、外側のフィールド領域 42 の内周縁部とに跨って形成されている。各第 2 フィールド絶縁膜 132 は、対応する 2 つのフィールド領域 42 のうちの内側のフィールド領域 42 に沿って延びる環状に形成されている。

[0094] 第 3 フィールド絶縁膜 133 は、最も外側のフィールド領域 42 の外周縁寄りの位置から第 2 中濃度領域 121 の近傍までの領域を覆うように、第 1 主面 33 上に形成されている。第 3 フィールド絶縁膜 133 は、第 2 中濃度

領域 1 2 1 から最も外側のフィールド領域 4 2 側に間隔を空けて形成されている。第 3 フィールド絶縁膜 1 3 3 は、この形態では、最も外側のフィールド領域 4 2 に沿って延びる環状に形成されている。

[0095] 第 1 フィールド絶縁膜 1 3 1 の内周縁は、外周ウェル領域 4 1 上の主面絶縁膜 4 5 の外周縁に接続されている。第 1 フィールド絶縁膜 1 3 1 の外周縁は、最も内側のフィールド領域 4 2 の幅中間部を覆っている主面絶縁膜 4 5 の内周縁に接続されている。

[0096] 隣り合う 2 つのフィールド領域 4 2 に跨る第 2 フィールド絶縁膜 1 3 2 の内周縁は、内側のフィールド領域 4 2 の幅中間部を覆っている主面絶縁膜 4 5 の外周縁に接続されており、当該第 2 フィールド絶縁膜 1 3 2 の外周縁は、外側のフィールド領域 4 2 の幅中間部を覆っている主面絶縁膜 4 5 の内周縁に接続されている。

[0097] 第 3 フィールド絶縁膜 1 3 3 の内周縁は、最も外側のフィールド領域 4 2 の幅中間部を覆っている主面絶縁膜 4 5 の外周縁に接続されている。第 3 フィールド絶縁膜 1 3 3 の外周縁は、それよりもチップ 2 の周縁側に形成されている主面絶縁膜 4 5 の内周縁に接続されている。

[0098] 図 3 および図 5 を参照して、半導体装置 1 A は、活性領域 6 において複数の第 2 トレンチ構造 2 5 を被覆するように第 1 主面 3 の上に配置された複数のエミッタ電極膜 4 7 を含む。具体的には、複数のエミッタ電極膜 4 7 は、主面絶縁膜 4 5 の上に配置されている。複数のエミッタ電極膜 4 7 は、導電性ポリシリコンを含んでいてもよい。

[0099] 複数のエミッタ電極膜 4 7 は、複数の第 2 トレンチ構造 2 5 の第 2 方向 Y の両端部をそれぞれ被覆している。複数のエミッタ電極膜 4 7 は、この形態では、対応する第 2 トレンチ構造 2 5 およびトレンチ分離構造 1 5 の間の領域を第 2 方向 Y に延びる帯状に形成されている。複数のエミッタ電極膜 4 7 は、トレンチ分離構造 1 5 から第 2 トレンチ構造 2 5 側に間隔を空けて形成されている。複数のエミッタ電極膜 4 7 は、主面絶縁膜 4 5 を挟んでチャンネル領域 2 0 に対向している。

- [0100] 複数のエミッタ電極膜 4 7 は、複数の第 2 トレンチ構造 2 5 の第 2 埋設電極 2 8 と一体的にそれぞれ形成されている。つまり、複数のエミッタ電極膜 4 7 は、第 2 埋設電極 2 8 の一部が第 1 主面 3（主面絶縁膜 4 5）の上に膜状に引き出された部分からそれぞれなる。むろん、複数のエミッタ電極膜 4 7 は、第 2 埋設電極 2 8 とは別体的に形成されていてもよい。
- [0101] 図 1 1 は、パッド領域 1 0 を示す拡大平面図である。図 1 2 は、図 1 1 に示すゲート抵抗構造 5 0 を示す拡大平面図である。図 1 3 は、図 1 2 に示すゲート抵抗構造 5 0 の内方部を示す拡大平面図である。図 1 4 は、図 1 2 に示すゲート抵抗構造 5 0 の一端部を示す拡大平面図である。図 1 5 は、図 1 2 に示すゲート抵抗構造 5 0 の他端部を示す拡大平面図である。
- [0102] 図 1 6 は、図 1 3 に示す XVI-XVI 線に沿う断面図である。図 1 7 は、図 1 3 に示す XVII-XVII 線に沿う断面図である。図 1 8 は、図 1 3 に示す XVIII-XVII I 線に沿う断面図である。図 1 9 は、図 1 3 に示す XIX-XIX 線に沿う断面図である。図 2 0 は、図 1 4 に示す XX-XX 線に沿う断面図である。
- [0103] 図 2 1 は、図 1 5 に示す XXI-XXI 線に沿う断面図である。図 2 2 は、図 1 2 に示す XXII-XXII 線に沿う断面図である。図 2 3 は、抵抗膜 6 0、ゲート電極膜 6 4 およびゲート配線膜 6 5 のレイアウトを示す平面図である。図 2 4 は、ゲート抵抗構造 5 0、ゲート端子電極 9 0 およびゲート配線電極 9 3 を示す電気回路図である。
- [0104] 図 1 1 ～図 2 4 を参照して、半導体装置 1 A は、パッド領域 1 0 に形成されたゲート抵抗構造 5 0 を含む。ゲート抵抗構造 5 0 は、I G B T のゲート（I G B T 構造 T r の第 1 トレンチ構造 2 1）に対するゲート抵抗 R G を構成する。ゲート抵抗構造 5 0 は、パッド領域 1 0 において第 1 主面 3 に形成された複数のトレンチ抵抗構造 5 1 を含む。複数のトレンチ抵抗構造 5 1 にはゲート電位が付与されるが、複数のトレンチ抵抗構造 5 1 はチャンネルの制御に寄与しない。
- [0105] 複数のゲート抵抗構造 5 0 は、この形態では、第 1 トレンチ群 5 2 および第 2 トレンチ群 5 3 を構成している。第 1 トレンチ群 5 2 は、複数のトレン

チ抵抗構造 5 1 の一部を構成する複数の第 1 トレンチ抵抗構造 5 1 A を含み、第 2 方向 Y の一方側（第 1 側面 5 A 側）に設けられている。第 1 トレンチ抵抗構造 5 1 A の個数は任意であり、達成すべき抵抗値に基づいて調節される。

[0106] たとえば、第 1 トレンチ群 5 2 は、2 個以上 1 0 0 個以下の第 1 トレンチ抵抗構造 5 1 A を含んでいてもよい。第 1 トレンチ抵抗構造 5 1 A の個数は、5 0 個以下であることが好ましい。第 1 トレンチ抵抗構造 5 1 A の個数は、2 5 個以下であってもよい。第 1 トレンチ抵抗構造 5 1 A の個数は、5 個以上であることが好ましい。むろん、ゲート抵抗構造 5 0 は、第 1 トレンチ群 5 2 に代えて単一の第 1 トレンチ抵抗構造 5 1 A を含んでいてもよい。

[0107] 第 1 トレンチ群 5 2 は、この形態では、第 1 主面 3 の中心を第 1 方向 X に横切る直線に対して第 2 方向 Y の一方側（第 1 側面 5 A）側の領域に設けられている。第 1 トレンチ群 5 2 は、パッド領域 1 0 において外周領域 9 よりも活性領域 6 側（ストリート領域 1 1 側）に偏在するように配置されていることが好ましい。第 1 トレンチ群 5 2 は、この形態では、パッド領域 1 0 の中央部から活性領域 6 側（ストリート領域 1 1 側）に間隔を空けて配置されている。これらの構成は、複数の第 1 トレンチ抵抗構造 5 1 A に対する電界集中を抑制する上で有効である。

[0108] 複数の第 1 トレンチ抵抗構造 5 1 A は、複数のトレンチ分離構造 1 5（複数の第 1 トレンチ構造 2 1）から間隔を空けて第 1 主面 3 に形成されている。複数の第 1 トレンチ抵抗構造 5 1 A は、平面視において第 1 方向 X に間隔を空けて配列され、第 2 方向 Y に延びる帯状にそれぞれ形成されている。つまり、複数の第 1 トレンチ抵抗構造 5 1 A は、第 2 方向 Y に延びるストライプ状に配列されている。複数の第 1 トレンチ抵抗構造 5 1 A は、第 2 方向 Y の一方側（第 1 側面 5 A 側）の一端部、および、第 2 方向 Y の他方側（第 2 側面 5 B 側）の他端部を有している。

[0109] 複数の第 1 トレンチ抵抗構造 5 1 A は、境界ウェル領域 4 0（第 1 境界ウェル領域 4 0 A）内に位置するように境界ウェル領域 4 0（第 1 境界ウェル

領域 40A) の底部から第 1 主面 3 側に間隔を空けて形成され、境界ウェル領域 40 の一部を挟んでドリフト領域 12 に対向している。つまり、複数の第 1 トレンチ抵抗構造 51A は、境界ウェル領域 40 (第 1 境界ウェル領域 40A) を貫通していない。

[0110] 複数の第 1 トレンチ抵抗構造 51A の間隔は、ストリート領域 11 の幅未満であることが好ましい。複数の第 1 トレンチ抵抗構造 51A の間隔は、第 1 トレンチ構造 21 および第 2 トレンチ構造 25 の間隔とほぼ等しいことが好ましい。複数の第 1 トレンチ抵抗構造 51A の間隔は、第 1 トレンチ構造 21 および第 2 トレンチ構造 25 の間隔よりも小さくてもよい。複数の第 1 トレンチ抵抗構造 51A の間隔は、第 1 トレンチ構造 21 および第 2 トレンチ構造 25 の間隔よりも大きくてもよい。

[0111] 第 1 トレンチ抵抗構造 51A の幅は、ストリート領域 11 の幅未満であることが好ましい。第 1 トレンチ抵抗構造 51A の幅は、第 1 トレンチ抵抗構造 51A が延びる方向に直交する方向の幅である。第 1 トレンチ抵抗構造 51A の幅は、 $0.1\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下であってもよい。第 1 トレンチ抵抗構造 51A の幅は、 $0.3\mu\text{m}$ 以上 $1\mu\text{m}$ 以下であることが好ましい。

第 1 トレンチ抵抗構造 51A の幅は、 $0.4\mu\text{m}$ 以上 $0.7\mu\text{m}$ 以下であることが特に好ましい。第 1 トレンチ抵抗構造 51A の幅は、第 1 トレンチ構造 21 の幅とほぼ等しいことが好ましい。第 1 トレンチ抵抗構造 51A は、 $1\mu\text{m}$ 以上 $20\mu\text{m}$ 以下の深さを有していてもよい。第 1 トレンチ抵抗構造 51A の深さは、 $4\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であることが好ましい。第 1 トレンチ抵抗構造 51A の深さは、第 1 トレンチ構造 21 の深さとほぼ等しいことが好ましい。

[0112] 第 2 トレンチ群 53 は、複数のトレンチ抵抗構造 51 の一部を構成する複数の第 2 トレンチ抵抗構造 51B を含み、第 1 トレンチ群 52 から第 2 方向 Y の他方側 (第 2 側面 5B 側) に間隔を空けて設けられている。第 2 トレンチ抵抗構造 51B の個数は任意であり、達成すべき抵抗値に基づいて調節される。たとえば、第 1 トレンチ群 52 側の抵抗値とほぼ等しい抵抗値が実現

される場合、第2トレンチ群53は第1トレンチ抵抗構造51Aの個数と同数の第2トレンチ抵抗構造51Bを含んでいてもよい。

[0113] たとえば、第1トレンチ群52側の抵抗値とは異なる抵抗値が実現される場合、第2トレンチ群53は第1トレンチ抵抗構造51Aの個数とは異なる個数の第2トレンチ抵抗構造51Bを含んでいてもよい。たとえば、第2トレンチ群53側の抵抗値が第1トレンチ群52側の抵抗値よりも大きい場合、第2トレンチ抵抗構造51Bの個数は第1トレンチ抵抗構造51Aの個数よりも少なくてもよい。たとえば、第2トレンチ群53側の抵抗値が第1トレンチ群52側の抵抗値未満の場合、第2トレンチ抵抗構造51Bの個数は第1トレンチ抵抗構造51Aの個数よりも多くてもよい。

[0114] たとえば、第2トレンチ群53は、2個以上100個以下の第2トレンチ抵抗構造51Bを含んでいてもよい。第2トレンチ抵抗構造51Bの個数は、50個以下であることが好ましい。第2トレンチ抵抗構造51Bの個数は、25個以下であってもよい。第2トレンチ抵抗構造51Bの個数は、5個以上であることが好ましい。むろん、半導体装置1Aは、第2トレンチ群53に代えて単一の第2トレンチ抵抗構造51Bを含んでいてもよい。

[0115] 第2トレンチ群53は、この形態では、第1主面3の中心を第1方向Xに横切る直線に対して第2方向Yの他方側（第2側面5B）側の領域に設けられている。第2トレンチ群53は、第2方向Yに第1トレンチ群52に対向している。第2トレンチ群53は、パッド領域10において外周領域9よりも活性領域6側（ストリート領域11側）に偏在するように配置されていることが好ましい。第2トレンチ群53は、この形態では、パッド領域10の中央部から活性領域6側（ストリート領域11側）に間隔を空けて配置されている。これらの構成は、複数の第2トレンチ抵抗構造52Bに対する電界集中を抑制する上で有効である。

[0116] 複数の第2トレンチ抵抗構造51Bは、複数のトレンチ分離構造15（複数の第1トレンチ構造21）から間隔を空けて第1主面3に形成されている。複数の第2トレンチ抵抗構造51Bは、平面視において第1方向Xに間隔

を空けて配列され、第2方向Yに延びる帯状にそれぞれ形成されている。

[0117] つまり、複数の第2トレンチ抵抗構造51Bは、第2方向Yに延びるストライプ状に配列されている。複数の第2トレンチ抵抗構造51Bは、第2方向Yに複数の第1トレンチ抵抗構造51Aと1対1の対応関係でそれぞれ対向している。つまり、複数の第2トレンチ抵抗構造51Bは、複数の第1トレンチ抵抗構造51Aと同一直線状にそれぞれ配置されている。複数の第2トレンチ抵抗構造51Bは、第2方向Yの一方側（第1側面5A側）の一端部、および、第2方向Yの他方側（第2側面5B側）の他端部を有している。

[0118] 複数の第2トレンチ抵抗構造51Bは、境界ウェル領域40（第1境界ウェル領域40A）内に位置するように境界ウェル領域40（第1境界ウェル領域40A）の底部から第1主面3側に間隔を空けて形成され、境界ウェル領域40の一部を挟んでドリフト領域12に対向している。つまり、複数の第2トレンチ抵抗構造51Bは、境界ウェル領域40（第1境界ウェル領域40A）を貫通していない。

[0119] 複数の第2トレンチ抵抗構造51Bの間隔は、ストリート領域11の幅未満であることが好ましい。複数の第2トレンチ抵抗構造51Bの間隔は、隣り合う第1トレンチ構造21および第2トレンチ構造25の間隔とほぼ等しいことが好ましい。複数の第2トレンチ抵抗構造51Bの間隔は、第1トレンチ構造21および第2トレンチ構造25の間隔よりも小さくてもよい。複数の第2トレンチ抵抗構造51Bの間隔は、第1トレンチ構造21および第2トレンチ構造25の間隔よりも大きくてもよい。

[0120] 複数の第2トレンチ抵抗構造51Bの間隔は、複数の第1トレンチ抵抗構造51Aの間隔よりも小さくてもよい。複数の第2トレンチ抵抗構造51Bの間隔は、複数の第1トレンチ抵抗構造51Aの間隔よりも大きくてもよい。複数の第2トレンチ抵抗構造51Bの間隔は、複数の第1トレンチ抵抗構造51Aの間隔とほぼ等しいことが好ましい。

[0121] 第2トレンチ抵抗構造51Bの幅は、ストリート領域11の幅未満である

ことが好ましい。第2トレンチ抵抗構造51Bの幅は、第2トレンチ抵抗構造51Bが延びる方向に直交する方向の幅である。第2トレンチ抵抗構造51Bの幅は、 $0.1\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下であってもよい。第2トレンチ抵抗構造51Bの幅は、 $0.3\mu\text{m}$ 以上 $1\mu\text{m}$ 以下であることが好ましい。第2トレンチ抵抗構造51Bの幅は、 $0.4\mu\text{m}$ 以上 $0.7\mu\text{m}$ 以下であることが特に好ましい。第2トレンチ抵抗構造51Bの幅は、第1トレンチ抵抗構造51Aの幅とほぼ等しいことが好ましい。

[0122] 第2トレンチ抵抗構造51Bは、この形態では、第2方向Yに関して第1トレンチ抵抗構造51Aの長さとはほぼ等しい長さを有している。むしろ、第2トレンチ抵抗構造51Bは、第2方向Yに関して第1トレンチ抵抗構造51Aよりも長くてもよい。また、第2トレンチ抵抗構造51Bは、第2方向Yに関して第1トレンチ抵抗構造51Aよりも短くてもよい。第1トレンチ抵抗構造51Aの長さおよび第2トレンチ抵抗構造51Bの長さは、達成すべき抵抗値に応じて調節される。

[0123] 第2トレンチ抵抗構造51Bは、 $1\mu\text{m}$ 以上 $20\mu\text{m}$ 以下の深さを有していてもよい。第2トレンチ抵抗構造51Bの深さは、 $4\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であることが好ましい。第2トレンチ抵抗構造51Bの深さは、第1トレンチ抵抗構造51A（第1トレンチ構造21）の深さとはほぼ等しいことが好ましい。

[0124] 以下、1つのトレンチ抵抗構造51（第1トレンチ抵抗構造51Aおよび第2トレンチ抵抗構造51B）の構成が説明される。トレンチ抵抗構造51は、抵抗トレンチ54、抵抗絶縁膜55および抵抗埋設電極56を含む。抵抗トレンチ54は、第1主面3に形成され、トレンチ抵抗構造51の壁面を区画している。

[0125] 抵抗絶縁膜55は、抵抗トレンチ54の壁面を膜状に被覆している。抵抗絶縁膜55は、第1主面3において主面絶縁膜45に接続されている。抵抗絶縁膜55は、酸化シリコン膜、窒化シリコン膜および酸化アルミニウム膜のうちの少なくとも1つを含んでいてもよい。抵抗絶縁膜55は、単一の絶

縁膜からなる単層構造を有していることが好ましい。抵抗絶縁膜 55 は、チップ 2 の酸化物からなる酸化シリコン膜を含むことが特に好ましい。

[0126] 抵抗埋設電極 56 は、抵抗絶縁膜 55 を挟んで抵抗トレンチ 54 に埋設されている。抵抗埋設電極 56 は、導電性ポリシリコンを含んでいてもよい。抵抗埋設電極 56 には、ゲート電位が付与される。

[0127] ゲート抵抗構造 50 は、この形態では、パッド領域 10 において第 1 トレンチ群 52 および第 2 トレンチ群 53 の間の領域に区画されたスペース領域 57 を含む。スペース領域 57 は、複数の第 1 トレンチ抵抗構造 51 A の他端部および複数の第 2 トレンチ抵抗構造 51 B 一端部の間の領域において第 1 主面 3 の平坦部によって形成されている。

[0128] スペース領域 57 は、この形態では、平面視において四角形状に区画されている。スペース領域 57 は、第 1 主面 3 から境界ウェル領域 40 を露出させている。スペース領域 57 は、この形態では、平面視において第 1 主面 3 の中心を第 1 方向 X に横切る直線上に形成され、第 1 方向 X にストリート領域 11 に対向している。

[0129] スペース領域 57 は、第 2 方向 Y に沿うスペース幅を有している。スペース幅は、第 1 トレンチ抵抗構造 51 A（第 2 トレンチ抵抗構造 51 B）の第 1 方向 X の幅よりも大きい。スペース幅は、第 1 方向 X に隣り合う 2 つの第 1 トレンチ抵抗構造 51 A（第 2 トレンチ抵抗構造 51 B）の間隔よりも大きい。スペース幅は、第 1 トレンチ群 52（第 2 トレンチ群 53）の第 1 方向 X の幅よりも大きいことが好ましい。スペース幅は、第 1 トレンチ群 52（第 2 トレンチ群 53）の第 1 方向 X の幅よりも小さくてもよい。

[0130] スペース幅は、第 1 トレンチ群 52（第 2 トレンチ群 53）の第 2 方向 Y の長さよりも小さいことが好ましい。スペース幅は、ストリート領域 11 の第 2 方向 Y の幅とほぼ等しくてもよい。スペース幅は、ストリート領域 11 の第 2 方向 Y の幅よりも大きくてもよい。スペース幅は、ストリート領域 11 の第 2 方向 Y の幅よりも小さくてもよい。

[0131] ゲート抵抗構造 50 は、パッド領域 10 において複数のトレンチ抵抗構造

51を被覆するように第1主面3の上に配置された抵抗膜60を含む。具体的には、抵抗膜60は、主面絶縁膜45の上に配置されている。抵抗膜60は、導電性ポリシリコン膜および合金膜のうちの少なくとも1つを含む。

[0132] 合金膜は、金属元素および非金属元素によって構成された合金結晶を含んでいてもよい。合金膜は、CrSi膜、CrSiN膜、CrSiO膜、Ta₂N膜およびTiN膜のうちの少なくとも1つを含んでいてもよい。抵抗膜60は、この形態では、導電性ポリシリコンを含む。

[0133] 抵抗膜60の厚さは、達成すべき抵抗値に応じて適宜調整される。抵抗膜60の厚さは、第1トレンチ抵抗構造51A（第2トレンチ抵抗構造51B）の深さ以下であることが好ましい。抵抗膜60の厚さは、第1トレンチ抵抗構造51A（第2トレンチ抵抗構造51B）の深さ未満であることが特に好ましい。

[0134] 抵抗膜60の厚さは、第1トレンチ抵抗構造51A（第2トレンチ抵抗構造51B）の幅の0.5倍以上であることが好ましい。抵抗膜60の厚さは、0.05 μ m以上2.5 μ m以下であってもよい。抵抗膜60の厚さは、0.5 μ m以上1.5 μ m以下であることが好ましい。抵抗膜60が合金膜からなる場合、抵抗膜60の厚さは、0.1nm以上100nm以下であってもよい。

[0135] 抵抗膜60は、第2方向Yに延びる帯状に形成され、第2方向Yの一方側（第1側面5A側）の第1端部60Aおよび第2方向Yの他方側（第2側面5B側）の第2端部60Bを有している。抵抗膜60は、第1方向Xに関して第1トレンチ群52（第2トレンチ群53）の第1方向Xの幅よりも大きい幅を有している。抵抗膜60の幅は、スペース幅未満であってもよい。むしろ、抵抗膜60の幅は、スペース幅以上であってもよい。抵抗膜60は、第1方向Xに関して一様な幅を有していることが好ましい。

[0136] 抵抗膜60は、第1主面3の中心を第1方向Xに横切る直線に対して第2方向Yの一方側（第1側面5A側）に位置する部分および他方側（第2側面5B側）に位置する部分を有している。抵抗膜60は、第1方向Xに第1活

性領域 6 A、第 2 活性領域 6 B および ストリート領域 1 1 に対向している。
つまり、抵抗膜 6 0 は、第 1 方向 X に複数のトレンチ分離構造 1 5、複数の
第 1 トレンチ構造 2 1 および複数の第 2 トレンチ構造 2 5 に対向している。

[0137] 抵抗膜 6 0 は、スペース領域 5 7 を被覆する第 1 被覆部 6 1、第 1 トレンチ群 5 2 を被覆する第 2 被覆部 6 2、および、第 2 トレンチ群 5 3 を被覆する第 3 被覆部 6 3 を有している。第 1 被覆部 6 1 は、第 1 トレンチ群 5 2（複数の第 1 トレンチ抵抗構造 5 1 A）および第 2 トレンチ群 5 3（複数の第 2 トレンチ抵抗構造 5 1 B）外の領域において第 1 主面 3 を被覆する部分である。第 1 被覆部 6 1 は、第 1 端部 6 0 A および第 2 端部 6 0 B の間の中間部に位置し、厚さ方向に主面絶縁膜 4 5 を挟んで境界ウェル領域 4 0 に対向している。

[0138] 第 2 被覆部 6 2 は、抵抗膜 6 0 の第 1 端部 6 0 A を形成し、全ての第 1 トレンチ抵抗構造 5 1 A を被覆している。第 2 被覆部 6 2 は、複数の第 1 トレンチ抵抗構造 5 1 A の一端部よりも外側（パッド領域 1 0 の周縁側）において第 1 端部 6 0 A を形成している。つまり、第 1 端部 6 0 A は、平面視において第 1 トレンチ群 5 2 を挟んで第 1 被覆部 6 1 に対向している。第 2 被覆部 6 2 は、複数の第 1 トレンチ抵抗構造 5 1 A の抵抗埋設電極 5 6 に接続され、厚さ方向に主面絶縁膜 4 5 を挟んで境界ウェル領域 4 0 に対向している。

[0139] 第 3 被覆部 6 3 は、抵抗膜 6 0 の第 2 端部 6 0 B を形成し、全ての第 2 トレンチ抵抗構造 5 1 B を被覆している。第 3 被覆部 6 3 は、複数の第 2 トレンチ抵抗構造 5 1 B の他端部よりも外側（パッド領域 1 0 の周縁側）において第 2 端部 6 0 B を形成している。つまり、第 2 端部 6 0 B は、平面視において第 2 トレンチ群 5 3 を挟んで第 1 被覆部 6 1 に対向している。第 3 被覆部 6 3 は、複数の第 2 トレンチ抵抗構造 5 1 B の抵抗埋設電極 5 6 に接続され、厚さ方向に主面絶縁膜 4 5 を挟んで境界ウェル領域 4 0 に対向している。

[0140] 抵抗膜 6 0 は、第 2 被覆部 6 2 において複数の第 1 トレンチ抵抗構造 5 1

Aの抵抗埋設電極56と一体的に形成され、第3被覆部63において複数の第2トレンチ抵抗構造51Bの抵抗埋設電極56と一体的に形成されている。つまり、抵抗膜60は、抵抗埋設電極56の一部が第1主面3（主面絶縁膜45）の上に膜状に引き出された部分からなる。むろん、抵抗膜60は、抵抗埋設電極56とは別体的に形成されていてもよい。

[0141] 半導体装置1Aは、抵抗膜60に隣り合うように第1主面3の上に配置されたゲート電極膜64を含む。具体的には、ゲート電極膜64は、主面絶縁膜45の上に配置されている。ゲート電極膜64は、導電性ポリシリコン膜および合金膜のうちの少なくとも1つを含む。合金膜は、金属元素および非金属元素によって構成された合金結晶を含んでいてもよい。

[0142] 合金膜は、CrSi膜、CrSiN膜、CrSiO膜、Ta₂N膜およびTiN膜のうちの少なくとも1つを含んでいてもよい。ゲート電極膜64は、抵抗膜60と同一の抵抗材料によって形成されていることが好ましい。ゲート電極膜64は、この形態では、導電性ポリシリコンを含む。ゲート電極膜64は、抵抗膜60の厚さとほぼ等しい厚さを有していることが好ましい。

[0143] ゲート電極膜64は、抵抗膜60からパッド領域10の内方部側（第3側面5C側）に間隔を空けて主面絶縁膜45の上に配置され、抵抗膜60から物理的に分離されている。ゲート電極膜64は、平面視において複数のトレンチ分離構造15からパッド領域10の内方部側に間隔を空けて形成されている。

[0144] ゲート電極膜64は、主面絶縁膜45を挟んで境界ウェル領域40（第1境界ウェル領域40A）に対向している。ゲート電極膜64は、平面視において多角形状（この形態では四角形状）に形成されている。ゲート電極膜64は、この形態では、抵抗膜60に沿って第2方向Yに延びる長方形形状に形成されている。

[0145] 図11、図12および図24を参照して、半導体装置1Aは、抵抗膜60を挟んでゲート電極膜64に対向するように抵抗膜60に隣り合って第1主面3の上に配置されたゲート配線膜65を含む。具体的には、ゲート配線膜

65は、主面絶縁膜45の上に配置されている。ゲート配線膜65は、導電性ポリシリコン膜および合金膜のうちの少なくとも1つを含む。合金膜は、金属元素および非金属元素によって構成された合金結晶を含んでいてもよい。

[0146] 合金膜は、CrSi膜、CrSiN膜、CrSiO膜、Ta₂N膜およびTiN膜のうちの少なくとも1つを含んでいてもよい。ゲート配線膜65は、抵抗膜60と同一の抵抗材料によって形成されていることが好ましい。ゲート配線膜65は、この形態では、導電性ポリシリコンを含む。ゲート配線膜65は、抵抗膜60の厚さとほぼ等しい厚さを有していることが好ましい。

[0147] ゲート配線膜65は、ゲート電極膜64から間隔を空けて主面絶縁膜45の上に配置され、ゲート電極膜64から物理的に分離されている。ゲート配線膜65は、抵抗膜60の第1端部60Aに接続された第1接続部、および、抵抗膜60の第2端部60Bに接続された第2接続部を有している。

[0148] つまり、ゲート配線膜65は、抵抗膜60を介して複数のトレンチ抵抗構造51に電氣的に接続されている。具体的には、ゲート配線膜65は、抵抗膜60の第1被覆部61および第2被覆部62の間で複数の第1トレンチ抵抗構造51Aに電氣的に接続され、抵抗膜60の第2被覆部62および第3被覆部63の間で複数の第2トレンチ抵抗構造51Bに電氣的に接続されている。

[0149] ゲート配線膜65は、この形態では、第1下配線部66、第2下配線部67および第3下配線部68を含む。第1下配線部66は、パッド領域10に引き回されている。具体的には、第1下配線部66は、パッド領域10において抵抗膜60およびゲート電極膜64を複数方向（この形態では3方向）から取り囲んでいる。

[0150] 第1下配線部66は、第1下ライン部69および複数の第2下ライン部70A、70Bを含む。第1下ライン部69は、パッド領域10において抵抗膜60に対してストリート領域11側に配置されている。第1下ライン部69は、平面視において抵抗膜60を挟んでゲート電極膜64に対向するよう

に抵抗膜60に隣り合って第1主面3の上に配置されている。第1下ライン部69は、厚さ方向に主面絶縁膜45を挟んで境界ウェル領域40（第1境界ウェル領域40A）に対向している。

[0151] 第1下ライン部69は、抵抗膜60に沿って第2方向Yに延びる帯状に形成されている。第1下ライン部69は、第2方向Yに関して抵抗膜60の長さおよびゲート電極膜64の長さよりも大きい長さを有している。第1下ライン部69は、第2方向Yの一方側（第1側面5A側）の一端部および第2方向Yの他方側（第2側面5B側）の他端部を有している。

[0152] 複数の第2下ライン部70A、70Bは、一方側の第2下ライン部70Aおよび他方側の第2下ライン部70Bを含む。第2下ライン部70Aは、パッド領域10において抵抗膜60およびゲート電極膜64に対して第2方向Yの一方側（第1側面5A側）の領域に配置されている。第2下ライン部70Bは、パッド領域10において抵抗膜60およびゲート電極膜64に対して第2方向Yの他方側（第2側面5B側）の領域に配置されている。

[0153] 第2下ライン部70Aは、第1方向Xに延びる帯状に形成され、第1下ライン部69の一端部に接続された一端部、および、チップ2の周縁側（第3側面5C側）に位置する他端部を有している。第2下ライン部70Aは、さらに、抵抗膜60の第1端部60Aに接続され、ゲート電極膜64から間隔を空けて形成されている。つまり、第2下ライン部70Aは、第1端部60Aに対する第1接続部を構成している。第2下ライン部70Aは、厚さ方向に主面絶縁膜45を挟んで境界ウェル領域40（第1境界ウェル領域40A）に対向している。

[0154] 第2下ライン部70Bは、第1方向Xに延びる帯状に形成され、第1下ライン部69の他端部に接続された一端部、および、チップ2の周縁側（第3側面5C側）に位置する他端部を有している。他方側の第2下ライン部70Bは、さらに、抵抗膜60の第2端部60Bに接続され、ゲート電極膜64から間隔を空けて形成されている。

[0155] つまり、第2下ライン部70Bは、第2端部60Bに対する第2接続部を

構成している。他方側の第2下ライン部70Bは、ゲート電極膜64を挟んで一方側の第2下ライン部70Aに対向している。他方側の第2下ライン部70Bは、厚さ方向に主面絶縁膜45を挟んで境界ウェル領域40（第1境界ウェル領域40A）に対向している。

[0156] 第2下配線部67は、ストリート領域11に引き回されている。具体的には、第2下配線部67は、第1下配線部66からストリート領域11に引き出されている。さらに具体的には、第2下配線部67は、第1下ライン部69の内方部（この形態では中央部）からストリート領域11に引き出され、第1方向Xに延びる帯状に形成されている。

[0157] 第2下配線部67は、この形態では、チップ2の中心を横切っている。第2下配線部67は、第1主面3の中心を第2方向Yに横切る直線に対して第1方向Xの一方側（第3側面5C側）の領域および他方側（第4側面5D側）の領域に位置するように帯状に延びている。第2下配線部67は、第1方向Xの一方側で第1下ライン部69（第1下配線部66）に接続された一端部、および、第1方向Xの他方側の他端部を有している。

[0158] 第2下配線部67は、厚さ方向に主面絶縁膜45を挟んで境界ウェル領域40（第2境界ウェル領域40B）に対向している。第2下配線部67は、第2方向Yに関してストリート領域11の幅よりも大きい幅を有し、ストリート領域11から複数の活性領域6に引き出されている。第2下配線部67は、複数の活性領域6において複数のトレンチ分離構造15を被覆している。

[0159] また、第2下配線部67は、複数の活性領域6において複数の第1トレンチ構造21の端部を被覆している。これにより、第2下配線部67は、複数の分離埋設電極18および複数の第1埋設電極24に電氣的に接続され、複数の分離埋設電極18および複数の第1埋設電極24にゲート電位を伝達する。

[0160] 第2下配線部67は、この形態では、複数の分離埋設電極18および複数の第1埋設電極24と一体的に形成されている。つまり、第2下配線部67

は、複数の分離埋設電極 1 8 の一部および複数の第 1 埋設電極 2 4 の一部が第 1 主面 3（主面絶縁膜 4 5）の上に膜状に引き出された部分からなる。むしろ、第 2 下配線部 6 7 は、複数の分離埋設電極 1 8 および複数の第 1 埋設電極 2 4 とは別体的に形成されていてもよい。

[0161] 第 3 下配線部 6 8 は、外周領域 9 に引き回されている。具体的には、第 3 下配線部 6 8 は、第 1 下配線部 6 6 から外周領域 9 に引き出されている。さらに具体的には、第 3 下配線部 6 8 は、複数の第 2 下ライン部 7 0 A、7 0 B の他端部から外周領域 9 の一方側（第 1 側面 5 A 側）および他方側（第 2 側面 5 B 側）に引き出され、外周領域 9 に沿って延びる帯状に形成されている。

[0162] 第 3 下配線部 6 8 は、第 2 下配線部 6 7 と共に複数の活性領域 6 を挟み込んでいる。具体的には、第 3 下配線部 6 8 は、平面視において複数の活性領域 6 を取り囲むようにチップ 2 の周縁（第 1 側面 5 A～5 D）に沿って延び、第 2 下配線部 6 7 の他端部に接続されている。これにより、第 3 下配線部 6 8 は、第 2 下配線部 6 7 と共に複数の活性領域 6 を取り囲んでいる。

[0163] 第 3 下配線部 6 8 は、主面絶縁膜 4 5 を挟んで外周ウェル領域 4 1 の内方部に対向している。具体的には、第 3 下配線部 6 8 は、平面視において外周ウェル領域 4 1 の内縁および外縁から内方に間隔を空けて外周ウェル領域 4 1 の内方部に対向している。

[0164] 図 3 を参照して、第 3 下配線部 6 8 は、第 1 側面 5 A に沿って延びる部分において、外周領域 9 から複数の活性領域 6 に引き出された複数の引き出し部 6 8 a を有している。複数の引き出し部 6 8 a は、第 1 活性領域 6 A 側において第 1 トレンチ分離構造 1 5 A を被覆し、第 2 活性領域 6 B 側において第 2 トレンチ分離構造 1 5 B を被覆している。

[0165] つまり、複数の引き出し部 6 8 a は、複数の第 1 トレンチ構造 2 1 の端部を被覆している。これにより、第 3 下配線部 6 8 は、第 1 活性領域 6 A において、複数の分離埋設電極 1 8 および複数の第 1 埋設電極 2 4 に電氣的に接続され、複数の分離埋設電極 1 8 および複数の第 1 埋設電極 2 4 にゲート電

位を伝達する。

[0166] むろん、第1活性領域6A側において、第1トレンチ分離構造15Aに沿って帯状に延びる単一の引き出し部68aが形成されていてもよい。また、第2活性領域6B側において、第2トレンチ分離構造15Bに沿って帯状に延びる単一の引き出し部68aが形成されていてもよい。

[0167] 第3下配線部68は、この形態では、複数の分離埋設電極18および複数の第1埋設電極24と一体的に形成されている。つまり、第3下配線部68は、複数の分離埋設電極18の一部および複数の第1埋設電極24の一部が第1主面3（主面絶縁膜45）の上に膜状に引き出された部分からなる。むろん、第3下配線部68は、複数の分離埋設電極18および複数の第1埋設電極24とは別体的に形成されていてもよい。

[0168] 図11～図15を参照して、半導体装置1Aは、抵抗膜60およびゲート電極膜64の間の領域に区画された第1スリット71を含む。第1スリット71は、平面視において第2方向Yに延びる帯状に形成され、抵抗膜60の第1～第3被覆部61～63を区画している。

[0169] 第1スリット71は、主面絶縁膜45を露出させている。第1スリット71は、平面視において複数のトレンチ抵抗構造51よりも外方に形成され、厚さ方向に境界ウェル領域40（第1境界ウェル領域40A）に対向している。つまり、第1スリット71は、厚さ方向にトレンチ抵抗構造51に対向していない。

[0170] 第1スリット71は、第2方向Yに第1長さを有している。第1スリット71は、第1方向Xに関してゲート電極膜64よりも幅狭に形成されている。第1スリット71は、第1方向Xに関して抵抗膜60よりも幅狭に形成されていることが好ましい。第1スリット71は、第1方向Xに関して第1トレンチ群52よりも幅狭に形成されていることが好ましい。第1スリット71は、第1方向Xに関してトレンチ抵抗構造51よりも幅広に形成されていることが好ましい。

[0171] 第1スリット71の幅は、0.1 μ m以上10 μ m以下であってもよい。

第1スリット71の幅は、 $0.1\mu\text{m}$ 以上 $0.5\mu\text{m}$ 以下、 $0.5\mu\text{m}$ 以上 $1\mu\text{m}$ 以下、 $1\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下、 $2.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下、 $5\mu\text{m}$ 以上 $7.5\mu\text{m}$ 以下、または、 $7.5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第1スリット71の幅は、 $3\mu\text{m}$ 以上 $7\mu\text{m}$ 以下であることが好ましい。

[0172] 図11～図15を参照して、半導体装置1Aは、抵抗膜60およびゲート配線膜65の間の領域に区画された第2スリット72を含む。具体的には、第2スリット72は、抵抗膜60および第1下ライン部69の間の領域に区画されている。第2スリット72は、抵抗膜60を挟んで第1スリット71に対向している。

[0173] 第2スリット72は、平面視において第2方向Yに延びる帯状に形成され、抵抗膜60の第1～第3被覆部61～63を区画している。つまり、第2スリット72は、第1スリット71に対して平行に延び、第1スリット71と共に抵抗膜60を区画している。第2スリット72は、主面絶縁膜45を露出させている。

[0174] 第2スリット72は、平面視において複数のトレンチ抵抗構造51よりも外方に形成され、厚さ方向に境界ウェル領域40（第1境界ウェル領域40A）に対向している。つまり、第2スリット72は、厚さ方向にトレンチ抵抗構造51に対向していない。第2スリット72は、平面視において複数の第1トレンチ抵抗構造51Aおよび複数の第2トレンチ抵抗構造51Bを挟んで第1スリット71に対向している。

[0175] 第2スリット72は、第2方向Yに第2長さを有している。第2長さは、第1スリット71の第1長さと異なってもよい。第2長さは、抵抗膜60およびゲート配線膜65を適切に接続させる観点から第1長さ以下であることが好ましい。第2長さは、この形態では、第1長さ未満である。むしろ、第2長さは、第1長さとほぼ等しくてもよい。また、第2長さは、第1長さよりも大きくてもよい。

[0176] 第2スリット72は、第1方向Xに関してゲート電極膜64よりも幅狭に

形成されている。第2スリット72は、第1方向Xに関して第1下ライン部69よりも幅狭に形成されていることが好ましい。第2スリット72は、第1方向Xに関して抵抗膜60よりも幅狭に形成されていることが特に好ましい。第2スリット72は、第1方向Xに関して第1トレンチ群52よりも幅狭に形成されていることが好ましい。第2スリット72は、トレンチ抵抗構造51よりも幅広に形成されていることが好ましい。

[0177] 第2スリット72の幅は、 $0.1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第2スリット72の幅は、 $0.1\mu\text{m}$ 以上 $0.5\mu\text{m}$ 以下、 $0.5\mu\text{m}$ 以上 $1\mu\text{m}$ 以下、 $1\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下、 $2.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下、 $5\mu\text{m}$ 以上 $7.5\mu\text{m}$ 以下、または、 $7.5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第2スリット72の幅は、 $3\mu\text{m}$ 以上 $7\mu\text{m}$ 以下であることが好ましい。第2スリット72の幅は、第1スリット71の幅以上であってもよい。第2スリット72の幅は、第1スリット71の幅未満であってもよい。とほぼ等しくてもよい。第2スリット72の幅は、第1スリット71の幅とほぼ等しくてもよい。

[0178] 図11～図15を参照して、半導体装置1Aは、ゲート電極膜64およびゲート配線膜65の間の領域に区画された複数の第3スリット73を含む。具体的には、複数の第3スリット73は、ゲート電極膜64および複数の第2下ライン部70A、70Bの間の領域にそれぞれ区画されている。

[0179] 複数の第3スリット73は、平面視において第1方向Xに延びる帯状にそれぞれ形成され、主面絶縁膜45を露出させている。複数の第3スリット73は、第1スリット71に接続され、ゲート電極膜64を挟んで第2方向Yに互いに対向している。つまり、複数の第3スリット73は、第1スリット71と共にゲート電極膜64を区画している。また、複数の第3スリット73は、第1スリット71と共にゲート配線膜65からゲート電極膜64を物理的および電氣的に切り離している。

[0180] 第3スリット73は、ゲート電極膜64よりも幅狭に形成されている。第3スリット73は、第2下ライン部70A、70Bよりも幅狭に形成されて

いることが好ましい。第3スリット73は、抵抗膜60よりも幅狭に形成されていることが特に好ましい。第3スリット73は、第1トレンチ群52（第2トレンチ群53）よりも幅狭に形成されていることが好ましい。第3スリット73は、トレンチ抵抗構造51よりも幅広に形成されていることが好ましい。

[0181] 第3スリット73の幅は、 $0.1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第3スリット73の幅は、 $0.1\mu\text{m}$ 以上 $0.5\mu\text{m}$ 以下、 $0.5\mu\text{m}$ 以上 $1\mu\text{m}$ 以下、 $1\mu\text{m}$ 以上 $2.5\mu\text{m}$ 以下、 $2.5\mu\text{m}$ 以上 $5\mu\text{m}$ 以下、 $5\mu\text{m}$ 以上 $7.5\mu\text{m}$ 以下、または、 $7.5\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第3スリット73の幅は、 $3\mu\text{m}$ 以上 $7\mu\text{m}$ 以下であることが好ましい。第3スリット73の幅は、第1スリット71の幅以上であってもよい。第3スリット73の幅は、第1スリット71の幅未満であってもよい。第3スリット73の幅は、第1スリット71の幅とほぼ等しくてもよい。

[0182] 半導体装置1Aは、主面絶縁膜45およびフィールド絶縁膜46を被覆する層間絶縁膜74を含む。層間絶縁膜74は、主面絶縁膜45よりも厚い。層間絶縁膜74は、単一の絶縁膜からなる単層構造、または、複数の絶縁膜を含む積層構造を有していてもよい。層間絶縁膜74は、酸化シリコン膜、窒化シリコン膜および酸化アルミニウム膜のうちの少なくとも1つを含んでいてもよい。

[0183] 層間絶縁膜74は、複数の酸化シリコン膜を含む積層構造を有していてもよい。この場合、層間絶縁膜74は、酸化シリコン膜の一例としてのNSG (Non-doped Silicate Glass) 膜、PSG (Phosphor Silicate Glass) 膜およびBPSG (Boron Phosphor Silicate Glass) 膜のうちの少なくとも1つを含んでいてもよい。NSG膜、PSG膜およびBPSG膜の積層順序は任意である。

[0184] 層間絶縁膜74は、活性領域6、境界領域8および外周領域9において主面絶縁膜45を被覆している。層間絶縁膜74は、活性領域6において複数のトレンチ分離構造15、複数の第1トレンチ構造21および複数の第2ト

レンチ構造 25 を被覆している。層間絶縁膜 74 は、外周領域 9 においてフィールド絶縁膜 46 を被覆している。

[0185] 層間絶縁膜 74 は、パッド領域 10 において複数のトレンチ抵抗構造 51（抵抗埋設電極 56）、抵抗膜 60、ゲート電極膜 64 およびゲート配線膜 65 を被覆している。層間絶縁膜 74 は、パッド領域 10 において主面絶縁膜 45 を挟んで境界ウェル領域 40（第 1 境界ウェル領域 40A）を被覆している。層間絶縁膜 74 は、外周領域 9 において、主面絶縁膜 45 およびフィールド絶縁膜 46 を挟んで外周ウェル領域 41、フィールド領域 42、第 2 高濃度領域（チャンネルストップ領域）43 および第 2 中濃度領域 121 を選択的に被覆している。

[0186] 層間絶縁膜 74 は、抵抗膜 60 およびゲート電極膜 64 の上から第 1 スリット 71 に入り込み、第 1 スリット 71 内において主面絶縁膜 45 を被覆する部分を有している。つまり、層間絶縁膜 74 は、第 1 スリット 71 内において厚さ方向に主面絶縁膜 45 を挟んで境界ウェル領域 40（第 1 境界ウェル領域 40A）に対向している。層間絶縁膜 74 は、第 1 スリット 71 内において抵抗膜 60 およびゲート電極膜 64 を電氣的に絶縁させている。

[0187] 層間絶縁膜 74 は、抵抗膜 60 およびゲート配線膜 65（第 1 下ライン部 69）の上から第 2 スリット 72 に入り込み、第 2 スリット 72 内において主面絶縁膜 45 を被覆する部分を有している。つまり、層間絶縁膜 74 は、第 2 スリット 72 内において厚さ方向に主面絶縁膜 45 を挟んで境界ウェル領域 40（第 1 境界ウェル領域 40A）に対向している。層間絶縁膜 74 は、第 2 スリット 72 内において抵抗膜 60 およびゲート配線膜 65（第 1 下ライン部 69）を電氣的に絶縁させている。

[0188] 層間絶縁膜 74 は、ゲート電極膜 64 およびゲート配線膜 65（第 2 下ライン部 70A、70B）の上から複数の第 3 スリット 73 に入り込み、複数の第 3 スリット 73 内において主面絶縁膜 45 を被覆する部分を有している。つまり、層間絶縁膜 74 は、複数の第 3 スリット 73 内において厚さ方向に主面絶縁膜 45 を挟んで境界ウェル領域 40（第 1 境界ウェル領域 40A

）に対向している。

[0189] 層間絶縁膜 74 は、複数の第3スリット 73 内においてゲート電極膜 64 およびゲート配線膜 65 を電氣的に絶縁させている。層間絶縁膜 74 は、第1主面 3（主面絶縁膜 45）に沿って延びる絶縁主面 75 を有している。絶縁主面 75 は、パッド領域 10 において、第1リセス部 76、第2リセス部 77 および複数の第3リセス部 78 を有している（図 16～図 22 参照）。第1リセス部 76 は、第1スリット 71 を被覆する部分に形成されている。第1リセス部 76 は、第1スリット 71 に向けて窪み、平面視において第1スリット 71 に沿って第2方向 Y に延びる帯状に形成されている。

[0190] 第2リセス部 77 は、第2スリット 72 を被覆する部分に形成されている。第2リセス部 77 は、第2スリット 72 に向けて窪み、平面視において第2スリット 72 に沿って第2方向 Y に延びる帯状に形成されている。複数の第3リセス部 78 は、複数の第3スリット 73 を被覆する部分にそれぞれ形成されている。複数の第3リセス部 78 は、対応する第3スリット 73 に向けてそれぞれ窪み、平面視において対応する第3スリット 73 に沿って第1方向 X に延びる帯状にそれぞれ形成されている。

[0191] 図 11～図 22 を参照して、半導体装置 1A は、抵抗膜 60 に電氣的に接続されるように層間絶縁膜 74 に埋設された少なくとも 1 つ（この形態では複数）の第1抵抗接続電極 81 を含む。第1抵抗接続電極 81 は、「第1抵抗ビア電極」と称されてもよい。第1抵抗接続電極 81 は、Ti 膜、TiN 膜、W 膜、Al 膜、Cu 膜、Al 合金膜、Cu 合金膜および導電性ポリシリコン膜のうちの少なくとも 1 種を含んでいてもよい。第1抵抗接続電極 81 は、この形態では、Ti 膜および W 膜を含む積層構造を有している。

[0192] 複数の第1抵抗接続電極 81 は、この形態では、抵抗膜 60 の第1被覆部 61 に接続されている。つまり、複数の第1抵抗接続電極 81 は、抵抗膜 60 のうち複数のトレンチ抵抗構造 51 外の領域を被覆する部分に接続されている。具体的には、複数の第1抵抗接続電極 81 は、抵抗膜 60 のうち第1トレンチ群 52（複数の第1トレンチ抵抗構造 51A）および第2トレンチ

群53（複数の第2トレンチ抵抗構造51B）の間のスペース領域57を被覆する部分に接続されている。

[0193] 複数の第1抵抗接続電極81は、平面視において複数のトレンチ抵抗構造51から第2方向Yに間隔を空けた領域に形成され、第1方向Xに複数のトレンチ抵抗構造51に対向していない。複数の第1抵抗接続電極81は、この形態では、平面視において第1方向Xに延びる帯状にそれぞれ形成され、第2方向Yに間隔を空けて配列されている。つまり、複数の第1抵抗接続電極81は、平面視において第1方向Xに延びるストライプ状に配列されている。

[0194] 複数の第1抵抗接続電極81は、抵抗膜60（複数のトレンチ抵抗構造51）の延在方向に交差（この形態では直交）する方向に延びている。つまり、複数の第1抵抗接続電極81は、抵抗膜60の電流方向に対して交差（直交）している。これにより、複数の第1抵抗接続電極81から抵抗膜60に対して適切に電流を拡がらせることができる。つまり、複数の第1抵抗接続電極81のレイアウトに起因する電流狭窄が抑制され、当該電流狭窄に起因する不所望な抵抗値の変動（増加）が抑制される。

[0195] 複数の第1抵抗接続電極81は、抵抗膜60を挟んで第1主面3の平坦部のみに対向し、抵抗膜60を挟んでトレンチ抵抗構造51に対向していない。複数の第1抵抗接続電極81は、抵抗膜60および主面絶縁膜45を挟んで境界ウェル領域40（第1境界ウェル領域40A）に対向している。複数の第1抵抗接続電極81は、平面視において第1スリット71および第2スリット72から間隔を空けて第1スリット71および第2スリット72によって挟まれた領域に形成されている。

[0196] つまり、複数の第1抵抗接続電極81は、第1方向Xに関して抵抗膜60よりも幅狭に形成されている。複数の第1抵抗接続電極81は、平面視において第2方向Yの一方側（第1側面5A側）に1つまたは複数の第1トレンチ抵抗構造51Aに対向し、第2方向Yの他方側（第2側面5B側）に1つまたは複数の第2トレンチ抵抗構造51Bに対向している。

[0197] 複数の第1抵抗接続電極81は、複数の第1トレンチ抵抗構造51Aのうちの少なくとも2つに第2方向Yに対向していればよく、全ての第1トレンチ抵抗構造51Aに対向している必要はない。この形態では、複数の第1抵抗接続電極81は、第2方向Yに複数の第1トレンチ抵抗構造51Aの一部に対向している。むしろ、複数の第1抵抗接続電極81は、第2方向Yに全ての第1トレンチ抵抗構造51Aに対向していてもよい。

[0198] 同様に、複数の第1抵抗接続電極81は、複数の第2トレンチ抵抗構造51Bのうちの少なくとも2つに第2方向Yに対向していればよく、全ての第1トレンチ抵抗構造51Aに対向している必要はない。この形態では、複数の第1抵抗接続電極81は、第2方向Yに複数の第2トレンチ抵抗構造51Bの一部に対向している。むしろ、複数の第1抵抗接続電極81は、第2方向Yに全ての第2トレンチ抵抗構造51Bに対向していてもよい。

[0199] 複数の第1抵抗接続電極81は、抵抗膜60に対して第1接続面積S1を有している。第1接続面積S1は、複数の第1抵抗接続電極81の総平面積によって定義される。単一の第1抵抗接続電極81が形成された場合、第1接続面積S1は単一の第1抵抗接続電極81の平面積によって定義される。第1接続面積S1は、第1抵抗接続電極81を流れる第1電流I1に応じて調節される（図12参照）。

[0200] 図11～図22を参照して、半導体装置1Aは、第1抵抗接続電極81とは異なる箇所抵抗膜60に電氣的に接続されるように層間絶縁膜74に埋設された少なくとも1つ（この形態では複数）の第2抵抗接続電極82を含む。第2抵抗接続電極82は、「第2抵抗ビア電極」と称されてもよい。

[0201] 第2抵抗接続電極82は、Ti膜、TiN膜、W膜、Al膜、Cu膜、Al合金膜、Cu合金膜および導電性ポリシリコン膜のうちの少なくとも1種を含んでいてもよい。第2抵抗接続電極82は、この形態では、Ti膜およびW膜を含む積層構造を有している。

[0202] 複数の第2抵抗接続電極82は、この形態では、抵抗膜60の第2被覆部62に接続されている。つまり、複数の第2抵抗接続電極82は、抵抗膜6

0のうち第1トレンチ群52（複数の第1トレンチ抵抗構造51A）を被覆する部分に埋設されている。

[0203] 複数の第2抵抗接続電極82は、複数の第1抵抗接続電極81との間で第1ゲート抵抗R1を形成する。第1ゲート抵抗R1は、抵抗膜60および複数の第1トレンチ抵抗構造51Aのうち複数の第1抵抗接続電極81および複数の第2抵抗接続電極82の間の領域に位置する部分によって構成される。第1ゲート抵抗R1の抵抗値は、複数の第1抵抗接続電極81および複数の第2抵抗接続電極82の間の距離によって調節される。

[0204] 複数の第2抵抗接続電極82は、平面視において複数の第1トレンチ抵抗構造51Aに第1方向Xに対向する領域に形成されている。複数の第2抵抗接続電極82は、この形態では、平面視において第1抵抗接続電極81とは異なる方向に延びている。具体的には、複数の第2抵抗接続電極82は、平面視において第2方向Yに延びる帯状にそれぞれ形成され、第1方向Xに間隔を空けて配列されている。つまり、複数の第2抵抗接続電極82は、平面視において第2方向Yに延びるストライプ状に配列されている。

[0205] 複数の第2抵抗接続電極82は、平面視において複数の第1トレンチ抵抗構造51Aから間隔を空けて互いに隣り合う複数の第1トレンチ抵抗構造51Aの間の領域にそれぞれ配置されている。つまり、複数の第2抵抗接続電極82は、第1方向Xに複数の第1トレンチ抵抗構造51Aと交互に配列されている。

[0206] また、複数の第2抵抗接続電極82は、この形態では、抵抗膜60を挟んで第1主面3の平坦部のみに対向し、抵抗膜60を挟んでトレンチ抵抗構造51に対向していない。複数の第2抵抗接続電極82は、抵抗膜60および主面絶縁膜45を挟んで境界ウェル領域40（第1境界ウェル領域40A）に対向している。

[0207] 複数の第2抵抗接続電極82は、複数の第1トレンチ抵抗構造51Aの間の領域の一部に配置されていればよく、必ずしも複数の第1トレンチ抵抗構造51Aの間の領域の全てに配置されている必要はない。複数の第2抵抗接

続電極 8 2 は、複数の第 1 トレンチ抵抗構造 5 1 A の間の領域のうち活性領域 6 側に位置する少なくとも 1 つの領域に配置されていればよく、ゲート電極膜 6 4 側に位置する少なくとも 1 つの領域に配置されていなくてもよい。

[0208] 複数の第 2 抵抗接続電極 8 2 のうちの少なくとも 1 つは、平面視において第 2 方向 Y に複数の第 1 抵抗接続電極 8 1 に対向していることが好ましい。この場合、複数の第 2 抵抗接続電極 8 2 のうちのゲート電極膜 6 4 側に位置する少なくとも 1 つが第 2 方向 Y に複数の第 1 抵抗接続電極 8 1 に対向していることが好ましい。

[0209] 複数の第 2 抵抗接続電極 8 2 のうちの活性領域 6 側に位置する少なくとも 1 つは第 2 方向 Y に複数の第 1 抵抗接続電極 8 1 に対向していなくてもよい。むろん、全ての第 2 抵抗接続電極 8 2 が第 2 方向 Y に複数の第 1 抵抗接続電極 8 1 に対向するように配置されていてもよい。

[0210] 複数の第 2 抵抗接続電極 8 2 は、第 2 方向 Y に関して複数の第 1 トレンチ抵抗構造 5 1 A の長さ未満の長さを有している。複数の第 2 抵抗接続電極 8 2 は、複数の第 1 トレンチ抵抗構造 5 1 A の長手方向中間部に対して複数の第 1 トレンチ抵抗構造 5 1 A の他端部側の領域に配置されていることが好ましい。

[0211] 複数の第 2 抵抗接続電極 8 2 の長さは、複数の第 1 トレンチ抵抗構造 5 1 A の長さの $1/100$ 以上 $1/2$ 以下であることが好ましい。複数の第 2 抵抗接続電極 8 2 の長さは、複数の第 1 トレンチ抵抗構造 5 1 A の長さの $1/20$ 以上 $1/4$ 以下であってもよい。

[0212] 複数の第 2 抵抗接続電極 8 2 は、抵抗膜 6 0 に対して第 2 接続面積 S 2 を有している。第 2 接続面積 S 2 は、複数の第 2 抵抗接続電極 8 2 の総平面積によって定義される。単一の第 2 抵抗接続電極 8 2 が形成された場合、第 2 接続面積 S 2 は単一の第 2 抵抗接続電極 8 2 の平面積によって定義される。

[0213] 第 2 接続面積 S 2 は、第 1 接続面積 S 1 とほぼ等しくてもよい。第 2 接続面積 S 2 は、第 1 接続面積 S 1 よりも大きくてもよい。第 2 接続面積 S 2 は、第 1 接続面積 S 1 未満であってもよい。第 2 接続面積 S 2 は、第 1 抵抗接

続電極 8 1 を流れる第 1 電流 I_1 に対する第 2 抵抗接続電極 8 2 を流れる第 2 電流 I_2 の電流比 I_2 / I_1 (分流比) に応じて調節される (図 1 2 参照)。

[0214] この場合、第 1 接続面積 S_1 に対する第 2 接続面積 S_2 の面積比 S_2 / S_1 の値は、電流比 I_2 / I_1 の値以上に設定されることが好ましい。たとえば、電流比 I_2 / I_1 が 1 である場合、面積比 S_2 / S_1 は 1 以上に設定されることが好ましい。たとえば、電流比 I_2 / I_1 が $1/2$ である場合、面積比 S_2 / S_1 は $1/2$ 以上に設定されることが好ましい。

[0215] 電流比 I_2 / I_1 が $1/4$ である場合、面積比 S_2 / S_1 は $1/4$ 以上に設定されることが好ましい。この形態では、電流比 I_2 / I_1 がほぼ $1/2$ であり、第 2 接続面積 S_2 は第 1 接続面積 S_1 の $1/2$ 倍以上である。第 2 接続面積 S_2 、第 1 接続面積 S_1 の 2 倍以下であることが好ましい。

[0216] 図 1 1 ~ 図 2 2 を参照して、半導体装置 1 A は、第 1 抵抗接続電極 8 1 および第 2 抵抗接続電極 8 2 とは異なる箇所抵抗膜 6 0 に電氣的に接続されるように層間絶縁膜 7 4 に埋設された少なくとも 1 つ (この形態では複数) の第 3 抵抗接続電極 8 3 を含む。第 3 抵抗接続電極 8 3 は、「第 3 抵抗ビア電極」と称されてもよい。

[0217] 第 3 抵抗接続電極 8 3 は、Ti 膜、TiN 膜、W 膜、Al 膜、Cu 膜、Al 合金膜、Cu 合金膜および導電性ポリシリコン膜のうちの少なくとも 1 種を含んでいてもよい。第 3 抵抗接続電極 8 3 は、この形態では、Ti 膜および W 膜を含む積層構造を有している。

[0218] 複数の第 3 抵抗接続電極 8 3 は、この形態では、抵抗膜 6 0 の第 3 被覆部 6 3 に接続されている。つまり、複数の第 3 抵抗接続電極 8 3 は、抵抗膜 6 0 のうち第 2 トレンチ群 5 3 (複数の第 2 トレンチ抵抗構造 5 1 B) を被覆する部分に埋設されている。

[0219] 複数の第 3 抵抗接続電極 8 3 は、複数の第 1 抵抗接続電極 8 1 との間で第 2 ゲート抵抗 R_2 を形成する。第 2 ゲート抵抗 R_2 は、抵抗膜 6 0 および複数の第 2 トレンチ抵抗構造 5 1 B のうち複数の第 1 抵抗接続電極 8 1 および

複数の第3抵抗接続電極83の間の領域に位置する部分によって構成される。

[0220] 第2ゲート抵抗R2の抵抗値は、複数の第1抵抗接続電極81および複数の第3抵抗接続電極83の間の距離によって調節される。第2ゲート抵抗R2の抵抗値は、この形態では、第1ゲート抵抗R1の抵抗値とほぼ等しい。また、複数の第1抵抗接続電極81および複数の第3抵抗接続電極83の間の距離は、複数の第1抵抗接続電極81および複数の第2抵抗接続電極82の間の距離とほぼ等しい。

[0221] むろん、第2ゲート抵抗R2の抵抗値は、第1ゲート抵抗R1の抵抗値とは異なってもよい。この場合、複数の第1抵抗接続電極81および複数の第3抵抗接続電極83の間の距離は、複数の第1抵抗接続電極81および複数の第2抵抗接続電極82の間の距離と異なってもよい。

[0222] たとえば、第2ゲート抵抗R2の抵抗値は、第1ゲート抵抗R1の抵抗値未満であってもよい。この場合、複数の第1抵抗接続電極81および複数の第3抵抗接続電極83の間の距離は、複数の第1抵抗接続電極81および複数の第2抵抗接続電極82の間の距離未満に設定されてもよい。

[0223] たとえば、第2ゲート抵抗R2の抵抗値は、第1ゲート抵抗R1の抵抗値よりも大きくてもよい。この場合、複数の第1抵抗接続電極81および複数の第3抵抗接続電極83の間の距離は、複数の第1抵抗接続電極81および複数の第2抵抗接続電極82の間の距離よりも大きく設定されてもよい。

[0224] 複数の第3抵抗接続電極83は、平面視において複数の第2トレンチ抵抗構造51Bに第1方向Xに対向する領域に形成されている。複数の第3抵抗接続電極83は、この形態では、平面視において第1抵抗接続電極81とは異なる方向に延びている。具体的には、複数の第3抵抗接続電極83は、平面視において第2方向Yに延びる帯状にそれぞれ形成され、第1方向Xに間隔を空けて配列されている。つまり、複数の第3抵抗接続電極83は、平面視において第2方向Yに延びるストライプ状に配列されている。

[0225] 複数の第3抵抗接続電極83は、平面視において複数の第2トレンチ抵抗

構造 5 1 B から間隔を空けて互いに隣り合う複数の第 2 トレンチ抵抗構造 5 1 B の間の領域にそれぞれ配置されている。つまり、複数の第 3 抵抗接続電極 8 3 は、第 1 方向 X に複数の第 2 トレンチ抵抗構造 5 1 B と交互に配列されている。

[0226] また、複数の第 3 抵抗接続電極 8 3 は、この形態では、抵抗膜 6 0 を挟んで第 1 主面 3 の平坦部のみに対向し、抵抗膜 6 0 を挟んでトレンチ抵抗構造 5 1 に対向していない。複数の第 3 抵抗接続電極 8 3 は、抵抗膜 6 0 および主面絶縁膜 4 5 を挟んで境界ウェル領域 4 0（第 1 境界ウェル領域 4 0 A）に対向している。

[0227] 複数の第 3 抵抗接続電極 8 3 は、複数の第 2 トレンチ抵抗構造 5 1 B の間の領域の一部に配置されていればよく、必ずしも複数の第 2 トレンチ抵抗構造 5 1 B の間の領域の全てに配置されている必要はない。複数の第 3 抵抗接続電極 8 3 は、複数の第 2 トレンチ抵抗構造 5 1 B の間の領域のうち活性領域 6 側に位置する少なくとも 1 つの領域に配置されていればよく、ゲート電極膜 6 4 側に位置する少なくとも 1 つの領域に配置されていなくてもよい。

[0228] 複数の第 3 抵抗接続電極 8 3 のうちの少なくとも 1 つは、平面視において第 2 方向 Y に複数の第 1 抵抗接続電極 8 1 に対向していることが好ましい。この場合、複数の第 3 抵抗接続電極 8 3 のうちのゲート電極膜 6 4 側に位置する少なくとも 1 つが第 2 方向 Y に複数の第 1 抵抗接続電極 8 1 に対向していることが好ましい。

[0229] 複数の第 3 抵抗接続電極 8 3 のうちの活性領域 6 側に位置する少なくとも 1 つは第 2 方向 Y に複数の第 1 抵抗接続電極 8 1 に対向していなくてもよい。むしろ、全ての第 3 抵抗接続電極 8 3 が第 2 方向 Y に複数の第 1 抵抗接続電極 8 1 に対向するように配置されていてもよい。

[0230] 複数の第 3 抵抗接続電極 8 3 のうちの少なくとも 1 つは、平面視において第 2 方向 Y に複数の第 2 抵抗接続電極 8 2 に対向していることが好ましい。この形態では、複数の第 3 抵抗接続電極 8 3 の個数が複数の第 2 抵抗接続電極 8 2 の個数と等しく設定されており、全ての第 3 抵抗接続電極 8 3 が第 2

方向Yに全ての第2抵抗接続電極82に1対1の対応関係で対向している。むろん、第3抵抗接続電極83の個数は、第2抵抗接続電極82の個数よりも多くてもよいし、第2抵抗接続電極82の個数よりも少なくてもよい。

[0231] 複数の第3抵抗接続電極83は、第2方向Yに関して複数の第2トレンチ抵抗構造51Bの長さ未満の長さを有している。複数の第3抵抗接続電極83は、複数の第2トレンチ抵抗構造51Bの長手方向中間部に対して複数の第2トレンチ抵抗構造51Bの他端部側の領域に配置されていることが好ましい。

[0232] 複数の第3抵抗接続電極83の長さは、複数の第2トレンチ抵抗構造51Bの長さの $1/100$ 以上 $1/2$ 以下であることが好ましい。複数の第3抵抗接続電極83の長さは、複数の第2トレンチ抵抗構造51Bの長さの $1/20$ 以上 $1/4$ 以下であってもよい。第3抵抗接続電極83の長さは、第2トレンチ抵抗構造51Bの長さとはほぼ等しくてもよい。第3抵抗接続電極83の長さは、第2トレンチ抵抗構造51Bの長さよりも大きくてもよい。第3抵抗接続電極83の長さは、第2トレンチ抵抗構造51Bの長さよりも小さくてもよい。

[0233] 複数の第3抵抗接続電極83は、抵抗膜60に対して第3接続面積S3を有している。第3接続面積S3は、複数の第3抵抗接続電極83の総平面積によって定義される。単一の第3抵抗接続電極83が形成された場合、第3接続面積S3は単一の第3抵抗接続電極83の平面積によって定義される。第3接続面積S3は、第1抵抗接続電極81を流れる第1電流I1に対する第3抵抗接続電極83を流れる第3電流I3の電流比 $I3/I1$ （分流比）に応じて調節される（図12参照）。

[0234] この場合、第1接続面積S1に対する第3接続面積S3の電流比 $I3/I1$ の値は、電流比 $I3/I1$ の値以上に設定されることが好ましい。たとえば、電流比 $I3/I1$ が1である場合、電流比 $I3/I1$ は1以上に設定されることが好ましい。たとえば、電流比 $I3/I1$ が $1/2$ である場合、電流比 $I3/I1$ は $1/2$ 以上に設定されることが好ましい。

- [0235] 電流比 I_3 / I_1 が $1/4$ である場合、電流比 I_3 / I_1 は $1/4$ 以上に設定されることが好ましい。この形態では、第3電流 I_3 が第2電流 I_2 とほぼ等しく、電流比 I_3 / I_1 がほぼ $1/2$ であるため、第3接続面積 S_3 は第1接続面積 S_1 の $1/2$ 倍以上に設定されている。第3接続面積 S_3 は、第1接続面積 S_1 の2倍以下であることが好ましい。むろん、第3電流 I_3 は、第2電流 I_2 よりも大きくてもよいし、第2電流 I_2 よりも小さくてもよい。
- [0236] 図3～図10Aを参照して、半導体装置1Aは、非活性領域7においてゲート配線膜65に電氣的に接続されるように層間絶縁膜74に埋設された複数のゲート接続電極84を含む。ゲート接続電極84は、「ゲートビア電極」と称されてもよい。複数のゲート接続電極84は、Ti膜、TiN膜、W膜、Al膜、Cu膜、Al合金膜、Cu合金膜および導電性ポリシリコン膜のうちの少なくとも1種を含んでいてもよい。複数のゲート接続電極84は、この形態では、Ti膜およびW膜を含む積層構造を有している。
- [0237] 複数のゲート接続電極84は、少なくとも1つ（この形態では複数）の第1ゲート接続電極84A、および、少なくとも1つ（この形態では複数）の第2ゲート接続電極84Bを含む。複数の第1ゲート接続電極84Aは、ストリート領域11において層間絶縁膜74のうち第2下配線部67を被覆する部分に埋設され、第2下配線部67に電氣的に接続されている（図7～図9参照）。複数の第1ゲート接続電極84Aは、この形態では、第2方向Yに間隔を空けて形成され、第1方向Xに延びる帯状に形成されている。
- [0238] 複数の第2ゲート接続電極84Bは、外周領域9において層間絶縁膜74のうち第3下配線部68を被覆する部分に埋設され、第3下配線部68に電氣的に接続されている（図3～図6参照）。複数の第2ゲート接続電極84Bは、この形態では、第3下配線部68の内縁側から外縁側に間隔を空けて形成され、第3下配線部68に沿って延びる帯状に形成されている。
- [0239] 図3および図4を参照して、半導体装置1Aは、活性領域6において複数のエミッタ領域29に電氣的に接続されるように主面絶縁膜45を貫通して

層間絶縁膜 74 に埋設された複数の第 1 エミッタ接続電極 85 を含む。第 1 エミッタ接続電極 85 は、「第 1 エミッタビア電極」と称されてもよい。第 1 エミッタ接続電極 85 は、本開示における「第 1 接続電極」の一例である。

[0240] 複数の第 1 エミッタ接続電極 85 は、Ti 膜、TiN 膜、W 膜、Al 膜、Cu 膜、Al 合金膜、Cu 合金膜および導電性ポリシリコン膜のうちの少なくとも 1 種を含んでいてもよい。複数の第 1 エミッタ接続電極 85 は、この形態では、Ti 膜および W 膜を含む積層構造を有している。

[0241] 複数の第 1 エミッタ接続電極 85 は、層間絶縁膜 74 および主面絶縁膜 45 を貫通して複数のコンタクト孔 30 にそれぞれ埋設されている。複数の第 1 エミッタ接続電極 85 は、平面視において複数の第 1 トレンチ構造 21 に沿って第 2 方向 Y に延びる帯状にそれぞれ形成されている。つまり、複数の第 1 エミッタ接続電極 85 は、この形態では、複数の第 2 抵抗接続電極 82 の延在方向および複数の第 3 抵抗接続電極 83 の延在方向と同一の方向に延びている。複数の第 1 エミッタ接続電極 85 は、対応するコンタクト孔 30 内においてエミッタ領域 29 およびチャネルコンタクト領域 31 にそれぞれ電氣的に接続されている。

[0242] 図 3 および図 5 を参照して、半導体装置 1A は、活性領域 6 において複数のエミッタ電極膜 47 に電氣的に接続されるように主面絶縁膜 45 を貫通して層間絶縁膜 74 に埋設された複数の第 2 エミッタ接続電極 86 を含む。第 2 エミッタ接続電極 86 は、「第 2 エミッタビア電極」と称されてもよい。

[0243] 複数の第 2 エミッタ接続電極 86 は、Ti 膜、TiN 膜、W 膜、Al 膜、Cu 膜、Al 合金膜、Cu 合金膜および導電性ポリシリコン膜のうちの少なくとも 1 種を含んでいてもよい。複数の第 2 エミッタ接続電極 86 は、この形態では、Ti 膜および W 膜を含む積層構造を有している。複数の第 2 エミッタ接続電極 86 は、複数のエミッタ電極膜 47 を介して第 2 埋設電極 28 に電氣的に接続されている。

[0244] 図 3～図 6 を参照して、半導体装置 1A は、外周ウェル領域 41 の内縁に

電氣的に接続されるように主面絶縁膜 4 5 を貫通して層間絶縁膜 7 4 に埋設された少なくとも 1 つ（この形態では複数）の第 1 ウェル接続電極 8 7 を含む。第 1 ウェル接続電極 8 7 は、「第 1 ウェルビア電極」と称されてもよい。

[0245] 複数の第 1 ウェル接続電極 8 7 は、Ti 膜、TiN 膜、W 膜、Al 膜、Cu 膜、Al 合金膜、Cu 合金膜および導電性ポリシリコン膜のうちの少なくとも 1 種を含んでいてもよい。複数の第 1 ウェル接続電極 8 7 は、この形態では、Ti 膜および W 膜を含む積層構造を有している。

[0246] 複数の第 1 ウェル接続電極 8 7 は、この形態では、外周ウェル領域 4 1 の内縁側から外縁側に間隔を空けて配置されている。複数の第 1 ウェル接続電極 8 7 は、外周ウェル領域 4 1 の幅方向中間部に対して外周ウェル領域 4 1 の内縁側に配置され、外周ウェル領域 4 1 の内縁側の領域に電氣的に接続されている。具体的には、複数の第 1 ウェル接続電極 8 7 は、外周ウェル領域 4 1 の内縁およびゲート配線膜 6 5 の第 3 下配線部 6 8 の間の領域に配置されている。複数の第 1 ウェル接続電極 8 7 は、外周ウェル領域 4 1 の内縁に沿って帯状にそれぞれ延びている。

[0247] 複数の第 1 ウェル接続電極 8 7 は、第 1 方向 X に延びる部分において複数のセグメント部 8 7 a をそれぞれ有している（図 3 参照）。複数のセグメント部 8 7 a は、ゲート配線膜 6 5（第 3 下配線部 6 8）の複数の引き出し部 6 8 a から間隔を空けて複数の引き出し部 6 8 a の間の領域にそれぞれ配置されている。トレンチ分離構造 1 5 に沿って帯状に延びる単一の引き出し部 6 8 a が形成される場合、複数のセグメント部 8 7 a は省かれる。

[0248] 図 3～図 6 を参照して、半導体装置 1 A は、外周ウェル領域 4 1 の外縁に電氣的に接続されるように主面絶縁膜 4 5 を貫通して層間絶縁膜 7 4 に埋設された少なくとも 1 つ（この形態では複数）の第 2 ウェル接続電極 8 8 を含む。第 2 ウェル接続電極 8 8 は、「第 2 ウェルビア電極」と称されてもよい。

[0249] 複数の第 2 ウェル接続電極 8 8 は、Ti 膜、TiN 膜、W 膜、Al 膜、C

u膜、Al合金膜、Cu合金膜および導電性ポリシリコン膜のうちの少なくとも1種を含んでいてもよい。複数の第2ウェル接続電極88は、この形態では、Ti膜およびW膜を含む積層構造を有している。

[0250] 複数の第2ウェル接続電極88は、外周ウェル領域41の内縁側から外縁側に間隔を空けて配置されている。複数の第2ウェル接続電極88は、外周ウェル領域41の幅方向中間部に対して外周ウェル領域41の外縁側に配置され、外周ウェル領域41の外縁側の領域に電氣的に接続されている。具体的には、複数の第2ウェル接続電極88は、外周ウェル領域41の外縁およびゲート配線膜65の第3下配線部68の間の領域に配置されている。複数の第2ウェル接続電極88は、外周ウェル領域41の外縁に沿って帯状にそれぞれ延びている。

[0251] 図10Cを参照して、半導体装置1Aは、外周領域9において、複数のフィールドコンタクト領域111をそれぞれ露出させるように、層間絶縁膜74および主面絶縁膜45を連続して貫通する複数のフィールドコンタクト孔112を含む。この形態では、1つのフィールド領域42に対して2つのフィールドコンタクト孔112が形成されている。

[0252] 複数のフィールドコンタクト孔112は、平面視において、対応するフィールド領域42に沿って延びる帯状にそれぞれ形成されている。複数のフィールドコンタクト孔112は、この形態では、対応するフィールド領域42に沿って延びる環状（四角環状）にそれぞれ形成されている。

[0253] 半導体装置1Aは、対応するフィールド領域42のフィールドコンタクト領域111に電氣的に接続されるようにフィールドコンタクト孔112に埋設された少なくとも1つ（この形態では複数）のフィールド接続電極89を含む。フィールド接続電極89は、層間絶縁膜74および主面絶縁膜45を貫通して、フィールドコンタクト領域111に電氣的に接続されている。

[0254] この形態では、1つのフィールド領域42に形成された2つのフィールドコンタクト領域111それぞれにフィールド接続電極89が1つずつ接続されている。むろん、1つのフィールド領域42に対して単一のフィールドコ

ンタクト領域 1 1 1 が形成され、単一のフィールドコンタクト領域 1 1 1 に単一のフィールド接続電極 8 9 が接続されていてもよい。フィールド接続電極 8 9 は、「フィールドビア電極」と称されてもよい。

[0255] 複数のフィールド接続電極 8 9 は、Ti 膜、TiN 膜、W 膜、Al 膜、Cu 膜、Al 合金膜、Cu 合金膜および導電性ポリシリコン膜のうちの少なくとも 1 種を含んでいてもよい。複数のフィールド接続電極 8 9 は、この形態では、Ti 膜および W 膜を含む積層構造を有している。

[0256] 複数のフィールド接続電極 8 9 は、対応するフィールド領域 4 2 に沿って延びる帯状にそれぞれ形成されている。複数のフィールド接続電極 8 9 は、この形態では、対応するフィールド領域 4 2 に沿って延びる環状（四角環状）にそれぞれ形成されている。複数のフィールド接続電極 8 9 は、この形態では、電氣的に浮遊状態に形成されている。

[0257] 図 10 D を参照して、半導体装置 1 A は、外周領域 9 において、複数のチャネルストップコンタクト領域 1 2 2 をそれぞれ露出させるように、層間絶縁膜 7 4、主面絶縁膜 4 5 および第 2 高濃度領域 4 3 を連続して貫通する複数のチャネルストップコンタクト孔 1 2 3 を含む。この形態では、2 つのチャネルストップコンタクト孔 1 2 3 が形成されている。チャネルストップコンタクト孔 1 2 3 は、本開示における「第 2 コンタクト孔」の一例である。

[0258] 複数のチャネルストップコンタクト孔 1 2 3 は、平面視において、第 2 高濃度領域 4 3 に沿って延びる帯状にそれぞれ形成されている。複数のチャネルストップコンタクト孔 1 2 3 は、この形態では、第 2 高濃度領域 4 3 に沿って延びる環状（四角環状）にそれぞれ形成されている。

[0259] 半導体装置 1 A は、第 2 高濃度領域 4 3 のチャネルストップコンタクト領域 1 2 2 に電氣的に接続されるようにチャネルストップコンタクト孔 1 2 3 に埋設された少なくとも 1 つ（この形態では複数）のチャネルストップ接続電極 1 2 4 を含む。この形態では、2 つのチャネルストップコンタクト領域 1 2 2 それぞれにチャネルストップ接続電極 1 2 4 が 1 つずつ接続されている。むろん、第 2 高濃度領域 4 3 に対して単一のチャネルストップコンタク

ト領域 1 2 2 が形成され、単一のチャネルストップコンタクト領域 1 2 2 に、単一のチャネルストップ接続電極 1 2 4 が接続されていてもよい。チャネルストップ接続電極 1 2 4 は、「チャネルストップビア電極」と称されてもよい。

[0260] 複数のチャネルストップ接続電極 1 2 4 は、Ti 膜、TiN 膜、W 膜、Al 膜、Cu 膜、Al 合金膜、Cu 合金膜および導電性ポリシリコン膜のうちの少なくとも 1 種を含んでいてもよい。複数のチャネルストップ接続電極 1 2 4 は、この形態では、Ti 膜および W 膜を含む積層構造を有している。

[0261] 複数のチャネルストップ接続電極 1 2 4 は、第 2 高濃度領域 4 3 に沿って延びる帯状にそれぞれ形成されている。複数のチャネルストップ接続電極 1 2 4 は、この形態では、第 2 高濃度領域 4 3 に沿って延びる環状（四角環状）にそれぞれ形成されている。複数のチャネルストップ接続電極 1 2 4 は、この形態では、電氣的に浮遊状態に形成されている。

[0262] 図 1 および図 1 1 ～図 2 2 を参照して、半導体装置 1 A は、パッド領域 1 0（非活性領域 7）においてゲート抵抗構造 5 0 に電氣的に接続されるように第 1 主面 3 の上に配置されたゲート端子電極 9 0 を含む。具体的には、ゲート端子電極 9 0 は、層間絶縁膜 7 4 の上に配置されている。ゲート端子電極 9 0 は、「ゲートパッド」または「ゲートパッド電極」と称されてもよい。

[0263] ゲート端子電極 9 0 は、抵抗膜 6 0 とは異なる導電材料からなることが好ましい。ゲート端子電極 9 0 は、ゲート電極膜 6 4 とは異なる導電材料からなることが好ましい。ゲート端子電極 9 0 は、トレンチ抵抗構造 5 1 および抵抗膜 6 0 よりも低い抵抗値を有し、抵抗膜 6 0 を介してトレンチ抵抗構造 5 1 に電氣的に接続されている。ゲート端子電極 9 0 は、ゲート電極膜 6 4 よりも低い抵抗値を有している。

[0264] ゲート端子電極 9 0 は、この形態では、金属膜からなる。ゲート端子電極 9 0 は、「ゲートメタル端子」と称されてもよい。ゲート端子電極 9 0 は、Ti 膜、TiN 膜、W 膜、Al 膜、Cu 膜、Al 合金膜、Cu 合金膜および

導電性ポリシリコン膜のうちの少なくとも１種を含んでいてもよい。

[0265] ゲート端子電極 90 は、純 Cu 膜（純度が 99% 以上の Cu 膜）、純 Al 膜（純度が 99% 以上の Al 膜）、AlCu 合金膜、AlSi 合金膜、および、AlSiCu 合金膜のうちの少なくとも１つを含んでいてもよい。ゲート端子電極 90 は、この形態では、チップ 2 側からこの順に積層された Ti 膜および Al 合金膜（この形態では AlCu 合金膜）を含む積層構造を有している。

[0266] ゲート端子電極 90 は、抵抗膜 60 の厚さ（ゲート電極膜 64 の厚さ）よりも大きい厚さを有していることが好ましい。ゲート端子電極 90 の厚さは、 $1\text{ }\mu\text{m}$ 以上 $10\text{ }\mu\text{m}$ 以下であってもよい。ゲート端子電極 90 は、第 1 主面 3 の平面積の 1% 以上 30% 以下の平面積を有していることが好ましい。ゲート端子電極 90 の平面積は、第 1 主面 3 の平面積の 25% 以下であることが特に好ましい。ゲート端子電極 90 の平面積は、第 1 主面 3 の平面積の 10% 以下であってもよい。

[0267] ゲート端子電極 90 は、パッド領域 10 において抵抗膜 60 およびゲート電極膜 64 を被覆するように層間絶縁膜 74 の上に配置されている。ゲート端子電極 90 は、抵抗膜 60 を被覆する部分において複数の第 1 抵抗接続電極 81 を被覆し、複数の第 1 抵抗接続電極 81 に電氣的に接続されている。つまり、ゲート端子電極 90 は、複数の第 1 抵抗接続電極 81 を介して抵抗膜 60（第 1 被覆部 61）に電氣的に接続されている。

[0268] 図 11～図 22（特に図 11～図 13）を参照して、ゲート端子電極 90 は、第 1 電極部 91 および第 2 電極部 92 を含む。第 1 電極部 91 は、第 2 方向 Y に関して比較的広い電極幅を有している。第 1 電極部 91 は、ゲート端子電極 90 の端子本体を形成する部分であり、平面視において第 1 抵抗接続電極 81 外の領域に位置している。第 1 電極部 91 は、「端子本体部」と称されてもよい。

[0269] たとえば、第 1 電極部 91 にはボンディングワイヤが接続される。したがって、第 1 電極部 91 は、ボンディングワイヤの接合部よりも幅広に形成さ

れる。第1電極部91は、平面視においてチップ2の周縁（パッド領域10の周縁）に平行な4辺を有する多角形状（この形態では四角形状）に形成されている。第1電極部91は、層間絶縁膜74を挟んでゲート電極膜64に対向する領域に配置されている。

[0270] 第1電極部91は、平面視においてゲート電極膜64の50%以上の領域を被覆していることが好ましい。第1電極部91は、平面視においてゲート電極膜64の90%以上の領域を被覆していることが特に好ましい。第1電極部91は、この形態では、ゲート電極膜64よりも広い電極幅を有し、ゲート電極膜64の全域を被覆している。

[0271] 第1電極部91の平坦性は、ゲート電極膜64によって高められている。第1電極部91は、層間絶縁膜74によってゲート電極膜64から電氣的に絶縁されていてもよい。第1電極部91は、層間絶縁膜74に埋設された1つまたは複数のゲート接続電極84を介してゲート電極膜64に電氣的に接続されていてもよい。

[0272] 第1電極部91は、層間絶縁膜74を挟んで第1スリット71を被覆し、層間絶縁膜74（絶縁主面75）の第1リセス部76を埋め戻している。第1リセス部76を部分的に露出させるゲート端子電極90（第1電極部91）が形成された場合、ゲート端子電極90の形成工程時に生じる電極残渣が第1リセス部76に残留する虞がある。

[0273] 電極残渣が存する場合、ゲート端子電極90（第1電極部91）は、電極残渣を介して他の電極に電氣的に接続される虞がある。したがって、ゲート端子電極90（第1電極部91）は、層間絶縁膜74を挟んで第1スリット71の全域を被覆していることが好ましい。

[0274] つまり、ゲート端子電極90（第1電極部91）は、層間絶縁膜74（絶縁主面75）の第1リセス部76の全域を埋めていることが好ましい。この構成によれば、第1リセス部76における電極残渣の問題を回避したレイアウトが提供される。本開示は、第1リセス部76を部分的に露出させるゲート端子電極90（第1電極部91）を含む形態を除外するものではない。

- [0275] 第1電極部91は、平面視においてゲート電極膜64の上から第1スリット71を横切って抵抗膜60の上に引き出されている。第1電極部91は、この形態では、層間絶縁膜74を挟んで抵抗膜60の縁部を被覆している。具体的には、第1電極部91は、抵抗膜60の中心部を第2方向Yに横切る直線に対してゲート電極膜64側に間隔を空けて抵抗膜60の縁部を被覆している。
- [0276] 第1電極部91は、抵抗膜60を被覆する部分において、抵抗膜60を挟んで1つまたは複数のトレンチ抵抗構造51を被覆していてもよい。第1電極部91は、抵抗膜60を挟んで1つまたは複数の第1トレンチ抵抗構造51Aを被覆していてもよい。第1電極部91は、抵抗膜60を挟んで1つまたは複数の第2トレンチ抵抗構造51Bを被覆していてもよい。第1電極部91は、この形態では、抵抗膜60を挟んで1つの第1トレンチ抵抗構造51Aおよび1つの第2トレンチ抵抗構造51Bを被覆している。
- [0277] 第1電極部91は、層間絶縁膜74を挟んで複数の第3スリット73を被覆し、層間絶縁膜74（絶縁主面75）の複数の第3リセス部78を埋め戻している。複数の第3リセス部78を部分的に露出させるゲート端子電極90（第1電極部91）が形成された場合、ゲート端子電極90の形成工程時に生じる電極残渣が複数の第3リセス部78に残留する虞がある。
- [0278] 電極残渣が存する場合、ゲート端子電極90（第1電極部91）は、電極残渣を介して他の電極に電氣的に接続される虞がある。したがって、ゲート端子電極90（第1電極部91）は、層間絶縁膜74を挟んで複数の第3リセス部78の全域を被覆していることが好ましい。
- [0279] つまり、ゲート端子電極90（第1電極部91）は、層間絶縁膜74（絶縁主面75）の第3リセス部78の全域を埋めていることが好ましい。この構成によれば、複数の第3リセス部78における電極残渣の問題を回避したレイアウトが提供される。本開示は、複数の第3リセス部78を部分的に露出させるゲート端子電極90（第1電極部91）を含む形態を除外するものではない。

- [0280] 第1電極部91は、平面視においてゲート電極膜64の上から複数の第3スリット73を横切って複数の第2下ライン部70A、70Bの上に引き出されている。第1電極部91は、この形態では、層間絶縁膜74を挟んで複数の第2下ライン部70A、70Bの縁部を被覆している。
- [0281] 第2電極部92は、第2方向Yに関して第1電極部91よりも小さい電極幅を有し、第1電極部91から複数の第1抵抗接続電極81に向けて突出するように第2方向Yに引き出された引き出し部からなる。第2電極部92は、「端子引き出し部」と称されてもよい。たとえば、第2電極部92にはボンディングワイヤが接続されない。したがって、第2電極部92は、ボンディングワイヤの接合部よりも幅狭に形成される。
- [0282] 第2電極部92の突出方向は、複数の第1抵抗接続電極81の延在方向と同じである。第2電極部92は、この形態では、第1電極部91の中央部から引き出され、全ての第1抵抗接続電極81を被覆している。
- [0283] 第2電極部92は、平面視において第1スリット71から第2スリット72側に間隔を空けて形成され、第1スリット71に交差していない。さらに、第2電極部92は、平面視において第2スリット72から第1スリット71側に間隔を空けて形成され、第2スリット72に交差していない。つまり、第2電極部92は、第1方向Xに関して抵抗膜60の幅よりも小さい幅を有し、抵抗膜60の直上の領域のみに配置されている。
- [0284] 第2電極部92は、主面絶縁膜45、抵抗膜60および層間絶縁膜74を挟んでスペース領域57に対向している。つまり、第2電極部92は、厚さ方向に第1主面3の平坦部に対向している。また、第2電極部92は、厚さ方向に境界ウェル領域40（第1境界ウェル領域40A）に対向している。
- [0285] 第2電極部92は、第1方向Xに関してトレンチ抵抗構造51の第1方向Xの幅よりも大きい幅を有している。第2電極部92は、第2方向Yに関してトレンチ抵抗構造51の第2方向Yの長さよりも小さい幅を有している。第2電極部92は、第2方向Yに関してスペース領域57のスペース幅よりも小さい幅を有していることが好ましい。

[0286] 第2電極部92は、この形態では、複数の第1トレンチ抵抗構造51Aの他端部（第1トレンチ群52）からスペース領域57側に間隔を空けて形成されている。また、第2電極部92は、この形態では、複数の第2トレンチ抵抗構造51Bの一端部（第2トレンチ群53）からスペース領域57側に間隔を空けて形成されている。つまり、第2電極部92は、厚さ方向にスペース領域57のみに対向し、厚さ方向に複数のトレンチ抵抗構造51に対向していない。

[0287] むろん、第2電極部92は、厚さ方向に複数の第1トレンチ抵抗構造51Aの他端部（第1トレンチ群52）に対向していてもよい。また、第2電極部92は、厚さ方向に複数の第2トレンチ抵抗構造51Bの一端部（第2トレンチ群53）に対向していてもよい。第2電極部92の平坦性を鑑みると、第2電極部92は、平面視において複数のトレンチ抵抗構造51から間隔を空けて複数のトレンチ抵抗構造51外の領域に形成されていることが好ましい。

[0288] 図11～図23を参照して、半導体装置1Aは、パッド領域10（非活性領域7）においてゲート抵抗構造50に電氣的に接続されるように第1主面3の上に配置されたゲート配線電極93を含む。具体的には、ゲート配線電極93は、層間絶縁膜74の上に配置されている。ゲート配線電極93は、「ゲートフィンガー」または「ゲートフィンガー電極」と称されてもよい。ゲート端子電極90およびゲート配線電極93は、本開示における「ゲート電極」の一例である。

[0289] ゲート配線電極93は、抵抗膜60とは異なる導電材料からなることが好ましい。ゲート配線電極93は、ゲート配線膜65とは異なる導電材料からなることが好ましい。ゲート配線電極93は、トレンチ抵抗構造51および抵抗膜60よりも低い抵抗値を有し、トレンチ抵抗構造51および抵抗膜60を介してゲート端子電極90に電氣的に接続されている。ゲート配線電極93は、ゲート配線膜65よりも低い抵抗値を有している。

[0290] ゲート配線電極93は、この形態では、金属膜からなる。ゲート配線電極

93は、「ゲートメタル配線」と称されてもよい。ゲート配線電極93は、Ti膜、TiN膜、W膜、Al膜、Cu膜、Al合金膜、Cu合金膜および導電性ポリシリコン膜のうちの少なくとも1種を含んでいてもよい。

[0291] ゲート配線電極93は、純Cu膜、純Al膜、AlCu合金膜、AlSi合金膜、および、AlSiCu合金膜のうちの少なくとも1つを含んでいてもよい。ゲート配線膜65は、この形態では、チップ2側からこの順に積層されたTi膜およびAl合金膜（この形態ではAlCu合金膜）を含む積層構造を有している。つまり、ゲート配線膜65は、ゲート端子電極90と同一の電極構成を有している。

[0292] ゲート配線電極93は、抵抗膜60の厚さ（ゲート配線膜65の厚さ）よりも大きい厚さを有していることが好ましい。ゲート配線電極93の厚さは、1μm以上10μm以下であってもよい。ゲート配線電極93の厚さは、ゲート端子電極90の厚さとほぼ等しいことが好ましい。

[0293] ゲート配線電極93は、活性領域6および非活性領域7の間の領域を引き回され、活性領域6において第1トレンチ構造21（トレンチ分離構造15）に電氣的に接続され、非活性領域7において抵抗膜60に電氣的に接続されている。具体的には、ゲート配線電極93は、ゲート配線膜65を介して抵抗膜60の第1端部60Aおよび第2端部60Bに電氣的に接続されている。

[0294] つまり、ゲート配線電極93は、ゲート端子電極90との間で第1ゲート抵抗R1および第2ゲート抵抗R2を含む並列抵抗回路PRを構成している（図24も併せて参照）。並列抵抗回路PRは、ゲート端子電極90およびゲート配線電極93の間に介装されたゲート抵抗RGを構成している。並列抵抗回路PRは、ゲート電極膜64およびゲート配線膜65の間においても成立している。ゲート抵抗RG（並列抵抗回路PR）の抵抗値は、第1ゲート抵抗R1および第2ゲート抵抗R2の合成抵抗（ $= (R1 + R2) / R1 \cdot R2$ ）によって算出される。

[0295] ゲート配線電極93は、この形態では、第1上配線部94、第2上配線部

９５および第３上配線部９６を含む。第１上配線部９４は、ゲート端子電極９０を複数方向（この形態では３方向）から取り囲むようにパッド領域１０に配置され、層間絶縁膜７４を挟んでゲート配線膜６５の第１下配線部６６の上に配置されている。

[0296] 第１上配線部９４は、第１上ライン部９７および複数の第２上ライン部９８Ａ、９８Ｂを含む。第１上ライン部９７は、パッド領域１０において層間絶縁膜７４を挟んでゲート配線膜６５の第１下ライン部６９を被覆する領域に配置され、第２方向Ｙに延びる帯状に形成されている。

[0297] 第１上ライン部９７は、第２方向Ｙの一方側（第１側面５Ａ側）の一端部および第２方向Ｙの他方側（第２側面５Ｂ側）の他端部を有している。第１上ライン部９７は、層間絶縁膜７４を挟んで第２スリット７２を被覆し、層間絶縁膜７４（絶縁主面７５）の第２リセス部７７を埋め戻している。

[0298] 第２リセス部７７に交差するゲート端子電極９０（第１電極部９１および／または第２電極部９２）、ならびに、第２リセス部７７を部分的に露出させるゲート配線電極９３（第１上ライン部９７）が形成される場合、ゲート端子電極９０の形成工程時に生じる電極残渣が複数の第２リセス部７７に残留する虞がある。

[0299] 電極残渣が存する場合、ゲート配線電極９３（第１上ライン部９７）が電極残渣を介してゲート端子電極９０に電氣的に接続される虞がある。この場合、ゲート配線電極９３（第１上ライン部９７）は、ゲート抵抗構造５０を介さない短絡回路をゲート端子電極９０（第１電極部９１）と共に構成する。したがって、ゲート配線電極９３（第１上ライン部９７）は、層間絶縁膜７４を挟んで第２スリット７２の全域を被覆していることが好ましい。

[0300] つまり、ゲート配線電極９３（第１上ライン部９７）は、層間絶縁膜７４（絶縁主面７５）の第２リセス部７７の全域を埋めていることが好ましい。この構成によれば、第２リセス部７７における電極残渣の問題を回避したレイアウトが提供される。本開示は、第２リセス部７７に交差するゲート端子電極９０（第１電極部９１および／または第２電極部９２）、ならびに、第

２リセス部７７を部分的に露出させるゲート配線電極９３（第１上ライン部９７）を含む形態を除外するものではない。

[0301] 第１上ライン部９７は、平面視においてゲート配線膜６５（第１下ライン部６９）の上から第２スリット７２を横切って抵抗膜６０の上に引き出されている。第１上ライン部９７は、層間絶縁膜７４を挟んで抵抗膜６０の縁部を被覆している。第１上ライン部９７は、抵抗膜６０の中心部を第２方向Ｙに横切る直線をさらに横切って、抵抗膜６０のうちの前記直線に対してゲート電極膜６４側の領域に位置する部分を被覆していてもよい。

[0302] 第１上ライン部９７は、ゲート端子電極９０の第１電極部９１および第２電極部９２から第１方向Ｘに間隔を空けて形成されている。第１上ライン部９７は、この形態では、ゲート端子電極９０の第２電極部９２に沿う部分において、第２電極部９２に沿って第１方向Ｘに窪んだ凹部９７ａを有している。

[0303] 第１上ライン部９７は、第１接続領域１０１および第２接続領域１０２を含む。第１接続領域１０１は、凹部９７ａに対して第２方向Ｙの一方側（第１側面５Ａ側）の領域に形成され、第２方向Ｙに第２電極部９２に対向している。第１接続領域１０１は、層間絶縁膜７４を挟んで抵抗膜６０の第２被覆部６２を被覆している。つまり、第１接続領域１０１は、層間絶縁膜７４および抵抗膜６０の第２被覆部６２を挟んで第１トレンチ群５２（複数の第１トレンチ抵抗構造５１Ａ）を被覆している。

[0304] 第１接続領域１０１は、さらに、複数の第２抵抗接続電極８２を被覆し、複数の第２抵抗接続電極８２に電氣的に接続されている。これにより、第１接続領域１０１は、複数の第２抵抗接続電極８２を介して抵抗膜６０の第２被覆部６２および第１トレンチ群５２（複数の第１トレンチ抵抗構造５１Ａ）に電氣的に接続されている。

[0305] 第１接続領域１０１は、１つまたは複数の第２抵抗接続電極８２に隣り合う１つまたは複数の第１トレンチ抵抗構造５１Ａを被覆していればよく、全ての第１トレンチ抵抗構造５１Ａを被覆している必要はない。むしろ、第１

接続領域 101 は、全ての第 1 トレンチ抵抗構造 51A を被覆していてもよい。

[0306] 第 2 接続領域 102 は、凹部 97a に対して第 2 方向 Y の他方側（第 2 側面 5B 側）の領域に形成され、第 2 方向 Y に第 2 電極部 92 に対向している。第 2 接続領域 102 は、層間絶縁膜 74 を挟んで抵抗膜 60 の第 3 被覆部 63 を被覆している。つまり、第 2 接続領域 102 は、層間絶縁膜 74 および抵抗膜 60 の第 3 被覆部 63 を挟んで第 2 トレンチ群 53（複数の第 2 トレンチ抵抗構造 51B）を被覆している。

[0307] 第 2 接続領域 102 は、さらに、複数の第 3 抵抗接続電極 83 を被覆し、複数の第 3 抵抗接続電極 83 に電氣的に接続されている。これにより、第 2 接続領域 102 は、複数の第 3 抵抗接続電極 83 を介して抵抗膜 60 の第 3 被覆部 63 および第 2 トレンチ群 53（複数の第 2 トレンチ抵抗構造 51B）に電氣的に接続されている。

[0308] 第 2 接続領域 102 は、1 つまたは複数の第 3 抵抗接続電極 83 に隣り合う 1 つまたは複数の第 2 トレンチ抵抗構造 51B を被覆していればよく、全ての第 2 トレンチ抵抗構造 51B を被覆している必要はない。むしろ、第 2 接続領域 102 は、全ての第 2 トレンチ抵抗構造 51B を被覆していてもよい。

[0309] 抵抗膜 60 に対するゲート配線電極 93（第 1 上ライン部 97）の対向面積は、抵抗膜 60 に対するゲート端子電極 90（第 1 電極部 91 および第 2 電極部 92）の対向面積よりも大きいことが好ましい。むしろ、ゲート配線電極 93 の対向面積は、ゲート端子電極 90 の対向面積よりも小さくてもよい。

[0310] 第 1 リセス部 76 を部分的に露出させるゲート端子電極 90（第 1 電極部 91）、および、第 1 リセス部 76 に交差する第 1 上ライン部 97 が形成される場合、ゲート端子電極 90 の形成工程時に生じる電極残渣が複数の第 1 リセス部 76 に残留する虞がある。

[0311] 電極残渣が存する場合、ゲート配線電極 93（第 1 上ライン部 97）は電

極残渣を介してゲート端子電極 90（第 1 電極部 91）に電氣的に接続される虞がある。この場合、ゲート配線電極 93（第 1 上ライン部 97）は、ゲート抵抗構造 50 を介さない短絡回路をゲート端子電極 90（第 1 電極部 91）と共に構成する。

[0312] したがって、第 1 上ライン部 97 は、平面視において第 1 リセス部 76（第 1 スリット 71）から第 2 リセス部 77（第 2 スリット 72）側に間隔を空けて形成され、第 1 リセス部 76（第 1 スリット 71）に交差していないことが好ましい。この形態では、ゲート端子電極 90（第 1 電極部 91）が第 1 リセス部 76 の全域を被覆している。

[0313] つまり、第 1 上ライン部 97 は、抵抗膜 60 の上の領域で第 1 方向 X にゲート端子電極 90 の第 1 電極部 91 および第 2 電極部 92 に対向している。この構成によれば、第 1 リセス部 76 における電極残渣の問題を回避したレイアウトが提供される。本開示は、第 1 リセス部 76 を部分的に露出させるゲート端子電極 90（第 1 電極部 91）、および、第 1 リセス部 76 に交差する第 1 上ライン部 97 を含む形態を除外するものではない。

[0314] ゲート端子電極 90（第 2 電極部 92）に付与された第 1 電流 I1 は、複数の第 1 抵抗接続電極 81 を介して抵抗膜 60 の第 1 被覆部 61 に伝達される。第 1 被覆部 61 に伝達された第 1 電流 I1 は、抵抗膜 60 の第 2 被覆部 62（第 1 トレンチ群 52）側の第 2 電流 I2、および、抵抗膜 60 の第 3 被覆部 63（第 2 トレンチ群 53）側の第 3 電流 I3 に分流される。

[0315] 第 2 電流 I2 は複数の第 2 抵抗接続電極 82 を介して第 1 上ライン部 97 の第 1 接続領域 101 に伝達され、第 3 電流 I3 は複数の第 3 抵抗接続電極 83 を介して第 1 上ライン部 97 の第 2 接続領域 102 に伝達される。このように、ゲート配線電極 93（第 1 上ライン部 97）は、ゲート端子電極 90（第 2 電極部 92）との間で第 1 ゲート抵抗 R1 および第 2 ゲート抵抗 R2 を含む並列抵抗回路 PR を構成する（図 24 も併せて参照）

複数の第 2 上ライン部 98A、98B は、一方側の第 2 上ライン部 98A および他方側の第 2 上ライン部 98B を含む。第 2 上ライン部 98A は、パ

ッド領域 10 においてゲート端子電極 90 に対して第 2 方向 Y の一方側（第 1 側面 5 A 側）の領域に配置されている。第 2 上ライン部 98 B は、パッド領域 10 においてゲート端子電極 90 に対して第 2 方向 Y の他方側（第 2 側面 5 B 側）の領域に配置されている。

[0316] 第 2 上ライン部 98 A は、第 1 方向 X に延びる帯状に形成され、第 1 上ライン部 97 の一端部に接続された一端部、および、チップ 2 の周縁側（第 3 側面 5 C 側）に位置する他端部を有している。第 2 上ライン部 98 A は、層間絶縁膜 74 を挟んでゲート配線膜 65 の第 2 下ライン部 70 A を被覆している。第 2 上ライン部 98 A は、ゲート端子電極 90 の第 1 電極部 91 から第 2 方向 Y の一方側に間隔を空けて形成されている。

[0317] 第 2 上ライン部 98 B は、第 1 方向 X に延びる帯状に形成され、第 1 上ライン部 97 の他端部に接続された一端部、および、チップ 2 の周縁側（第 3 側面 5 C 側）に位置する他端部を有している。第 2 上ライン部 98 B は、層間絶縁膜 74 を挟んでゲート配線膜 65 の第 2 下ライン部 70 B を被覆している。第 2 上ライン部 98 B は、ゲート端子電極 90 の第 1 電極部 91 から第 2 方向 Y の他方側に間隔を空けて形成され、第 1 電極部 91 を挟んで第 2 上ライン部 98 A に対向している。

[0318] 第 1 リセス部 76 を部分的に露出させるゲート端子電極 90（第 1 電極部 91）、および、第 1 リセス部 76 に交差する第 2 上ライン部 98 A、98 B が形成される場合、ゲート端子電極 90 の形成工程時に生じる電極残渣が第 1 リセス部 76 に残留する虞がある。電極残渣が存する場合、ゲート配線電極 93（第 2 上ライン部 98 A、98 B）は電極残渣を介してゲート端子電極 90（第 1 電極部 91）に電氣的に接続される虞がある。

[0319] この場合、ゲート配線電極 93（第 2 上ライン部 98 A、98 B）は、ゲート抵抗構造 50 を介さない短絡回路をゲート端子電極 90（第 1 電極部 91）と共に構成する。したがって、第 2 上ライン部 98 A、98 B は、第 1 リセス部 76 から間隔を空けて配置され、第 1 リセス部 76 を被覆する部分（第 1 リセス部 76 に交差する部分）を有していないことが好ましい。

[0320] この構成によれば、第１リセス部７６における電極残渣の問題を回避したレイアウトが提供される。本開示は、第１リセス部７６を部分的に露出させるゲート端子電極９０（第１電極部９１）、および、第１リセス部７６に交差する第２上ライン部９８Ａ、９８Ｂを含む形態を除外するものではない。また、複数の第３リセス部７８を部分的に露出させるゲート端子電極９０（第１電極部９１）、および、複数の第３リセス部７８に交差する第２上ライン部９８Ａ、９８Ｂが形成される場合、ゲート端子電極９０の形成工程時に生じる電極残渣が複数の第３リセス部７８に残留する虞がある。これらの場合、ゲート配線電極９３（第２上ライン部９８Ａ、９８Ｂ）は、ゲート抵抗構造５０を介さない短絡回路をゲート端子電極９０（第１電極部９１）と共に構成する。

[0321] したがって、第２上ライン部９８Ａ、９８Ｂは、複数の第３リセス部７８から間隔を空けて配置され、複数の第３リセス部７８を被覆する部分（複数の第３リセス部７８に交差する部分）を有していないことが好ましい。この構成によれば、複数の第３リセス部７８における電極残渣の問題を回避したレイアウトが提供される。この形態では、ゲート端子電極９０（第１電極部９１）が複数の第３リセス部７８の全域を被覆している。

[0322] つまり、第２上ライン部９８Ａ、９８Ｂは、第２下ライン部７０Ａ、７０Ｂの上の領域で第２方向Ｙにゲート端子電極９０の第１電極部９１に対向している。本開示は、複数の第３リセス部７８を部分的に露出させるゲート端子電極９０（第１電極部９１）、および、複数の第３リセス部７８に交差する第２上ライン部９８Ａ、９８Ｂを含む形態を除外するものではない。

[0323] 第２上ライン部９８Ａ、９８Ｂは、平面視において第２下ライン部７０Ａ、７０Ｂの周縁から間隔を空けて第２下ライン部７０Ａ、７０Ｂの内方部を被覆していることが好ましい。つまり、第２上ライン部９８Ａ、９８Ｂは、層間絶縁膜７４を挟んで第２下ライン部７０Ａ、７０Ｂのみに対向し、層間絶縁膜７４を挟んで主面絶縁膜４５に対向していないことが好ましい。

[0324] 第２上配線部９５は、第１上配線部９４からストリート領域１１に引き出

され、層間絶縁膜 7 4 を挟んでゲート配線膜 6 5 の第 2 下配線部 6 7 を被覆している。具体的には、第 2 上配線部 9 5 は、第 1 上ライン部 9 7 の内方部（この形態では中央部）から引き出され、第 1 方向 X に延びる帯状に形成されている。

[0325] 第 2 上配線部 9 5 は、この形態では、チップ 2 の中心を横切っている。第 2 上配線部 9 5 は、第 1 主面 3 の中心を第 2 方向 Y に横切る直線に対して第 1 方向 X の一方側（第 3 側面 5 C 側）の領域および他方側（第 4 側面 5 D 側）の領域に位置するように帯状に延びている。第 2 上配線部 9 5 は、第 1 方向 X の一方側で第 1 上配線部 9 4 に接続された一端部、および、第 1 方向 X の他方側の他端部を有している。第 2 上配線部 9 5 の他端部は、この形態では、開放端からなる。

[0326] 第 2 上配線部 9 5 は、複数の第 1 ゲート接続電極 8 4 A を被覆し、複数の第 1 ゲート接続電極 8 4 A を介して第 2 下配線部 6 7 に電氣的に接続されている。第 2 上配線部 9 5 は、第 2 方向 Y に関してストリート領域 1 1 の幅よりも小さい幅を有し、複数の活性領域 6 からストリート領域 1 1 の内方に間隔を空けて形成されている。つまり、第 2 上配線部 9 5 は、平面視において複数のトレンチ分離構造 1 5（複数の第 1 トレンチ構造 2 1）から間隔を空けて形成されている。

[0327] 第 3 上配線部 9 6 は、第 1 上配線部 9 4 から外周領域 9 に引き出され、層間絶縁膜 7 4 を挟んでゲート配線膜 6 5 の第 3 下配線部 6 8 を被覆している。具体的には、第 3 上配線部 9 6 は、複数の第 2 上ライン部 9 8 A、9 8 B の他端部から外周領域 9 の一方側（第 1 側面 5 A 側）および他方側（第 2 側面 5 B 側）に引き出され、外周領域 9 に沿って延びる帯状に形成されている。

[0328] 第 3 上配線部 9 6 は、第 2 上配線部 9 5 と共に複数の活性領域 6 を挟み込んでいる。具体的には、第 3 上配線部 9 6 は、平面視において複数の活性領域 6 を取り囲むようにチップ 2 の周縁（第 1 側面 5 A ～ 5 D）に沿って延びている。これにより、第 3 上配線部 9 6 は、第 2 上配線部 9 5 と共に複数の

活性領域6を取り囲んでいる。第3上配線部96は、この形態では、第2上配線部95から間隔を空けて形成されている。第3上配線部96は、第2上配線部95に接続されていてもよい。

[0329] 第3上配線部96は、複数の第2ゲート接続電極84Bを被覆し、複数の第2ゲート接続電極84Bを介して第3下配線部68に電氣的に接続されている。第3上配線部96は、平面視において第3下配線部68の幅よりも小さい幅を有していることが好ましい。第3上配線部96は、平面視において第3下配線部68の周縁から間隔を空けて第3下配線部68の内方部を被覆していることが好ましい。

[0330] 図1および図11～図22を参照して、半導体装置1Aは、活性領域6においてゲート端子電極90およびゲート配線電極93から間隔を空けて第1主面3の上に配置されたエミッタ端子電極103を含む。具体的には、エミッタ端子電極103は、層間絶縁膜74の上に配置されている。エミッタ端子電極103は、「エミッタパッド」または「エミッタパッド電極」と称されてもよい。エミッタ端子電極103は、抵抗膜60とは異なる導電材料からなることが好ましい。エミッタ端子電極103は、エミッタ電極膜47とは異なる導電材料からなることが好ましい。

[0331] エミッタ端子電極103は、トレンチ抵抗構造51および抵抗膜60よりも低い抵抗値を有している。エミッタ端子電極103は、この形態では、金属膜からなる。エミッタ端子電極103は、「エミッタメタル端子」と称されてもよい。エミッタ端子電極103は、Ti膜、TiN膜、W膜、Al膜、Cu膜、Al合金膜、Cu合金膜および導電性ポリシリコン膜のうちの少なくとも1種を含んでいてもよい。

[0332] エミッタ端子電極103は、純Cu膜、純Al膜、AlCu合金膜、AlSi合金膜、および、AlSiCu合金膜のうちの少なくとも1つを含んでいてもよい。エミッタ端子電極103は、この形態では、チップ2側からこの順に積層されたTi膜およびAl合金膜（この形態ではAlCu合金膜）を含む積層構造を有している。つまり、エミッタ端子電極103は、ゲート

端子電極 90 と同一の電極構成を有している。

- [0333] エミッタ端子電極 103 は、抵抗膜 60 の厚さ（ゲート電極膜 64 の厚さ）よりも大きい厚さを有していることが好ましい。エミッタ端子電極 103 の厚さは、 $1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であってもよい。エミッタ端子電極 103 の厚さは、ゲート端子電極 90 の厚さとほぼ等しいことが好ましい。
- [0334] エミッタ端子電極 103 は、ゲート端子電極 90 の平面積よりも大きい平面積を有している。エミッタ端子電極 103 の平面積は、第 1 主面 3 の平面積の 50% 以上 90% 以下であることが好ましい。エミッタ端子電極 103 の平面積は、第 1 主面 3 の平面積の 70% 以上であることが特に好ましい。
- [0335] エミッタ端子電極 103 は、この形態では、第 1 エミッタ端子電極 103 A および第 2 エミッタ端子電極 103 B を含む。第 1 エミッタ端子電極 103 A は、層間絶縁膜 74 のうち第 1 活性領域 6 A を被覆する部分の上において第 2 上配線部 95 および第 3 上配線部 96 の間の領域に配置されている。第 1 エミッタ端子電極 103 A は、平面視において第 1 活性領域 6 A から外周領域 9 に引き出されている。
- [0336] 第 1 エミッタ端子電極 103 A は、第 1 活性領域 6 A において複数の第 1 エミッタ接続電極 85 および複数の第 2 エミッタ接続電極 86 を被覆し、外周領域 9 において複数の第 1 ウェル接続電極 87 を被覆している。第 1 エミッタ端子電極 103 A は、複数の第 1 エミッタ接続電極 85 および複数の第 2 エミッタ接続電極 86 を介して複数の第 2 トレンチ構造 25、複数のエミッタ領域 29 および複数のチャネルコンタクト領域 31 に電氣的に接続されている。第 1 エミッタ端子電極 103 A は、複数の第 1 ウェル接続電極 87 を介して外周ウェル領域 41 の内縁部に電氣的に接続されている。
- [0337] 第 2 エミッタ端子電極 103 B は、層間絶縁膜 74 のうち第 2 活性領域 6 B を被覆する部分の上において第 2 上配線部 95 および第 3 上配線部 96 の間の領域に配置されている。第 2 エミッタ端子電極 103 B は、平面視において第 2 活性領域 6 B から外周領域 9 に引き出されている。
- [0338] 第 2 エミッタ端子電極 103 B は、第 2 活性領域 6 B において複数の第 1

エミッタ接続電極 85 および複数の第 2 エミッタ接続電極 86 を被覆し、外周領域 9 において複数の第 1 ウェル接続電極 87 を被覆している。第 2 エミッタ端子電極 103B は、複数の第 1 エミッタ接続電極 85 および複数の第 2 エミッタ接続電極 86 を介して複数の第 2 トレンチ構造 25、複数のエミッタ領域 29 および複数のチャネルコンタクト領域 31 に電氣的に接続されている。第 2 エミッタ端子電極 103B は、複数の第 1 ウェル接続電極 87 を介して外周ウェル領域 41 の内縁部に電氣的に接続されている。

[0339] 半導体装置 1A は、層間絶縁膜 74 の上においてエミッタ端子電極 103 からゲート配線電極 93 の外側の領域に引き出されたエミッタ配線電極 104 を含む。エミッタ配線電極 104 は、「エミッタフィンガー」または「エミッタフィンガー電極」と称されてもよい。エミッタ配線電極 104 は、抵抗膜 60 とは異なる導電材料からなることが好ましい。エミッタ配線電極 104 は、エミッタ電極膜 47 とは異なる導電材料からなることが好ましい。エミッタ端子電極 103 およびエミッタ配線電極 104 は、本開示における「第 1 主電極」の一例である。

[0340] エミッタ配線電極 104 は、トレンチ抵抗構造 51 および抵抗膜 60 よりも低い抵抗値を有している。エミッタ配線電極 104 は、この形態では、金属膜からなる。エミッタ配線電極 104 は、「エミッタメタル配線」と称されてもよい。エミッタ配線電極 104 は、Ti 膜、TiN 膜、W 膜、Al 膜、Cu 膜、Al 合金膜、Cu 合金膜および導電性ポリシリコン膜のうちの少なくとも 1 種を含んでいてもよい。

[0341] エミッタ配線電極 104 は、純 Cu 膜、純 Al 膜、AlCu 合金膜、AlSi 合金膜、および、AlSiCu 合金膜のうちの少なくとも 1 つを含んでいてもよい。エミッタ配線電極 104 は、この形態では、チップ 2 側からこの順に積層された Ti 膜および Al 合金膜（この形態では AlCu 合金膜）を含む積層構造を有している。つまり、エミッタ配線電極 104 は、エミッタ端子電極 103 と同一の電極構成を有している。

[0342] エミッタ配線電極 104 は、抵抗膜 60 の厚さ（ゲート電極膜 64 の厚さ

）よりも大きい厚さを有していることが好ましい。エミッタ配線電極104の厚さは、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。エミッタ配線電極104の厚さは、ゲート端子電極90（エミッタ端子電極103）の厚さとほぼ等しいことが好ましい。

[0343] エミッタ配線電極104は、第1エミッタ端子電極103Aおよび第2エミッタ端子電極103Bの双方に接続され、第1エミッタ端子電極103Aおよび第2エミッタ端子電極103Bからゲート配線電極93（第3上配線部96）よりも外側の領域に引き出されている。

[0344] エミッタ配線電極104は、ゲート端子電極90、ゲート配線電極93、第1エミッタ端子電極103Aおよび第2エミッタ端子電極103Bを取り囲むように、チップ2の周縁に沿って延びる帯状に形成されている。エミッタ配線電極104は、この形態では、チップ2の周縁（第1～第4側面5A～5D）に沿って延びる環状（具体的には四角環状）に形成され、ゲート端子電極90、ゲート配線電極93、第1エミッタ端子電極103Aおよび第2エミッタ端子電極103Bを一括して取り囲んでいる。

[0345] エミッタ配線電極104は、層間絶縁膜74のうち外周ウェル領域41の外縁部を被覆する部分の上に引き回されている。エミッタ配線電極104は、複数の第2ウェル接続電極88を被覆し、複数の第2ウェル接続電極88を介して外周ウェル領域41の外縁部に電氣的に接続されている。

[0346] 図10A～図10Cを参照して、半導体装置1Aは、外周領域9において層間絶縁膜74の上に配置された複数のフィールド電極105を含む。複数のフィールド電極105は、Ti膜、TiN膜、W膜、Al膜、Cu膜、Al合金膜、Cu合金膜および導電性ポリシリコン膜のうちの少なくとも1種を含んでいてもよい。

[0347] 複数のフィールド電極105は、純Cu膜、純Al膜、AlCu合金膜、AlSi合金膜、および、AlSiCu合金膜のうちの少なくとも1つを含んでいてもよい。図10Cに示すように、複数のフィールド電極105は、この形態では、チップ2側からこの順に積層されたバリアメタル膜105A

および主メタル膜 105B を含む積層構造を有している。

[0348] バリアメタル膜 105A は、たとえば、チップ 2 側からこの順に積層された Ti 膜および TiN 膜を含む積層膜からなる。主メタル膜 105B は、たとえば、Al 合金膜（この形態では AlCu 合金膜）からなる。

[0349] 複数のフィールド電極 105 は、対応するフィールド領域 42 を 1 対 1 対応の関係で被覆している。各フィールド電極 105 は、対応する複数のフィールド接続電極 89 を一括して被覆している。複数のフィールド電極 105 は、対応する複数のフィールド接続電極 89 を介して対応するフィールド領域 42 にそれぞれ電氣的に接続されている。複数のフィールド電極 105 は、電氣的に浮遊状態に形成されている。

[0350] 複数のフィールド電極 105 は、対応するフィールド領域 42 に沿って延びる帯状に形成されている。複数のフィールド電極 105 は、この形態では、対応するフィールド領域 42 に沿って延びる環状（四角環状）に形成されている。この形態では、最外のフィールド電極 105 は、チップ 2 の周縁側に向けて引き出されたフィールド引き出し部 105a を含み、他のフィールド電極 105 よりも幅広に形成されている。むろん、最外のフィールド電極 105 は、他のフィールド電極 105 と同じ幅を有していてもよい。

[0351] 図 10B および図 10D を参照して、半導体装置 1A は、外周領域 9 において、主面絶縁膜 45 および第 3 フィールド絶縁膜 133 と、層間絶縁膜 74 との間に配置されたフィールドプレート 141 を含む。フィールドプレート 141 は、導電性ポリシリコン膜を含んでいてもよい。

[0352] フィールドプレート 141 は、平面視において、最外のフィールド電極 105 と最内のチャネルストップ接続電極 124 との間の領域に選択的に配置されている。この形態では、フィールドプレート 141 は、第 3 フィールド絶縁膜 133 の外周縁部と、主面絶縁膜 45 における第 3 フィールド絶縁膜 133 の外周縁から第 2 高濃度領域 43 の内周縁までの間部分とを覆うように配置されている。フィールドプレート 141 は、層間絶縁膜 74 によって覆われている。

- [0353] フィールドプレート141は、第2高濃度領域43に沿って延びる帯状に形成されている。フィールドプレート141は、この形態では、第2高濃度領域43に沿って延びる環状（四角環状）に形成されている。この形態では、平面視において、第2中濃度領域12の内周縁は、フィールドプレート141の内周縁とフィールドプレート141の外周縁との間に位置している。フィールドプレート141は、層間絶縁膜74によって覆われている。
- [0354] 半導体装置1Aは、フィールドプレート141の一部を露出させるように、層間絶縁膜74を貫通する少なくとも1つ（この形態では複数）のプレートコンタクト孔142を含む。この形態では、2つのプレートコンタクト孔142が形成されている。
- [0355] 複数のプレートコンタクト孔142は、平面視において、フィールドプレート141に沿って延びる帯状にそれぞれ形成されている。複数のプレートコンタクト孔142は、この形態では、フィールドプレート141に沿って延びる環状（四角環状）にそれぞれ形成されている。
- [0356] 半導体装置1Aは、フィールドプレート141に電氣的に接続されるようにプレートコンタクト孔142に埋設された少なくとも1つ（この形態では複数）のプレート接続電極143を含む。この形態では、2つのプレートコンタクト孔142それぞれに埋め込まれた2つのプレート接続電極143が設けられている。むろん、単一のプレートコンタクト孔142が形成され、単一のプレートコンタクト孔142に、単一のプレート接続電極143が埋め込まれていてもよい。プレート接続電極143は、「プレートビア電極」と称されてもよい。
- [0357] 複数のプレート接続電極143は、Ti膜、TiN膜、W膜、Al膜、Cu膜、Al合金膜、Cu合金膜および導電性ポリシリコン膜のうちの少なくとも1種を含んでいてもよい。複数のプレート接続電極143は、この形態では、Ti膜およびW膜を含む積層構造を有している。
- [0358] 複数のプレート接続電極143は、フィールドプレート141に沿って延びる帯状にそれぞれ形成されている。複数のプレート接続電極143は、こ

の形態では、フィールドプレート141に沿って延びる環状（四角環状）にそれぞれ形成されている。

[0359] 半導体装置1Aは、外周領域9において層間絶縁膜74の上に配置されたチャネルストップ電極106を含む。チャネルストップ電極106は、「EQR（EQR：EQui-potential Ring：等電位ポテンシャルリング）電極」と称されてもよい。チャネルストップ電極106は、Ti膜、TiRiN膜、W膜、Al膜、Cu膜、Al合金膜、Cu合金膜および導電性ポリシリコン膜のうちの少なくとも1種を含んでいてもよい。

[0360] チャネルストップ電極106は、純Cu膜、純Al膜、AlCu合金膜、AlSi合金膜、および、AlSiCu合金膜のうちの少なくとも1つを含んでいてもよい。チャネルストップ電極106は、この形態では、図10Dに示すように、チップ2側からこの順に積層されたバリアメタル膜106Aおよび主メタル膜106Bを含む積層構造を有している。バリアメタル膜106Aは、たとえば、チップ2側からこの順に積層されたTi膜およびTiN膜を含む積層膜からなる。主メタル膜106Bは、たとえば、Al合金膜（この形態ではAlCu合金膜）からなる。

[0361] チャネルストップ電極106は、層間絶縁膜74上に、フィールドプレート141および複数のチャネルストップ接続電極124を覆うように配置されている。チャネルストップ電極106は、チップ2の周縁に沿って延びる帯状に形成されている。チャネルストップ電極106は、この形態では、チップ2の周縁に沿って延びる環状（四角環状）に形成されている。チャネルストップ電極106は、チップ2の周縁から間隔を空けて配置されている。

[0362] チャネルストップ電極106は、複数のチャネルストップ接続電極124を介して第2高濃度領域43およびチャネルストップコンタクト領域122に電氣的に接続されている。また、チャネルストップ電極106は、複数のプレート接続電極143を介してフィールドプレート141に電氣的に接続されている。チャネルストップ電極106は、電氣的に浮遊状態に形成されている。

- [0363] 半導体装置 1 A は、第 2 主面 4 を被覆するコレクタ電極 1 0 7 を含む。コレクタ電極 1 0 7 は、本開示における「第 2 主電極」の一例である。コレクタ電極 1 0 7 は、第 2 主面 4 から露出したコレクタ領域 1 4 に電氣的に接続されている。コレクタ電極 1 0 7 は、コレクタ領域 1 4 とオーミック接触を形成している。コレクタ電極 1 0 7 は、チップ 2 の周縁（第 1 ～第 4 側面 5 A ～5 D）に連なるように第 2 主面 4 の全域を被覆していてもよい。
- [0364] 半導体装置 1 A には、エミッタ領域 2 9 をエミッタとし、ドリフト領域 1 2 および第 1 中濃度領域 1 9 をコレクタとし、チャネル領域 2 0 をベースとする寄生 n p n トランジスタと、コレクタ領域 1 4 をエミッタとし、チャネル領域 2 0 をコレクタとし、ドリフト領域 1 2 および第 1 中濃度領域 1 9 をベースとする寄生 p n p トランジスタとからなる寄生サイリスタが形成される。
- [0365] 半導体装置 1 A（I G B T）をオンからオフに切り替わったときに、寄生 n p n トランジスタのベースに相当するチャネル領域 2 0 の抵抗分による電圧降下によって寄生 n p n トランジスタがオンすると、寄生サイリスタが作動する。そうすると、I G B T がオフせずに、大電流が流れるという現象（ラッチアップ）が発生するおそれがある。
- [0366] この半導体装置 1 A では、活性領域 6 において、p 型のチャネル領域 2 0 内にチャネル領域 2 0 よりも p 型不純物濃度の高いチャネルコンタクト領域 3 1 が形成されている。このため、半導体装置 1 A（I G B T）をオンからオフに切り替わったときに、抵抗値の低いチャネルコンタクト領域 3 1 に電流が流れるため、寄生 n p n トランジスタがオンするのを抑制できる。これにより、ラッチアップ耐量を向上できる。
- [0367] この半導体装置 1 A では、図 1 0 B および図 1 0 D に示すように、外周領域 9 の周縁部において、n 型のドリフト領域 1 2 の第 1 主面 3 側の表層部に、ドリフト領域 1 2 よりも n 型不純物の高い n 型の第 2 中濃度領域 1 2 1 が選択的に形成されている。また、外周領域 9 において、第 1 主面 3 の表層部であって、第 2 中濃度領域 1 2 1 に対して第 1 主面 3 側に、第 2 中濃度領域

1 2 1 よりも n 型不純物濃度が高い、チャネルストップ領域としての n 型の第 2 高濃度領域 4 3 が形成されている。そして、第 2 中濃度領域 1 2 1 の第 2 高濃度領域 4 3 側の表層部に、p 型のチャネルストップコンタクト領域 1 2 2 が形成されている。

[0368] このように、この半導体装置 1 A では、チャネルストップ領域としての n 型の第 2 高濃度領域 4 3 に対して第 2 主面 4 側に n 型の第 2 中濃度領域 1 2 1 が形成されているので、リーク電流を低減できる。以下、この理由について説明する。

[0369] 図 1 0 E は、比較例に係る半導体装置 2 0 1 の一部を示す拡大断面図であり、図 1 0 D に対応する拡大断面図である。図 1 0 E において、図 1 0 D の各部に対応する部分には、図 1 0 D と同じ符号を付して示す。

[0370] 比較例に係る半導体装置 2 0 1 では、図 1 0 E に示す第 2 高濃度領域（チャネルストップ層）4 3 の近傍の構造が、本実施形態に係る半導体装置 1 A と異なっている。具体的には、比較例に係る半導体装置 2 0 1 では、外周領域 9 において、ドリフト領域 1 2 の第 1 主面 3 側の表層部に、第 2 中濃度領域 1 2 1 が形成されていない。

[0371] より具体的には、比較例に係る半導体装置 2 0 1 では、外周領域 9 の周縁部において、ドリフト領域 1 2 の第 1 主面 3 側の表層部にチャネルストップ領域としての n 型の第 2 高濃度領域 4 3 が形成されている。そして、ドリフト領域 1 2 の第 2 高濃度領域 4 3 側の表層部に、p 型のチャネルストップコンタクト領域 1 2 2 が形成されている。

[0372] 比較例に係る半導体装置 2 0 1 では、チャネルストップコンタクト領域 1 2 2 の底面がドリフト領域 1 2 に接している。このため、半導体装置 2 0 1（IGBT）のオフ時に、p 型のチャネルストップコンタクト領域 1 2 2 からドリフト領域 1 2 にホールが注入されやすいので、リーク電流 I_{ces} が増加するおそれがある。

[0373] これに対して、本実施形態に係る半導体装置 1 A では、チャネルストップコンタクト領域 1 2 2 の底面がドリフト領域 1 2 よりも n 型不純物濃度が高

い第2中濃度領域121に接しているため、半導体装置1A (IGBT) のオフ時に、p型のチャネルストップコンタクト領域122からドリフト領域12へのホール注入が抑制される。これにより、本実施形態に係る半導体装置1Aでは、比較例に係る半導体装置201に比べてリーク電流 I_{ces} を低減できる。

[0374] 図25は、本実施形態に係る半導体装置1Aおよび比較例に係る半導体装置201それぞれについての、コレクタ・エミッタ間電圧 V_{ce} [V] に対するリーク電流 I_{ces} [A] のシミュレーション結果を示すグラフである。

[0375] 図25は、ジャンクション温度 $T_j = 175^\circ\text{C}$ のときの、シミュレーション結果を示すグラフである。図25において、曲線Q1が本実施形態に係る半導体装置1Aのシミュレーション結果を示すグラフであり、曲線Q2が比較例に係る半導体装置201のシミュレーション結果を示すグラフである。

[0376] 図25から、本実施形態に係る半導体装置1Aでは、比較例に係る半導体装置201に比べてリーク電流 I_{ces} が小さくなっていることがわかる。

[0377] 第2中濃度領域121は、キャリア蓄積領域としての第1中濃度領域19を形成する工程において、第1中濃度領域19と同時に形成することが可能である。したがって、本実施形態に係る半導体装置1Aでは、比較例に比べて製造工程を増加させることなく、リーク電流を抑制することが可能となる。

[0378] 半導体装置1Aは、チップ2、トレンチ抵抗構造51、抵抗膜60、ゲート端子電極90およびゲート配線電極93を含む。チップ2は、第1主面3を有している。トレンチ抵抗構造51は、第1主面3に形成されている。抵抗膜60は、第1主面3の上でトレンチ抵抗構造51に電氣的に接続されている。

[0379] ゲート端子電極90は、抵抗膜60よりも低い抵抗値を有し、第1主面3の上で抵抗膜60を介してトレンチ抵抗構造51に電氣的に接続されている。ゲート配線電極93は、抵抗膜60よりも低い抵抗値を有し、第1主面3

の上でトレンチ抵抗構造 51 および抵抗膜 60 を介してゲート端子電極 90 に電氣的に接続されている。

[0380] この構成によれば、トレンチ抵抗構造 51 および抵抗膜 60 を含むゲート抵抗 R_G をゲート端子電極 90 およびゲート配線電極 93 の間に介装させることができる。特に、この構成によれば、ゲート端子電極 90 およびゲート配線電極 93 の間の領域においてトレンチ抵抗構造 51 がチップ 2 内に組み込まれるため、第 1 主面 3 に対するゲート抵抗 R_G の専有面積の増加を抑制できる。よって、ゲート抵抗 R_G を備えた構成において、小型化に寄与する新規なレイアウトを有する半導体装置 1A を提供できる。

[0381] 半導体装置 1A は、ゲート電極膜 64 およびゲート配線膜 65 を含むことが好ましい。ゲート電極膜 64 は、抵抗膜 60 に隣り合って第 1 主面 3 の上に配置されている。ゲート配線膜 65 は、抵抗膜 60 を挟んでゲート電極膜 64 に対向するように抵抗膜 60 に隣り合って第 1 主面 3 の上に配置されている。

[0382] このような構造において、ゲート端子電極 90 は、ゲート電極膜 64 を被覆していることが好ましい。また、ゲート配線電極 93 は、ゲート配線膜 65 を被覆していることが好ましい。この構成によれば、第 1 主面 3 の上に抵抗膜 60、ゲート電極膜 64 およびゲート配線膜 65 を備えた構成において、小型化に寄与する新規なレイアウトを有する半導体装置 1A を提供できる。

[0383] 抵抗膜 60 は、一方側の第 1 端部 60A および他方側の第 2 端部 60B を有していることが好ましい。この場合、ゲート配線膜 65 は、抵抗膜 60 の第 1 端部 60A に接続された第 1 接続部、および、抵抗膜 60 の第 2 端部 60B に接続された第 2 接続部を有していることが好ましい。この場合、ゲート配線電極 93 は、ゲート配線膜 65 を介して抵抗膜 60 に電氣的に接続されていることが好ましい。

[0384] この構成によれば、ゲート配線膜 65 を介してゲート配線電極 93 を抵抗膜 60 に電氣的に接続させることができるため、ゲート配線電極 93 を抵抗

膜 60 に直接接続させる必要がなくなる。これにより、ゲート配線電極 93 のデザインルールを緩和し、ゲート配線電極 93 の設計の自由度を向上できる。

[0385] 半導体装置 1A は、抵抗膜 60 およびゲート電極膜 64 の間に区画された第 1 スリット 71、および、抵抗膜 60 およびゲート配線膜 65 の間に区画された第 2 スリット 72 を含むことが好ましい。この構成によれば、第 1 スリット 71 および第 2 スリット 72 によって抵抗膜 60 をゲート電極膜 64 およびゲート配線膜 65 から適切に分離（区画）できる。これにより、抵抗膜 60 の抵抗値の精度を向上できる。

[0386] ゲート端子電極 90 は、平面視において第 1 スリット 71 を横切って抵抗膜 60 およびゲート電極膜 64 被覆していることが好ましい。ゲート配線膜 65 は、平面視において第 2 スリット 72 を横切って抵抗膜 60 およびゲート電極膜 64 被覆していることが好ましい。第 1 スリット 71 は、抵抗膜 60 よりも幅狭に形成されていることが好ましい。第 2 スリット 72 は、抵抗膜 60 よりも幅狭に形成されていることが好ましい。

[0387] トレンチ抵抗構造 51 は、平面視において第 2 方向 Y（一方方向）に帯状に延びていることが好ましい。この場合、抵抗膜 60 は、平面視において第 2 方向 Y（一方方向）に帯状に延びていることが好ましい。また、第 1 スリット 71 は、平面視において第 2 方向 Y（一方方向）に帯状に延びていることが好ましい。また、第 2 スリット 72 は、平面視において第 2 方向 Y（一方方向）に帯状に延びていることが好ましい。第 1 スリット 71 は第 2 方向 Y（一方方向）に第 1 長さを有し、第 2 スリット 72 は、第 2 方向 Y（一方方向）に第 1 長さよりも小さい第 2 長さを有していてもよい。

[0388] 半導体装置 1A は、ゲート電極膜 64 およびゲート配線膜 65 の間に区画された第 3 スリット 73 を含むことが好ましい。この構成によれば、第 3 スリット 73 によってゲート電極膜 64 からゲート配線膜 65 を適切に分離（区画）できる。これにより、ゲート配線膜 65 が、抵抗膜 60 を介さない短絡回路をゲート電極膜 64 と共に構成することを抑制できる。ゲート端子電

極 90 は、平面視において第 3 スリット 73 を横切ってゲート電極膜 64 およびゲート配線膜 65 を被覆していることが好ましい。

[0389] 複数のトレンチ抵抗構造 51 が、間隔を空けて第 1 主面 3 に形成されていることが好ましい。この場合、抵抗膜 60 は、複数のトレンチ抵抗構造 51 を被覆していることが好ましい。この構成によれば、複数のトレンチ抵抗構造 51 を利用してゲート抵抗 R_G の抵抗値を調節できる。

[0390] 抵抗膜 60 は、トレンチ抵抗構造 51 外において第 1 主面 3 を被覆する第 1 被覆部 61、および、トレンチ抵抗構造 51 を被覆する第 2 被覆部 62 を有していることが好ましい。この場合、ゲート端子電極 90 は、第 1 被覆部 61 を被覆する部分において抵抗膜 60 に電氣的に接続されていることが好ましい。また、ゲート配線電極 93 は、第 2 被覆部 62 を被覆する部分において抵抗膜 60 に電氣的に接続されていることが好ましい。この構成によれば、ゲート端子電極 90 およびゲート配線電極 93 の間の領域に抵抗膜 60 の一部およびトレンチ抵抗構造 51 の一部を適切に介在させることができる。

[0391] 半導体装置 1A は、層間絶縁膜 74、第 1 抵抗接続電極 81 および第 2 抵抗接続電極 82 を含むことが好ましい。層間絶縁膜 74 は、抵抗膜 60 を被覆している。第 1 抵抗接続電極 81 は、抵抗膜 60 に電氣的に接続されるように層間絶縁膜 74 に埋設されている。第 2 抵抗接続電極 82 は、第 1 抵抗接続電極 81 とは異なる位置で抵抗膜 60 に電氣的に接続されるように層間絶縁膜 74 に埋設されている。

[0392] このような構成において、ゲート端子電極 90 は、第 1 抵抗接続電極 81 を介して抵抗膜 60 に電氣的に接続されるように層間絶縁膜 74 の上に配置されていることが好ましい。また、ゲート配線電極 93 は、第 2 抵抗接続電極 82 を介して抵抗膜 60 に電氣的に接続されるように層間絶縁膜 74 の上に配置されていることが好ましい。この構成によれば、第 1 抵抗接続電極 81 および第 2 抵抗接続電極 82 の間の領域においてゲート抵抗 R_G を構成できる。第 1 抵抗接続電極 81 および第 2 抵抗接続電極 82 の間の距離を調節

することによってゲート抵抗 R_G の抵抗値を調節できる。

[0393] 第2抵抗接続電極82は、第1抵抗接続電極81とは異なる方向に延びてもよい。たとえば、第1抵抗接続電極81は、平面視において第1方向 X （一方方向）に延び、第2抵抗接続電極82は、平面視において第1方向 X （一方方向）に交差する第2方向 Y （交差方向）に延びてもよい。

[0394] 複数の第1抵抗接続電極81が、層間絶縁膜74に埋設されていることが好ましい。複数の第2抵抗接続電極82が、層間絶縁膜74に埋設されていることが好ましい。抵抗膜60に対する第2抵抗接続電極82の第2接続面積 S_2 は、抵抗膜60に対する第1抵抗接続電極81の第1接続面積 S_1 よりも小さくてもよい。

[0395] ゲート端子電極90は、平面視において第1抵抗接続電極81外に位置する第1電極部91、および、第1電極部91から第1抵抗接続電極81に向けて第1電極部91よりも幅狭に突出した第2電極部92を有していることが好ましい。この場合、第1電極部91は、ゲート端子電極90の端子本体部として形成されていることが好ましい。また、第2電極部92は、端子本体部から引き出された端子引き出し部として形成されていることが好ましい。

[0396] これらの構成によれば、第1電極部91によってゲート電位が付与される領域を確保し、第2電極部92によって抵抗膜60に電氣的に接続される領域を確保できる。たとえば、ボンディングワイヤ等の導電性接合材がゲート端子電極90に接合される場合、当該導電接合材を第1電極部91に接合させることができる。これにより、導電接合材に起因する応力が抵抗膜60やトレンチ抵抗構造51に生じることを抑制できる。よって、ゲート抵抗 R_G の電氣的特性の低下を抑制できる。

[0397] 半導体装置1Aは、第1主面3の表層部に形成された p 型の境界ウェル領域40を含むことが好ましい。この構成によれば、境界ウェル領域40によってブレークダウン電圧を向上できる。この場合、トレンチ抵抗構造51は、境界ウェル領域40の底部から第1主面3側に間隔を空けて形成されてい

ることが好ましい。この構成によれば、トレンチ抵抗構造 51 の底壁に対する電界集中を境界ウェル領域 40 によって抑制できる。よって、ブレークダウン電圧を適切に向上できる。

[0398] 半導体装置 1A は、第 1 主面 3 に設けられた活性領域 6、第 1 主面 3 において活性領域 6 外に設けられた非活性領域 7、および、活性領域 6 に形成された第 1 トレンチ構造 21（トレンチゲート構造）を含むことが好ましい。この場合、トレンチ抵抗構造 51 は、非活性領域 7 に形成されていることが好ましい。また、抵抗膜 60 は、非活性領域 7 においてトレンチ抵抗構造 51 を被覆していることが好ましい。

[0399] また、ゲート端子電極 90 は、非活性領域 7 において抵抗膜 60 に電氣的に接続されていることが好ましい。また、ゲート配線電極 93 は、活性領域 6 において第 1 トレンチ構造 21 に電氣的に接続され、非活性領域 7 において抵抗膜 60 に電氣的に接続されていることが好ましい。これらの構成によれば、非活性領域 7 においてゲート抵抗 R_G が形成されるため、活性領域 6 の縮小を抑制できる。

[0400] 前述の実施形態はさらに他の形態で実施可能である。たとえば、前述の実施形態では、チップ 2 がシリコン単結晶基板からなる例が示された。しかし、チップ 2 は、SiC（炭化シリコン）単結晶基板からなってもよい。

[0401] 前述の実施形態において、n 型の半導体領域が p 型の半導体領域に置き換えられ、p 型の半導体領域が n 型の半導体領域に置き換えられてもよい。この場合の具体的な構成は、前述の説明および添付図面において、「n 型」を「p 型」に置き換えると同時に、「p 型」を「n 型」に置き換えることによって得られる。

[0402] 前述の実施形態では、p 型のコレクタ領域 14 が示された。しかし、p 型のコレクタ領域 14 に代えて n 型のドレイン領域が採用されてもよい。この場合、バッファ領域 13 は省略される。n 型のドレイン領域は n 型の半導体基板によって形成され、n 型のドリフト領域 12 および第 1 中濃度領域 19 は n 型のエピタキシャル層によって形成されてもよい。ドリフト領域 12 お

よび第1中濃度領域19のn型不純物濃度は、ドレイン領域のn型不純物濃度未満であることが好ましい。

[0403] この場合、IGBTに代えてMISFET (Metal Insulator Semiconductor Field Effect Transistor) 構造が形成される。この場合の具体的な構成は、前述の説明において、「エミッタ」を「ソース」に置き換え、「コレクタ」を「ドレイン」に置き換えることによって得られる。

[0404] 前述の各実施形態では、第1方向Xおよび第2方向Yが第1～第4側面5A～5Dの延在方向によって規定された。しかし、第1方向Xおよび第2方向Yは、互いに交差（具体的には直交）する関係を維持する限り、任意の方向であってもよい。たとえば、第1方向Xは第3側面5C（第4側面5D）の延在方向であり、第2方向Yは第1側面5A（第2側面5B）の延在方向であってもよい。また、第1方向Xは第1～第4側面5A～5Dに交差する方向であり、第2方向Yは第1～第4側面5A～5Dに交差する方向であってもよい。

[0405] 以下、この明細書および図面から抽出される特徴例が示される。以下、括弧内の英数字等は前述の実施形態における対応構成要素等を表すが、各項目（Clause）の範囲を実施形態に限定する趣旨ではない。以下の項目に係る「半導体装置」は、「半導体スイッチング装置」、「IGBT半導体装置」、「RC-IGBT半導体装置」または「MISFET半導体装置」に置き換えられてもよい。

[0406] [A1] 第1主面（3）およびその反対側の第2主面（4）を有するチップ（2）と、

前記第1主面（3）に設けられた活性領域（6）と、

前記活性領域（6）外であって、前記第1主面（3）の外周部に設けられた外周領域（9）と、

前記チップ（2）の内部に形成された第1導電型のドリフト領域（12）と、

前記活性領域（6）において、前記ドリフト領域（12）の前記第1主面

(3) 側の表層部に形成され、前記ドリフト領域(12)よりも第1導電型不純物濃度が高い、キャリア蓄積領域としての第1導電型の第1中濃度領域(19)と、

前記活性領域(6)において、前記第1主面(3)の表層部であって、前記第1中濃度領域(19)に対して前記第1主面(3)側に配置された第2導電型のチャネル領域(20)と、

前記チャネル領域(20)の表層部に配置され、前記第1中濃度領域(19)よりも第1導電型不純物濃度が高い第1導電型の第1高濃度領域(29)と、

前記活性領域(6)において、前記第1主面(3)から前記第1高濃度領域(29)、前記チャネル領域(20)および前記第1中濃度領域(19)を通して前記ドリフト領域(12)に達しているトレンチゲート構造(21)と、

前記外周領域(9)において、前記ドリフト領域(12)の前記第1主面(3)側の表層部に選択的に形成され、前記ドリフト領域よりも第1導電型不純物濃度が高い、第1導電型の第2中濃度領域(121)と、

前記外周領域(9)において、前記第1主面(3)の表層部であって、前記第2中濃度領域(121)に対して前記第1主面(3)側に配置され、前記第2中濃度領域(121)よりも第1導電型不純物濃度が高い、チャネルストップ領域としての第1導電型の第2高濃度領域(43)と、

前記第2中濃度領域(121)の前記第2高濃度領域(43)側の表層部に形成された第2導電型のチャネルストップコンタクト領域(122)と、

前記外周領域(9)において、前記チャネルストップコンタクト領域(122)を覆うように、前記第1主面(3)上に配置されたチャネルストップ電極(106)と、

前記チャネルストップ電極(106)と前記チャネルストップコンタクト領域(122)とを電氣的に接続するチャネルストップ接続電極(124)とを含む、半導体装置。

- [0407] [A 2] 前記第2高濃度領域(43)が、前記第1高濃度領域(29)と同じ第1導電型不純物濃度を有する、[A 1]に記載の半導体装置。
- [0408] [A 3] 前記第1高濃度領域(29)および前記第2高濃度領域(43)の第1導電型不純物濃度が $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{21} \text{ cm}^{-3}$ 以下である、[A 2]に記載の半導体装置。
- [0409] [A 4] 前記第2中濃度領域(121)が、前記第1中濃度領域(19)と同じ第1導電型不純物濃度を有する、[A 1]に記載の半導体装置。
- [0410] [A 5] 前記ドリフト領域(12)の第1導電型不純物濃度が $1.0 \times 10^{13} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以下であり、
前記第1中濃度領域(19)および前記第2中濃度領域(121)の第1導電型不純物濃度が $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上である、[A 4]に記載の半導体装置。
- [0411] [A 6] 前記活性領域(6)の前記チャネル領域(20)における前記第1主面(3)側の表層部において、前記第1高濃度領域(29)とは異なる領域に形成され、前記チャネル領域(20)よりも高い第2導電型不純物濃度を有する第2導電型のチャネルコンタクト領域(31)と、
前記チャネルコンタクト領域(31)に電氣的に接続される第1接続電極(85)とを含む、[A 1]～[A 5]のいずれかに記載の半導体装置。
- [0412] [A 7] 前記チャネルコンタクト領域(31)が、前記チャネルストップコンタクト領域(122)と同じ第2導電型不純物濃度を有する、[A 6]に記載の半導体装置。
- [0413] [A 8] 前記チャネル領域(20)の第2導電型不純物濃度が $1.0 \times 10^{16} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以下であり、
前記チャネルコンタクト領域(31)および前記チャネルストップコンタクト領域(122)の第2導電型不純物濃度が 1.0×10^{18} 以上 $1.0 \times 10^{20} \text{ cm}^{-3}$ 以下である、[A 7]に記載の半導体装置。
- [0414] [A 9] 前記第1主面(3)上に選択的に形成された表面絶縁膜(45, 46)と、

前記表面絶縁膜（４５，４６）を覆うように前記第１主面（３）上に形成された層間絶縁膜（７４）と、

前記活性領域（６）において、前記第１主面（３）から前記第１高濃度領域（２９）を通して前記チャネルコンタクト領域（３１）に達する第１コンタクト孔（３０）とを含み、

前記第１接続電極（８５）は、前記層間絶縁膜（７４）および前記表面絶縁膜（４５，４６）を貫通して前記第１コンタクト孔（３０）に埋設されている、〔Ａ６〕に記載の半導体装置。

[0415] 〔Ａ１０〕前記活性領域（６）において、前記層間絶縁膜（７４）上に配置され、前記第１接続電極（８５）に電氣的に接続された第１主電極（１０３，１０４）を含む、〔Ａ９〕に記載の半導体装置。

[0416] 〔Ａ１１〕前記層間絶縁膜（７４）上に配置され、前記トレンチゲート構造（２１）に電氣的に接続されたゲート電極（９０，９３）を含む、〔Ａ１０〕に記載の半導体装置。

[0417] 〔Ａ１２〕前記第２主面（４）に形成された第２主電極（１０７）を含む、〔Ａ１１〕に記載の半導体装置。

[0418] 〔Ａ１３〕前記第１高濃度領域（２９）がエミッタ領域であり、
前記第１主電極（１０３，１０４）がエミッタ電極であり、
前記第２主電極（１０７）がコレクタ電極である、〔Ａ１２〕に記載の半導体装置。

[0419] 〔Ａ１４〕前記第１主面（３）上に選択的に形成された表面絶縁膜（４５，４６）と、

前記表面絶縁膜（４５，４６）を覆うように前記第１主面（３）上に形成された層間絶縁膜（７４）と、

前記外周領域（９）において、前記第１主面（３）から前記第２高濃度領域（４３）を通して前記チャネルストップコンタクト領域（１２２）に達する第２コンタクト孔（１２３）とを含み、

前記チャネルストップ接続電極（１２４）は、前記層間絶縁膜（７４）お

よび前記表面絶縁膜（４５，４６）を貫通して前記第２コンタクト孔（１２３）に埋設されている、〔Ａ１〕～〔Ａ１３〕のいずれかに記載の半導体装置。

[0420] 〔Ａ１５〕前記チャネルストップ電極（１０６）は、前記外周領域（９）において、前記層間絶縁膜（７４）上に配置されている、〔Ａ１４〕に記載の半導体装置。

[0421] 〔Ａ１６〕前記外周領域（９）のうち平面視で前記チャネルストップ接続電極（１２４）よりも内方の領域において、前記表面絶縁膜（４５，４６）上に配置され、前記層間絶縁膜（７４）を介して前記チャネルストップ電極（１０６）に覆われているフィールドプレート（１４１）と、

前記層間絶縁膜（７４）を貫通し、前記フィールドプレート（１４１）と前記チャネルストップ電極（１０６）とを電氣的に接続するフィールドプレート接続電極（１４３）とを含む、〔Ａ１５〕に記載の半導体装置。

[0422] 〔Ａ１７〕前記フィールドプレート（１４１）が、導電性ポリシリコンを含む、〔Ａ１６〕に記載の半導体装置。

[0423] 〔Ａ１８〕前記外周領域（９）のうち平面視で前記チャネルストップ電極（１０６）よりも内方の領域において、前記ドリフト領域（１２）の前記第１主面（３）側の表層部に形成された第２導電型のフィールド領域（４２）と、

前記フィールド領域（４２）の前記第１主面（３）側の表層部に形成された第２導電型のフィールドコンタクト領域（１１１）と、

前記層間絶縁膜（７４）上に、前記フィールドコンタクト領域（１１１）を覆うように形成されたフィールド電極（１０５）と、

前記層間絶縁膜（７４）および前記表面絶縁膜（４５，４６）を貫通し、前記フィールドコンタクト領域（１１１）と前記フィールド電極（１０５）とを電氣的に接続するフィールド接続電極（８９）とを含む、〔Ａ１７〕に記載の半導体装置。

[0424] 〔Ａ１９〕前記第２中濃度領域（１２１）および前記第２高濃度領域（４

3) が、前記チップ (2) の周縁に沿って延びる環状に形成されている、[A 1] ~ [A 18] のいずれかに記載の半導体装置。

[0425] [A 20] 前記チャネルストップコンタクト領域 (122) が、前記第2中濃度領域に沿って延びる環状に形成されている、[A 19] に記載の半導体装置。

[0426] 以上、実施形態が詳細に説明されたが、これらは技術的内容を明らかにするために用いられた具体例に過ぎず、本開示はこれらの具体例に限定して解釈されるべきではなく、本開示の範囲は添付の請求の範囲によって限定される。

この出願は、2022年11月7日に日本国特許庁に提出された特願2022-178475号に対応しており、それらの出願の全開示はここに引用により組み込まれるものとする。

符号の説明

[0427] 1 A 半導体装置
2 チップ
3 第1主面
4 第2主面
5 A ~ 5 D 第1 ~ 第4側面
6 活性領域
6 A 第1活性領域
6 B 第2活性領域
7 非活性領域
8 境界領域 (7)
9 外周領域 (7)
10 パッド領域 (8)
11 ストリート領域 (8)
12 ドリフト領域
13 バッファ層

- 1 4 コレクタ領域
- 1 5 トレンチ分離構造
- 1 5 A 第1 トレンチ分離構造
- 1 5 B 第2 トレンチ分離構造
- 1 6 分離トレンチ
- 1 7 分離絶縁膜
- 1 8 分離埋設電極
- 1 9 第1 中濃度領域（キャリア蓄積領域）
- 2 0 チャネル領域
- 2 1 第1 トレンチ構造（トレンチゲート構造）
- 2 2 第1 トレンチ
- 2 3 第1 絶縁膜
- 2 4 第1 埋設電極
- 2 5 第2 トレンチ構造
- 2 6 第2 トレンチ
- 2 7 第2 絶縁膜
- 2 8 第2 埋設電極
- 2 9 エミッタ領域（第1 高濃度領域）
- 3 0 コンタクト孔（第1 コンタクト孔）
- 3 1 チャネルコンタクト領域
- 3 2 フローティング領域
- 4 0 境界ウェル領域
- 4 0 A 第1 境界ウェル領域
- 4 0 B 第2 境界ウェル領域
- 4 1 外周ウェル領域
- 4 2 フィールド領域
- 4 3 第2 高濃度領域（チャネルストップ領域）
- 4 5 主面絶縁膜

- 4 6 フィールド絶縁膜
- 4 7 エミッタ電極膜
- 5 0 ゲート抵抗構造
- 5 1 トレンチ抵抗構造
- 5 1 A 第1トレンチ抵抗構造
- 5 1 B 第2トレンチ抵抗構造
- 5 4 抵抗トレンチ
- 5 5 抵抗絶縁膜
- 5 6 抵抗埋設電極
- 5 7 スペース領域
- 6 0 抵抗膜
- 6 0 A 抵抗膜の第1端部
- 6 0 B 抵抗膜の第2端部
- 6 1 抵抗膜の第1被覆部
- 6 2 抵抗膜の第2被覆部
- 6 3 抵抗膜の第3被覆部
- 6 4 ゲート電極膜
- 6 5 ゲート配線膜
- 6 6 第1下配線部
- 6 7 第2下配線部
- 6 8 第3下配線部
- 6 8 a 引き出し部
- 6 9 第1下ライン部 (6 6)
- 7 0 A, 7 0 B 第2下ライン部 (6 6)
- 7 1 第1スリット
- 7 2 第2スリット
- 7 3 第3スリット
- 7 4 層間絶縁膜

- 7 5 絶縁主面
- 7 6 第 1 リセス部
- 7 7 第 2 リセス部
- 7 8 第 3 リセス部
- 8 1 第 1 抵抗接続電極
- 8 2 第 2 抵抗接続電極
- 8 3 第 3 抵抗接続電極
- 8 4 ゲート接続電極
- 8 4 A 第 1 ゲート接続電極
- 8 4 B 第 2 ゲート接続電極
- 8 5 第 1 エミッタ接続電極（第 1 接続電極）
- 8 6 第 2 エミッタ接続電極
- 8 7 第 1 ウェル接続電極
- 8 7 a セグメント部
- 8 8 第 1 ウェル接続電極
- 8 9 フィールド接続電極
- 9 0 ゲート端子電極
- 9 1 第 1 電極部
- 9 2 第 2 電極部
- 9 3 ゲート配線電極
- 9 4 第 1 上配線部
- 9 5 第 2 上配線部
- 9 6 第 3 上配線部
- 9 7 第 1 上ライン部（9 4）
- 9 7 a 凹部
- 9 8 A, 9 8 B 第 2 上ライン部（9 4）
- 1 0 1 第 1 接続領域
- 1 0 2 第 2 接続領域

- 103 エミッタ端子電極
- 103A 第1エミッタ端子電極
- 103B 第2エミッタ端子電極
- 104 エミッタ配線電極
- 105 フィールド電極
- 105a フィールド引き出し部
- 105A バリアメタル膜
- 105B 主メタル膜
- 106 チャネルストップ電極
- 106A バリアメタル膜
- 106B 主メタル膜
- 107 コレクタ電極
- 111 フィールドコンタクト領域
- 112 フィールドコンタクト孔
- 121 第2中濃度領域
- 122 チャネルストップコンタクト領域
- 123 チャネルストップコンタクト孔（第2コンタクト孔）
- 124 チャネルストップ接続電極
- 131 第1フィールド絶縁膜
- 132 第2フィールド絶縁膜
- 133 第3フィールド絶縁膜
- 141 フィールドプレート
- 142 プレートコンタクト孔
- 143 プレート接続電極
- X 第1方向
- Y 第2方向

請求の範囲

[請求項1]

第1主面およびその反対側の第2主面を有するチップと、
前記第1主面に設けられた活性領域と、
前記活性領域外であって、前記第1主面の外周部に設けられた外周領域と、
前記チップの内部に形成された第1導電型のドリフト領域と、
前記活性領域において、前記ドリフト領域の前記第1主面側の表層部に形成され、前記ドリフト領域よりも第1導電型不純物濃度が高い、キャリア蓄積領域としての第1導電型の第1中濃度領域と、
前記活性領域において、前記第1主面の表層部であって、前記第1中濃度領域に対して前記第1主面側に配置された第2導電型のチャンネル領域と、
前記チャンネル領域の表層部に配置され、前記第1中濃度領域よりも第1導電型不純物濃度が高い第1導電型の第1高濃度領域と、
前記活性領域において、前記第1主面から前記第1高濃度領域、前記チャンネル領域および前記第1中濃度領域を通して前記ドリフト領域に達しているトレンチゲート構造と、
前記外周領域において、前記ドリフト領域の前記第1主面側の表層部に選択的に形成され、前記ドリフト領域よりも第1導電型不純物濃度が高い、第1導電型の第2中濃度領域と、
前記外周領域において、前記第1主面の表層部であって、前記第2中濃度領域に対して前記第1主面側に配置され、前記第2中濃度領域よりも第1導電型不純物濃度が高い、チャンネルストップ領域としての第1導電型の第2高濃度領域と、
前記第2中濃度領域の前記第2高濃度領域側の表層部に形成された第2導電型のチャンネルストップコンタクト領域と、
前記外周領域において、前記チャンネルストップコンタクト領域を覆うように、前記第1主面上に配置されたチャンネルストップ電極と、

前記チャネルストップ電極と前記チャネルストップコンタクト領域とを電氣的に接続するチャネルストップ接続電極とを含む、半導体装置。

[請求項2] 前記第2高濃度領域が、前記第1高濃度領域と同じ第1導電型不純物濃度を有する、請求項1に記載の半導体装置。

[請求項3] 前記第1高濃度領域および前記第2高濃度領域の第1導電型不純物濃度が $1.0 \times 10^{19} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{21} \text{ cm}^{-3}$ 以下である、請求項2に記載の半導体装置。

[請求項4] 前記第2中濃度領域が、前記第1中濃度領域と同じ第1導電型不純物濃度を有する、請求項1に記載の半導体装置。

[請求項5] 前記ドリフト領域の第1導電型不純物濃度が $1.0 \times 10^{13} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{15} \text{ cm}^{-3}$ 以下であり、

前記第1中濃度領域および前記第2中濃度領域の第1導電型不純物濃度が $1.0 \times 10^{15} \text{ cm}^{-3}$ 以上である、請求項4に記載の半導体装置。

[請求項6] 前記活性領域の前記チャネル領域における前記第1主面側の表層部において、前記第1高濃度領域とは異なる領域に形成され、前記チャネル領域よりも高い第2導電型不純物濃度を有する第2導電型のチャネルコンタクト領域と、

前記チャネルコンタクト領域に電氣的に接続される第1接続電極とを含む、請求項1～5に記載の半導体装置。

[請求項7] 前記チャネルストップコンタクト領域が、前記チャネルコンタクト領域と同じ第2導電型不純物濃度を有する、請求項6に記載の半導体装置。

[請求項8] 前記チャネル領域の第2導電型不純物濃度が $1.0 \times 10^{16} \text{ cm}^{-3}$ 以上 $1.0 \times 10^{18} \text{ cm}^{-3}$ 以下であり、

前記チャネルコンタクト領域および前記チャネルストップコンタクト領域の第2導電型不純物濃度が $1.0 \times 10^{18} \text{ cm}^{-3}$ 以上 1.0

$\times 10^{20} \text{ cm}^{-3}$ 以下である、請求項7に記載の半導体装置。

- [請求項9] 前記第1主面上に選択的に形成された表面絶縁膜と、
前記表面絶縁膜を覆うように前記第1主面上に形成された層間絶縁膜と、
前記活性領域において、前記第1主面から前記第1高濃度領域を通して前記チャネルコンタクト領域に達する第1コンタクト孔とを含み、
前記第1接続電極は、前記層間絶縁膜および前記表面絶縁膜を貫通して前記第1コンタクト孔に埋設されている、請求項6に記載の半導体装置。
- [請求項10] 前記活性領域において、前記層間絶縁膜上に配置され、前記第1接続電極に電氣的に接続された第1主電極を含む、請求項9に記載の半導体装置。
- [請求項11] 前記層間絶縁膜上に配置され、前記トレンチゲート構造に電氣的に接続されたゲート電極を含む、請求項10に記載の半導体装置。
- [請求項12] 前記第2主面に形成された第2主電極を含む、請求項11に記載の半導体装置。
- [請求項13] 前記第1高濃度領域がエミッタ領域であり、
前記第1主電極がエミッタ電極であり、
前記第2主電極がコレクタ電極である、請求項12に記載の半導体装置。
- [請求項14] 前記第1主面上に選択的に形成された表面絶縁膜と、
前記表面絶縁膜を覆うように前記第1主面上に形成された層間絶縁膜と、
前記外周領域において、前記第1主面から前記第2高濃度領域を通して前記チャネルストップコンタクト領域に達する第2コンタクト孔とを含み、
前記チャネルストップ接続電極は、前記層間絶縁膜および前記表面

絶縁膜を貫通して前記第2コンタクト孔に埋設されている、請求項1～5のいずれか一項に記載の半導体装置。

[請求項15] 前記チャネルストップ電極は、前記外周領域において、前記層間絶縁膜上に配置されている、請求項14に記載の半導体装置。

[請求項16] 前記外周領域のうち平面視で前記チャネルストップ接続電極よりも内方の領域において、前記表面絶縁膜上に配置され、前記層間絶縁膜を介して前記チャネルストップ電極に覆われているフィールドプレートと、

前記層間絶縁膜を貫通し、前記フィールドプレートと前記チャネルストップ電極とを電氣的に接続するフィールドプレート接続電極とを含む、請求項15に記載の半導体装置。

[請求項17] 前記フィールドプレートが、導電性ポリシリコンを含む、請求項16に記載の半導体装置。

[請求項18] 前記外周領域のうち平面視で前記チャネルストップ電極よりも内方の領域において、前記ドリフト領域の前記第1主面側の表層部に形成された第2導電型のフィールド領域と、

前記フィールド領域の前記第1主面側の表層部に形成された第2導電型のフィールドコンタクト領域と、

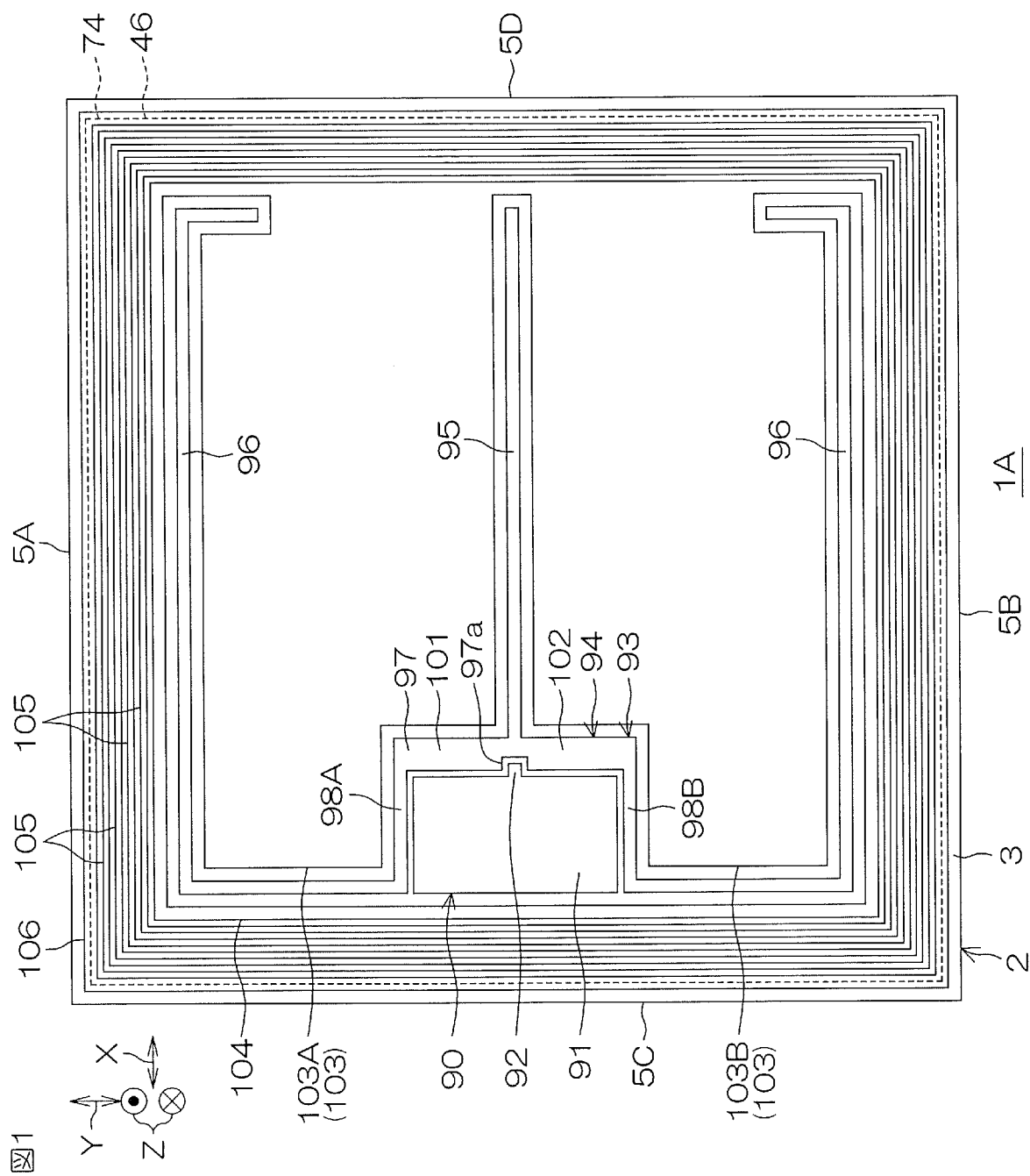
前記層間絶縁膜上に、前記フィールドコンタクト領域を覆うように形成されたフィールド電極と、

前記層間絶縁膜および前記表面絶縁膜を貫通し、前記フィールドコンタクト領域と前記フィールド電極とを電氣的に接続するフィールド接続電極とを含む、請求項17に記載の半導体装置。

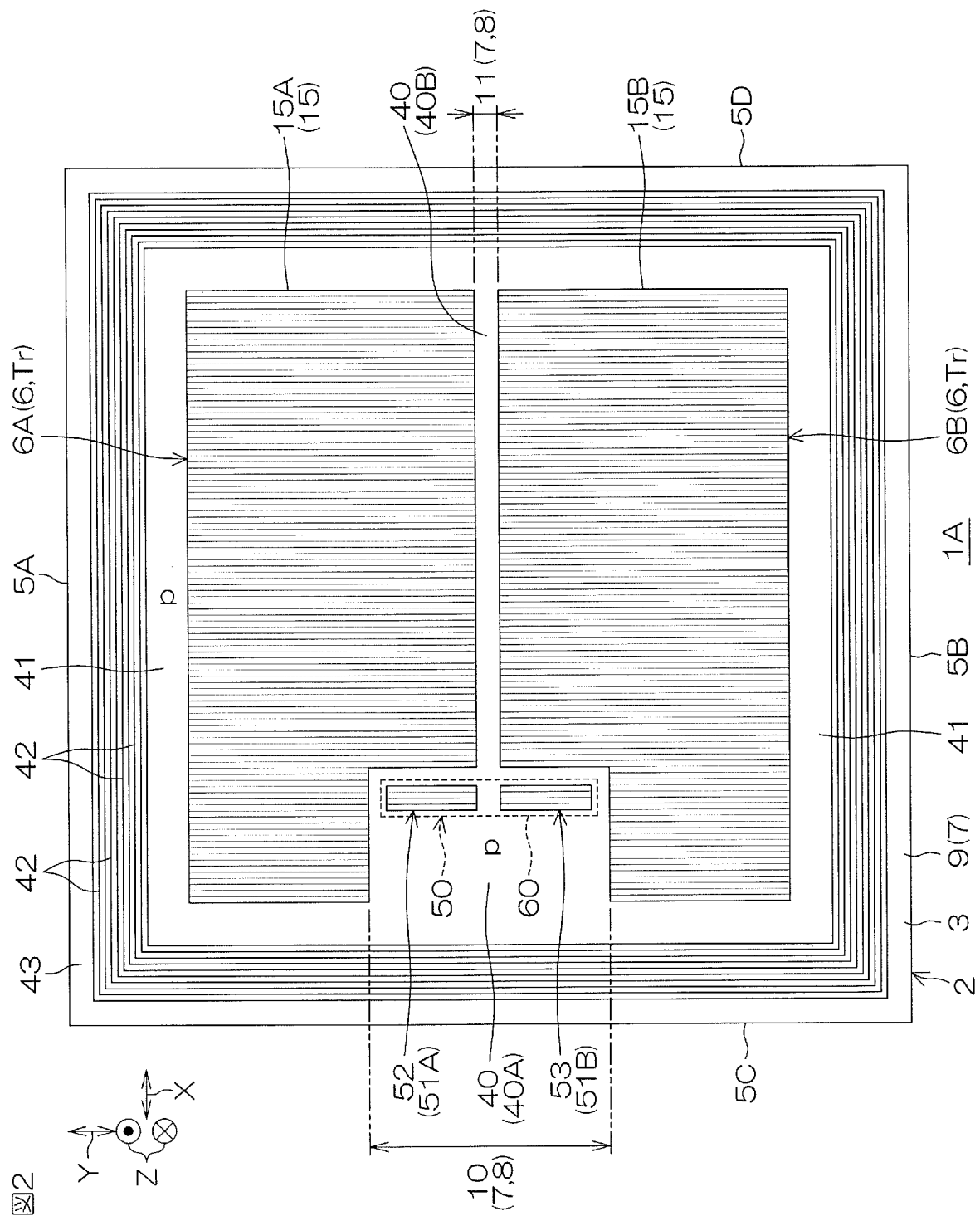
[請求項19] 前記第2中濃度領域および前記第2高濃度領域が、前記チップの周縁に沿って延びる環状に形成されている、請求項1～5のいずれか一項に記載の半導体装置。

[請求項20] 前記チャネルストップコンタクト領域が、前記第2中濃度領域に沿って延びる環状に形成されている、請求項19に記載の半導体装置。

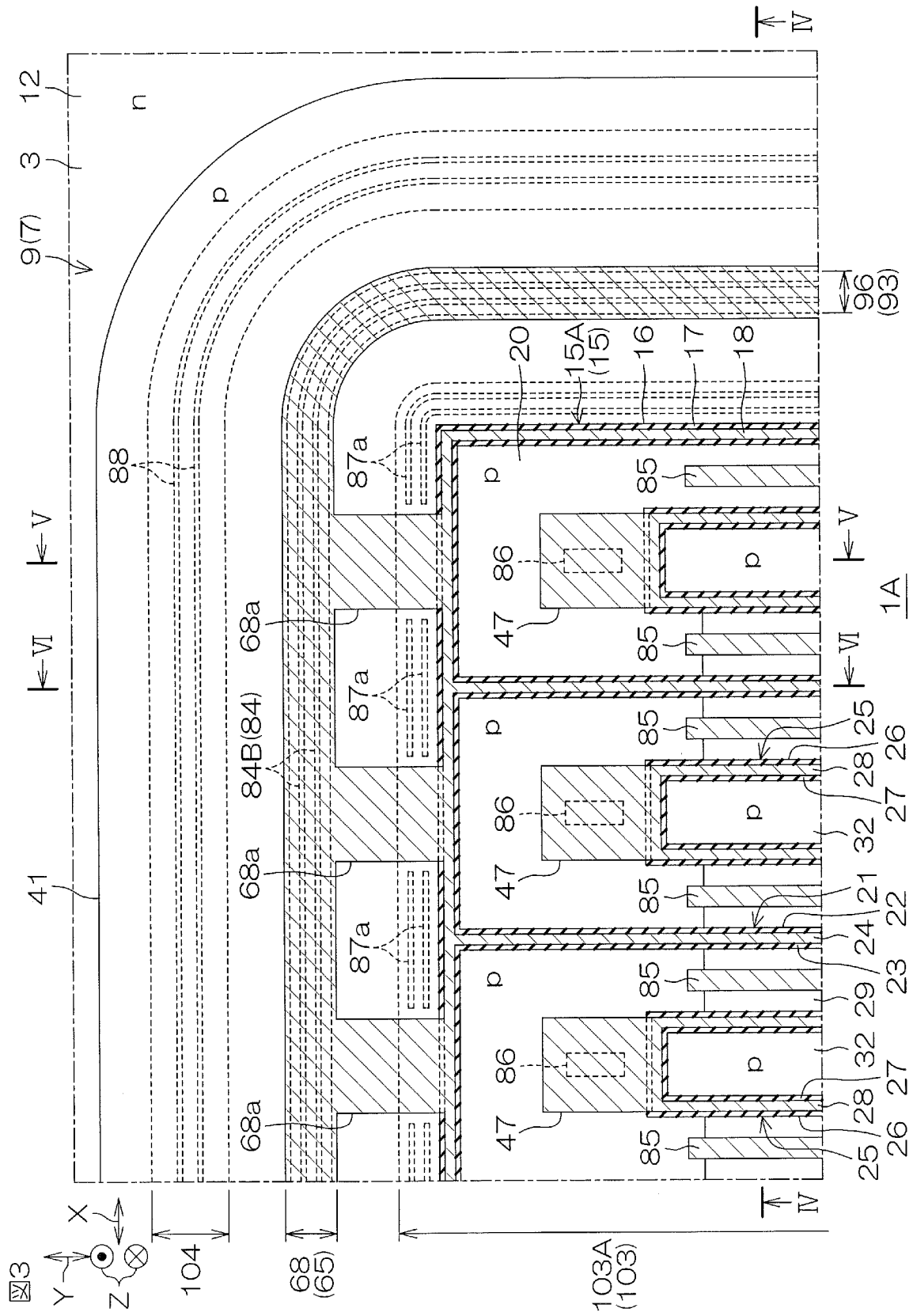
[図1]



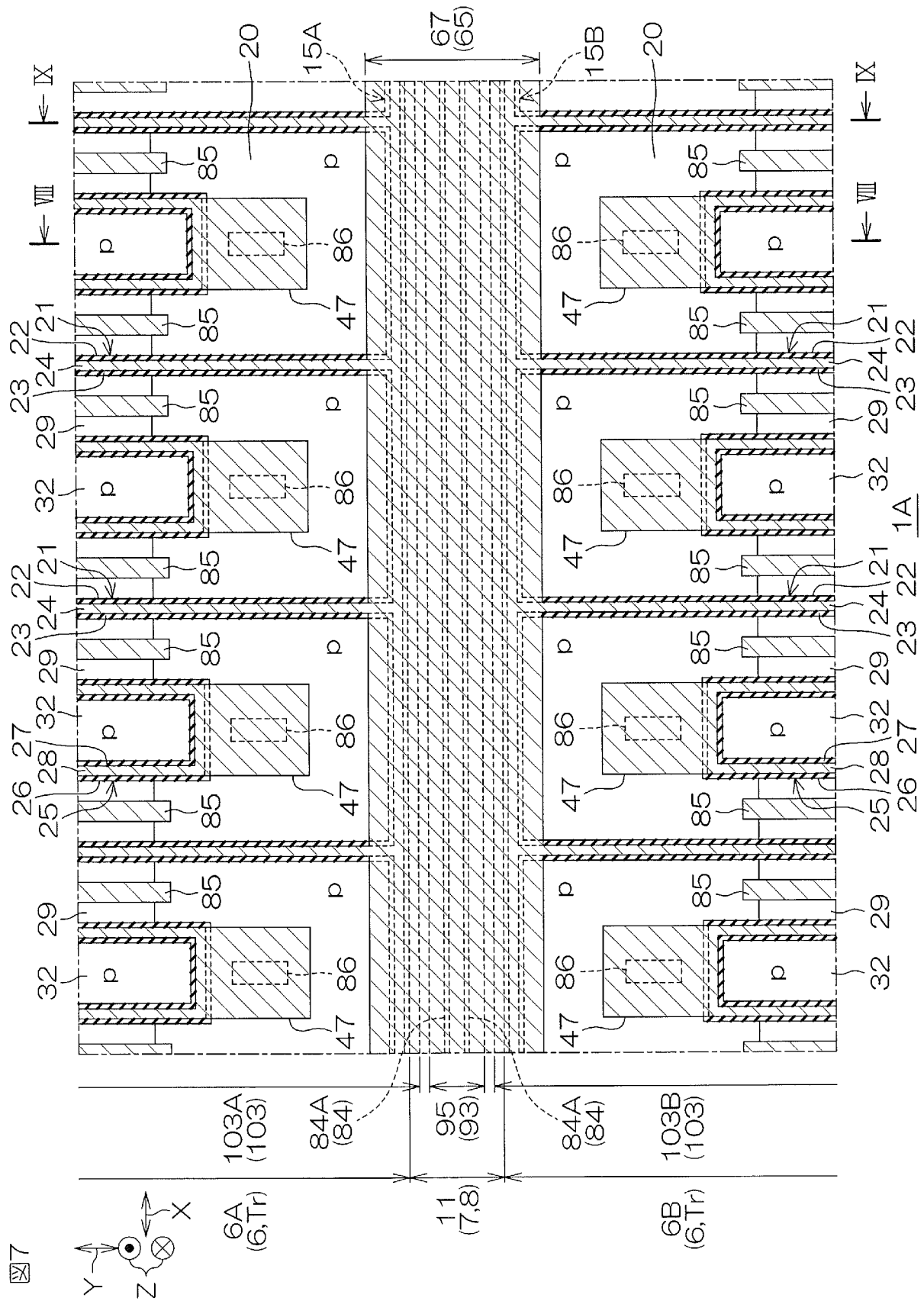
[図2]



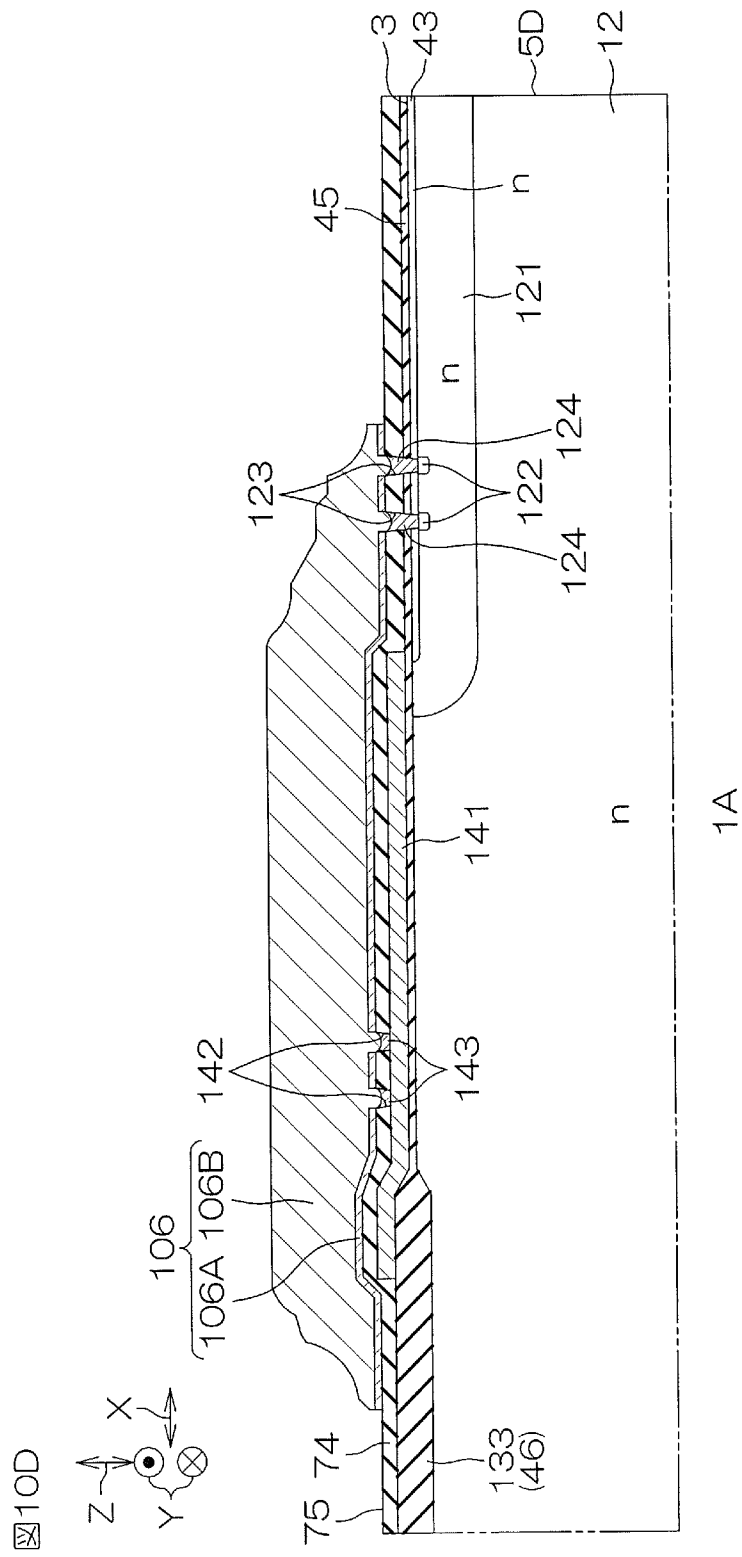
[図3]



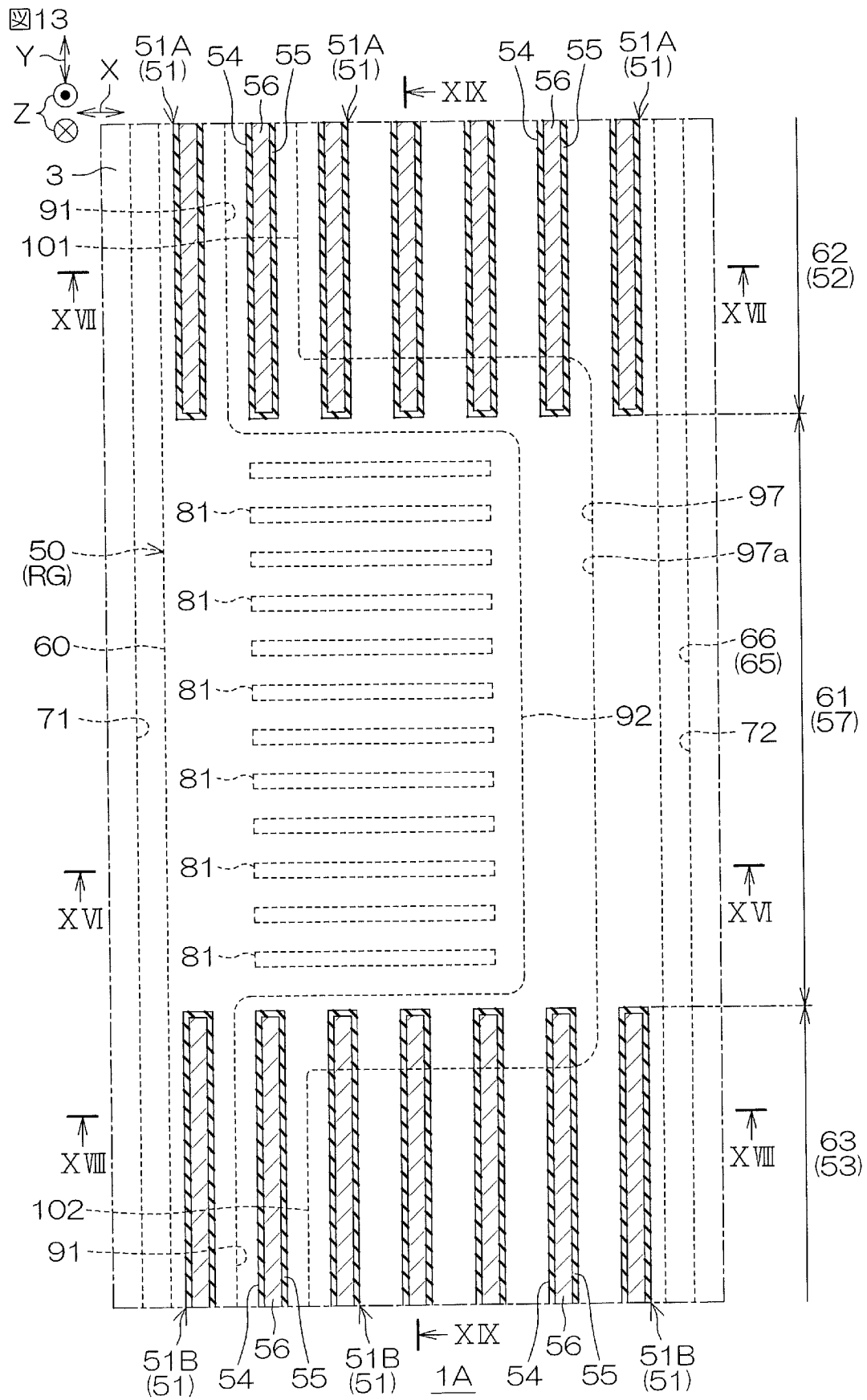
[図7]



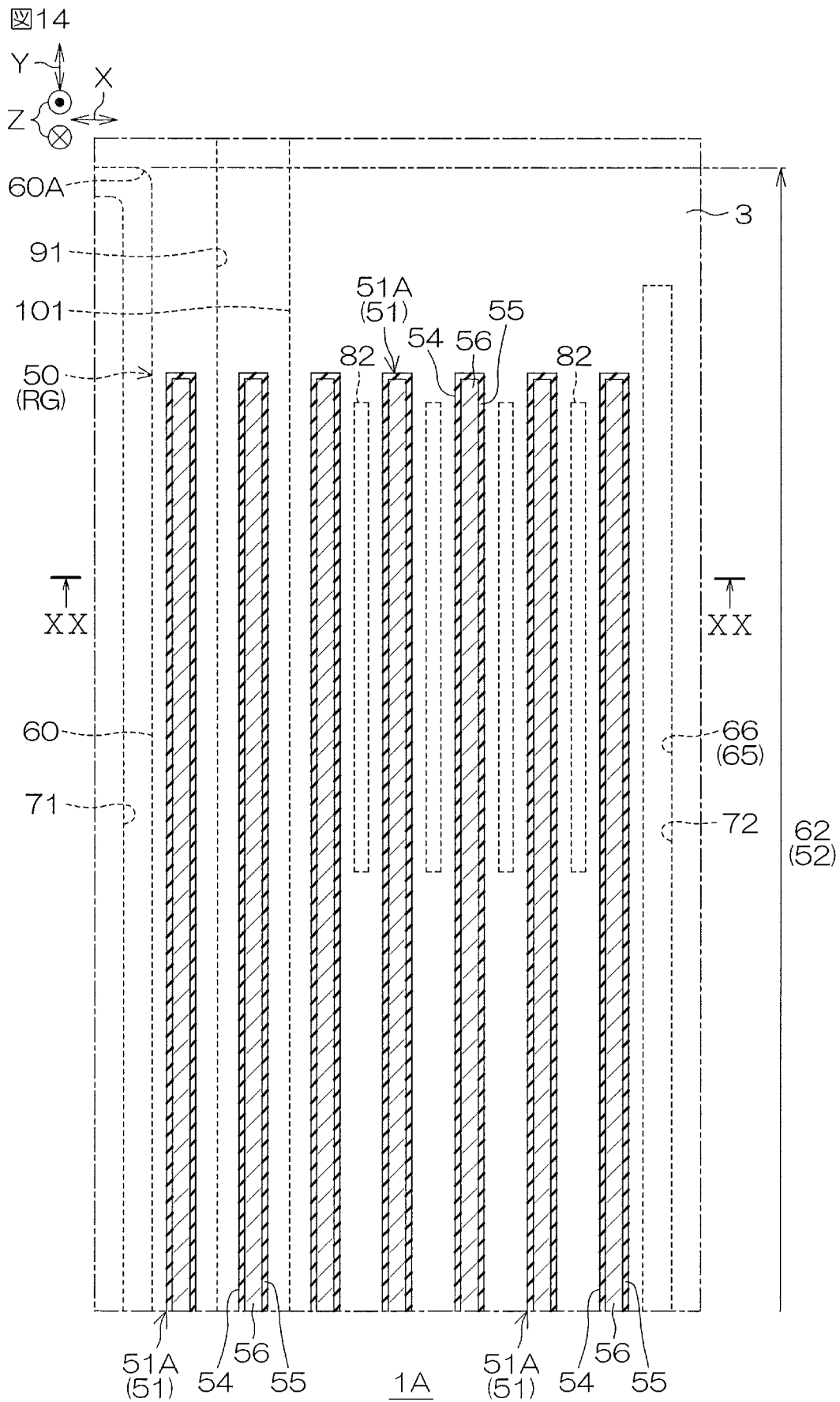
[図10D]



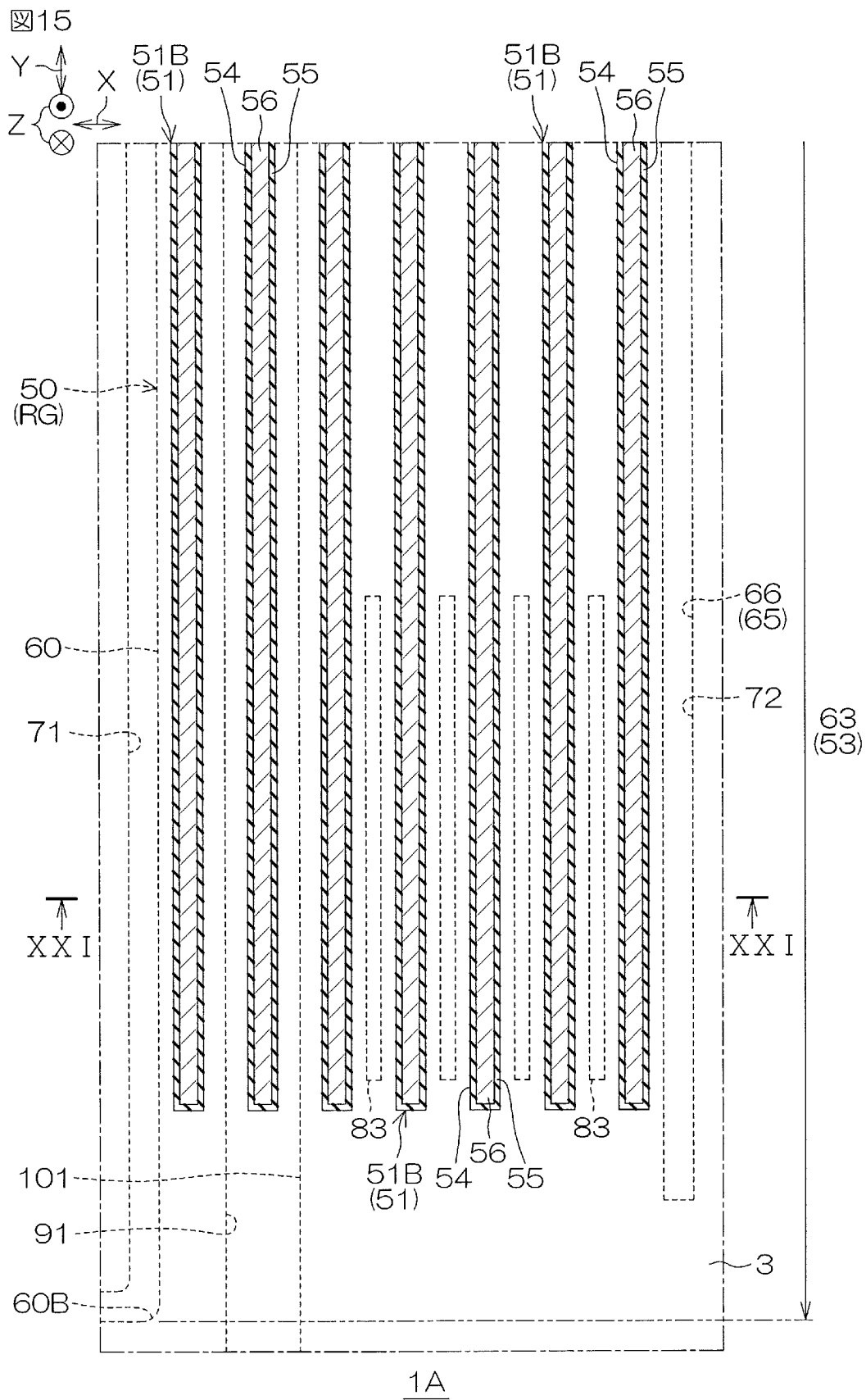
[図13]



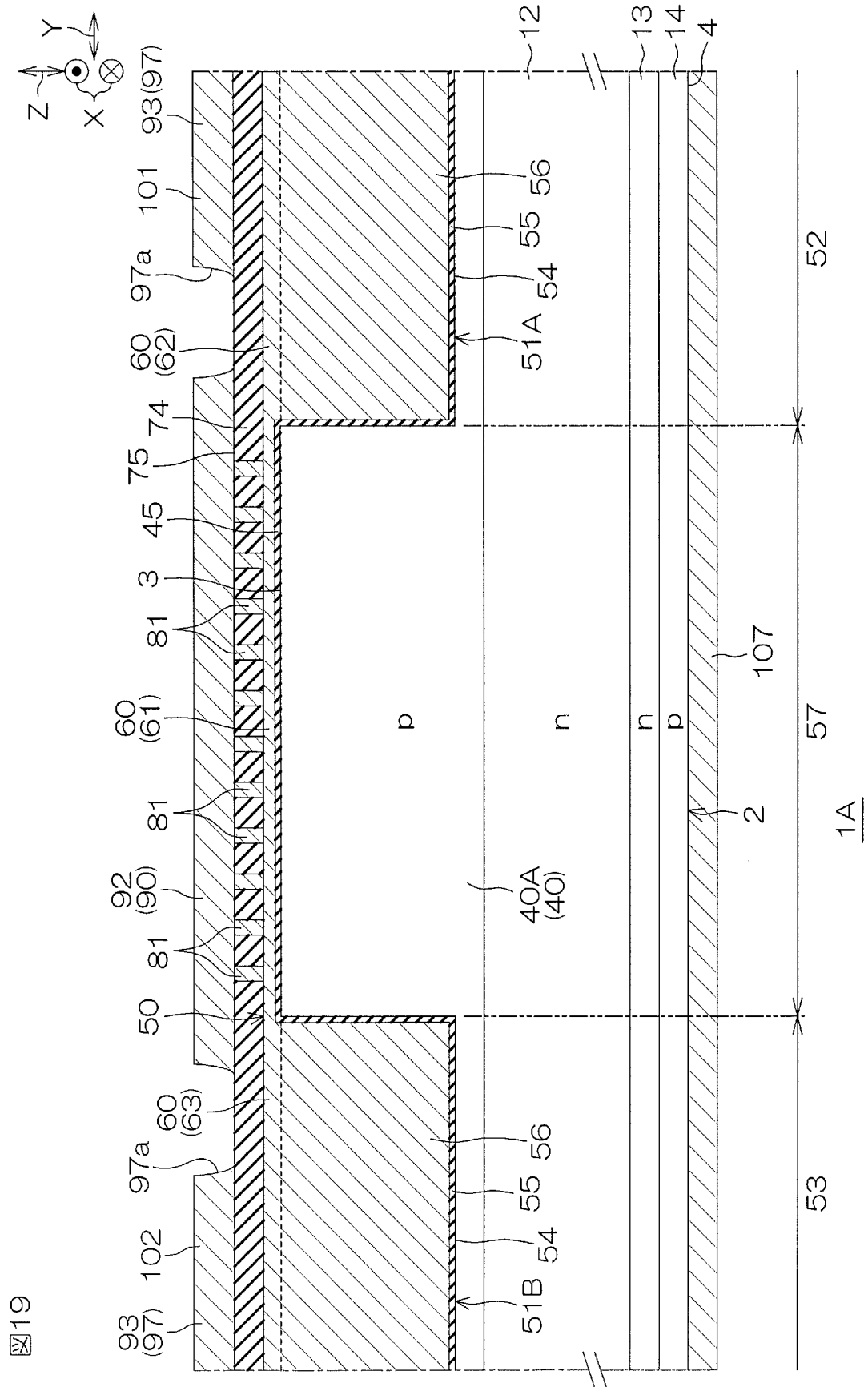
[図14]



[図15]

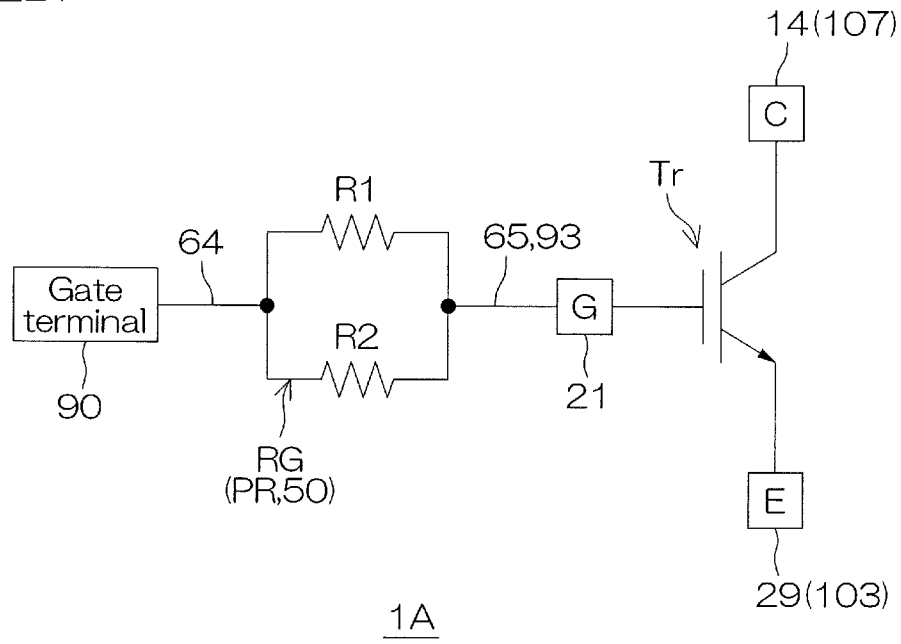


[図19]



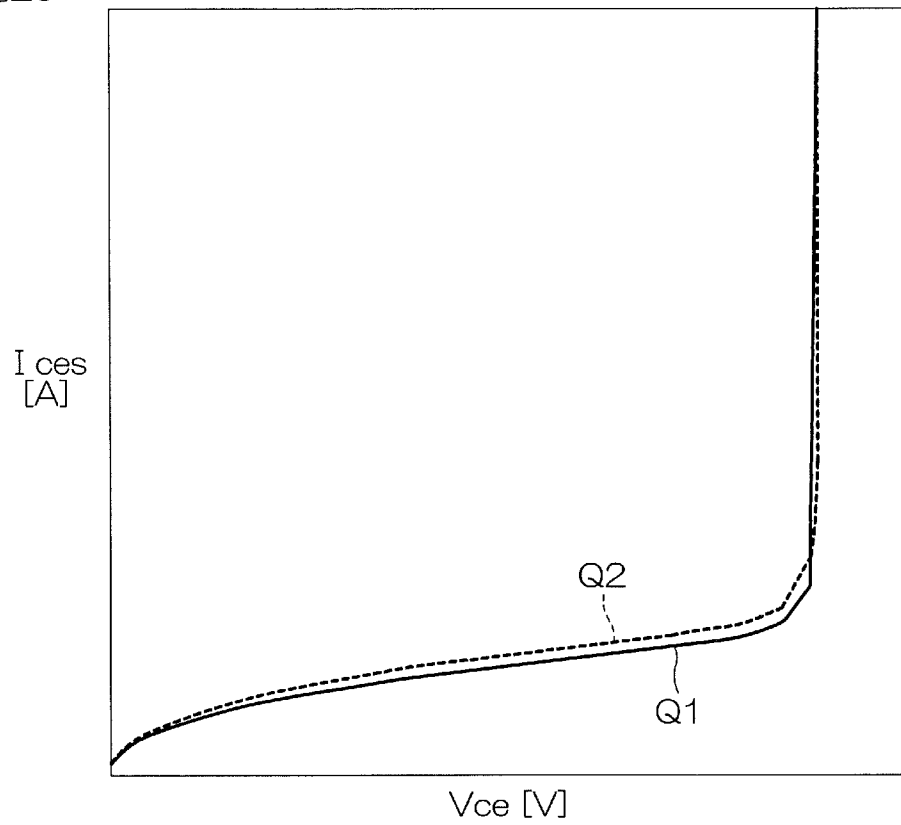
[図24]

図24



[図25]

図25



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/034189

A. CLASSIFICATION OF SUBJECT MATTER

H01L 29/78(2006.01)i; **H01L 21/28**(2006.01)i; **H01L 21/3205**(2006.01)i; **H01L 21/76**(2006.01)i; **H01L 21/768**(2006.01)i; **H01L 21/822**(2006.01)i; **H01L 23/522**(2006.01)i; **H01L 27/04**(2006.01)i; **H01L 29/06**(2006.01)i; **H01L 29/41**(2006.01)i; **H01L 29/423**(2006.01)i; **H01L 29/49**(2006.01)i; **H01L 29/739**(2006.01)i

FI: H01L29/78 652P; H01L29/44 Y; H01L29/58 G; H01L29/44 S; H01L29/78 652J; H01L29/78 653A; H01L29/78 655F; H01L29/78 655E; H01L21/28 301A; H01L29/78 655G; H01L29/78 652R; H01L27/04 P; H01L21/88 Z; H01L29/06 301G; H01L29/06 301F; H01L29/06 301D; H01L29/06 301V

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/78; H01L21/28; H01L21/3205; H01L21/76; H01L21/768; H01L21/822; H01L23/522; H01L27/04; H01L29/06; H01L29/41; H01L29/423; H01L29/49; H01L29/739

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996
Published unexamined utility model applications of Japan 1971-2023
Registered utility model specifications of Japan 1996-2023
Published registered utility model applications of Japan 1994-2023

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-074441 A (KABUSHIKI KAISHA TOSHIBA) 12 April 2012 (2012-04-12) paragraphs [0010], [0015]-[0018], [0024]-[0026], [0041], [0042], fig. 1, 2, 6	1-3, 6-15, 19, 20
A		4, 5, 16-18
Y	JP 2017-163158 A (MITSUBISHI ELECTRIC CORP.) 14 September 2017 (2017-09-14) paragraphs [0012]-[0030], [0052], fig. 1, 2, 26	1-3, 6-15, 19, 20
A		4, 5, 16-18
A	JP 2012-004466 A (HITACHI, LTD.) 05 January 2012 (2012-01-05) paragraphs [0013]-[0032], fig. 1, 2	1-20
A	JP 2010-245281 A (MITSUBISHI ELECTRIC CORP.) 28 October 2010 (2010-10-28) paragraphs [0013]-[0016], [0096], fig. 1, 28	1-20

☒ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance
“E” earlier application or patent but published on or after the international filing date
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
“O” document referring to an oral disclosure, use, exhibition or other means
“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“&” document member of the same patent family

Date of the actual completion of the international search

28 November 2023

Date of mailing of the international search report

12 December 2023

Name and mailing address of the ISA/JP

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915
Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/034189

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	WO 2014/054319 A1 (MITSUBISHI ELECTRIC CORP.) 10 April 2014 (2014-04-10) paragraphs [0015]-[0025], [0091], [0092], [0094], [0095], fig. 1, 2, 24, 26	1-20

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/JP2023/034189

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)	Publication date (day/month/year)
JP	2012-074441	A	12 April 2012	US 2012/0074491 A1 paragraphs [0014], [0019]- [0022], [0028]-[0030], [0046], [0047], fig. 1, 2, 6 US 2013/0277763 A1 CN 102420249 A	
JP	2017-163158	A	14 September 2017	(Family: none)	
JP	2012-004466	A	05 January 2012	(Family: none)	
JP	2010-245281	A	28 October 2010	US 2010/0252904 A1 paragraphs [0037]-[0039], [0119], fig. 1, 28 US 2015/0194482 A1 DE 102010011258 A1 CN 101859769 A	
WO	2014/054319	A1	10 April 2014	US 2015/0255535 A1 paragraphs [0043]-[0053], [0119], [0120], [0122], [0123], fig. 1, 2, 24, 26 DE 112013004846 T5 CN 104704635 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 29/78(2006.01)i; H01L 21/28(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/76(2006.01)i; H01L 21/768(2006.01)i; H01L 21/822(2006.01)i; H01L 23/522(2006.01)i; H01L 27/04(2006.01)i; H01L 29/06(2006.01)i; H01L 29/41(2006.01)i; H01L 29/423(2006.01)i; H01L 29/49(2006.01)i; H01L 29/739(2006.01)i FI: H01L29/78 652P; H01L29/44 Y; H01L29/58 G; H01L29/44 S; H01L29/78 652J; H01L29/78 653A; H01L29/78 655F; H01L29/78 655E; H01L21/28 301A; H01L29/78 655G; H01L29/78 652R; H01L27/04 P; H01L21/88 Z; H01L29/06 301G; H01L29/06 301F; H01L29/06 301D; H01L29/06 301V																							
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L29/78; H01L21/28; H01L21/3205; H01L21/76; H01L21/768; H01L21/822; H01L23/522; H01L27/04; H01L29/06; H01L29/41; H01L29/423; H01L29/49; H01L29/739 最小限資料以外の資料で調査を行った分野に含まれるもの <table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2023年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2023年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2023年</td> </tr> </table> 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2023年	日本国実用新案登録公報	1996 - 2023年	日本国登録実用新案公報	1994 - 2023年													
日本国実用新案公報	1922 - 1996年																						
日本国公開実用新案公報	1971 - 2023年																						
日本国実用新案登録公報	1996 - 2023年																						
日本国登録実用新案公報	1994 - 2023年																						
C. 関連すると認められる文献 <table border="1"> <thead> <tr> <th>引用文献の カテゴリー*</th> <th>引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示</th> <th>関連する 請求項の番号</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>JP 2012-074441 A（株式会社東芝）12.04.2012（2012 - 04 - 12） 段落0010, 0015-0018, 0024-0026, 0041-0042, 図1, 2, 6</td> <td>1-3, 6-15, 19, 20</td> </tr> <tr> <td>A</td> <td></td> <td>4, 5, 16-18</td> </tr> <tr> <td>Y</td> <td>JP 2017-163158 A（三菱電機株式会社）14.09.2017（2017 - 09 - 14） 段落0012-0030, 0052, 図1, 2, 26</td> <td>1-3, 6-15, 19, 20</td> </tr> <tr> <td>A</td> <td></td> <td>4, 5, 16-18</td> </tr> <tr> <td>A</td> <td>JP 2012-004466 A（株式会社日立製作所）05.01.2012（2012 - 01 - 05） 段落0013-0032, 図1, 2</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>JP 2010-245281 A（三菱電機株式会社）28.10.2010（2010 - 10 - 28） 段落0013-0016, 0096, 図1, 28</td> <td>1-20</td> </tr> </tbody> </table>			引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	Y	JP 2012-074441 A（株式会社東芝）12.04.2012（2012 - 04 - 12） 段落0010, 0015-0018, 0024-0026, 0041-0042, 図1, 2, 6	1-3, 6-15, 19, 20	A		4, 5, 16-18	Y	JP 2017-163158 A（三菱電機株式会社）14.09.2017（2017 - 09 - 14） 段落0012-0030, 0052, 図1, 2, 26	1-3, 6-15, 19, 20	A		4, 5, 16-18	A	JP 2012-004466 A（株式会社日立製作所）05.01.2012（2012 - 01 - 05） 段落0013-0032, 図1, 2	1-20	A	JP 2010-245281 A（三菱電機株式会社）28.10.2010（2010 - 10 - 28） 段落0013-0016, 0096, 図1, 28	1-20
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号																					
Y	JP 2012-074441 A（株式会社東芝）12.04.2012（2012 - 04 - 12） 段落0010, 0015-0018, 0024-0026, 0041-0042, 図1, 2, 6	1-3, 6-15, 19, 20																					
A		4, 5, 16-18																					
Y	JP 2017-163158 A（三菱電機株式会社）14.09.2017（2017 - 09 - 14） 段落0012-0030, 0052, 図1, 2, 26	1-3, 6-15, 19, 20																					
A		4, 5, 16-18																					
A	JP 2012-004466 A（株式会社日立製作所）05.01.2012（2012 - 01 - 05） 段落0013-0032, 図1, 2	1-20																					
A	JP 2010-245281 A（三菱電機株式会社）28.10.2010（2010 - 10 - 28） 段落0013-0016, 0096, 図1, 28	1-20																					
☒ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。																							
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献																							
国際調査を完了した日 28. 11. 2023		国際調査報告の発送日 12. 12. 2023																					
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 恩田 和彦 5F 5896 電話番号 03-3581-1101 内線 3516																					

C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	WO 2014/054319 A1 (三菱電機株式会社) 10, 04, 2014 (2014 - 04 - 10) 段落0015-0025, 0091-0092, 0094-0095, 図1, 2, 24, 26	1-20

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/034189

引用文献			公表日	パテントファミリー文献	公表日
JP	2012-074441	A	12.04.2012	US 2012/0074491 A1 段落 0014, 0019-0022, 0028-0030, 0046-0047, 図1, 2, 6 US 2013/0277763 A1 CN 102420249 A	
JP	2017-163158	A	14.09.2017	(ファミリーなし)	
JP	2012-004466	A	05.01.2012	(ファミリーなし)	
JP	2010-245281	A	28.10.2010	US 2010/0252904 A1 段落0037-0039, 0119, 図 1, 28 US 2015/0194482 A1 DE 102010011258 A1 CN 101859769 A	
WO	2014/054319	A1	10.04.2014	US 2015/0255535 A1 段落 0043-0053, 0119-0120, 0122-0123, 図1, 2, 24, 26 DE 112013004846 T5 CN 104704635 A	