

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-143318

(P2017-143318A)

(43) 公開日 平成29年8月17日(2017.8.17)

(51) Int.Cl.	F I	テーマコード (参考)
H O 1 L 21/8234 (2006.01)	H O 1 L 27/088 C	5 F 0 4 8
H O 1 L 27/088 (2006.01)	H O 1 L 27/088 3 3 1 E	

審査請求 有 請求項の数 12 O L (全 44 頁)

(21) 出願番号	特願2017-105178 (P2017-105178)	(71) 出願人	000153878
(22) 出願日	平成29年5月29日 (2017. 5. 29)		株式会社半導体エネルギー研究所
(62) 分割の表示	特願2012-218995 (P2012-218995)		神奈川県厚木市長谷 3 9 8 番地
	の分割	(72) 発明者	坂倉 真之
原出願日	平成24年10月1日 (2012. 10. 1)		神奈川県厚木市長谷 3 9 8 番地 株式会社
(31) 優先権主張番号	特願2011-222990 (P2011-222990)		半導体エネルギー研究所内
(32) 優先日	平成23年10月7日 (2011. 10. 7)	(72) 発明者	後藤 裕吾
(33) 優先権主張国	日本国 (JP)		神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	三宅 博之
			神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内
		(72) 発明者	黒崎 大輔
			神奈川県厚木市長谷 3 9 8 番地 株式会社
			半導体エネルギー研究所内

最終頁に続く

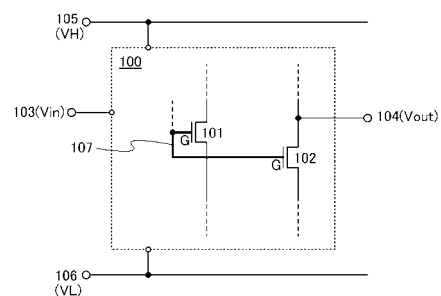
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】 静電破壊による歩留まりの低下を防ぐことができる半導体装置。

【解決手段】 複数の画素を選択するための信号を走査線に供給する走査線駆動回路が、上記信号を生成するシフトレジスタを有しており、上記シフトレジスタにおいて、複数のトランジスタのゲート電極として機能する一の導電膜を複数に分割し、上記分割された導電膜どうしを、分割された導電膜と異なる層に形成された導電膜により、電気的に接続する構成を有する。上記複数のトランジスタには、シフトレジスタの出力側のトランジスタが含まれるものとする。

【選択図】 図 1



【特許請求の範囲】

【請求項 1】

第 1 トランジスタ及び第 2 トランジスタを有し、

前記第 1 トランジスタは、配線への電位の供給を制御する機能を有し、

前記第 1 トランジスタのゲート電極は、第 1 導電膜を介して前記第 2 トランジスタのゲート電極と電氣的に接続されており、

前記第 1 トランジスタのチャネル長に対するチャネル幅の比は、前記第 2 トランジスタのチャネル長に対するチャネル幅の比より大きい半導体装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、絶縁ゲート型電界効果トランジスタを用いた半導体装置に関する。

【背景技術】

【0002】

近年、多結晶シリコンや微結晶シリコンによって得られる高い移動度と、非晶質シリコンによって得られる均一な素子特性とを兼ね備えた新たな半導体材料として、酸化物半導体と呼ばれる、半導体特性を示す金属酸化物に注目が集まっている。金属酸化物は様々な用途に用いられており、例えば、よく知られた金属酸化物である酸化インジウムは、液晶表示装置などで透明電極材料として用いられている。半導体特性を示す金属酸化物としては、例えば、酸化タングステン、酸化錫、酸化インジウム、酸化亜鉛などがあり、このような半導体特性を示す金属酸化物をチャネル形成領域に用いるトランジスタが、既に知られている（特許文献 1 及び特許文献 2）。

20

【先行技術文献】

【特許文献】

【0003】

【特許文献 1】特開 2007-123861 号公報

【特許文献 2】特開 2007-96055 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

30

ところで、非晶質シリコンや酸化物半導体を有するトランジスタで構成された半導体表示装置は、第 5 世代（横 1200mm×縦 1300mm）以上のガラス基板に対応できるため、生産性が高く、コストが低いという利点を有する。パネルが大型化すると、半導体表示装置の画素部において、複数の画素に接続されたバスラインと呼ばれる配線、例えば走査線や信号線などの負荷が大きくなる。そのため、走査線や信号線に電位を供給する駆動回路には大きな電流供給能力が求められるので、駆動回路を構成するトランジスタ、特に出力側に位置するトランジスタは、その電氣的特性にも依るが、パネルの大型化に伴いサイズが増大する傾向にある。

【0005】

40

上記トランジスタのサイズが増大すると、駆動回路においてトランジスタのゲート電極として機能する配線の面積が、レイアウトの都合上、増大する。そのため、ドライエッチングなどのプラズマを用いた製造工程において配線に電荷が蓄積される、所謂アンテナ効果と呼ばれる現象が起きやすく、配線に蓄積された上記電荷の放電により配線が静電破壊される確率が高くなる。

【0006】

特に、非晶質シリコンや酸化物半導体を有するトランジスタは、多結晶シリコンや単結晶シリコンを用いたトランジスタに比べて、オン電流が小さい傾向にある。非晶質シリコンや酸化物半導体を有するトランジスタを用いると、パネルの大型化はプロセス上可能であるが、駆動回路の電流供給能力を満たすために更に大きなサイズのトランジスタを設計する必要が生じる。よって、配線の面積の増大による配線の静電破壊の確率が高まり、それ

50

により歩留まりの低下がもたらされやすい。

【0007】

上述したような技術的背景のもと、本発明は、静電破壊による歩留まりの低下を防ぐことができる半導体装置の提供を、課題の一つとする。

【課題を解決するための手段】

【0008】

本発明の一態様は、アンテナ効果による導電膜への電荷の蓄積を防ぐために、複数のトランジスタのゲート電極として機能する一の導電膜を複数に分割する。上記分割された導電膜は離隔している。そして、上記分割された導電膜どうしを、分割された導電膜と異なる導電膜により、電氣的に接続する構成を有する。上記複数のトランジスタには、駆動回路の出力側のトランジスタが含まれるものとする。

10

【0009】

或いは、本発明の一態様では、複数の画素を選択するための信号を走査線に供給する走査線駆動回路が、上記信号を生成するシフトレジスタを有しており、上記シフトレジスタにおいて、複数のトランジスタのゲート電極として機能する一の導電膜を複数に分割する。上記分割された導電膜は離隔している。そして、上記分割された導電膜どうしを、分割された導電膜と異なる導電膜により、電氣的に接続する構成を有する。上記複数のトランジスタには、シフトレジスタの出力側のトランジスタが含まれるものとする。

【0010】

分割された導電膜と異なる導電膜は、上記分割された導電膜と異なる層に設けられていても良い。そして、上記の異なる層に形成された導電膜は、上記複数のトランジスタのソース電極及びドレイン電極と同じ層に形成されていても良い。

20

【0011】

なお、本発明の一態様では、上記複数のトランジスタが、非晶質シリコンまたは酸化物半導体を活性層に有していても良い。

【0012】

本発明の一態様では、ゲート電極として機能する複数の導電膜どうしを、異なる層に形成された導電膜で電氣的に接続することで、一の導電膜を複数のゲート電極として機能させる場合よりも、ゲート電極として機能する各導電膜の面積を小さく抑えることができる。よって、パネルの大型化により駆動回路の出力側に位置するトランジスタのサイズが増大しても、上記トランジスタのゲート電極として機能する導電膜の面積を小さく抑えることができ、それにより、ゲート電極をエッチングにより形成する工程など、プラズマを用いた製造工程において、アンテナ効果により上記導電膜が静電破壊されるのを防ぐことができる。

30

【0013】

具体的に、本発明の一態様に係る半導体装置は、複数の画素に信号を供給する駆動回路を有する。上記駆動回路は複数のトランジスタを有し、上記複数のトランジスタのうち、信号の出力側の少なくとも一のトランジスタと、上記出力側のトランジスタ以外の少なくとも一のトランジスタとは、互いのゲート電極が、ゲート電極と異なる導電膜によって、電氣的に接続されている。

40

【発明の効果】

【0014】

本発明の一態様に係る半導体装置では、上記構成により、静電破壊による歩留まりの低下を防ぐことができる。

【図面の簡単な説明】

【0015】

【図1】本発明の半導体装置の構成を示す図。

【図2】トランジスタの上面図及び断面図。

【図3】トランジスタの上面図及び断面図。

【図4】本発明の半導体装置の構成を示す回路図。

50

【図 5】シフトレジスタの構成を示す図。

【図 6】パルス出力回路の動作を示すタイミングチャート。

【図 7】第 j のパルス発生回路を、模式的に示した図。

【図 8】パルス発生回路の構成を示す図。

【図 9】パルス発生回路の構成を示す図。

【図 10】パルス発生回路の構成を示す図。

【図 11】駆動回路と画素の断面図。

【図 12】パネルの構成を示す図。

【図 13】電子機器の図。

【発明を実施するための形態】

10

【0016】

以下では、本発明の実施の形態について図面を用いて詳細に説明する。ただし、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。したがって、本発明は、以下に示す実施の形態の記載内容に限定して解釈されるものではない。

【0017】

なお、本発明は、集積回路、RFタグ、半導体表示装置など、トランジスタを用いたあらゆる半導体装置を、その範疇に含む。なお、集積回路には、マイクロプロセッサ、画像処理回路、DSP (Digital Signal Processor)、マイクロコントローラを含むLSI (Large Scale Integrated Circuit)、FPGA (Field Programmable Gate Array) や CPLD (Complex PLD) などのプログラマブル論理回路 (PLD: Programmable Logic Device) が、その範疇に含まれる。また、半導体表示装置には、液晶表示装置、有機発光素子 (OLED) に代表される発光素子を各画素に備えた発光装置、電子ペーパー、DMD (Digital Micromirror Device)、PDP (Plasma Display Panel)、FED (Field Emission Display) など、半導体膜を用いた回路素子を駆動回路に有している半導体表示装置が、その範疇に含まれる。

20

【0018】

なお、本明細書において半導体表示装置とは、液晶素子や発光素子などの表示素子が各画素に形成されたパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを、その範疇に含む。

30

【0019】

(実施の形態1)

図1に、本発明の一態様に係る半導体装置の、回路構成の一例を示す。図1に示す半導体装置100は、少なくともトランジスタ101と、トランジスタ102とを含む複数のトランジスタを有する。

【0020】

半導体装置100には、配線105及び配線106を介して、ハイレベルの電位 V_H 、或いはローレベルの電位 V_L が与えられている。図1では、配線105を介して電位 V_H が半導体装置100に与えられ、配線106を介して電位 V_L が半導体装置100に与えられている場合を例示している。また、半導体装置100には、配線103を介して入力信号の電位 V_{in} が与えられる。半導体装置100では、トランジスタ101及びトランジスタ102を含む複数のトランジスタが、電位 V_{in} に従ってスイッチングを行う。そして、電位 V_H または電位 V_L のいずれか一方が上記スイッチングにより選択され、選択された電位が出力信号の電位 V_{out} として、半導体装置100から配線104を介して出力される。

40

【0021】

トランジスタ102は、そのソース端子またはドレイン端子の一方が、配線104に接続されている。すなわち、トランジスタ102は、半導体装置100の出力側に位置し、配

50

線 104 への電位 V_{out} の出力を制御する機能を有する。そして、本発明の一態様では、トランジスタ 101 のゲート電極 (G で示す) と、トランジスタ 102 のゲート電極 (G で示す) とが、上記ゲート電極とは異なる配線 107 により、電氣的に接続されている。

【0022】

なお、本明細書において接続とは、特に断りがない場合、電氣的な接続と直接的な接続の両方を意味しており、電流、電圧又は電位が、供給可能、或いは伝送可能な状態に相当する。従って、接続している状態とは、直接接続している状態を必ずしも指すわけではなく、電流、電圧又は電位が、供給可能、或いは伝送可能であるように、配線、導電膜、抵抗、ダイオード、トランジスタなどの素子を介して間接的に接続している状態も、その範疇に含む。

10

【0023】

また、トランジスタのソース端子とは、活性層の一部であるソース領域、或いは活性層に接続されたソース電極を意味する。同様に、トランジスタのドレイン端子とは、活性層の一部であるドレイン領域、或いは活性層に接続されたドレイン電極を意味する。

【0024】

トランジスタが有するソース端子とドレイン端子は、トランジスタの極性及び各電極に与えられる電位の高低によって、その呼び方が入れ替わる。一般的に、n チャンネル型トランジスタでは、低い電位が与えられる電極がソース端子と呼ばれ、高い電位が与えられる電極がドレイン端子と呼ばれる。また、p チャンネル型トランジスタでは、低い電位が与えられる電極がドレイン端子と呼ばれ、高い電位が与えられる電極がソース端子と呼ばれる。本明細書では、便宜上、ソース端子とドレイン端子とが固定されているものと仮定して、トランジスタの接続関係を説明する場合があるが、実際には上記電位の関係に従ってソース端子とドレイン端子の呼び方が入れ替わる。

20

【0025】

なお、複数の画素に接続されたバスラインと呼ばれる負荷の大きい配線、例えば走査線や信号線などに、半導体装置 100 から出力される電位 V_{out} を供給する場合、上記電位 V_{out} の出力を制御するトランジスタ 102 には、大きな電流供給能力が求められる。そのため、当該トランジスタ 102 のチャンネル幅 W は、トランジスタ 101 のチャンネル幅 W よりも、大きい値に設計することが望ましい。

30

【0026】

図 2 (A) に、図 1 に示したトランジスタ 101 及びトランジスタ 102 の上面図を、一例として示す。ただし、図 2 (A) では、トランジスタ 101 及びトランジスタ 102 のレイアウトを明確にするために、ゲート絶縁膜 111 を省略した上面図を示す。また、図 2 (A) に示したトランジスタ 102 の、一点鎖線 A1-A2 における断面図の一例を、図 2 (B) に示す。

【0027】

図 2 (A) では、トランジスタ 101 が、ゲート電極として機能する導電膜 110 と、導電膜 110 上のゲート絶縁膜 111 と、ゲート絶縁膜 111 上において導電膜 110 と重なる位置に設けられた半導体膜 112 と、半導体膜 112 上においてソース電極またはドレイン電極として機能する導電膜 113 及び導電膜 114 とを有する。

40

【0028】

また、図 2 (A) 及び図 2 (B) では、トランジスタ 102 が、ゲート電極として機能する導電膜 115 と、導電膜 115 上のゲート絶縁膜 111 と、ゲート絶縁膜 111 上において導電膜 115 と重なる位置に設けられた半導体膜 116 と、半導体膜 116 上においてソース電極またはドレイン電極として機能する導電膜 117 及び導電膜 118 とを有する。

【0029】

そして、本発明の一態様では、出力側に位置するトランジスタ 102 の方が、トランジスタ 101 よりも電流供給能力が高い。よって、本発明の一態様では、図 2 (A) に示すよ

50

うに、トランジスタ102のチャンネル長 L_{102} に対するチャンネル幅 W_{102} の比を、トランジスタ101のチャンネル長 L_{101} に対するチャンネル幅 W_{101} の比よりも、大きい値に設計することが望ましい。具体的に、チャンネル長 L_{102} に対するチャンネル幅 W_{102} の比は、チャンネル長 L_{101} に対するチャンネル幅 W_{101} の比の2倍以上、より好ましくは3倍以上であることが望ましい。

【0030】

また、導電膜110と導電膜115とは、離隔している。なお、本明細書において離隔とは、物理的に離れて存在することを意味する。そして、図2(A)及び図2(B)では、導電膜110と導電膜115とが、配線として機能する導電膜119を介して、電氣的に接続されている。具体的に、導電膜110と導電膜115とは、ゲート絶縁膜111に形成された開口部120及び開口部121を介して、導電膜119に接続されている。

10

【0031】

また、図2(A)及び図2(B)に示す導電膜110と導電膜115とは、絶縁表面上に形成された一の導電膜を、エッチング等により所望の形状に加工することで、形成することができる。そして、導電膜113及び導電膜114と、導電膜117及び導電膜118と、導電膜119とは、開口部120及び開口部121を覆うようにゲート絶縁膜111上に形成された一の導電膜を、エッチング等により所望の形状に加工することで、形成することができる。すなわち、導電膜119は、導電膜110及び導電膜115と、異なる層に形成されている。

20

【0032】

図2(A)及び図2(B)に示すように、本発明の一態様では、ゲート電極として機能する導電膜110及び導電膜115を、導電膜110及び導電膜115と異なる層に形成された導電膜119により電氣的に接続している。

【0033】

比較例として、図2(C)に、図1に示したトランジスタ101及びトランジスタ102の上面図の、別の一例として示す。ただし、図2(C)では、トランジスタ101及びトランジスタ102のレイアウトを明確にするために、ゲート絶縁膜を省略した上面図を示す。

【0034】

図2(C)では、トランジスタ101が、ゲート電極として機能する導電膜122と、導電膜122上のゲート絶縁膜と、ゲート絶縁膜上において導電膜122と重なる位置に設けられた半導体膜123と、半導体膜123上においてソース電極またはドレイン電極として機能する導電膜124及び導電膜125とを有する。

30

【0035】

また、図2(C)では、トランジスタ102が、ゲート電極として機能する導電膜122と、導電膜122上のゲート絶縁膜と、ゲート絶縁膜上において導電膜122と重なる位置に設けられた半導体膜126と、半導体膜126上においてソース電極またはドレイン電極として機能する導電膜127及び導電膜128とを有する。

【0036】

すなわち、図2(C)では、トランジスタ101とトランジスタ102とが、導電膜122を共有しており、導電膜122がトランジスタ101のゲート電極及びトランジスタ102のゲート電極として機能する。よって、図2(C)の場合、ゲート電極として機能する導電膜122の面積が、図2(A)及び図2(B)においてゲート電極として機能する導電膜110及び導電膜115の各面積よりも、大きくなる。

40

【0037】

よって、本発明の一態様では、ゲート電極として機能する導電膜110及び導電膜115の各面積を比較例の導電膜122の面積に比べて小さく抑えることができるので、導電膜110及び導電膜115をエッチングで作製する際に、導電膜110及び導電膜115のそれぞれに蓄積される電荷量を小さく抑える、すなわち、アンテナ効果を低減させることができる。したがって、本発明の一態様では、導電膜110及び導電膜115をエッチン

50

グで作製する際に、比較例に比べて、上記電荷の放電による導電膜 110 及び導電膜 115 の静電破壊を起きにくくすることができる。

【0038】

また、本発明の一態様では、導電膜 110 及び導電膜 115 上の半導体膜 112 及び半導体膜 116 をエッチングで作製する際にも、アンテナ効果による導電膜 110 及び導電膜 115 の静電破壊を起きにくくすることができる。

【0039】

次いで、図 3 (A) に、図 1 に示したトランジスタ 101 及びトランジスタ 102 の上面図の、図 2 (A) と異なる一例を示す。ただし、図 3 (A) では、トランジスタ 101 及びトランジスタ 102 のレイアウトを明確にするために、ゲート絶縁膜 211 を省略した上面図を示す。また、図 3 (A) に示したトランジスタ 102 の、一点鎖線 B1-B2 における断面図の一例を、図 3 (B) に示す。

10

【0040】

図 3 (A) では、トランジスタ 101 が、ソース電極またはドレイン電極として機能する導電膜 213 及び導電膜 214 と、導電膜 213 及び導電膜 214 上の半導体膜 212 と、半導体膜 212 上のゲート絶縁膜 211 と、ゲート絶縁膜 211 上において半導体膜 212 と重なる位置に設けられた、ゲート電極として機能する導電膜 210 とを有する。

【0041】

また、図 3 (A) 及び図 3 (B) では、トランジスタ 102 が、ソース電極またはドレイン電極として機能する導電膜 217 及び導電膜 218 と、導電膜 217 及び導電膜 218 上の半導体膜 216 と、半導体膜 216 上のゲート絶縁膜 211 と、ゲート絶縁膜 211 上において半導体膜 216 と重なる位置に設けられた、ゲート電極として機能する導電膜 215 とを有する。

20

【0042】

そして、本発明の一態様では、出力側に位置するトランジスタ 102 の方が、トランジスタ 101 よりも電流供給能力が高い。よって、本発明の一態様では、図 3 (A) に示すように、トランジスタ 102 のチャンネル長 L_{102} に対するチャンネル幅 W_{102} の比を、トランジスタ 101 のチャンネル長 L_{101} に対するチャンネル幅 W_{101} の比よりも、大きい値に設計することが望ましい。具体的に、チャンネル長 L_{102} に対するチャンネル幅 W_{102} の比は、チャンネル長 L_{101} に対するチャンネル幅 W_{101} の比の 2 倍以上、より好ましくは 3 倍以上であることが望ましい。

30

【0043】

また、導電膜 210 と導電膜 215 とは、離隔している。そして、図 3 (A) 及び図 3 (B) では、導電膜 210 と導電膜 215 とが、配線として機能する導電膜 219 を介して、電氣的に接続されている。具体的に、導電膜 210 と導電膜 215 とは、ゲート絶縁膜 211 に形成された開口部 220 及び開口部 221 を介して、導電膜 219 に接続されている。

【0044】

また、図 3 (A) 及び図 3 (B) に示す導電膜 210 と導電膜 215 とは、開口部 220 及び開口部 221 を覆うようにゲート絶縁膜 211 上に形成された一の導電膜を、エッチング等により所望の形状に加工することで、形成することができる。そして、導電膜 213 及び導電膜 214 と、導電膜 217 及び導電膜 218 と、導電膜 219 とは、絶縁表面上に形成された一の導電膜を、エッチング等により所望の形状に加工することで、形成することができる。すなわち、導電膜 219 は、導電膜 210 及び導電膜 215 と、異なる層に形成されている。

40

【0045】

図 3 (A) 及び図 3 (B) に示すように、本発明の一態様では、ゲート電極として機能する導電膜 210 及び導電膜 215 を、導電膜 210 及び導電膜 215 と異なる層に形成された導電膜 219 により電氣的に接続している。

【0046】

50

比較例として、図 3 (C) に、図 1 に示したトランジスタ 101 及びトランジスタ 102 の上面図の、別の一例として示す。ただし、図 3 (C) では、トランジスタ 101 及びトランジスタ 102 のレイアウトを明確にするために、ゲート絶縁膜を省略した上面図を示す。

【0047】

図 3 (C) では、トランジスタ 101 が、ソース電極またはドレイン電極として機能する導電膜 224 及び導電膜 225 と、導電膜 224 及び導電膜 225 上の半導体膜 223 と、半導体膜 223 上のゲート絶縁膜と、ゲート絶縁膜上において半導体膜 223 と重なる位置に設けられた、ゲート電極として機能する導電膜 222 とを有する。

【0048】

また、図 3 (C) では、トランジスタ 102 が、ソース電極またはドレイン電極として機能する導電膜 227 及び導電膜 228 と、導電膜 227 及び導電膜 228 上の半導体膜 226 と、半導体膜 226 上のゲート絶縁膜と、ゲート絶縁膜上において半導体膜 226 と重なる位置に設けられた、ゲート電極として機能する導電膜 222 とを有する。

【0049】

すなわち、図 3 (C) では、トランジスタ 101 とトランジスタ 102 とが、導電膜 222 を共有しており、導電膜 222 がトランジスタ 101 のゲート電極及びトランジスタ 102 のゲート電極として機能する。よって、図 3 (C) の場合、ゲート電極として機能する導電膜 222 の面積が、図 3 (A) 及び図 3 (B) においてゲート電極として機能する導電膜 210 及び導電膜 215 の各面積よりも、大きくなる。

【0050】

よって、本発明の一態様では、ゲート電極として機能する導電膜 210 及び導電膜 215 の各面積を比較例の導電膜 222 の面積に比べて小さく抑えることができるので、導電膜 210 及び導電膜 215 をエッチングで作製する際に、導電膜 210 及び導電膜 215 のそれぞれに蓄積される電荷量を小さく抑える、すなわち、アンテナ効果を低減させることができる。したがって、本発明の一態様では、導電膜 210 及び導電膜 215 をエッチングで作製する際に、比較例に比べて、上記電荷の放電による導電膜 210 及び導電膜 215 の静電破壊を起きにくくすることができる。

【0051】

また、本発明の一態様では、導電膜 210 及び導電膜 215 上の各種導電膜をエッチングで所望の形状に加工する際にも、アンテナ効果による導電膜 210 及び導電膜 215 の静電破壊を起きにくくすることができる。

【0052】

次いで、本発明の一態様に係る半導体装置の一つである、パルス発生回路の構成について説明する。図 4 に、本発明の一態様に係る半導体装置が有する、パルス発生回路の一例を示す。

【0053】

図 4 に示すパルス発生回路 300 は、トランジスタ 301 乃至トランジスタ 315 と、容量素子 316 とを有する。トランジスタ 302 は、図 1 にて示したトランジスタ 101 に相当する。トランジスタ 309、トランジスタ 312、またはトランジスタ 315 は、図 1 にて示したトランジスタ 102 に相当する。また、パルス発生回路 300 は、配線 317 乃至配線 326 から各種電位が与えられ、配線 327 乃至配線 329 に電位を出力する構成を有している。

【0054】

上記パルス発生回路 300 を複数段接続させることで、シフトレジスタを構成することができる。

【0055】

具体的に、トランジスタ 301 乃至トランジスタ 315 が n チャネル型である場合、配線 317 にはハイレベルの電位 VDD が与えられ、配線 318 にはローレベルの電位 VSS が与えられ、配線 326 にはローレベルの電位 VEE が与えられる。電位 VEE は、電位

10

20

30

40

50

VSSと同じ電位であるか、それより高い電位であることが望ましい。また、配線319には電位LINが与えられ、配線320には電位INRESが与えられ、配線321には電位CLK2が与えられ、配線322には電位RINが与えられ、配線323には電位CLK1が与えられ、配線324には電位PWC2が与えられ、配線325には電位PWC1が与えられる。

【0056】

また、パルス発生回路300から出力される電位GOUT1は、配線327に与えられる。パルス発生回路300から出力される電位GOUT2は、配線328に与えられる。パルス発生回路300から出力される電位SROUTは、配線329に与えられる。

【0057】

電位LIN、電位RIN、及び電位CLK2、及び電位INRESは、図1に示す半導体装置100における電位Vinに相当する。電位GOUT1、電位GOUT2、及び電位SROUTは、図1に示す半導体装置100における電位Voutに相当する。電位VSS、電位VEE、電位PWC1、電位PWC2、及び電位CLK1は、図1に示す半導体装置100における電位VHまたは電位VLに相当する。

【0058】

具体的に、トランジスタ301は、そのゲート電極が配線319に接続されている。また、トランジスタ301は、そのソース端子及びドレイン端子の一方が配線317に、他方がトランジスタ302のソース端子及びドレイン端子の一方に、それぞれ接続されている。トランジスタ302は、そのゲート電極がトランジスタ315のゲート電極に接続されている。また、トランジスタ302は、そのソース端子及びドレイン端子の他方が、配線318に接続されている。トランジスタ303は、そのゲート電極が配線320に接続されている。また、トランジスタ303は、そのソース端子及びドレイン端子の一方が配線317に、他方がトランジスタ302のゲート電極に、それぞれ接続されている。トランジスタ304は、そのゲート電極が配線321に接続されている。また、トランジスタ304は、そのソース端子及びドレイン端子の一方が配線317に、他方がトランジスタ302のゲート電極に、それぞれ接続されている。トランジスタ305は、そのゲート電極が配線322に接続されている。また、トランジスタ305は、そのソース端子及びドレイン端子の一方が配線317に、他方がトランジスタ302のゲート電極に、それぞれ接続されている。トランジスタ306は、そのゲート電極が配線319に接続されている。また、トランジスタ306は、そのソース端子及びドレイン端子の一方がトランジスタ302のゲート電極に、他方が配線318に、それぞれ接続されている。トランジスタ307は、そのゲート電極が配線317に接続されている。また、トランジスタ307は、そのソース端子及びドレイン端子の一方がトランジスタ301のソース端子及びドレイン端子の他方に、他方がトランジスタ308のゲート電極に、それぞれ接続されている。トランジスタ308は、そのソース端子及びドレイン端子の一方が配線323に、他方が配線329に、それぞれ接続されている。トランジスタ309は、そのゲート電極がトランジスタ302のゲート電極に接続されている。また、トランジスタ309は、そのソース端子及びドレイン端子の一方が配線329に、他方が配線318に、それぞれ接続されている。トランジスタ310は、そのゲート電極が配線317に接続されている。また、トランジスタ310は、そのソース端子及びドレイン端子の一方がトランジスタ301のソース端子及びドレイン端子の他方に、他方がトランジスタ311のゲート電極に、それぞれ接続されている。トランジスタ311は、そのソース端子及びドレイン端子の一方が配線324に、他方が配線328に、それぞれ接続されている。トランジスタ312は、そのゲート電極がトランジスタ302のゲート電極に接続されている。また、トランジスタ312は、そのソース端子及びドレイン端子の一方が配線328に、他方が配線318に、それぞれ接続されている。トランジスタ313は、そのゲート電極が配線317に接続されている。また、トランジスタ313は、そのソース端子及びドレイン端子の一方がトランジスタ301のソース端子及びドレイン端子の他方に、他方がトランジスタ314のゲート電極に、それぞれ接続されている。トランジスタ314は、そのソース端子及びドレ

10

20

30

40

50

イン端子の一方が配線 3 2 5 に、他方が配線 3 2 7 に、それぞれ接続されている。トランジスタ 3 1 5 は、そのソース端子及びドレイン端子の一方が配線 3 2 7 に、他方が配線 3 2 6 に、それぞれ接続されている。容量素子 3 1 6 は、一方の電極がトランジスタ 3 0 2 のゲート電極に、他方の電極が配線 3 1 8 に、それぞれ接続されている。

【0059】

なお、図 4 では、出力側のトランジスタ 3 1 5 のソース端子及びドレイン端子の他方が配線 3 2 6 に接続されているが、本発明はこの構成に限定されない。出力側のトランジスタ 3 1 5 のソース端子及びドレイン端子の他方が、配線 3 1 8 に接続されていても良い。ただし、出力側のトランジスタ 3 1 5 はサイズが大きいため、トランジスタ 3 1 5 がノーマリオンであると、ドレイン電流が、他のトランジスタに比べて大きい。よって、トランジスタ 3 1 5 がノーマリオンであると、トランジスタ 3 1 5 のソース端子及びドレイン端子の他方が配線 3 1 8 に接続されている場合、配線 3 1 8 の電位が上記ドレイン電流により上昇し、出力電位である電位 G O U T 1 の振幅が小さくなってしまいう現象が生じやすい。しかし、図 4 に示すように、出力側のトランジスタ 3 1 5 のソース端子及びドレイン端子の他方が配線 3 1 8 ではなく配線 3 2 6 に接続されていると、トランジスタ 3 1 5 がノーマリオンであったとし、それにより、配線 3 2 6 の電位が上昇したとしても、当該トランジスタのゲート電極に電位を供給するための配線 3 1 8 の電位は、配線 3 2 6 の電位の上昇とは無関係である。よって、トランジスタ 3 1 5 のドレイン電流により配線 3 2 6 の電位が上昇すると、トランジスタ 3 1 5 のゲート電圧が負の値を有する閾値電圧に近づくため、トランジスタ 3 1 5 がノーマリオンであってもオフにすることができる。

【0060】

本発明の一態様では、出力側のトランジスタに相当するトランジスタ 3 0 9、トランジスタ 3 1 2、及びトランジスタ 3 1 5 の少なくとも一つと、トランジスタ 3 0 2 とは、互いのゲート電極が、上記ゲート電極と異なる導電膜を介して、電氣的に接続されている。上記構成により、トランジスタ 3 0 9、トランジスタ 3 1 2、トランジスタ 3 1 5、及びトランジスタ 3 0 2 の全てのゲート電極が一の導電膜で構成されている場合に比べて、ゲート電極として機能する各導電膜の面積を小さく抑えることができる。よって、ゲート電極として機能する導電膜の、アンテナ効果による静電破壊を、起きにくくすることができる。

【0061】

なお、本発明の一態様では、ゲート電極として機能する 2 つの導電膜が、上記 2 つの導電膜と異なる一の導電膜を介して、電氣的に接続されている構成に限定されない。例えば、ゲート電極として機能する 2 つの導電膜が、上記 2 つの導電膜と異なる複数の導電膜を介して電氣的に接続されていても良い。この場合、上記複数の導電膜の少なくとも一つが、ゲート電極として機能する 2 つの導電膜と異なる層に形成されているものとする。

【0062】

また、本発明の一態様では、ゲート電極として機能する複数の導電膜と、上記複数の導電膜を電氣的に接続するための導電膜との間に、絶縁膜が設けられている構成に限定されない。本発明の一態様では、ゲート電極として機能する複数の導電膜と、上記複数の導電膜を電氣的に接続するための導電膜とが、異なる作製工程において作製されていれば良い。よって、ゲート電極として機能する複数の導電膜と、上記複数の導電膜を電氣的に接続するための導電膜との間に、絶縁膜が形成されていなくとも良い。

【0063】

(実施の形態 2)

本実施の形態では、図 4 に示したパルス発生回路 3 0 0 を複数段接続させることで構成されるシフトレジスタについて説明する。

【0064】

図 5 に示すシフトレジスタは、パルス発生回路 3 0 0 __ 1 乃至パルス発生回路 3 0 0 __ y (y は自然数) と、ダミーのパルス発生回路 3 0 0 __ d とを有する。パルス発生回路 3 0 0 __ 1 乃至パルス発生回路 3 0 0 __ y は、それぞれ、図 4 に示したパルス発生回路 3 0 0

と同じ構成を有する。また、パルス発生回路 300__d は、電位 R I N が与えられる配線 322 と接続されていない点、及び、トランジスタ 305 を有さない点において、図 4 に示したパルス発生回路 300 と構成が異なる。

【0065】

また、図 5 に示したシフトレジスタにおいて、パルス発生回路 300__j (j は、y 以下の自然数) に接続された配線 319 乃至配線 325、配線 327 乃至配線 329 の位置を、図 7 に模式的に示す。図 5 と図 7 から分かるように、パルス発生回路 300__j の配線 319 には、前段のパルス発生回路 300__j-1 の配線 329 から出力された電位 S R O U T j-1 が、電位 L I N として与えられる。ただし、1 段目のパルス発生回路 300__1 の配線 319 には、スタートパルス信号 G S P の電位が与えられる構成とする。

10

【0066】

また、パルス発生回路 300__j に接続された配線 322 には、1 つ後段のパルス発生回路 300__j+1 の配線 329 から出力された電位 S R O U T j+1 が、電位 R I N として与えられる。ただし、y 段目のパルス発生回路 300__y の配線 322 には、パルス発生回路 300__d の配線 329 から出力された S R O U T d が、電位 R I N として与えられる構成とする。

【0067】

配線 321 及び配線 323 には、クロック信号 G C K 1 乃至クロック信号 G C K 4 のうち、いずれか 2 つのクロック信号の電位が、それぞれ与えられる。具体的に、パルス発生回路 300__4m+1 では、クロック信号 G C K 1 の電位が、電位 C L K 1 として配線 323 に与えられ、クロック信号 G C K 2 の電位が、電位 C L K 2 として配線 321 に与えられる。パルス発生回路 300__4m+2 では、クロック信号 G C K 2 の電位が、電位 C L K 1 として配線 323 に与えられ、クロック信号 G C K 3 の電位が、電位 C L K 2 として配線 321 に与えられる。パルス発生回路 300__4m+3 では、クロック信号 G C K 3 の電位が、電位 C L K 1 として配線 323 に与えられ、クロック信号 G C K 4 の電位が、電位 C L K 2 として配線 321 に与えられる。パルス発生回路 300__4m+4 では、クロック信号 G C K 4 の電位が、電位 C L K 1 として配線 323 に与えられ、クロック信号 G C K 1 の電位が、電位 C L K 2 として配線 321 に与えられる。パルス発生回路 300__d では、クロック信号 G C K 1 の電位が、電位 C L K 1 として配線 323 に与えられ、クロック信号 G C K 2 の電位が、電位 C L K 2 として配線 321 に与えられる。ただし、m は、パルス発生回路 300 の総数が y であることを満たす、任意の整数とする。

20

30

【0068】

また、配線 324 及び配線 325 には、パルス幅制御信号 P W C A 乃至パルス幅制御信号 P W C D と、パルス幅制御信号 P W C a 乃至パルス幅制御信号 P W C d のうち、いずれか 2 つのパルス幅制御信号の電位が、それぞれ与えられる。具体的に、パルス発生回路 300__4m+1 では、パルス幅制御信号 P W C a の電位が、電位 P W C 1 として配線 325 に与えられ、パルス幅制御信号 P W C A の電位が、電位 P W C 2 として配線 324 に与えられる。パルス発生回路 300__4m+2 では、パルス幅制御信号 P W C b の電位が、電位 P W C 1 として配線 325 に与えられ、パルス幅制御信号 P W C B の電位が、電位 P W C 2 として配線 324 に与えられる。パルス発生回路 300__4m+3 では、パルス幅制御信号 P W C c の電位が、電位 P W C 1 として配線 325 に与えられ、パルス幅制御信号 P W C C の電位が、電位 P W C 2 として配線 324 に与えられる。パルス発生回路 300__4m+4 では、パルス幅制御信号 P W C d の電位が、電位 P W C 1 として配線 325 に与えられ、パルス幅制御信号 P W C D の電位が、電位 P W C 2 として配線 324 に与えられる。パルス発生回路 300__d では、パルス幅制御信号 P W C a の電位が、電位 P W C 1 として配線 325 に与えられ、パルス幅制御信号 P W C A の電位が、電位 P W C 2 として配線 324 に与えられる。

40

【0069】

パルス発生回路 300__j に接続された配線 327 の電位 G O U T 1 は、走査線 G L a j に与えられる。

50

【0070】

パルス発生回路300__jに接続された配線329の電位SROUT__jは、インバータ351__jによってその極性が反転され、走査線GLbjに与えられる。具体的に、インバータ351__4m+1は、クロック信号GCK2が入力されており、クロック信号GCK2の電位がローレベルの時に、電位SROUT__4m+1の極性を反転させて、走査線GLb4m+1に与える。インバータ351__4m+2は、クロック信号GCK3が入力されており、クロック信号GCK3の電位がローレベルの時に、電位SROUT__4m+2の極性を反転させて、走査線GLb4m+2に与える。インバータ351__4m+3は、クロック信号GCK4が入力されており、クロック信号GCK4の電位がローレベルの時に、電位SROUT__4m+3の極性を反転させて、走査線GLb4m+3に与える。インバータ351__4m+4は、クロック信号GCK1が入力されており、クロック信号GCK1の電位がローレベルの時に、電位SROUT__4m+4の極性を反転させて、走査線GLb4m+4に与える。インバータ351__dは、クロック信号GCK2が入力されており、クロック信号GCK2の電位がローレベルの時に、電位SROUT__dの極性を反転させて、走査線GLbdに与える。

10

【0071】

また、パルス発生回路300__jに接続された配線328の電位GOUT2は、インバータ350__jによってその極性が反転され、走査線GLcjに与えられる。具体的に、インバータ350__4m+1は、クロック信号GCK2が入力されており、クロック信号GCK2の電位がローレベルの時に、電位GOUT2の極性を反転させて、走査線GLc4m+1に与える。インバータ350__4m+2は、クロック信号GCK3が入力されており、クロック信号GCK3の電位がローレベルの時に、電位GOUT2の極性を反転させて、走査線GLc4m+2に与える。インバータ350__4m+3は、クロック信号GCK4が入力されており、クロック信号GCK4の電位がローレベルの時に、電位GOUT2の極性を反転させて、走査線GLc4m+3に与える。インバータ350__4m+4は、クロック信号GCK1が入力されており、クロック信号GCK1の電位がローレベルの時に、電位GOUT2の極性を反転させて、走査線GLc4m+4に与える。インバータ350__dは、クロック信号GCK2が入力されており、クロック信号GCK2の電位がローレベルの時に、電位GOUT2の極性を反転させて、走査線GLcdに与える。

20

【0072】

次いで、図4に示したパルス発生回路300の動作について、図6に示したタイミングチャートを用いて説明する。なお、全ての期間を通して、電位INRESはローレベルであるものとする。

30

【0073】

図6に示すように、期間t1において、配線323に与えられる電位CLK1はローレベル、配線321に与えられる電位CLK2はローレベル、配線325に与えられるパルス幅制御信号PWC1の電位はローレベル、配線324に与えられるパルス幅制御信号PWC2の電位はローレベル、配線319に与えられる電位LINはハイレベル、配線322に与えられる電位RINはローレベルとなる。

【0074】

よって、期間t1において、パルス発生回路300では、配線325に与えられるパルス幅制御信号PWC1の電位（ローレベル）が、電位GOUT1として配線327に与えられる。また、配線324に与えられるパルス幅制御信号PWC2の電位（ローレベル）が、電位GOUT2として配線328に与えられる。また、配線323に与えられる電位CLK1（ローレベル）が、電位SROUTとして配線329に与えられる。

40

【0075】

次いで、図6に示すように、期間t2において、配線323に与えられる電位CLK1はハイレベル、配線321に与えられる電位CLK2はローレベル、配線325に与えられるパルス幅制御信号PWC1の電位はローレベルから変化してハイレベル、配線324に与えられるパルス幅制御信号PWC2の電位はローレベル、配線319に与えられる電位

50

L I Nはハイレベル、配線 3 2 2 に与えられる電位 R I Nはローレベルとなる。

【0076】

よって、期間 t 2 において、パルス発生回路 3 0 0 では、配線 3 2 5 に与えられるパルス幅制御信号 P W C 1 の電位（ローレベルから変化してハイレベル）が、電位 G O U T 1 として配線 3 2 7 に与えられる。また、配線 3 2 4 に与えられるパルス幅制御信号 P W C 2 の電位（ローレベル）が、電位 G O U T 2 として配線 3 2 8 に与えられる。また、配線 3 2 3 に与えられる電位 C L K 1 （ハイレベル）が、電位 S R O U T として配線 3 2 9 に与えられる。

【0077】

次いで、図 6 に示すように、期間 t 3 において、配線 3 2 3 に与えられる電位 C L K 1 はハイレベル、配線 3 2 1 に与えられる電位 C L K 2 はローレベル、配線 3 2 5 に与えられるパルス幅制御信号 P W C 1 の電位はハイレベル、配線 3 2 4 に与えられるパルス幅制御信号 P W C 2 の電位はハイレベル、配線 3 1 9 に与えられる電位 L I N はハイレベルから変化してローレベル、配線 3 2 2 に与えられる電位 R I N はローレベルとなる。

【0078】

よって、期間 t 3 において、パルス発生回路 3 0 0 では、配線 3 2 5 に与えられるパルス幅制御信号 P W C 1 の電位（ハイレベル）が、電位 G O U T 1 として配線 3 2 7 に与えられる。また、配線 3 2 4 に与えられるパルス幅制御信号 P W C 2 の電位（ハイレベル）が、電位 G O U T 2 として配線 3 2 8 に与えられる。また、配線 3 2 3 に与えられる電位 C L K 1 （ハイレベル）が、電位 S R O U T として配線 3 2 9 に与えられる。

【0079】

次いで、図 6 に示すように、期間 t 4 において、配線 3 2 3 に与えられる電位 C L K 1 はハイレベル、配線 3 2 1 に与えられる電位 C L K 2 はローレベル、配線 3 2 5 に与えられるパルス幅制御信号 P W C 1 の電位はハイレベルから変化してローレベル、配線 3 2 4 に与えられるパルス幅制御信号 P W C 2 の電位はハイレベル、配線 3 1 9 に与えられる電位 L I N はローレベル、配線 3 2 2 に与えられる電位 R I N はローレベルとなる。

【0080】

よって、期間 t 4 において、パルス発生回路 3 0 0 では、配線 3 2 5 に与えられるパルス幅制御信号 P W C 1 の電位（ハイレベルから変化してローレベル）が、電位 G O U T 1 として配線 3 2 7 に与えられる。また、配線 3 2 4 に与えられるパルス幅制御信号 P W C 2 の電位（ハイレベル）が、電位 G O U T 2 として配線 3 2 8 に与えられる。また、配線 3 2 3 に与えられる電位 C L K 1 （ハイレベル）が、電位 S R O U T として配線 3 2 9 に与えられる。

【0081】

次いで、図 6 に示すように、期間 t 5 において、配線 3 2 3 に与えられる電位 C L K 1 はローレベル、配線 3 2 1 に与えられる電位 C L K 2 はハイレベル、配線 3 2 5 に与えられるパルス幅制御信号 P W C 1 の電位はローレベル、配線 3 2 4 に与えられるパルス幅制御信号 P W C 2 の電位はローレベル、配線 3 1 9 に与えられる電位 L I N はローレベル、配線 3 2 2 に与えられる電位 R I N はハイレベルとなる。

【0082】

よって、期間 t 5 において、パルス発生回路 3 0 0 では、配線 3 2 6 に与えられる電位 V E E （ローレベル）が、電位 G O U T 1 として配線 3 2 7 に与えられる。また、配線 3 1 8 に与えられる電位 V S S （ローレベル）が、電位 G O U T 2 として配線 3 2 8 に与えられる。また、配線 3 1 8 に与えられる電位 V S S （ローレベル）が、電位 S R O U T として配線 3 2 9 に与えられる。

【0083】

本発明の一態様では、実施の形態 1 にて説明したように、出力側のトランジスタに相当するトランジスタ 3 0 9、トランジスタ 3 1 2、及びトランジスタ 3 1 5 の少なくとも一つと、トランジスタ 3 0 2 とは、互いのゲート電極が、上記ゲート電極と異なる導電膜を介して、電氣的に接続されている。上記構成により、トランジスタ 3 0 9、トランジスタ 3

10

20

30

40

50

12、トランジスタ315、及びトランジスタ302の全てのゲート電極が一の導電膜で構成されている場合に比べて、ゲート電極として機能する各導電膜の面積を小さく抑えることができる。よって、ゲート電極として機能する導電膜の、アンテナ効果による静電破壊を、起きにくくすることができる。したがって、上記シフトレジスタを用いた、本発明の一態様に係る半導体装置は、静電破壊による歩留まりの低下が起きにくい。

【0084】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

【0085】

(実施の形態3)

本発明の一態様に係る半導体装置が有する、パルス発生回路の構成例について説明する。

10

【0086】

図8(A)に示すパルス発生回路400は、トランジスタ402乃至トランジスタ404と、トランジスタ415乃至トランジスタ420とを有する。上記パルス発生回路400を複数段接続させることで、シフトレジスタを構成することができる。

【0087】

トランジスタ402は、そのゲート電極がトランジスタ403及びトランジスタ404のゲート電極に接続され、そのソース端子及びドレイン端子の一方が配線406に、他方がトランジスタ420のゲート電極に接続されている。トランジスタ403は、そのソース端子及びドレイン端子の一方が配線406に接続され、他方が配線414に接続されている。トランジスタ404は、そのソース端子及びドレイン端子の一方が配線407に接続され、他方が配線413に接続されている。

20

【0088】

また、トランジスタ415は、そのゲート電極が配線408に接続され、そのソース端子及びドレイン端子の一方がトランジスタ420のゲート電極に接続され、他方が配線405に接続されている。トランジスタ416は、そのゲート電極が配線409に接続され、そのソース端子及びドレイン端子の一方がトランジスタ402、トランジスタ403、及びトランジスタ404のゲート電極に接続され、他方が配線405に接続されている。トランジスタ417は、そのゲート電極が配線410に接続され、そのソース端子及びドレイン端子の一方がトランジスタ402、トランジスタ403、及びトランジスタ404のゲート電極に接続され、他方が配線405に接続されている。トランジスタ418は、そのゲート電極が配線408に接続され、そのソース端子及びドレイン端子の一方が配線406に接続され、他方がトランジスタ402、トランジスタ403、及びトランジスタ404のゲート電極に接続されている。トランジスタ419は、そのゲート電極がトランジスタ420のゲート電極に接続され、そのソース端子及びドレイン端子の一方が配線414に接続され、他方が配線411に接続されている。トランジスタ420は、そのソース端子及びドレイン端子の一方が配線413に接続され、他方が配線412に接続されている。

30

【0089】

トランジスタ402乃至トランジスタ404と、トランジスタ415乃至トランジスタ420とがnチャネル型である場合、具体的に、配線405には電位VDDが与えられ、配線406には電位VSSが与えられ、配線407には電位VEEが与えられる。また、配線408乃至配線412には、クロック信号などの各種の信号の電位が与えられる。そして、配線413から電位GOUTが、配線414から電位SROUTが出力される。

40

【0090】

本発明の一態様では、出力側のトランジスタに相当するトランジスタ403、及びトランジスタ404の少なくとも一つと、トランジスタ402とは、互いのゲート電極が、上記ゲート電極と異なる層に設けられた導電膜を介して、電気的に接続されている。上記構成により、トランジスタ403、トランジスタ404、及びトランジスタ402の全てのゲート電極が一の導電膜で構成されている場合に比べて、ゲート電極として機能する各導電膜の面積を小さく抑えることができる。よって、ゲート電極として機能する導電膜の、ア

50

ンテナ効果による静電破壊を、起きにくくすることができる。したがって、上記パルス発生回路４００をシフトレジスタなどに用いた、本発明の一態様に係る半導体装置の、静電破壊による歩留まりの低下を起きにくくすることができる。

【００９１】

或いは、本発明の一態様では、出力側のトランジスタに相当するトランジスタ４２０と、トランジスタ４１９とは、互いのゲート電極が、上記ゲート電極と異なる層に設けられた導電膜を介して、電氣的に接続されていても良い。上記構成により、上記パルス発生回路４００をシフトレジスタなどに用いた、本発明の一態様に係る半導体装置の、静電破壊による歩留まりの低下を起きにくくすることができる。

【００９２】

なお、図８（Ａ）では、出力側のトランジスタ４０４のソース端子及びドレイン端子の一方が配線４０７に接続されているが、本発明はこの構成に限定されない。出力側のトランジスタ４０４のソース端子及びドレイン端子の一方が、配線４０６に接続されていても良い。ただし、図８（Ａ）に示すように、出力側のトランジスタ４０４のソース端子及びドレイン端子の一方が配線４０６ではなく配線４０７に接続されていると、トランジスタ４０４がノーマリオンであっても、トランジスタ４０４をオフとすべき時にオフにすることができる。

【００９３】

図８（Ｂ）に示すパルス発生回路４３０は、トランジスタ４３２乃至トランジスタ４３４と、トランジスタ４４６乃至トランジスタ４５２とを有する。上記パルス発生回路４３０を複数段接続させることで、シフトレジスタを構成することができる。

【００９４】

トランジスタ４３２は、そのゲート電極がトランジスタ４３３及びトランジスタ４３４のゲート電極に接続され、そのソース端子及びドレイン端子の一方が配線４３６に接続され、他方がトランジスタ４５１及びトランジスタ４５２のゲート電極に接続されている。トランジスタ４３３は、そのソース端子及びドレイン端子の一方が配線４３６に接続され、他方が配線４４５に接続されている。トランジスタ４３４は、そのソース端子及びドレイン端子の一方が配線４３７に接続され、他方が配線４４４に接続されている。

【００９５】

また、トランジスタ４４６は、そのゲート電極が配線４３８に接続され、そのソース端子及びドレイン端子の一方がトランジスタ４５１及びトランジスタ４５２のゲート電極に接続され、他方が配線４３５に接続されている。トランジスタ４４７は、そのゲート電極が配線４３９に接続され、そのソース端子及びドレイン端子の一方がトランジスタ４３２、トランジスタ４３３、及びトランジスタ４３４のゲート電極に接続され、他方が配線４３５に接続されている。トランジスタ４４８は、そのゲート電極が配線４４０に接続され、そのソース端子及びドレイン端子の一方がトランジスタ４３２、トランジスタ４３３、及びトランジスタ４３４のゲート電極に接続され、他方が配線４３５に接続されている。トランジスタ４４９は、そのゲート電極が配線４３８に接続され、そのソース端子及びドレイン端子の一方が配線４３６に接続され、他方がトランジスタ４３２、トランジスタ４３３、及びトランジスタ４３４のゲート電極に接続されている。トランジスタ４５０は、そのゲート電極が配線４４１に接続され、そのソース端子及びドレイン端子の一方がトランジスタ４３２、トランジスタ４３３、及びトランジスタ４３４のゲート電極に接続され、他方が配線４３５に接続されている。トランジスタ４５１は、そのソース端子及びドレイン端子の一方が配線４４５に接続され、他方が配線４４２に接続されている。トランジスタ４５２は、そのソース端子及びドレイン端子の一方が配線４４４に接続され、他方が配線４４３に接続されている。

【００９６】

トランジスタ４３２乃至トランジスタ４３４と、トランジスタ４４６乃至トランジスタ４５２とがｎチャネル型である場合、具体的に、配線４３５には電位ＶＤＤが与えられ、配線４３６には電位ＶＳＳが与えられ、配線４３７には電位ＶＥＥが与えられる。また、配

10

20

30

40

50

線 4 3 8 乃至配線 4 4 3 には、クロック信号などの各種の信号の電位が与えられる。そして、配線 4 4 4 から電位 G O U T が、配線 4 4 5 から電位 S R O U T が出力される。

【0097】

本発明の一態様では、出力側のトランジスタに相当するトランジスタ 4 3 3、及びトランジスタ 4 3 4 の少なくとも一つと、トランジスタ 4 3 2 とは、互いのゲート電極が、上記ゲート電極と異なる層に設けられた導電膜を介して、電氣的に接続されている。上記構成により、トランジスタ 4 3 3、トランジスタ 4 3 4、及びトランジスタ 4 3 2 の全てのゲート電極が一の導電膜で構成されている場合に比べて、ゲート電極として機能する各導電膜の面積を小さく抑えることができる。よって、ゲート電極として機能する導電膜の、アンテナ効果による静電破壊を、起きにくくすることができる。したがって、上記パルス発生回路 4 3 0 をシフトレジスタなどに用いた、本発明の一態様に係る半導体装置の、静電破壊による歩留まりの低下を起きにくくすることができる。

10

【0098】

或いは、本発明の一態様では、出力側のトランジスタに相当するトランジスタ 4 5 2 と、トランジスタ 4 5 1 とは、互いのゲート電極が、上記ゲート電極と異なる層に設けられた導電膜を介して、電氣的に接続されていても良い。上記構成により、上記パルス発生回路 4 3 0 をシフトレジスタなどに用いた、本発明の一態様に係る半導体装置の、静電破壊による歩留まりの低下を起きにくくすることができる。

【0099】

なお、図 8 (B) では、出力側のトランジスタ 4 3 4 のソース端子及びドレイン端子の一方が配線 4 3 7 に接続されているが、本発明はこの構成に限定されない。出力側のトランジスタ 4 3 4 のソース端子及びドレイン端子の一方が、配線 4 3 6 に接続されていても良い。ただし、図 8 (B) に示すように、出力側のトランジスタ 4 3 4 のソース端子及びドレイン端子の一方が配線 4 3 6 ではなく配線 4 3 7 に接続されていると、トランジスタ 4 3 4 がノーマリオンであっても、トランジスタ 4 3 4 をオフとすべき時にオフにすることができる。

20

【0100】

図 9 (A) に示すパルス発生回路 4 6 0 は、トランジスタ 4 6 2 乃至トランジスタ 4 6 4 と、トランジスタ 4 7 6 乃至トランジスタ 4 8 2 とを有する。上記パルス発生回路 4 6 0 を複数段接続させることで、シフトレジスタを構成することができる。

30

【0101】

トランジスタ 4 6 2 は、そのゲート電極がトランジスタ 4 6 3 及びトランジスタ 4 6 4 のゲート電極に接続され、そのソース端子及びドレイン端子の一方が配線 4 6 6 に接続され、他方がトランジスタ 4 7 7 のソース端子及びドレイン端子の一方に接続されている。トランジスタ 4 6 3 は、そのソース端子及びドレイン端子の一方が配線 4 6 6 に接続され、他方が配線 4 7 5 に接続されている。トランジスタ 4 6 4 は、そのソース端子及びドレイン端子の一方が配線 4 6 7 に接続され、他方が配線 4 7 4 に接続されている。

【0102】

また、トランジスタ 4 7 6 は、そのゲート電極が配線 4 6 8 に接続され、そのソース端子及びドレイン端子の一方がトランジスタ 4 7 7 のソース端子及びドレイン端子の一方に接続され、他方が配線 4 6 5 に接続されている。トランジスタ 4 7 7 は、そのゲート電極が配線 4 6 5 に接続され、そのソース端子及びドレイン端子の他方がトランジスタ 4 8 1 及びトランジスタ 4 8 2 のゲート電極に接続されている。トランジスタ 4 7 8 は、そのゲート電極が配線 4 6 9 に接続され、そのソース端子及びドレイン端子の一方がトランジスタ 4 6 2、トランジスタ 4 6 3、及びトランジスタ 4 6 4 のゲート電極に接続され、他方が配線 4 6 5 に接続されている。トランジスタ 4 7 9 は、そのゲート電極が配線 4 6 8 に接続され、そのソース端子及びドレイン端子の一方が配線 4 6 6 に接続され、他方がトランジスタ 4 6 2、トランジスタ 4 6 3、及びトランジスタ 4 6 4 のゲート電極に接続されている。トランジスタ 4 8 0 は、そのゲート電極が配線 4 7 0 に接続され、そのソース端子及びドレイン端子の一方がトランジスタ 4 6 2、トランジスタ 4 6 3、及びトランジスタ

40

50

４６４のゲート電極に接続され、他方が配線４６５に接続されている。トランジスタ４８１は、そのソース端子及びドレイン端子の一方が配線４７５に接続され、他方が配線４７１に接続されている。トランジスタ４８２は、そのソース端子及びドレイン端子の一方が配線４７４に接続され、他方が配線４７２に接続されている。

【０１０３】

トランジスタ４６２乃至トランジスタ４６４と、トランジスタ４７６乃至トランジスタ４８２とがｎチャネル型である場合、具体的に、配線４６５には電位ＶＤＤが与えられ、配線４６６には電位ＶＳＳが与えられ、配線４６７には電位ＶＥＥが与えられる。また、配線４６８乃至配線４７２には、クロック信号などの各種の信号の電位が与えられる。そして、配線４７４から電位ＧＯＵＴが、配線４７５から電位ＳＲＯＵＴが出力される。

10

【０１０４】

本発明の一態様では、出力側のトランジスタに相当するトランジスタ４６３、及びトランジスタ４６４の少なくとも一つと、トランジスタ４６２とは、互いのゲート電極が、上記ゲート電極と異なる層に設けられた導電膜を介して、電氣的に接続されている。上記構成により、トランジスタ４６３、トランジスタ４６４、及びトランジスタ４６２の全てのゲート電極が一の導電膜で構成されている場合に比べて、ゲート電極として機能する各導電膜の面積を小さく抑えることができる。よって、ゲート電極として機能する導電膜の、アンテナ効果による静電破壊を、起きにくくすることができる。したがって、上記パルス発生回路４６０をシフトレジスタなどに用いた、本発明の一態様に係る半導体装置の、静電破壊による歩留まりの低下を起きにくくすることができる。

20

【０１０５】

或いは、本発明の一態様では、出力側のトランジスタに相当するトランジスタ４８２と、トランジスタ４８１とは、互いのゲート電極が、上記ゲート電極と異なる層に設けられた導電膜を介して、電氣的に接続されていても良い。上記構成により、上記パルス発生回路４６０をシフトレジスタなどに用いた、本発明の一態様に係る半導体装置の、静電破壊による歩留まりの低下を起きにくくすることができる。

【０１０６】

なお、図９（Ａ）では、出力側のトランジスタ４６４のソース端子及びドレイン端子の一方が配線４６７に接続されているが、本発明はこの構成に限定されない。出力側のトランジスタ４６４のソース端子及びドレイン端子の一方が、配線４６６に接続されていても良い。ただし、図９（Ａ）に示すように、出力側のトランジスタ４６４のソース端子及びドレイン端子の一方が配線４６６ではなく配線４６７に接続されていると、トランジスタ４６４がノーマリオンであっても、トランジスタ４６４をオフとすべき時にオフにすることができる。

30

【０１０７】

図９（Ｂ）に示すパルス発生回路５００は、トランジスタ５０２乃至トランジスタ５０４と、トランジスタ５１６乃至トランジスタ５２３とを有する。上記パルス発生回路５００を複数段接続させることで、シフトレジスタを構成することができる。

【０１０８】

トランジスタ５０２は、そのゲート電極がトランジスタ５０３及びトランジスタ５０４のゲート電極に接続され、そのソース端子及びドレイン端子の一方が配線５０６に接続され、他方がトランジスタ５１７のソース端子及びドレイン端子の一方に接続されている。トランジスタ５０３は、そのソース端子及びドレイン端子の一方が配線５０６に接続され、他方が配線５１５に接続されている。トランジスタ５０４は、そのソース端子及びドレイン端子の一方が配線５０７に接続され、他方が配線５１４に接続されている。

40

【０１０９】

また、トランジスタ５１６は、そのゲート電極が配線５０８に接続され、そのソース端子及びドレイン端子の一方がトランジスタ５１７のソース端子及びドレイン端子の一方に接続され、他方が配線５０５に接続されている。トランジスタ５１７は、そのゲート電極が配線５０５に接続され、そのソース端子及びドレイン端子の他方がトランジスタ５２１の

50

ゲート電極に接続されている。トランジスタ518は、そのゲート電極が配線509に接続され、そのソース端子及びドレイン端子の一方がトランジスタ502、トランジスタ503、及びトランジスタ504のゲート電極に接続され、他方が配線505に接続されている。トランジスタ519は、そのゲート電極が配線508に接続され、そのソース端子及びドレイン端子の一方が配線506に接続され、他方がトランジスタ502、トランジスタ503、及びトランジスタ504のゲート電極に接続されている。トランジスタ520は、そのゲート電極が配線510に接続され、そのソース端子及びドレイン端子の一方がトランジスタ502、トランジスタ503、及びトランジスタ504のゲート電極に接続され、他方が配線505に接続されている。トランジスタ521は、そのソース端子及びドレイン端子の一方が配線515に接続され、他方が配線511に接続されている。トランジスタ522は、そのゲート電極が配線505に接続され、そのソース端子及びドレイン端子の一方がトランジスタ521のゲート電極に接続され、その他方がトランジスタ523のゲート電極に接続されている。トランジスタ523は、そのソース端子及びドレイン端子の一方が配線514に接続され、他方が配線512に接続されている。

10

【0110】

トランジスタ502乃至トランジスタ504と、トランジスタ516乃至トランジスタ523とがnチャネル型である場合、具体的に、配線505には電位VDDが与えられ、配線506には電位VSSが与えられ、配線507には電位VEEが与えられる。また、配線508乃至配線512には、クロック信号などの各種の信号の電位が与えられる。そして、配線514から電位GOUTが、配線515から電位SROUTが出力される。

20

【0111】

本発明の一態様では、出力側のトランジスタに相当するトランジスタ503、及びトランジスタ504の少なくとも一つと、トランジスタ502とは、互いのゲート電極が、上記ゲート電極と異なる層に設けられた導電膜を介して、電気的に接続されている。上記構成により、トランジスタ503、トランジスタ504、及びトランジスタ502の全てのゲート電極が一の導電膜で構成されている場合に比べて、ゲート電極として機能する各導電膜の面積を小さく抑えることができる。よって、ゲート電極として機能する導電膜の、アンテナ効果による静電破壊を、起きにくくすることができる。したがって、上記パルス発生回路500をシフトレジスタなどに用いた、本発明の一態様に係る半導体装置の、静電破壊による歩留まりの低下を起きにくくすることができる。

30

【0112】

なお、図9(B)では、出力側のトランジスタ504のソース端子及びドレイン端子の一方が配線507に接続されているが、本発明はこの構成に限定されない。出力側のトランジスタ504のソース端子及びドレイン端子の一方が、配線506に接続されていても良い。ただし、図9(B)に示すように、出力側のトランジスタ504のソース端子及びドレイン端子の一方が配線506ではなく配線507に接続されていると、トランジスタ504がノーマリオンであっても、トランジスタ504をオフとすべき時にオフにすることができる。

【0113】

図10に示すパルス発生回路530は、トランジスタ532乃至トランジスタ534と、トランジスタ546乃至トランジスタ553とを有する。上記パルス発生回路530を複数段接続させることで、シフトレジスタを構成することができる。

40

【0114】

トランジスタ532は、そのゲート電極がトランジスタ533及びトランジスタ534のゲート電極に接続され、そのソース端子及びドレイン端子の一方が配線536に接続され、他方がトランジスタ452のソース端子及びドレイン端子の一方に接続されている。トランジスタ533は、そのソース端子及びドレイン端子の一方が配線536に接続され、他方が配線545に接続されている。トランジスタ534は、そのソース端子及びドレイン端子の一方が配線537に接続され、他方が配線544に接続されている。

【0115】

50

また、トランジスタ546は、そのゲート電極が配線538に接続され、そのソース端子及びドレイン端子の一方がトランジスタ532のソース端子及びドレイン端子の一方に接続され、他方が配線535に接続されている。トランジスタ547は、そのゲート電極が配線539に接続され、そのソース端子及びドレイン端子の一方がトランジスタ532、トランジスタ533、及びトランジスタ534のゲート電極に接続され、他方が配線535に接続されている。トランジスタ548は、そのゲート電極が配線540に接続され、そのソース端子及びドレイン端子の一方がトランジスタ532、トランジスタ533、及びトランジスタ534のゲート電極に接続され、他方が配線535に接続されている。トランジスタ549は、そのゲート電極が配線538に接続され、そのソース端子及びドレイン端子の一方が配線536に接続され、他方がトランジスタ532、トランジスタ533、及びトランジスタ534のゲート電極に接続されている。トランジスタ550は、そのゲート電極が配線535に接続され、そのソース端子及びドレイン端子の一方がトランジスタ552のソース端子及びドレイン端子の一方に接続され、その他方がトランジスタ551のゲート電極に接続されている。トランジスタ551は、そのソース端子及びドレイン端子の一方が配線545に接続され、他方が配線541に接続されている。トランジスタ552は、そのゲート電極が配線535に接続され、そのソース端子及びドレイン端子の他方がトランジスタ553のゲート電極に接続されている。トランジスタ553は、そのソース端子及びドレイン端子の一方が配線544に接続され、他方が配線542に接続されている。

10

【0116】

20

トランジスタ532乃至トランジスタ534と、トランジスタ546乃至トランジスタ553とがnチャネル型である場合、具体的に、配線535には電位VDDが与えられ、配線536には電位VSSが与えられ、配線537には電位VEEが与えられる。また、配線538乃至配線542には、クロック信号などの各種の信号の電位が与えられる。そして、配線544から電位GOUTが、配線545から電位SROUTが出力される。

【0117】

本発明の一態様では、出力側のトランジスタに相当するトランジスタ533、及びトランジスタ534の少なくとも一つと、トランジスタ532とは、互いのゲート電極が、上記ゲート電極と異なる層に設けられた導電膜を介して、電気的に接続されている。上記構成により、トランジスタ533、トランジスタ534、及びトランジスタ532の全てのゲート電極が一の導電膜で構成されている場合に比べて、ゲート電極として機能する各導電膜の面積を小さく抑えることができる。よって、ゲート電極として機能する導電膜の、アンテナ効果による静電破壊を、起きにくくすることができる。したがって、上記パルス発生回路530をシフトレジスタなどに用いた、本発明の一態様に係る半導体装置の、静電破壊による歩留まりの低下を起きにくくすることができる。

30

【0118】

なお、図10では、出力側のトランジスタ534のソース端子及びドレイン端子の一方が配線537に接続されているが、本発明はこの構成に限定されない。出力側のトランジスタ534のソース端子及びドレイン端子の一方が、配線536に接続されていても良い。ただし、図10に示すように、出力側のトランジスタ534のソース端子及びドレイン端子の一方が配線536ではなく配線537に接続されていると、トランジスタ534がノーマリオンであっても、トランジスタ534をオフとすべき時にオフにすることができる。

40

【0119】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することが可能である。

【0120】

(実施の形態4)

OLEDを用いた発光装置を例に挙げて、本発明の一態様に係る半導体表示装置の、画素と駆動回路の断面構造について、図11を用いて説明する。図11に、画素840と駆動回路841の断面図を一例として示す。

50

【0121】

図11において、画素840は、発光素子832と、発光素子832への電流の供給を制御するトランジスタ831とを有する。画素840は、上記発光素子832及びトランジスタ831に加えて、画像信号の画素840への入力を制御するトランジスタや、画像信号の電位を保持する容量素子など、各種の半導体素子を有していても良い。

【0122】

また、図11において、駆動回路841はトランジスタ830を有する。具体的にトランジスタ830は、駆動回路841の一部に相当するシフトレジスタが有する、出力側のトランジスタに相当する。駆動回路841は、上記トランジスタ830に加えて、トランジスタや容量素子などの各種の半導体素子を有していても良い。

10

【0123】

トランジスタ831は、絶縁表面を有する基板800上に、ゲート電極として機能する導電膜816と、導電膜816上のゲート絶縁膜802と、導電膜816と重なる位置においてゲート絶縁膜802上に設けられた半導体膜817と、ソース端子またはドレイン端子として機能し、半導体膜817上に位置する導電膜815及び導電膜818とを有する。導電膜816は走査線としても機能する。

【0124】

トランジスタ830は、絶縁表面を有する基板800上に、ゲート電極として機能する導電膜812と、導電膜812上のゲート絶縁膜802と、導電膜812と重なる位置においてゲート絶縁膜802上に設けられた半導体膜813と、ソース端子またはドレイン端子として機能し、半導体膜813上に位置する導電膜814及び導電膜819とを有する。

20

【0125】

また、絶縁表面を有する基板800上に設けられた導電膜850は、トランジスタ830とは異なるトランジスタのゲート電極として機能する。そして、導電膜812及び導電膜850は、導電膜812及び導電膜850上のゲート絶縁膜802に設けられた開口部を介して、ゲート絶縁膜802上の導電膜851に接続されている。

【0126】

また、導電膜814、導電膜815、導電膜818、導電膜819、導電膜851上には、絶縁膜820及び絶縁膜821が、順に積層されるように設けられている。そして、絶縁膜821上には、導電膜852及び導電膜853が設けられている。導電膜852及び導電膜853は、絶縁膜820及び絶縁膜821に設けられた開口部を介して、導電膜851及び導電膜818に、それぞれ接続されている。

30

【0127】

また、導電膜852及び導電膜853上には絶縁膜854が設けられている。そして、絶縁膜854上には、陽極として機能する導電膜822が設けられている。導電膜822は、絶縁膜854に形成された開口部を介して、導電膜853に接続されている。

【0128】

また、導電膜822の一部が露出するような開口部を有した絶縁膜824が、絶縁膜854上に設けられている。導電膜822の一部及び絶縁膜854上には、EL層825と、陰極として機能する導電膜826とが、順に積層するように設けられている。導電膜822と、EL層825と、導電膜826とが重なっている領域が、発光素子832に相当する。

40

【0129】

なお、本発明の一態様では、トランジスタ830及びトランジスタ831は、非晶質、微結晶、多結晶又は単結晶である、シリコン又はゲルマニウムなどの半導体が半導体膜に用いられていても良いし、酸化物半導体などのワイドギャップ半導体が半導体膜に用いられていても良い。

【0130】

トランジスタ830及びトランジスタ831の半導体膜に、非晶質、微結晶、多結晶又は

50

単結晶である、シリコン又はゲルマニウムなどの半導体が用いられる場合、一導電性を付与する不純物元素を上記半導体膜に添加して、ソース領域またはドレイン領域として機能する不純物領域を形成する。例えば、リンまたはヒ素を上記半導体膜に添加することで、n型の導電性を有する不純物領域を形成することができる。また、例えば、ホウ素を上記半導体膜に添加することで、p型の導電性を有する不純物領域を形成することができる。

【0131】

トランジスタ830及びトランジスタ831の半導体膜に、酸化物半導体が用いられる場合、ドーパントを上記半導体膜に添加して、ソース領域またはドレイン領域として機能する不純物領域を形成しても良い。ドーパントの添加は、イオン注入法を用いることができる。ドーパントは、例えばヘリウム、アルゴン、キセノンなどの希ガスや、窒素、リン、ヒ素、アンチモンなどの15族元素などを用いることができる。例えば、窒素をドーパントとして用いた場合、不純物領域中の窒素原子の濃度は、 $5 \times 10^{19} / \text{cm}^3$ 以上 $1 \times 10^{22} / \text{cm}^3$ 以下であることが望ましい。

10

【0132】

なお、シリコン半導体としては、プラズマCVD法などの気相成長法若しくはスパッタリング法で作製された非晶質シリコン、非晶質シリコンをレーザーアニールなどの処理により結晶化させた多結晶シリコン、単結晶シリコンウェハーに水素イオン等を注入して表層部を剥離した単結晶シリコンなどを用いることができる。

【0133】

なお、酸化物半導体としては、少なくともインジウム(In)あるいは亜鉛(Zn)を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物を用いたトランジスタの電気的特性のばらつきを減らすためのスタビライザーとして、それらに加えてガリウム(Ga)を有することが好ましい。また、スタビライザーとしてスズ(Sn)を有することが好ましい。また、スタビライザーとしてハフニウム(Hf)を有することが好ましい。また、スタビライザーとしてアルミニウム(Al)を有することが好ましい。

20

【0134】

また、他のスタビライザーとして、ランタノイドである、ランタン(La)、セリウム(Ce)、プラセオジウム(Pr)、ネオジウム(Nd)、サマリウム(Sm)、ユウロピウム(Eu)、ガドリニウム(Gd)、テルビウム(Tb)、ジスプロシウム(Dy)、ホルミウム(Ho)、エルビウム(Er)、ツリウム(Tm)、イッテルビウム(Yb)、ルテチウム(Lu)のいずれか一種または複数種を含んでいても良い。

30

【0135】

例えば、酸化物半導体として、酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物(IGZOとも表記する)、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、In-Nd-Zn系酸化物、In-Sm-Zn系酸化物、In-Eu-Zn系酸化物、In-Gd-Zn系酸化物、In-Tb-Zn系酸化物、In-Dy-Zn系酸化物、In-Ho-Zn系酸化物、In-Er-Zn系酸化物、In-Tm-Zn系酸化物、In-Yb-Zn系酸化物、In-Lu-Zn系酸化物、四元系金属の酸化物であるIn-Sn-Ga-Zn系酸化物、In-Hf-Ga-Zn系酸化物、In-Al-Ga-Zn系酸化物、In-Sn-Al-Zn系酸化物、In-Sn-Hf-Zn系酸化物、In-Hf-Al-Zn系酸化物を用いることができる。また、上記酸化物半導体は、珪素を含んでいても良い。

40

【0136】

なお、例えば、In-Ga-Zn系酸化物とは、InとGaとZnを含む酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属元素を含んでいても良い。In-Ga-Zn系酸化物は、無電界時の抵抗が十分に高くオフ電

50

流を十分に小さくすることが可能であり、また、移動度も高いため、半導体装置に用いる半導体材料としては好適である。

【0137】

例えば、 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$) あるいは $\text{In} : \text{Ga} : \text{Zn} = 2 : 2 : 1$ ($= 2/5 : 2/5 : 1/5$) の原子比の $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $\text{In} : \text{Sn} : \text{Zn} = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 3$ ($= 1/3 : 1/6 : 1/2$) あるいは $\text{In} : \text{Sn} : \text{Zn} = 2 : 1 : 5$ ($= 1/4 : 1/8 : 5/8$) の原子比の $\text{In}-\text{Sn}-\text{Zn}$ 系酸化物やその組成の近傍の酸化物を用いると良い。

【0138】

例えば、 $\text{In}-\text{Sn}-\text{Zn}$ 系酸化物では比較的容易に高い移動度が得られる。しかしながら、 $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物でも、バルク内欠陥密度を低減することにより移動度を上げることができる。

【0139】

なお、電子供与体（ドナー）となる水分または水素などの不純物が低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体は、 i 型（真性半導体）又は i 型に限りなく近い。そのため、上記酸化物半導体を用いたトランジスタは、オフ電流が著しく低いという特性を有する。また、酸化物半導体のバンドギャップは、 2 eV 以上、好ましくは 2.5 eV 以上、より好ましくは 3 eV 以上である。水分または水素などの不純物濃度が十分に低減され、なおかつ酸素欠損が低減されることにより高純度化された酸化物半導体膜を用いることにより、トランジスタのオフ電流を下げるることができる。

【0140】

具体的に、高純度化された酸化物半導体を半導体膜に用いたトランジスタのオフ電流が低いことは、いろいろな実験により証明できる。例えば、チャネル幅が $1 \times 10^6\text{ }\mu\text{m}$ でチャネル長が $10\text{ }\mu\text{m}$ の素子であっても、ソース端子とドレイン端子間の電圧（ドレイン電圧）が 1 V から 10 V の範囲において、オフ電流が、半導体パラメータアナライザの測定限界以下、すなわち $1 \times 10^{-13}\text{ A}$ 以下という特性を得ることができる。この場合、オフ電流をトランジスタのチャネル幅で除した数値に相当するオフ電流は、 $100\text{ zA}/\mu\text{m}$ 以下であることが分かる。また、容量素子とトランジスタとを接続して、容量素子に流入または容量素子から流出する電荷を当該トランジスタで制御する回路を用いて、オフ電流の測定を行った。当該測定では、上記トランジスタに高純度化された酸化物半導体膜をチャネル形成領域に用い、容量素子の単位時間あたりの電荷量の推移から当該トランジスタのオフ電流を測定した。その結果、トランジスタのソース端子とドレイン端子間の電圧が 3 V の場合に、数十 $\text{yA}/\mu\text{m}$ という、さらに低いオフ電流が得られることが分かった。従って、高純度化された酸化物半導体膜をチャネル形成領域に用いたトランジスタは、オフ電流が、結晶性を有するシリコンを用いたトランジスタに比べて著しく低い。

【0141】

なお、特に断りがない限り、本明細書でオフ電流とは、 n チャネル型トランジスタにおいては、ドレイン端子をソース端子とゲート電極よりも高い電位とした状態において、ソース端子の電位を基準としたときのゲート電極の電位が 0 以下であるときに、ソース端子とドレイン端子の間に流れる電流のことを意味する。或いは、本明細書でオフ電流とは、 p チャネル型トランジスタにおいては、ドレイン端子をソース端子とゲート電極よりも低い電位とした状態において、ソース端子の電位を基準としたときのゲート電極の電位が 0 以上であるときに、ソース端子とドレイン端子の間に流れる電流のことを意味する。

【0142】

なお、例えば、酸化物半導体膜は、 In （インジウム）、 Ga （ガリウム）、及び Zn （亜鉛）を含むターゲットを用いたスパッタ法により形成することができる。 $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物半導体膜をスパッタリング法で成膜する場合、好ましくは、原子数比が $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 、 $4 : 2 : 3$ 、 $3 : 1 : 2$ 、 $1 : 1 : 2$ 、 $2 : 1 : 3$ 、または $3 : 1 : 4$ で示される $\text{In}-\text{Ga}-\text{Zn}$ 系酸化物のターゲットを用いる。前述の原子数比

を有する In-Ga-Zn 系酸化物のターゲットを用いて酸化物半導体膜を成膜することで、多結晶または CAAC ($\text{C Axis Aligned Crystal}$) が形成されやすくなる。また、 In 、 Ga 、及び Zn を含むターゲットの相対密度は 90% 以上 100% 以下、好ましくは 95% 以上 100% 未満である。相対密度の高いターゲットを用いることにより、成膜した酸化物半導体膜は緻密な膜となる。

【0143】

なお、酸化物半導体として In-Zn 系酸化物の材料を用いる場合、用いるターゲット中の金属元素の原子数比は、原子数比で、 $\text{In}:\text{Zn}=50:1\sim 1:2$ (モル数比に換算すると $\text{In}_2\text{O}_3:\text{ZnO}=25:1\sim 1:4$)、好ましくは $\text{In}:\text{Zn}=20:1\sim 1:1$ (モル数比に換算すると $\text{In}_2\text{O}_3:\text{ZnO}=10:1\sim 1:2$)、さらに好ましくは $\text{In}:\text{Zn}=1.5:1\sim 15:1$ (モル数比に換算すると $\text{In}_2\text{O}_3:\text{ZnO}=3:4\sim 15:2$) とする。例えば、 In-Zn 系酸化物である酸化物半導体膜の形成に用いるターゲットは、原子数比が $\text{In}:\text{Zn}:\text{O}=\text{X}:\text{Y}:\text{Z}$ のとき、 $\text{Z}>1.5\text{X}+\text{Y}$ とする。 Zn の比率を上記範囲に収めることで、移動度の向上を実現することができる。

【0144】

なお、酸化物半導体膜は、単結晶、多結晶 (ポリクリスタルともいう。) または非晶質などの状態をとる。

【0145】

好ましくは、酸化物半導体膜は、 CAAC-OS ($\text{C Axis Aligned Crystalline Oxide Semiconductor}$) 膜とする。

【0146】

CAAC-OS 膜は、完全な単結晶ではなく、完全な非晶質でもない。 CAAC-OS 膜は、非晶質相に結晶部および非晶質部を有する結晶-非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が 100nm 未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡 ($\text{TEM: Transmission Electron Microscope}$) による観察像では、 CAAC-OS 膜に含まれる非晶質部と結晶部との境界は明確ではない。また、 TEM によって CAAC-OS 膜には粒界 (グレインバウンダリーともいう。) は確認できない。そのため、 CAAC-OS 膜は、粒界に起因する電子移動度の低下が抑制される。

【0147】

CAAC-OS 膜に含まれる結晶部は、 c 軸が CAAC-OS 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつ ab 面に垂直な方向から見て三角形または六角形状の原子配列を有し、 c 軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれ a 軸および b 軸の向きが異なっても良い。本明細書において、単に垂直と記載する場合、 85° 以上 95° 以下の範囲も含まれることとする。また、単に平行と記載する場合、 -5° 以上 5° 以下の範囲も含まれることとする。

【0148】

なお、 CAAC-OS 膜において、結晶部の分布が一様でなくても良い。例えば、 CAAC-OS 膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることもある。また、 CAAC-OS 膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0149】

CAAC-OS 膜に含まれる結晶部の c 軸は、 CAAC-OS 膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、 CAAC-OS 膜の形状 (被形成面の断面形状または表面の断面形状) によっては互いに異なる方向を向くことがある。なお、結晶部の c 軸の方向は、 CAAC-OS 膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。

【0150】

C A A C - O S 膜を用いたトランジスタは、可視光や紫外光の照射による電気的特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【0151】

C A A C - O S 膜は、例えば、多結晶である酸化物半導体スパッタリング用ターゲットを用い、スパッタリング法によって成膜する。当該スパッタリング用ターゲットにイオンが衝突すると、スパッタリング用ターゲットに含まれる結晶領域が a - b 面から劈開し、a - b 面に平行な面を有する平板状またはペレット状のスパッタリング粒子として剥離することがある。この場合、当該平板状のスパッタリング粒子が、結晶状態を維持したまま基板に到達することで、C A A C - O S 膜を成膜することができる。

10

【0152】

また、C A A C - O S 膜を成膜するために、以下の条件を適用することが好ましい。

【0153】

成膜時の不純物混入を低減することで、不純物によって結晶状態が崩れることを抑制できる。例えば、成膜室内に存在する不純物濃度（水素、水、二酸化炭素および窒素など）を低減すればよい。また、成膜ガス中の不純物濃度を低減すればよい。具体的には、露点が - 8 0 ° C 以下、好ましくは - 1 0 0 ° C 以下である成膜ガスを用いる。

【0154】

また、成膜時の基板加熱温度を高めることで、基板到達後にスパッタリング粒子のマイグレーションが起こる。具体的には、基板加熱温度を 1 0 0 ° C 以上 7 4 0 ° C 以下、好ましくは 2 0 0 ° C 以上 5 0 0 ° C 以下として成膜する。成膜時の基板加熱温度を高めることで、平板状のスパッタリング粒子が基板に到達した場合、基板上でマイグレーションが起こり、スパッタリング粒子の平らな面が基板に付着する。

20

【0155】

また、成膜ガス中の酸素割合を高め、電力を最適化することで成膜時のプラズマダメージを軽減すると好ましい。成膜ガス中の酸素割合は、3 0 体積 % 以上、好ましくは 1 0 0 体積 % とする。

【0156】

スパッタリング用ターゲットの一例として、I n - G a - Z n - O 化合物ターゲットについて以下に示す。

30

【0157】

I n O _X 粉末、G a O _Y 粉末および Z n O _Z 粉末を所定の m o l 数で混合し、加圧処理後、1 0 0 0 ° C 以上 1 5 0 0 ° C 以下の温度で加熱処理をすることで多結晶である I n - G a - Z n - O 化合物ターゲットとする。なお、X、Y および Z は任意の正数である。ここで、所定の m o l 数比は、例えば、I n O _X 粉末、G a O _Y 粉末および Z n O _Z 粉末が、2 : 2 : 1、8 : 4 : 3、3 : 1 : 1、1 : 1 : 1、4 : 2 : 3 または 3 : 1 : 2 である。なお、粉末の種類、およびその混合する m o l 数比は、作製するスパッタリング用ターゲットによって適宜変更すればよい。

【0158】

本実施の形態は、他の実施の形態と適宜組み合わせることで実施することが可能である。

40

【0159】

(実施の形態 5)

本実施の形態では、半導体表示装置の一形態に相当する、パネルの一例について説明する。図 1 2 に示すパネルは、基板 7 0 0 と、基板 7 0 0 上の画素部 7 0 1、信号線駆動回路 7 0 2 a、信号線駆動回路 7 0 2 b、走査線駆動回路 7 0 3 a、及び走査線駆動回路 7 0 3 b とを有する。

【0160】

画素部 7 0 1 は複数の画素を有し、各画素には、表示素子と、当該表示素子の動作を制御する単数または複数のトランジスタとが設けられている。走査線駆動回路 7 0 3 a 及び走査線駆動回路 7 0 3 b は、各画素に接続された走査線への電位の供給により、画素部 7 0

50

1が有する画素を選択する。信号線駆動回路702a及び信号線駆動回路702bは、走査線駆動回路703a及び走査線駆動回路703bにより選択された画素への画像信号の供給を制御する。

【0161】

なお、図12では、走査線駆動回路703a及び走査線駆動回路703bにより、画素部701の両端から各走査線への電位の供給が行われる場合を例示している。上記構成により、画素部701が大型化することで走査線が長くなっても、画素部701内において走査線の配線抵抗に起因する電位降下が起こるのを防ぐことができる。

【0162】

また、信号線駆動回路702a及び信号線駆動回路702bによる、画素への画像信号の供給は、信号線を介して行われる。図12では、信号線駆動回路702aにより、奇数番目の信号線を介して、画素への画像信号の供給が行われ、信号線駆動回路702bにより、偶数番目の信号線を介して、画素への画像信号の供給が行われる場合を例示している。

【0163】

また、図12では、走査線駆動回路703a及び走査線駆動回路703bが画素部701と共に基板700上に形成されており、チップに形成された信号線駆動回路702a及び信号線駆動回路702bが、TAB(Tape Automated Bonding)法を用いて基板700に実装されている場合を例示している。チップに形成された走査線駆動回路703a及び走査線駆動回路703bが、基板700に実装されていても良いし、或いは、信号線駆動回路702a及び信号線駆動回路702bが画素部701と共に基板700上に形成されていても良い。また、チップの実装も、TAB法に限定されない。チップがFPC(Flexible Printed Circuit)などを用いて、基板700に実装されていても良い。或いは、COF(Chip On Film)法を用いて、チップが基板700に実装されていても良い。

【0164】

走査線は、複数の画素に接続されているため、走査線駆動回路703a及び走査線駆動回路703bには大きな電流供給能力が求められる。よって、走査線駆動回路703a及び走査線駆動回路703bが有するパルス出力回路の出力側に位置するトランジスタは、サイズを大きくする必要がある。特に画素部701の画素数が増加すると、或いは画素部701の面積が増大すると、走査線の配線抵抗の増大、或いは走査線に接続されている負荷の増大がもたらされるため、より大きな電流供給能力を満たすために、上記トランジスタのサイズをさらに大きくする必要がある。そして、上記トランジスタのサイズが大きくなると、走査線駆動回路703a及び走査線駆動回路703bにおいて複数のトランジスタのゲート電極として機能する導電膜の面積が増大してしまい、アンテナ効果による上記配線の静電破壊が起きやすくなる。しかし、本発明の一態様では、複数のゲート電極が、上記ゲート電極と異なる層に設けられた導電膜を介して、電氣的に接続されている。よって、ゲート電極として機能する各導電膜の面積を小さく抑えることができるので、画素部701の画素数が増加しても、或いは画素部701の面積が増大しても、アンテナ効果による静電破壊を起きにくくすることができる。

【0165】

なお、本実施の形態では、走査線駆動回路703a及び走査線駆動回路703bに、本発明の一態様に係る構成を適用した場合について説明したが、本発明の一態様では、信号線駆動回路702a及び信号線駆動回路702bに、本発明の一態様に係る構成を適用しても良い。

【0166】

本実施の形態は、他の実施の形態と適宜組み合わせる実施することが可能である。

【0167】

(実施の形態6)

本発明の一態様に係る半導体装置は、表示機器、パーソナルコンピュータ、記録媒体を備えた画像再生装置(代表的にはDVD: Digital Versatile Disc

10

20

30

40

50

等の記録媒体を再生し、その画像を表示しうるディスプレイを有する装置）に用いることができる。その他に、本発明の一態様に係る半導体装置を用いることができる電子機器として、携帯電話、携帯型を含むゲーム機、携帯情報端末、電子書籍、ビデオカメラ、デジタルスチルカメラ等のカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音響再生装置（カーオーディオ、デジタルオーディオプレーヤー等）、複写機、ファクシミリ、プリンター、プリンター複合機、現金自動預け入れ払い機（ＡＴＭ）、自動販売機などが挙げられる。これら電子機器の具体例を図１３に示す。

【０１６８】

図１３（Ａ）は携帯型ゲーム機であり、筐体５００１、筐体５００２、表示部５００３、表示部５００４、マイクロホン５００５、スピーカー５００６、操作キー５００７、スタイラス５００８等を有する。携帯型ゲーム機の駆動回路、或いは、表示部５００３または表示部５００４に、本発明の一態様に係る半導体装置を用いることで、歩留まりの高い携帯型ゲーム機を提供することができる。なお、図１３（Ａ）に示した携帯型ゲーム機は、２つの表示部５００３と表示部５００４とを有しているが、携帯型ゲーム機が有する表示部の数は、これに限定されない。

10

【０１６９】

図１３（Ｂ）は表示機器であり、筐体５２０１、表示部５２０２、支持台５２０３等を有する。表示機器の駆動回路、或いは、表示部５２０２に本発明の一態様に係る半導体表示装置を用いることで、歩留まりの高い表示機器を提供することができる。なお、表示機器には、パーソナルコンピュータ用、ＴＶ放送受信用、広告表示用などの全ての情報表示用表示機器が含まれる。

20

【０１７０】

図１３（Ｃ）はノート型パーソナルコンピュータであり、筐体５４０１、表示部５４０２、キーボード５４０３、ポインティングデバイス５４０４等を有する。ノート型パーソナルコンピュータの駆動回路、或いは、表示部５４０２に本発明の一態様に係る半導体表示装置を用いることで、歩留まりの高いノート型パーソナルコンピュータを提供することができる。

【０１７１】

図１３（Ｄ）は携帯情報端末であり、第１筐体５６０１、第２筐体５６０２、第１表示部５６０３、第２表示部５６０４、接続部５６０５、操作キー５６０６等を有する。第１表示部５６０３は第１筐体５６０１に設けられており、第２表示部５６０４は第２筐体５６０２に設けられている。そして、第１筐体５６０１と第２筐体５６０２とは、接続部５６０５により接続されており、第１筐体５６０１と第２筐体５６０２の間の角度は、接続部５６０５により可動となっている。第１表示部５６０３における映像の切り替えを、接続部５６０５における第１筐体５６０１と第２筐体５６０２との間の角度に従って、切り替える構成としても良い。また、第１表示部５６０３及び第２表示部５６０４の少なくとも一方に、位置入力装置としての機能が付加された半導体表示装置を用いるようにしても良い。なお、位置入力装置としての機能は、半導体表示装置にタッチパネルを設けることで付加することができる。或いは、位置入力装置としての機能は、フォトセンサとも呼ばれる光電変換素子を半導体表示装置の画素部に設けることで、付加することができる。携帯情報端末の駆動回路、或いは、第１表示部５６０３または第２表示部５６０４に本発明の一態様に係る半導体装置を用いることで、歩留まりの高い携帯情報端末を提供することができる。

30

40

【０１７２】

図１３（Ｅ）は携帯電話であり、筐体５８０１、表示部５８０２、音声入力部５８０３、音声出力部５８０４、操作キー５８０５、受光部５８０６等を有する。受光部５８０６において受信した光を電気信号に変換することで、外部の画像を取り込むことができる。携帯電話の駆動回路、或いは、表示部５８０２に本発明の一態様に係る半導体装置を用いることで、歩留まりの高い携帯電話を提供することができる。

50

【0173】

本実施の形態は、他の実施の形態と適宜組み合わせて実施することができる。

【符号の説明】

【0174】

100	半導体装置	
101	トランジスタ	
102	トランジスタ	
103	配線	
104	配線	
105	配線	10
106	配線	
107	配線	
110	導電膜	
111	ゲート絶縁膜	
112	半導体膜	
113	導電膜	
114	導電膜	
115	導電膜	
116	半導体膜	
117	導電膜	20
118	導電膜	
119	導電膜	
120	開口部	
121	開口部	
122	導電膜	
123	半導体膜	
124	導電膜	
125	導電膜	
126	半導体膜	
127	導電膜	30
128	導電膜	
210	導電膜	
211	ゲート絶縁膜	
212	半導体膜	
213	導電膜	
214	導電膜	
215	導電膜	
216	半導体膜	
217	導電膜	
218	導電膜	40
219	導電膜	
220	開口部	
221	開口部	
222	導電膜	
223	半導体膜	
224	導電膜	
225	導電膜	
226	半導体膜	
227	導電膜	
228	導電膜	50

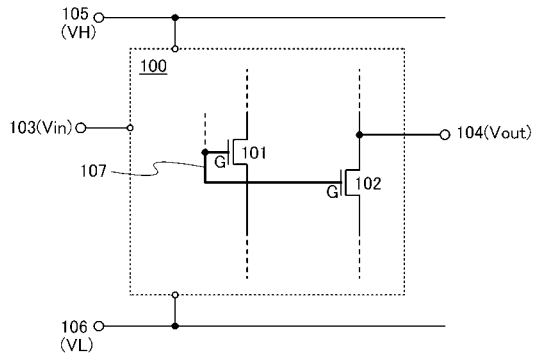
3 0 0	パルス発生回路	
3 0 1	トランジスタ	
3 0 2	トランジスタ	
3 0 3	トランジスタ	
3 0 4	トランジスタ	
3 0 5	トランジスタ	
3 0 6	トランジスタ	
3 0 7	トランジスタ	
3 0 8	トランジスタ	
3 0 9	トランジスタ	10
3 1 0	トランジスタ	
3 1 1	トランジスタ	
3 1 2	トランジスタ	
3 1 3	トランジスタ	
3 1 4	トランジスタ	
3 1 5	トランジスタ	
3 1 6	容量素子	
3 1 7	配線	
3 1 8	配線	
3 1 9	配線	20
3 2 0	配線	
3 2 1	配線	
3 2 2	配線	
3 2 3	配線	
3 2 4	配線	
3 2 5	配線	
3 2 6	配線	
3 2 7	配線	
3 2 8	配線	
3 2 9	配線	30
3 5 0	インバータ	
3 5 1	インバータ	
4 0 0	パルス発生回路	
4 0 2	トランジスタ	
4 0 3	トランジスタ	
4 0 4	トランジスタ	
4 0 5	配線	
4 0 6	配線	
4 0 7	配線	
4 0 8	配線	40
4 0 9	配線	
4 1 0	配線	
4 1 1	配線	
4 1 2	配線	
4 1 3	配線	
4 1 4	配線	
4 1 5	トランジスタ	
4 1 6	トランジスタ	
4 1 7	トランジスタ	
4 1 8	トランジスタ	50

4 1 9	トランジスタ	
4 2 0	トランジスタ	
4 3 0	パルス発生回路	
4 3 2	トランジスタ	
4 3 3	トランジスタ	
4 3 4	トランジスタ	
4 3 5	配線	
4 3 6	配線	
4 3 7	配線	
4 3 8	配線	10
4 3 9	配線	
4 4 0	配線	
4 4 1	配線	
4 4 2	配線	
4 4 3	配線	
4 4 4	配線	
4 4 5	配線	
4 4 6	トランジスタ	
4 4 7	トランジスタ	
4 4 8	トランジスタ	20
4 4 9	トランジスタ	
4 5 0	トランジスタ	
4 5 1	トランジスタ	
4 5 2	トランジスタ	
4 6 0	パルス発生回路	
4 6 2	トランジスタ	
4 6 3	トランジスタ	
4 6 4	トランジスタ	
4 6 5	配線	
4 6 6	配線	30
4 6 7	配線	
4 6 8	配線	
4 6 9	配線	
4 7 0	配線	
4 7 1	配線	
4 7 2	配線	
4 7 4	配線	
4 7 5	配線	
4 7 6	トランジスタ	
4 7 7	トランジスタ	40
4 7 8	トランジスタ	
4 7 9	トランジスタ	
4 8 0	トランジスタ	
4 8 1	トランジスタ	
4 8 2	トランジスタ	
5 0 0	パルス発生回路	
5 0 2	トランジスタ	
5 0 3	トランジスタ	
5 0 4	トランジスタ	
5 0 5	配線	50

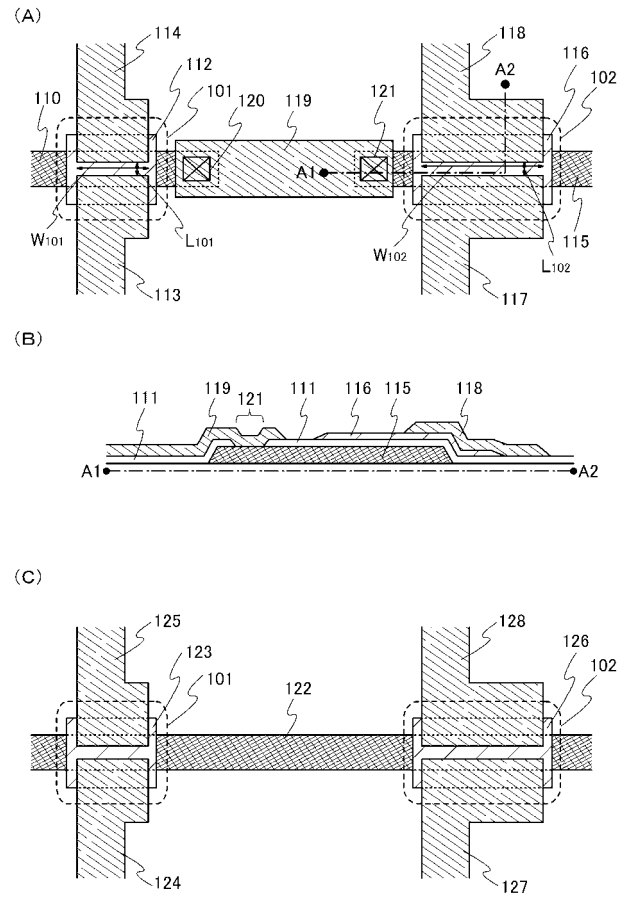
5 0 6	配線	
5 0 7	配線	
5 0 8	配線	
5 0 9	配線	
5 1 0	配線	
5 1 1	配線	
5 1 2	配線	
5 1 4	配線	
5 1 5	配線	
5 1 6	トランジスタ	10
5 1 7	トランジスタ	
5 1 8	トランジスタ	
5 1 9	トランジスタ	
5 2 0	トランジスタ	
5 2 1	トランジスタ	
5 2 2	トランジスタ	
5 2 3	トランジスタ	
5 3 0	パルス発生回路	
5 3 2	トランジスタ	
5 3 3	トランジスタ	20
5 3 4	トランジスタ	
5 3 5	配線	
5 3 6	配線	
5 3 7	配線	
5 3 8	配線	
5 3 9	配線	
5 4 0	配線	
5 4 1	配線	
5 4 2	配線	
5 4 4	配線	30
5 4 5	配線	
5 4 6	トランジスタ	
5 4 7	トランジスタ	
5 4 8	トランジスタ	
5 4 9	トランジスタ	
5 5 0	トランジスタ	
5 5 1	トランジスタ	
5 5 2	トランジスタ	
5 5 3	トランジスタ	
7 0 0	基板	40
7 0 1	画素部	
7 0 2 a	信号線駆動回路	
7 0 2 b	信号線駆動回路	
7 0 3 a	走査線駆動回路	
7 0 3 b	走査線駆動回路	
8 0 0	基板	
8 0 2	ゲート絶縁膜	
8 1 2	導電膜	
8 1 3	半導体膜	
8 1 4	導電膜	50

8 1 5	導電膜	
8 1 6	導電膜	
8 1 7	半導体膜	
8 1 8	導電膜	
8 1 9	導電膜	
8 2 0	絶縁膜	
8 2 1	絶縁膜	
8 2 2	導電膜	
8 2 4	絶縁膜	
8 2 5	E L 層	10
8 2 6	導電膜	
8 3 0	トランジスタ	
8 3 1	トランジスタ	
8 3 2	発光素子	
8 4 0	画素	
8 4 1	駆動回路	
8 5 0	導電膜	
8 5 1	導電膜	
8 5 2	導電膜	
8 5 3	導電膜	20
8 5 4	絶縁膜	
5 0 0 1	筐体	
5 0 0 2	筐体	
5 0 0 3	表示部	
5 0 0 4	表示部	
5 0 0 5	マイクロホン	
5 0 0 6	スピーカー	
5 0 0 7	操作キー	
5 0 0 8	スタイラス	
5 2 0 1	筐体	30
5 2 0 2	表示部	
5 2 0 3	支持台	
5 4 0 1	筐体	
5 4 0 2	表示部	
5 4 0 3	キーボード	
5 4 0 4	ポインティングデバイス	
5 6 0 1	筐体	
5 6 0 2	筐体	
5 6 0 3	表示部	
5 6 0 4	表示部	40
5 6 0 5	接続部	
5 6 0 6	操作キー	
5 8 0 1	筐体	
5 8 0 2	表示部	
5 8 0 3	音声入力部	
5 8 0 4	音声出力部	
5 8 0 5	操作キー	
5 8 0 6	受光部	

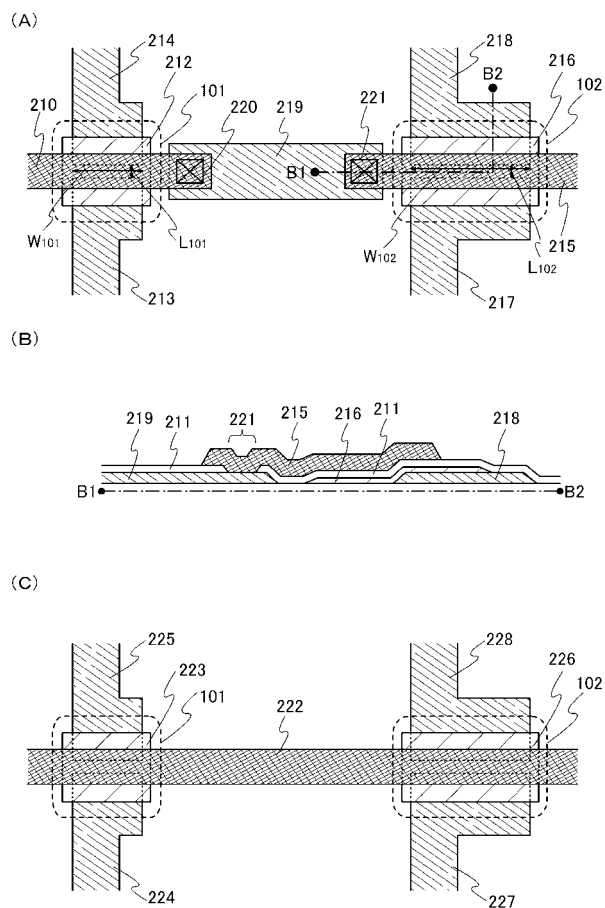
【図 1】



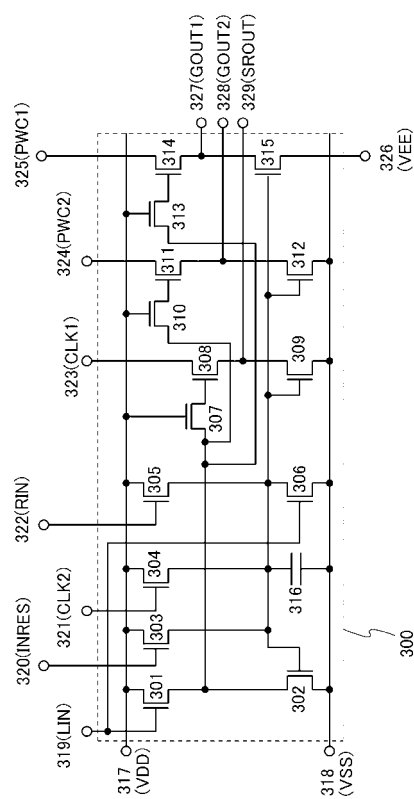
【図 2】



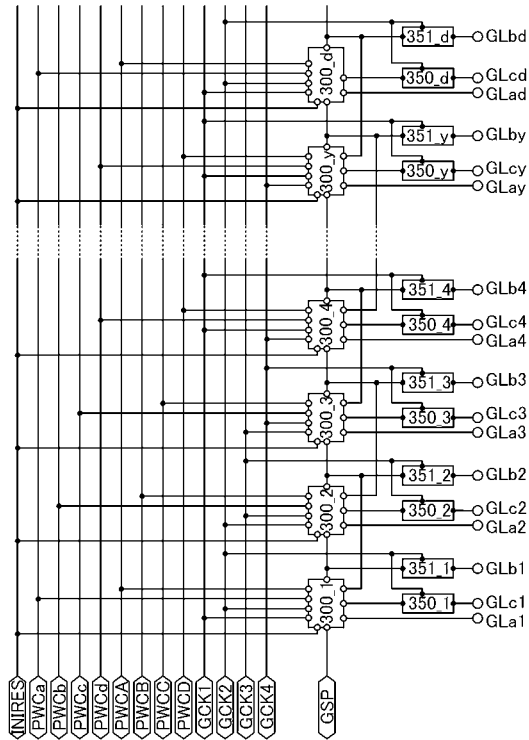
【図 3】



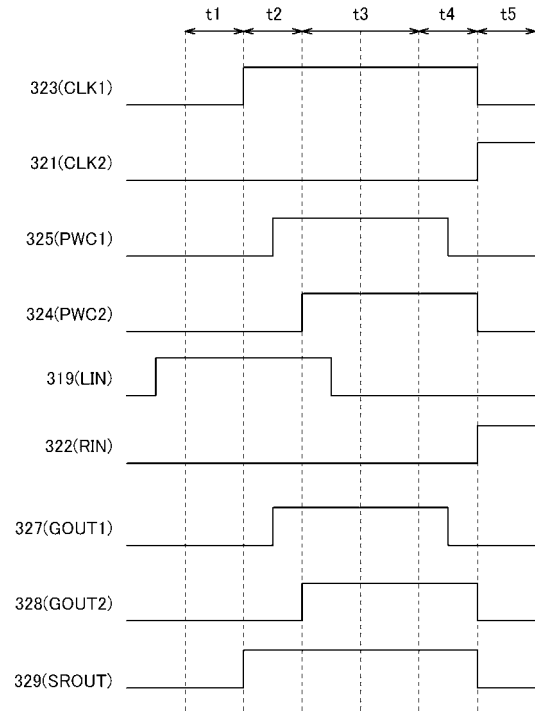
【図 4】



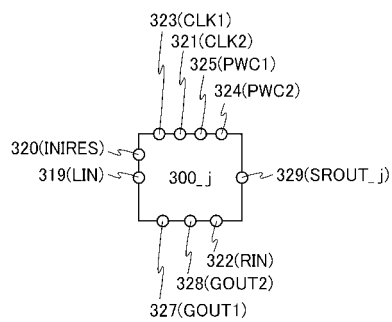
【図 5】



【図 6】

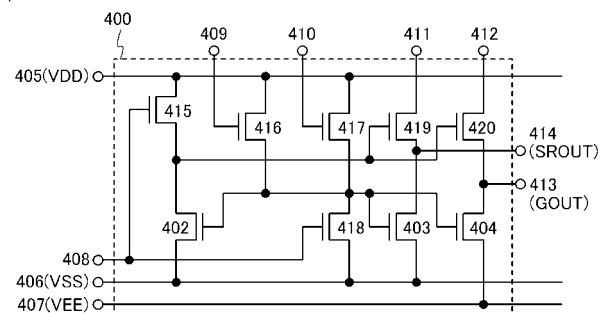


【図 7】

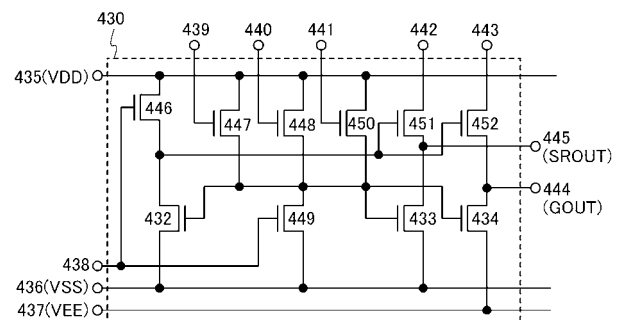


【図 8】

(A)

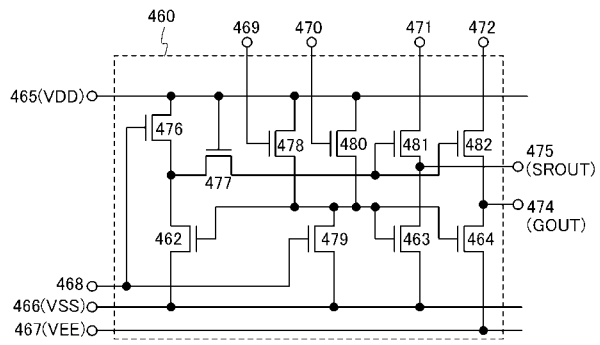


(B)

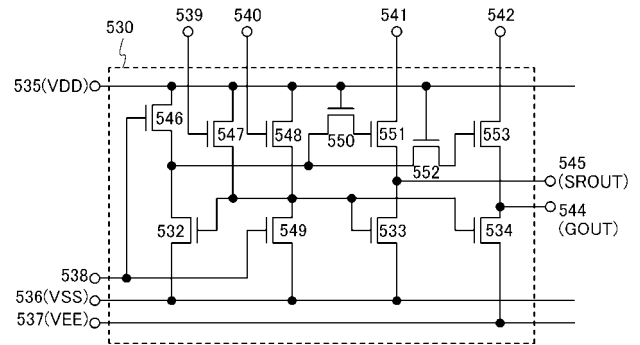


【図 9】

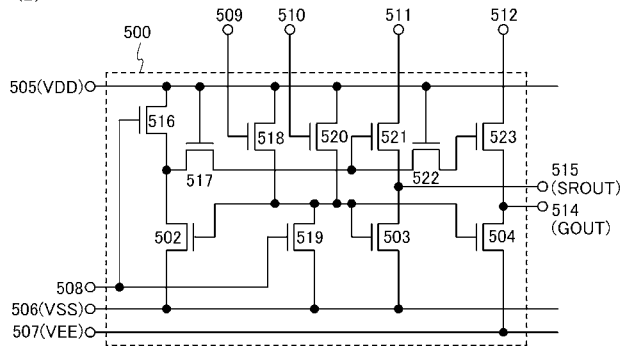
(A)



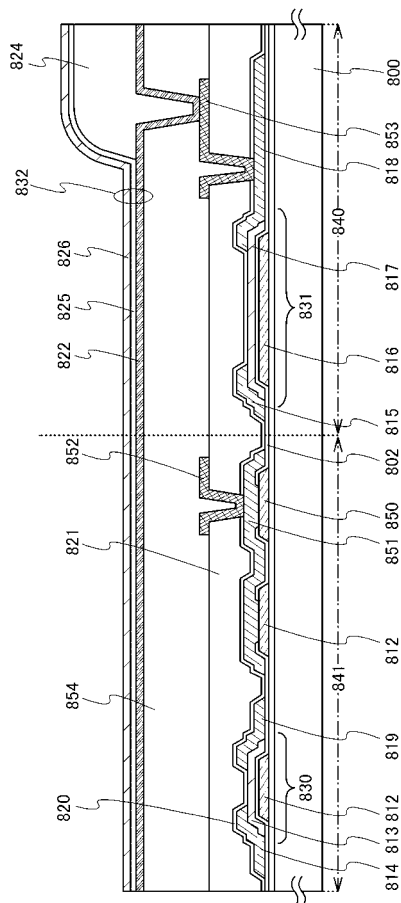
【図 10】



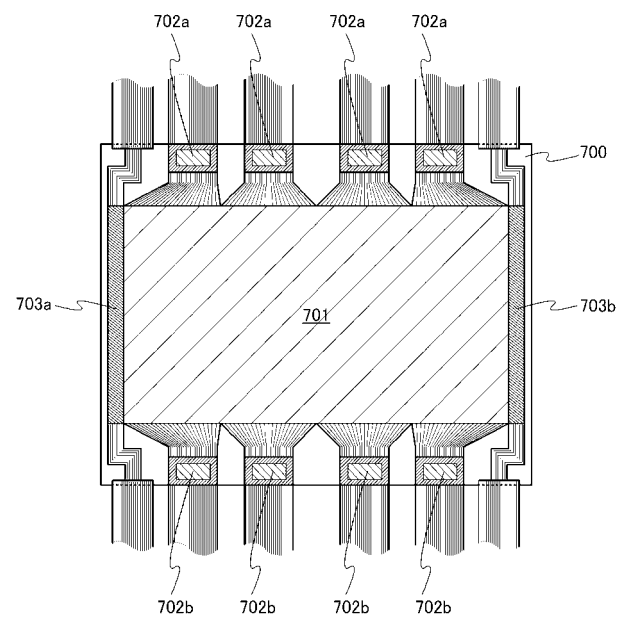
(B)



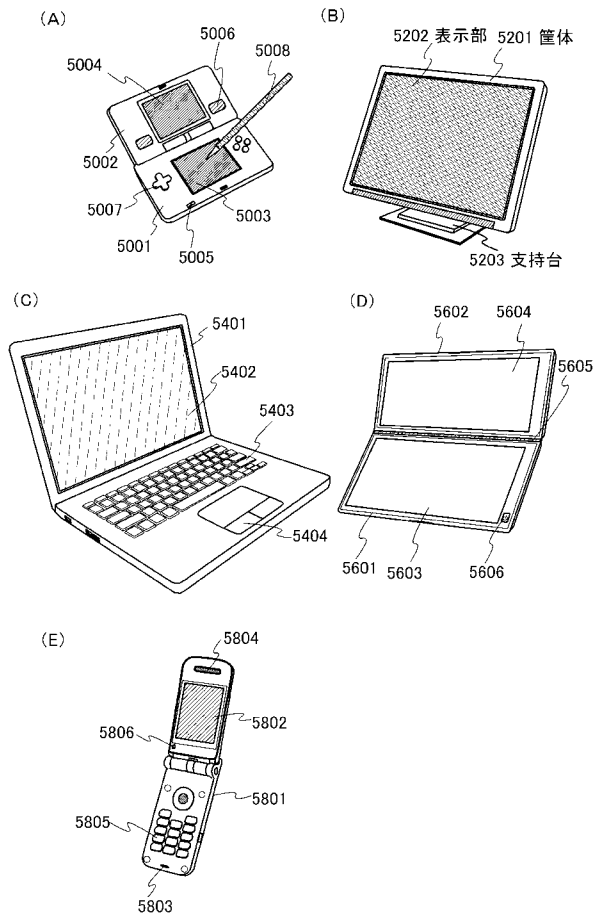
【図 11】



【図 12】



【図 13】



【手続補正書】

【提出日】平成29年6月21日(2017.6.21)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

第 1 乃至第 5 のトランジスタを有し、

前記第 1 乃至前記第 5 のトランジスタは同じチャネル型であり、

前記第 1 のトランジスタのソース又はドレインの一方は第 1 の配線に電氣的に接続されており、

前記第 1 のトランジスタのソース又はドレインの他方は第 2 の配線に電氣的に接続されており、

前記第 2 のトランジスタのソース又はドレインの一方は前記第 2 の配線に電氣的に接続されており、

前記第 2 のトランジスタのソース又はドレインの他方は第 3 の配線に電氣的に接続されており、

前記第 3 のトランジスタのソース又はドレインの一方は第 4 の配線に電氣的に接続されており、

前記第 3 のトランジスタのソース又はドレインの他方は前記第 4 のトランジスタのソース又はドレインの一方に電氣的に接続されており、

前記第 4 のトランジスタのソース又はドレインの他方は第 5 の配線に電氣的に接続されており、

前記第 5 のトランジスタのソース又はドレインの一方は前記第 4 の配線に電氣的に接続されており、

前記第 5 のトランジスタのソース又はドレインの他方は前記第 1 のトランジスタのゲートに電氣的に接続されており、

前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電層は第 2 の導電層を介して前記第 3 のトランジスタのゲートとしての機能を有する第 3 の導電層に電氣的に接続されており、

前記第 2 の配線は前記第 1 乃至前記第 5 のトランジスタを有する回路から出力される信号を伝達する機能を有する半導体装置。

【請求項 2】

第 1 乃至第 5 のトランジスタを有し、

前記第 1 乃至前記第 5 のトランジスタは同じチャネル型であり、

前記第 1 のトランジスタのソース又はドレインの一方は第 1 の配線に電氣的に接続されており、

前記第 1 のトランジスタのソース又はドレインの他方は第 2 の配線に電氣的に接続されており、

前記第 2 のトランジスタのソース又はドレインの一方は前記第 2 の配線に電氣的に接続されており、

前記第 2 のトランジスタのソース又はドレインの他方は第 3 の配線に電氣的に接続されており、

前記第 3 のトランジスタのソース又はドレインの一方は第 4 の配線に電氣的に接続されており、

前記第 3 のトランジスタのソース又はドレインの他方は前記第 4 のトランジスタのソース又はドレインの一方に電氣的に接続されており、

前記第 4 のトランジスタのソース又はドレインの他方は第 5 の配線に電氣的に接続されており、

前記第 5 のトランジスタのソース又はドレインの一方は前記第 4 の配線に電氣的に接続されており、

前記第 5 のトランジスタのソース又はドレインの他方は前記第 1 のトランジスタのゲートに電氣的に接続されており、

前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電層は第 2 の導電層を介して前記第 3 のトランジスタのゲートとしての機能を有する第 3 の導電層に電氣的に接続されており、

前記第 1 のトランジスタのチャネル長に対するチャネル幅の比は、前記第 3 のトランジスタのチャネル長に対するチャネル幅の比より大きく、

前記第 2 の配線は前記第 1 乃至前記第 5 のトランジスタを有する回路から出力される信号を伝達する機能を有する半導体装置。

【請求項 3】

第 1 乃至第 5 のトランジスタを有し、

前記第 1 乃至前記第 5 のトランジスタは同じチャネル型であり、

前記第 1 のトランジスタのソース又はドレインの一方は第 1 の配線に電氣的に接続されており、

前記第 1 のトランジスタのソース又はドレインの他方は第 2 の配線に電氣的に接続されており、

前記第 2 のトランジスタのソース又はドレインの一方は前記第 2 の配線に電氣的に接続されており、

前記第 2 のトランジスタのソース又はドレインの他方は第 3 の配線に電氣的に接続されており、

前記第 3 のトランジスタのソース又はドレインの一方は第 4 の配線に電氣的に接続されており、

前記第3のトランジスタのソース又はドレインの他方は前記第4のトランジスタのソース又はドレインの一方に電氣的に接続されており、

前記第4のトランジスタのソース又はドレインの他方は第5の配線に電氣的に接続されており、

前記第5のトランジスタのソース又はドレインの一方は前記第4の配線に電氣的に接続されており、

前記第5のトランジスタのソース又はドレインの他方は前記第1のトランジスタのゲートに電氣的に接続されており、

前記第1のトランジスタのゲートとしての機能を有する第1の導電層は第2の導電層を介して前記第3のトランジスタのゲートとしての機能を有する第3の導電層に電氣的に接続されており、

前記第1の導電層は前記第3の導電層と常に導通しており、

前記第2の配線は前記第1乃至前記第5のトランジスタを有する回路から出力される信号を伝達する機能を有する半導体装置。

【請求項4】

第1乃至第7のトランジスタを有し、

前記第1乃至前記第7のトランジスタは同じチャネル型であり、

前記第1のトランジスタのソース又はドレインの一方は第1の配線に電氣的に接続されており、

前記第1のトランジスタのソース又はドレインの他方は第2の配線に電氣的に接続されており、

前記第2のトランジスタのソース又はドレインの一方は前記第2の配線に電氣的に接続されており、

前記第2のトランジスタのソース又はドレインの他方は第3の配線に電氣的に接続されており、

前記第3のトランジスタのソース又はドレインの一方は第4の配線に電氣的に接続されており、

前記第3のトランジスタのソース又はドレインの他方は前記第4のトランジスタのソース又はドレインの一方に電氣的に接続されており、

前記第4のトランジスタのソース又はドレインの他方は第5の配線に電氣的に接続されており、

前記第5のトランジスタのソース又はドレインの一方は前記第4の配線に電氣的に接続されており、

前記第5のトランジスタのソース又はドレインの他方は前記第1のトランジスタのゲートに電氣的に接続されており、

前記第6のトランジスタのソース又はドレインの一方は前記第4の配線に電氣的に接続されており、

前記第6のトランジスタのソース又はドレインの他方は前記第7のトランジスタのソース又はドレインの一方に電氣的に接続されており、

前記第7のトランジスタのゲートは前記第3のトランジスタのソース又はドレインの他方に電氣的に接続されており、

前記第1のトランジスタのゲートとしての機能を有する第1の導電層は第2の導電層を介して前記第3のトランジスタのゲートとしての機能を有する第3の導電層に電氣的に接続されており、

前記第2の配線は前記第1乃至前記第7のトランジスタを有する回路から出力される信号を伝達する機能を有する半導体装置。

【請求項5】

第1乃至第7のトランジスタを有し、

前記第1乃至前記第7のトランジスタは同じチャネル型であり、

前記第1のトランジスタのソース又はドレインの一方は第1の配線に電氣的に接続され

ており、

前記第 1 のトランジスタのソース又はドレインの他方は第 2 の配線に電氣的に接続されて
おり、

前記第 2 のトランジスタのソース又はドレインの一方は前記第 2 の配線に電氣的に接続
されており、

前記第 2 のトランジスタのソース又はドレインの他方は第 3 の配線に電氣的に接続され
ており、

前記第 3 のトランジスタのソース又はドレインの一方は第 4 の配線に電氣的に接続され
ており、

前記第 3 のトランジスタのソース又はドレインの他方は前記第 4 のトランジスタのソー
ス又はドレインの一方に電氣的に接続されており、

前記第 4 のトランジスタのソース又はドレインの他方は第 5 の配線に電氣的に接続され
ており、

前記第 5 のトランジスタのソース又はドレインの一方は前記第 4 の配線に電氣的に接続
されており、

前記第 5 のトランジスタのソース又はドレインの他方は前記第 1 のトランジスタのゲー
トに電氣的に接続されており、

前記第 6 のトランジスタのソース又はドレインの一方は前記第 4 の配線に電氣的に接続
されており、

前記第 6 のトランジスタのソース又はドレインの他方は前記第 7 のトランジスタのソー
ス又はドレインの一方に電氣的に接続されており、

前記第 7 のトランジスタのゲートは前記第 3 のトランジスタのソース又はドレインの他
方に電氣的に接続されており、

前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電層は第 2 の導電層を
介して前記第 3 のトランジスタのゲートとしての機能を有する第 3 の導電層に電氣的に接
続されており、

前記第 1 のトランジスタのチャネル長に対するチャネル幅の比は、前記第 3 のトランジ
スタのチャネル長に対するチャネル幅の比より大きく、

前記第 1 のトランジスタのチャネル長に対するチャネル幅の比は、前記第 6 のトランジ
スタのチャネル長に対するチャネル幅の比より大きく、

前記第 2 の配線は前記第 1 乃至前記第 7 のトランジスタを有する回路から出力される信
号を伝達する機能を有する半導体装置。

【請求項 6】

第 1 乃至第 7 のトランジスタを有し、

前記第 1 乃至前記第 7 のトランジスタは同じチャネル型であり、

前記第 1 のトランジスタのソース又はドレインの一方は第 1 の配線に電氣的に接続され
ており、

前記第 1 のトランジスタのソース又はドレインの他方は第 2 の配線に電氣的に接続され
ており、

前記第 2 のトランジスタのソース又はドレインの一方は前記第 2 の配線に電氣的に接続
されており、

前記第 2 のトランジスタのソース又はドレインの他方は第 3 の配線に電氣的に接続され
ており、

前記第 3 のトランジスタのソース又はドレインの一方は第 4 の配線に電氣的に接続され
ており、

前記第 3 のトランジスタのソース又はドレインの他方は前記第 4 のトランジスタのソー
ス又はドレインの一方に電氣的に接続されており、

前記第 4 のトランジスタのソース又はドレインの他方は第 5 の配線に電氣的に接続され
ており、

前記第 5 のトランジスタのソース又はドレインの一方は前記第 4 の配線に電氣的に接続

されており、

前記第 5 のトランジスタのソース又はドレインの他方は前記第 1 のトランジスタのゲートに電氣的に接続されており、

前記第 6 のトランジスタのソース又はドレインの一方は前記第 4 の配線に電氣的に接続されており、

前記第 6 のトランジスタのソース又はドレインの他方は前記第 7 のトランジスタのソース又はドレインの一方に電氣的に接続されており、

前記第 7 のトランジスタのゲートは前記第 3 のトランジスタのソース又はドレインの他方に電氣的に接続されており、

前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電層は第 2 の導電層を介して前記第 3 のトランジスタのゲートとしての機能を有する第 3 の導電層に電氣的に接続されており、

前記第 1 の導電層は前記第 3 の導電層と常に導通しており、

前記第 2 の配線は前記第 1 乃至前記第 7 のトランジスタを有する回路から出力される信号を伝達する機能を有する半導体装置。

【請求項 7】

第 1 乃至第 5 のトランジスタを有し、

前記第 1 乃至前記第 5 のトランジスタは同じチャネル型であり、

前記第 1 のトランジスタのソース又はドレインの一方は第 1 の配線に電氣的に接続されており、

前記第 1 のトランジスタのソース又はドレインの他方は第 2 の配線に電氣的に接続されており、

前記第 2 のトランジスタのソース又はドレインの一方は前記第 2 の配線に電氣的に接続されており、

前記第 2 のトランジスタのソース又はドレインの他方は第 3 の配線に電氣的に接続されており、

前記第 3 のトランジスタのソース又はドレインの一方は第 4 の配線に電氣的に接続されており、

前記第 3 のトランジスタのソース又はドレインの他方は前記第 4 のトランジスタのソース又はドレインの一方に電氣的に接続されており、

前記第 4 のトランジスタのソース又はドレインの他方は第 5 の配線に電氣的に接続されており、

前記第 5 のトランジスタのソース又はドレインの一方は前記第 4 の配線に電氣的に接続されており、

前記第 5 のトランジスタのソース又はドレインの他方は前記第 1 のトランジスタのゲートに電氣的に接続されており、

前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電層は第 2 の導電層を介して前記第 3 のトランジスタのゲートとしての機能を有する第 3 の導電層に電氣的に接続されており、

前記第 2 の導電層は、前記第 1 のトランジスタのソース又はドレインの一方としての機能を有する第 4 の導電層と同じ層に形成されており、

前記第 2 の配線は前記第 1 乃至前記第 5 のトランジスタを有する回路から出力される信号を伝達する機能を有する半導体装置。

【請求項 8】

第 1 乃至第 5 のトランジスタを有し、

前記第 1 乃至前記第 5 のトランジスタは同じチャネル型であり、

前記第 1 のトランジスタのソース又はドレインの一方は第 1 の配線に電氣的に接続されており、

前記第 1 のトランジスタのソース又はドレインの他方は第 2 の配線に電氣的に接続されており、

前記第 2 のトランジスタのソース又はドレインの一方は前記第 2 の配線に電氣的に接続されており、

前記第 2 のトランジスタのソース又はドレインの他方は第 3 の配線に電氣的に接続されており、

前記第 3 のトランジスタのソース又はドレインの一方は第 4 の配線に電氣的に接続されており、

前記第 3 のトランジスタのソース又はドレインの他方は前記第 4 のトランジスタのソース又はドレインの一方に電氣的に接続されており、

前記第 4 のトランジスタのソース又はドレインの他方は第 5 の配線に電氣的に接続されており、

前記第 5 のトランジスタのソース又はドレインの一方は前記第 4 の配線に電氣的に接続されており、

前記第 5 のトランジスタのソース又はドレインの他方は前記第 1 のトランジスタのゲートに電氣的に接続されており、

前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電層は第 2 の導電層を介して前記第 3 のトランジスタのゲートとしての機能を有する第 3 の導電層に電氣的に接続されており、

前記第 2 の導電層は、前記第 1 のトランジスタのソース又はドレインの一方としての機能を有する第 4 の導電層と同じ層に形成されており、

前記第 1 のトランジスタのチャネル長に対するチャネル幅の比は、前記第 3 のトランジスタのチャネル長に対するチャネル幅の比より大きく、

前記第 2 の配線は前記第 1 乃至前記第 5 のトランジスタを有する回路から出力される信号を伝達する機能を有する半導体装置。

【請求項 9】

第 1 乃至第 5 のトランジスタを有し、

前記第 1 乃至前記第 5 のトランジスタは同じチャネル型であり、

前記第 1 のトランジスタのソース又はドレインの一方は第 1 の配線に電氣的に接続されており、

前記第 1 のトランジスタのソース又はドレインの他方は第 2 の配線に電氣的に接続されており、

前記第 2 のトランジスタのソース又はドレインの一方は前記第 2 の配線に電氣的に接続されており、

前記第 2 のトランジスタのソース又はドレインの他方は第 3 の配線に電氣的に接続されており、

前記第 3 のトランジスタのソース又はドレインの一方は第 4 の配線に電氣的に接続されており、

前記第 3 のトランジスタのソース又はドレインの他方は前記第 4 のトランジスタのソース又はドレインの一方に電氣的に接続されており、

前記第 4 のトランジスタのソース又はドレインの他方は第 5 の配線に電氣的に接続されており、

前記第 5 のトランジスタのソース又はドレインの一方は前記第 4 の配線に電氣的に接続されており、

前記第 5 のトランジスタのソース又はドレインの他方は前記第 1 のトランジスタのゲートに電氣的に接続されており、

前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電層は第 2 の導電層を介して前記第 3 のトランジスタのゲートとしての機能を有する第 3 の導電層に電氣的に接続されており、

前記第 1 の導電層は前記第 3 の導電層と常に導通しており、

前記第 2 の導電層は、前記第 1 のトランジスタのソース又はドレインの一方としての機能を有する第 4 の導電層と同じ層に形成されており、

前記第 2 の配線は前記第 1 乃至前記第 5 のトランジスタを有する回路から出力される信号を伝達する機能を有する半導体装置。

【請求項 10】

第 1 乃至第 7 のトランジスタを有し、

前記第 1 乃至前記第 7 のトランジスタは同じチャネル型であり、

前記第 1 のトランジスタのソース又はドレインの一方は第 1 の配線に電氣的に接続されており、

前記第 1 のトランジスタのソース又はドレインの他方は第 2 の配線に電氣的に接続されており、

前記第 2 のトランジスタのソース又はドレインの一方は前記第 2 の配線に電氣的に接続されており、

前記第 2 のトランジスタのソース又はドレインの他方は第 3 の配線に電氣的に接続されており、

前記第 3 のトランジスタのソース又はドレインの一方は第 4 の配線に電氣的に接続されており、

前記第 3 のトランジスタのソース又はドレインの他方は前記第 4 のトランジスタのソース又はドレインの一方に電氣的に接続されており、

前記第 4 のトランジスタのソース又はドレインの他方は第 5 の配線に電氣的に接続されており、

前記第 5 のトランジスタのソース又はドレインの一方は前記第 4 の配線に電氣的に接続されており、

前記第 5 のトランジスタのソース又はドレインの他方は前記第 1 のトランジスタのゲートに電氣的に接続されており、

前記第 6 のトランジスタのソース又はドレインの一方は前記第 4 の配線に電氣的に接続されており、

前記第 6 のトランジスタのソース又はドレインの他方は前記第 7 のトランジスタのソース又はドレインの一方に電氣的に接続されており、

前記第 7 のトランジスタのゲートは前記第 3 のトランジスタのソース又はドレインの他方に電氣的に接続されており、

前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電層は第 2 の導電層を介して前記第 3 のトランジスタのゲートとしての機能を有する第 3 の導電層に電氣的に接続されており、

前記第 2 の導電層は、前記第 1 のトランジスタのソース又はドレインの一方としての機能を有する第 4 の導電層と同じ層に形成されており、

前記第 2 の配線は前記第 1 乃至前記第 7 のトランジスタを有する回路から出力される信号を伝達する機能を有する半導体装置。

【請求項 11】

第 1 乃至第 7 のトランジスタを有し、

前記第 1 乃至前記第 7 のトランジスタは同じチャネル型であり、

前記第 1 のトランジスタのソース又はドレインの一方は第 1 の配線に電氣的に接続されており、

前記第 1 のトランジスタのソース又はドレインの他方は第 2 の配線に電氣的に接続されており、

前記第 2 のトランジスタのソース又はドレインの一方は前記第 2 の配線に電氣的に接続されており、

前記第 2 のトランジスタのソース又はドレインの他方は第 3 の配線に電氣的に接続されており、

前記第 3 のトランジスタのソース又はドレインの一方は第 4 の配線に電氣的に接続されており、

前記第 3 のトランジスタのソース又はドレインの他方は前記第 4 のトランジスタのソー

ス又はドレインの一方に電氣的に接続されており、

前記第 4 のトランジスタのソース又はドレインの他方は第 5 の配線に電氣的に接続されており、

前記第 5 のトランジスタのソース又はドレインの一方は前記第 4 の配線に電氣的に接続されており、

前記第 5 のトランジスタのソース又はドレインの他方は前記第 1 のトランジスタのゲートに電氣的に接続されており、

前記第 6 のトランジスタのソース又はドレインの一方は前記第 4 の配線に電氣的に接続されており、

前記第 6 のトランジスタのソース又はドレインの他方は前記第 7 のトランジスタのソース又はドレインの一方に電氣的に接続されており、

前記第 7 のトランジスタのゲートは前記第 3 のトランジスタのソース又はドレインの他方に電氣的に接続されており、

前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電層は第 2 の導電層を介して前記第 3 のトランジスタのゲートとしての機能を有する第 3 の導電層に電氣的に接続されており、

前記第 2 の導電層は、前記第 1 のトランジスタのソース又はドレインの一方としての機能を有する第 4 の導電層と同じ層に形成されており、

前記第 1 のトランジスタのチャンネル長に対するチャンネル幅の比は、前記第 3 のトランジスタのチャンネル長に対するチャンネル幅の比より大きく、

前記第 1 のトランジスタのチャンネル長に対するチャンネル幅の比は、前記第 6 のトランジスタのチャンネル長に対するチャンネル幅の比より大きく、

前記第 2 の配線は前記第 1 乃至前記第 7 のトランジスタを有する回路から出力される信号を伝達する機能を有する半導体装置。

【請求項 1 2】

第 1 乃至第 7 のトランジスタを有し、

前記第 1 乃至前記第 7 のトランジスタは同じチャンネル型であり、

前記第 1 のトランジスタのソース又はドレインの一方は第 1 の配線に電氣的に接続されており、

前記第 1 のトランジスタのソース又はドレインの他方は第 2 の配線に電氣的に接続されており、

前記第 2 のトランジスタのソース又はドレインの一方は前記第 2 の配線に電氣的に接続されており、

前記第 2 のトランジスタのソース又はドレインの他方は第 3 の配線に電氣的に接続されており、

前記第 3 のトランジスタのソース又はドレインの一方は第 4 の配線に電氣的に接続されており、

前記第 3 のトランジスタのソース又はドレインの他方は前記第 4 のトランジスタのソース又はドレインの一方に電氣的に接続されており、

前記第 4 のトランジスタのソース又はドレインの他方は第 5 の配線に電氣的に接続されており、

前記第 5 のトランジスタのソース又はドレインの一方は前記第 4 の配線に電氣的に接続されており、

前記第 5 のトランジスタのソース又はドレインの他方は前記第 1 のトランジスタのゲートに電氣的に接続されており、

前記第 6 のトランジスタのソース又はドレインの一方は前記第 4 の配線に電氣的に接続されており、

前記第 6 のトランジスタのソース又はドレインの他方は前記第 7 のトランジスタのソース又はドレインの一方に電氣的に接続されており、

前記第 7 のトランジスタのゲートは前記第 3 のトランジスタのソース又はドレインの他

方に電氣的に接続されており、

前記第 1 のトランジスタのゲートとしての機能を有する第 1 の導電層は第 2 の導電層を介して前記第 3 のトランジスタのゲートとしての機能を有する第 3 の導電層に電氣的に接続されており、

前記第 1 の導電層は前記第 3 の導電層と常に導通しており、

前記第 2 の導電層は、前記第 1 のトランジスタのソース又はドレインの一方としての機能を有する第 4 の導電層と同じ層に形成されており、

前記第 2 の配線は前記第 1 乃至前記第 7 のトランジスタを有する回路から出力される信号を伝達する機能を有する半導体装置。

フロントページの続き

Fターム(参考) 5F048 AB03 AC01 AC10 BA16 BB03 BB09 BC18 BD10 BF15 BF16