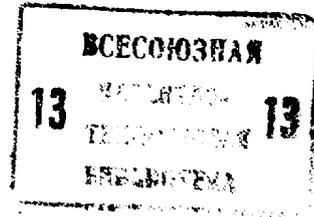




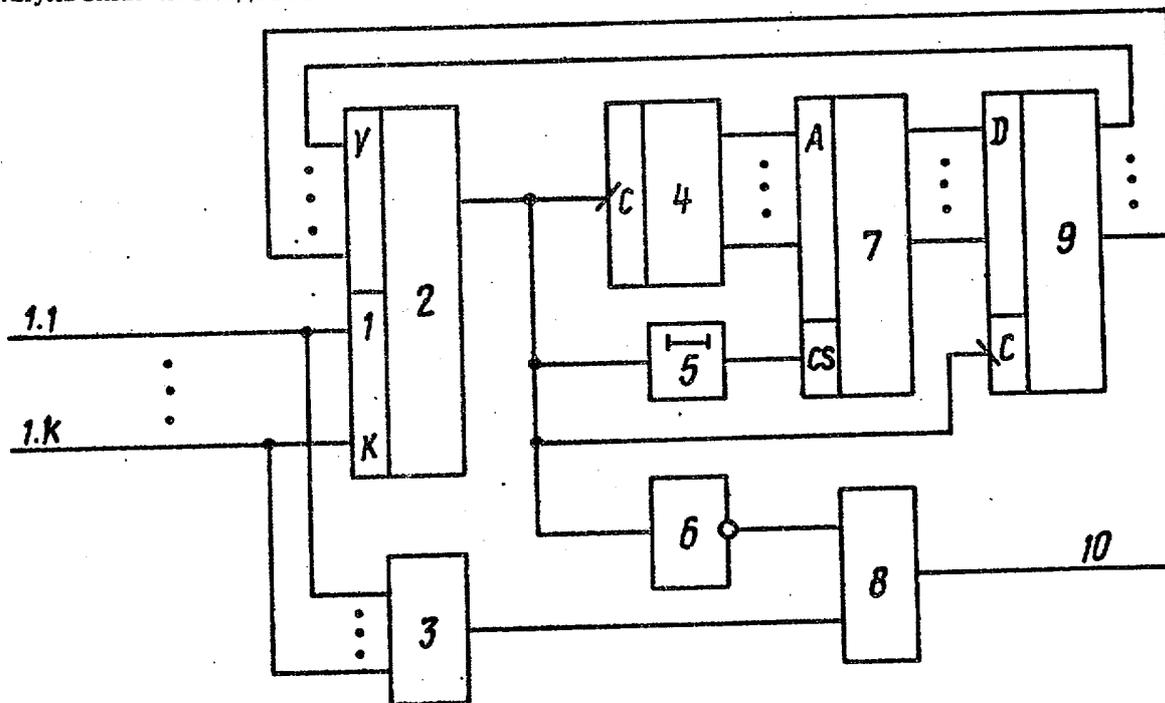
ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ И АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



- (21) 4219742/24-21
- (22) 31.03.87
- (46) 23.10.88. Бюл. № 39
- (72) В.П.Ремезов и Э.Р.Лесневский
- (53) 621.374.2(088.8)
- (56) Авторское свидетельство СССР № 1252930, кл. Н 03 К 5/19, 1985.
- Авторское свидетельство СССР № 1256184, кл. Н 03 К 5/19, 1985.
- (54) УСТРОЙСТВО ДЛЯ КОНТРОЛЯ ПОСЛЕДОВАТЕЛЬНОСТИ ЧЕРЕДОВАНИЯ ИМПУЛЬСНЫХ СИГНАЛОВ
- (57) Изобретение относится к автоматике и вычислительной технике и может быть использовано для контроля импульсных последовательностей в

автоматизированных системах управления. Цель изобретения - расширение области применения устройства за счет контроля последовательности импульсных сигналов с произвольной, изменяемой очередностью поступления, - достигается введением элемента 5 задержки, регистра 9 и блока памяти 7. Предварительное программирование блока памяти 7 обеспечивает задание требуемой очередности чередования контролируемых импульсных сигналов. Устройство содержит входы 1,1...1,к, мультиплексор 2, элемент ИЛИ 3, счетчик 4 импульсов, элемент НЕ 6, элемент И 8, выход 10. 1 ил.



Изобретение относится к автоматике и вычислительной технике и может быть использовано для контроля импульсных последовательностей в автоматизированных системах управления.

Цель изобретения - расширение области применения устройства за счет контроля последовательности импульсных сигналов с произвольной, изменяемой очередностью поступления.

Поставленная цель достигается за счет введения элемента задержки, блока памяти и регистра, что обеспечивает возможность задания требуемой очередности чередования контролируемых импульсных сигналов путем предварительного программирования блока памяти.

На чертеже приведена структурная схема устройства для контроля последовательности чередования импульсных сигналов.

Устройство содержит k входов 1.1-1.k, мультиплексор 2, элемент ИЛИ 3, счетчик 4 импульсов, элемент 5 задержки, элемент НЕ 6, блок 7 памяти, элемент И 8, регистр 9, выход 10. Входы 1.1-1.k устройства подключены к информационным входам мультиплексора 2 и входам элемента ИЛИ 3, выход которого подключен к первому входу элемента И 8, выход которого является выходом 10 устройства. Выход мультиплексора 2 подключен к входу счетчика 4 и регистра 9, а также через элемент НЕ 6 - к второму входу элемента И 8 и через элемент 5 задержки - к входу "Чтение" блока 7 памяти. Адресные входы блока 7 памяти подключены к соответствующим выходам счетчика 4, а информационные выходы - к информационным входам регистра 9, выходы которого подключены к соответствующим управляющим входам мультиплексора 2.

Счетчик 4 срабатывает по фронту импульса и осуществляет счет импульсов с выхода мультиплексора 2. Элемент 5 задержки осуществляет задержку импульса чтения информации из блока 7 памяти и предназначен для обеспечения устойчивого чтения информации после установки адреса на адресных входах блока 7 памяти. Последний предназначен для хранения кодов, определяющих номера контролируемых входных сигналов и может быть выполнен на основе любого вида запоминающих устройств (ОЗУ, ПЗУ, ШЗУ и т.п.).

Регистр 9 предназначен для хранения кода, поступающего с выхода блока 7 памяти. Запись кода в регистр 9 осуществляется по спаду импульса с выхода мультиплексора 2.

Устройство работает следующим образом.

Перед началом работы счетчик 4 и регистр 9 устанавливаются в нулевое состояние любым известным способом (цепи сброса не показаны). Выходы регистра 9, соединенные с управляющей группой входов мультиплексора 2, задают номер опрашиваемого входа 1.1-1.k устройства. При установке регистра 9 в нулевое состояние к выходу мультиплексора 2 подключается первый 1.1 вход устройства. Сигнал, поступивший на первый вход мультиплексора 2, проходит на его выход и вход счетчика 4, который срабатывает по фронту сигнала и переводится в следующее состояние. Сигнал, поступивший на первый вход устройства, кроме этого проходит через элемент ИЛИ 3 на первый вход элемента И 8, который заблокирован на время действия контролируемого сигнала низким уровнем сигнала с выхода элемента НЕ 6. При этом сигнал на выходе элемента И 8, т.е. на выходе 10 устройства, отсутствует. По сигналу, задержанному элементом 5 задержки, из блока 7 памяти считывается код, хранящийся в ячейке памяти, адрес которой определяется кодом счетчика 4. По спаду входного импульса код с выходов блока 7 памяти записывается в регистр 9. Код с выходов регистра 9 поступает на управляющие входы мультиплексора 2 и тем самым к выходу мультиплексора 2 подключается вход устройства, номер которого определяется кодом на управляющих входах мультиплексора 2.

При правильном чередовании входных импульсов по спаду импульса, поступающего на открытый вход мультиплексора 2, в регистр 9 записывается код, содержащийся во второй ячейке блока 7 памяти. По этому коду открывается соответствующий вход мультиплексора 2. При этом элемент И 8 также заблокирован низким уровнем на втором его входе и на выходе 10 устройства сигнал отсутствует. По спаду следующего контролируемого импульса, который должен поступить на открытый вход мультиплексора 2, в ре-

регистр 9 записывается из блока 7 памяти очередной код. Такая работа продолжается до полного заполнения счетчика 4. Таким образом, очередность контроля входных сигналов определяется кодом, хранящимся в блоке 7 памяти, причем число контролируемых в одном цикле сигналов определяется количеством разрядов счетчика и, соответственно, емкостью блока памяти.

По последнему в цикле контролируемому сигналу счетчик 4 устанавливается в нулевое состояние и по спаду входного сигнала в регистр 9 записывается код, хранящийся в нулевой ячейке блока 7 памяти, тем самым устройство подготавливается к новому циклу контроля очередности поступления импульсных сигналов.

При нарушении порядка чередования сигналов на входных шинах 1.1-1.k, например, в регистре 9 записан код, открывающий мультиплексор 2 по третьему входу, а в это время приходит сигнал на второй вход устройства. При этом на выход мультиплексора 2 сигнал второго входа не проходит. При отсутствии сигнала на выходе мультиплексора 2 открывается по первому входу элемент И 8 и сигнал с второго входа устройства через элемент ИЛИ 3 проходит через элемент И 8 на выход 10. Наличие сигнала на этом выходе свидетельствует о нарушении порядка чередования входных импульсов.

При поступлении на любой из входов устройства двух импульсов вместо одного, устройство формирует на выходе 10 сигнал нарушения порядка чередования следующим образом.

По фронту входного импульса счетчик 4 устанавливается в следующее состояние, при этом из блока 7 памяти считывается код следующего приходящего

сигнала. Сигнал, поступивший повторно на тот же вход устройства, не поступает на выход мультиплексора 2 и не закрывает по первому входу элемент И 8, но проходит через элемент ИЛИ 3 на второй вход элемента И 8. Так как элемент И 8 оказывается открытым по двум входам, то на его выходе и выходе 10 устройства появляется сигнал нарушения порядка чередования.

Ф о р м у л а и з о б р е т е н и я

Устройство для контроля последовательности чередования импульсных сигналов, содержащее элемент ИЛИ, элемент И, элемент НЕ, счетчик импульсов, мультиплексор, информационные входы которого являются соответствующими входами устройства и соединены с выходами элемента ИЛИ, выход которого соединен с первым входом элемента И, выход которого является выходом устройства, выход мультиплексора соединен с входом счетчика и входом элемента НЕ, выход которого соединен с вторым входом элемента И, отличающееся тем, что, с целью расширения области применения за счет контроля последовательности импульсных сигналов с произвольной, изменяемой очередностью поступления, в него введены элемент задержки, регистр и блок памяти, выходы которого соединены с соответствующими информационными входами регистра, выходы которого соединены с соответствующими управляющими входами мультиплексора, выход которого соединен с управляющим входом регистра и входом элемента задержки, выход которого соединен с входом чтения блока памяти, адресные входы которого соединены с соответствующими выходами счетчика.

Редактор Е. Папп

Составитель А. Очеретяный
Техред М. Дидык

Корректор Г. Решетник

Заказ 5463/54

Тираж 929

Подписное

ВНИИПИ Государственного комитета СССР
по делам изобретений и открытий
113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4