



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I850275 B

(45)公告日：中華民國 113 (2024) 年 08 月 01 日

(21)申請案號：108139634

(22)申請日：中華民國 108 (2019) 年 11 月 01 日

(51)Int. Cl. : **H01L29/778 (2006.01)****H01L29/812 (2006.01)****H01L21/338 (2006.01)**

(30)優先權：2018/11/01 日本

2018-206717

(71)申請人：日商愛沃特股份有限公司(日本) AIR WATER INC. (JP)

日本

(72)發明人：菱木繁臣 HISHIKI, SHIGEOMI (JP)；川村啓介 KAWAMURA, KEISUKE (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201703261A

JP 2017-150064A

US 2015/0294921A1

US 2016/0060102A1

US 2018/0090455A1

US 2018/0277363A1

審查人員：莊榮昌

申請專利範圍項數：8 項 圖式數：12 共 46 頁

(54)名稱

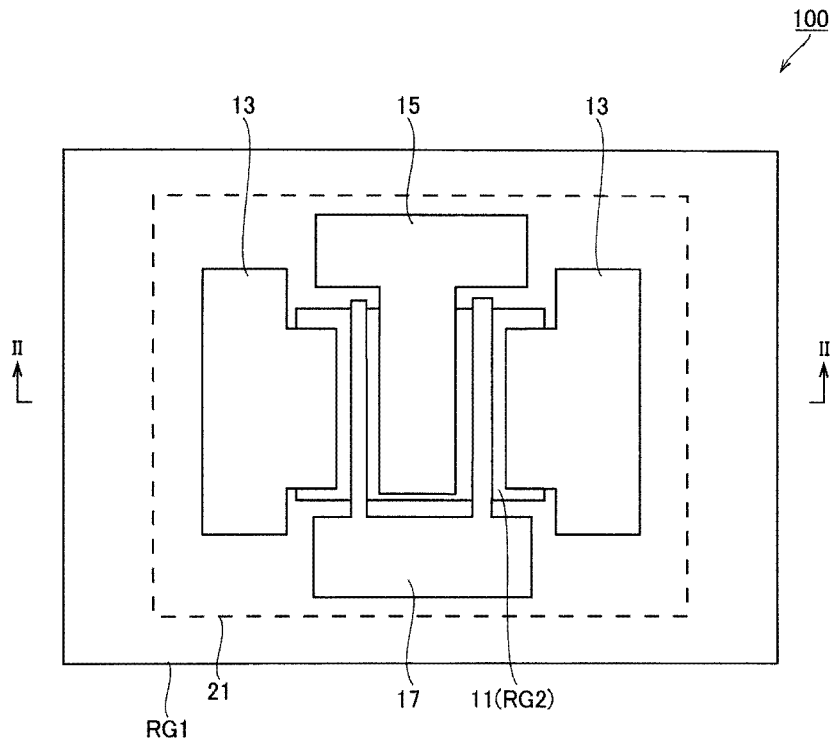
化合物半導體裝置、化合物半導體基板及化合物半導體裝置之製造方法

(57)摘要

提供可以提高機械強度，可提高製造時的生產率，此外還可以實現大面積的裝置之化合物半導體裝置、化合物半導體基板、及化合物半導體裝置之製造方法。

化合物半導體裝置(100)，具備：平面俯視場合具有包圍孔(21)的形狀的矽基板(1)、被形成於矽基板(1)之上面(1a)，且覆蓋孔(21)的碳化矽層(3)、被形成於碳化矽層(3)之上面側的含鎳的氮化物層(10)、以及被形成於氮化物層(10)之上面側的源極電極(13)、汲極電極(15)、及閘極電極(17)。流通於源極電極(13)與汲極電極(15)之間的電流，可藉由施加於閘極電極(17)的電壓來控制。由對矽基板(1)之上面(1a)正交的方向觀察，在源極電極(13)、汲極電極(15)、及閘極電極(17)重疊之區域 RG，矽基板不存在。

指定代表圖：



符號簡單說明：

11:AlGaN 層

13:源極電極(第 1 電極之一例)

15:汲極電極(第 2 電極之一例)

17:閘極電極(第 3 電極之一例)

21:孔(孔之一例)

100:化合物半導體裝置(化合物半導體裝置之一例)

RG1, RG2:元件分離區域

【圖 1】



I850275

【發明摘要】**【中文發明名稱】**

化合物半導體裝置、化合物半導體基板及化合物半導體裝置之製造方法

【中文】

提供可以提高機械強度，可提高製造時的生產率，此外還可以實現大面積的裝置之化合物半導體裝置、化合物半導體基板、及化合物半導體裝置之製造方法。

化合物半導體裝置(100)，具備：平面俯視場合具有包圍孔(21)的形狀的矽基板(1)、被形成於矽基板(1)之上表面(1a)，且覆蓋孔(21)的碳化矽層(3)、被形成於碳化矽層(3)之上表面側的含鎵的氮化物層(10)、以及被形成於氮化物層(10)之上表面側的源極電極(13)、汲極電極(15)、及閘極電極(17)。流通於源極電極(13)與汲極電極(15)之間的電流，可藉由施加於閘極電極(17)的電壓來控制。由對矽基板(1)之上表面(1a)正交的方向觀察，在源極電極(13)、汲極電極(15)、及閘極電極(17)重疊之區域RG，矽基板不存在。

【指定代表圖】第(1)圖。

【代表圖之符號簡單說明】

11:AlGaIn層

13:源極電極(第1電極之一例)

15:汲極電極(第2電極之一例)

17:閘極電極(第3電極之一例)

21:孔(孔之一例)

100:化合物半導體裝置(化合物半導體裝置之一例)

RG1, RG2:元件分離區域

【特徵化學式】無

【發明說明書】

【中文發明名稱】

化合物半導體裝置、化合物半導體基板及化合物半導體裝置之製造方法

【技術領域】

【0001】本發明係關於化合物半導體裝置、化合物半導體基板、及化合物半導體裝置之製造方法，更特定地說，係關於可以提高機械強度的化合物半導體裝置、化合物半導體基板、及化合物半導體裝置之製造方法。

【先前技術】

【0002】隨著行動電話等的急速發展，作為次世代無線通訊的基礎設施，高頻、高輸出的無線送訊接收機(衛星通訊機器或基地台等)是必要的。GaN(氮化鎵)與Si(矽)相比絕緣破壞電場值高，飽和電子速度大，此外，裝置構造使用HEMT(高電子移動度電晶體)的場合，電子移動度也高。因此，使用GaN的裝置，與從前使用Si的電子裝置相比可以高耐壓化，適於高輸出用途。此外，GaN與SiC(碳化矽)相比飽和電子速度大，此外，裝置構造使用HEMT(高電子移動度電晶體)的場合，電子移動度也高。因此，GaN，作為藉由高頻訊號而動作，可操控大電力之功率電晶體等高頻裝置之適用也在進展。

【0003】特別是作為行動電話的基地台使用的高頻裝

置，也進行著通訊機械的高輸出化、高頻化，由於從前的使用Si或GaAs(鎵砷)之裝置已接近物理上的極限性能，所以以往使用GaN的裝置轉換。

【0004】現在，使作為高頻裝置使用的GaN層成長時之下底基板，使用著SiC塊狀基板或Si基板。於高頻裝置，在下底基板與表面電極之間會形成不要的寄生電容或寄生電阻，這些會有損及高頻特性、產生電力損失之虞。此高頻特性的劣化及電力損失，在下底基板為充分高電阻或者充分低電阻的場合還算較小，但在中間的電阻範圍則有變大的傾向。將一般的矽基板或導電性碳化矽基板作為下底基板使用的場合，下底基板的比電阻成為使產生高頻特性劣化的範圍內，電力損失變大。

【0005】為了使下底基板的比電阻在電力損失少的範圍內，也可以將半絕緣性的碳化矽基板或高電阻的Fz矽基板(藉由浮動帶域熔融(FZ)法單晶育成之矽基板)作為下底基板使用。但是，於半絕緣性的碳化矽基板，與其他基板相比具有製造困難、製造成本高的問題。在使用高電阻的Fz矽基板的場合，與半絕緣的碳化矽相比，特別有在高溫動作時的高頻特性低劣的問題。

【0006】於下列專利文獻1及2等，揭示著可以減低高頻裝置的寄生電容及寄生電阻，實現良好的高頻特性之技術。於下列專利文獻1，揭示著包含緩衝層、電子移動層、及電子供給層等的化合物半導體區域被形成於導電性碳化矽基板上，與化合物半導體區域的活性區域整合之開

口部被形成於導電性碳化矽基板之半導體裝置。

【0007】於下列專利文獻2，揭示著使用在矽基板上形成碳化矽層的基板，於此基板上形成元件的半導體裝置之製造方法。在此製造方法，接著除去矽基板，其後貼合與碳化矽層，及與矽基板不同的其他基板。

【0008】又，於非專利文獻1，揭示著除去裝置正下方的導電性基板的部分而得之從前的裝置，具有數百 μm 平方程度的尺寸的事實。此外，於專利文獻3，揭示著具備：具有環狀的平面形狀之矽基板、及被形成於矽基板的一方主面，具有20nm以上10 μm 以下的厚度之碳化矽膜的化合物半導體基板。

[先前技術文獻]

[專利文獻]

【0009】

[專利文獻1] 日本特開2010-98251號公報

[專利文獻2] 日本特開2013-243275號公報

[專利文獻3] 日本特開2017-1500064號公報

[非專利文獻]

【0010】[非專利文獻1] P.Strivastava et al., "Record Breakdown Voltage (2200 V) of GaN DHFETs on Si With 2- μm Buffer Thickness by Local Substrate Removal", IEEE Electron Device Lett., vol.32, No.1, pp.30-32, Jan.2011.

【發明內容】

[發明所欲解決之課題]

【0011】 但是，在專利文獻1的技術，於導電性碳化矽基板形成開口部時，因為碳化矽的硬度很高，開孔加工是困難的，而有生產率低，開孔加工需要長時間的問題。

【0012】 於專利文獻2的技術，會有化合物半導體裝置之製造時的生產率低的問題。於專利文獻2的技術，在除去矽基板的步驟之前，為了確保支撐元件的部分的強度，於元件的形成面側貼合背面基板，其後，在與元件形成面相反之面貼合支撐基板的製造方法被揭示作為第一實施型態。根據此第一實施型態，除了前述2回之貼合步驟以外，還需要使背面基板剝離的步驟，會有步驟變得複雜的問題。

【0013】 進而，於專利文獻2的技術，在除去矽基板的步驟之前，不在元件的形成面側貼合背面基板，而在與元件形成面相反之面貼合支撐基板的製造方法被揭示作為第二實施型態。在此第二實施型態，貼合支撐基板時，支撐元件的部分暫時只有碳化矽層。因此，於前述貼合步驟，元件的機械強度低下，裝置層容易破損。

【0014】 又，所得到的化合物半導體裝置的機械強度低的問題、以及製造時的生產率低的問題，不是具備氮化鎵的高頻用途的化合物半導體裝置特有的問題，而是具備包含Ga(鎵)的寬能隙半導體層(Ga₂O₃(氧化鎵)等)的化合物半導體裝置全體都會發生的問題。又，在此，寬能隙半導

體層，定義為具有 2.2eV 以上的能帶間隙的半導體層。

【0015】進而，於從前的技術，因為有如前所述的化合物半導體裝置的機械強度低的問題，以及製造時的生產率低的問題，從前的裝置的尺寸為數百 μm 平方程度(非專利文獻1)。從前的技術，要實現大面積的裝置是困難的。

【0016】本發明為了解決前述課題，其一目的為提供可以提高機械強度之化合物半導體裝置、化合物半導體基板、以及化合物半導體裝置之製造方法。

【0017】本發明之其他目的，在於提供可以提高製造時的生產率之化合物半導體裝置、化合物半導體基板、以及化合物半導體裝置之製造方法。

【0018】本發明之進而其他的目的，在於提供可以實現大面積裝置之化合物半導體裝置、化合物半導體基板、以及化合物半導體裝置之製造方法。

[供解決課題之手段]

【0019】依照本發明之一態樣之化合物半導體裝置，具備：平面俯視場合具有包圍孔的形狀的矽基板、被形成於前述矽基板之上面，且覆蓋孔的共價結合性的結晶層、被形成於結晶層之上面側的含銻的寬能隙半導體層、以及被形成於寬能隙半導體層之上面側的第1、第2、及第3電極；流通於第1電極與前述第2電極之間的電流，可藉由施加於第3電極的電壓來控制，由對矽基板之上面正交的方向觀察，在第1、第2、及第3電極重疊之區域，矽基板不

存在。

【0020】於前述化合物半導體裝置，較佳為結晶層，具有鑽石構造、2H六方晶、3C立方晶、4H六方晶、6H六方晶、以及15R菱面體晶之中的至少任一種結晶構造。

【0021】於前述化合物半導體裝置，較佳為結晶層由含碳的結晶層或BN(氮化硼)所構成。

【0022】於前述化合物半導體裝置，較佳為結晶層由3C-碳化矽所構成。

【0023】於前述化合物半導體裝置，較佳為結晶層之上面為(111)面。

【0024】於前述化合物半導體裝置，較佳為結晶層，由含有N型摻雜物之氮及磷、P型摻雜物之Al(鋁)及B(硼)、以及呈現半絕緣性的摻雜物之過渡金屬之中至少任一種類作為不純物的碳化矽所構成，而且在N型摻雜物的濃度為濃度N(個/cm³)、P型摻雜物的濃度為濃度P(個/cm³)、呈現前述半絕緣性的摻雜物的濃度為濃度I(個/cm³)的場合，濃度N、P及I之間，下列式(1)~(3)之中的某一關係成立。

$$\text{【0025】 } |N-P| \leq 1 \times 10^{16} \quad \dots (1)$$

$$\text{【0026】 } N+P < I < 1 \times 10^{21} \quad \dots (2)$$

$$\text{【0027】 } 1 \times 10^{18} \leq |N-P| \leq 1 \times 10^{21} \text{ 且 } I < N+P \quad \dots (3)。$$

【0028】於前述化合物半導體裝置，較佳為結晶層具有100Ω·cm以上或100mΩ·cm以下之比電阻。

【0029】於前述化合物半導體裝置，較佳為進而具備

被形成於孔的底部之金屬層。

【0030】於前述化合物半導體裝置，較佳為金屬層與第1電極導電連接。

【0031】於前述化合物半導體裝置，較佳為進而具備被形成於結晶層與寬能隙半導體層之間的不含鎵的氮化物層。

【0032】依照本發明之其他態樣之化合物半導體基板，具備：平面俯視場合具有包圍複數孔的形狀的矽基板、被形成於矽基板之上表面，且覆蓋複數孔的共價結合性的結晶層；露出於複數孔之各個的底部的結晶層未破損。

【0033】於前述化合物半導體基板，較佳為進而具備被形成於結晶層之上表面側之包含鎵的寬能隙半導體層。

【0034】於前述化合物半導體基板，較佳為進而具備對應於複數孔之各個而被形成於寬能隙半導體層之上表面側的第1、第2、及第3電極；流通於第1電極與第2電極之間的電流，可藉由施加於第3電極的電壓來控制，由對矽基板之上表面正交的方向觀察，在第1、第2、及第3電極重疊之區域，矽基板不存在。

【0035】依照本發明之其他態樣之化合物半導體裝置之製造方法，具備：於矽基板之上表面形成共價結合性的結晶層之步驟、於結晶層之上表面側形成含鎵的寬能隙半導體層之步驟、於矽基板的下面形成孔，使結晶層露出於孔的底部之步驟、以及於寬能隙半導體層之上表面側形成第1、第2、及第3電極之步驟；流通於第1電極與第2電極之間的

電流，可藉由施加於第3電極的電壓來控制。

【0036】於前述製造方法，較佳為使結晶層露出之步驟，包含蝕刻矽基板的一部分之步驟；使結晶層露出之步驟，在形成寬能隙半導體層的步驟之後進行。

【圖式簡單說明】

【0037】

[圖1] 係顯示本發明的第1實施形態之化合物半導體裝置100的各構件之平面配置，係顯示對矽基板1的上面1a正交的方向來觀察的場合之平面配置。

[圖2] 係顯示本發明的第1實施形態之化合物半導體裝置100的構成之剖面圖，係沿著圖1中II-II線的剖面圖。

[圖3] 係顯示本發明的第1實施形態之化合物半導體裝置100的製造方法之第1步驟之剖面圖。

[圖4] 係顯示本發明的第1實施形態之化合物半導體裝置100的製造方法之第2步驟之剖面圖。

[圖5] 係顯示本發明的第1實施形態之化合物半導體裝置100的製造方法之第3步驟之剖面圖。

[圖6] 係顯示本發明的第1實施形態之化合物半導體裝置100的製造方法之第4步驟之剖面圖。

[圖7] 係顯示本發明的第1實施形態之化合物半導體裝置100的製造方法之第5步驟之剖面圖。

[圖8] 係顯示本發明的第1實施形態之化合物半導體裝置100的製造方法之第6步驟之剖面圖。

[圖9] 係顯示本發明的第1實施形態的第1變形例之化合物半導體裝置100的製造方法之剖面圖。

[圖10] 係顯示本發明的第1實施形態的第2變形例之化合物半導體裝置100的構成之剖面圖。

[圖11] 係顯示本發明的第2實施形態之化合物半導體基板101的構成之平面圖，係由矽基板1的下面側來觀察的場合之平面圖。

[圖12] 係顯示本發明的第2實施形態之化合物半導體基板101的構成之剖面圖，係沿著圖11中XII—XII線的剖面圖。

【實施方式】

【0038】以下，根據圖式說明本發明之實施型態。

【0039】

[第1實施型態]

【0040】圖1係本發明的第1實施形態之化合物半導體裝置100的各構件之平面配置，係顯示對矽基板1的上面1a正交的方向來觀察的場合之平面配置。圖2係顯示本發明的第1實施形態之化合物半導體裝置100的構成之剖面圖，係沿著圖1中II-II線的剖面圖。

【0041】參照圖1及圖2，本實施型態之化合物半導體裝置100(化合物半導體裝置之一例)，作為半導體裝置含有GaN-HEMT(High Electron Mobility Transistor，高電子移動度電晶體)。此HEMT，以高頻用途者(數個Giga Hz程

度的高頻電壓被施加於閘極電極者)為較佳。但是本發明當然也可以適用於高頻用途以外的半導體裝置。

【0042】化合物半導體裝置100，係具備：矽基板1(矽基板之一例)、SiC層3(結晶層之一例)、AlN(氮化鋁)緩衝層5(不含Ga之氮化物層之一例)、AlGaN(氮化鋁鎵)緩衝層7、GaN層9、AlGaN層11、源極電極13(第1電極之一例)、汲極電極15(第2電極之一例)、閘極電極17(第3電極之一例)、與絕緣層19。GaN層9及AlGaN層11，係構成含有Ga的氮化物層之Ga氮化物層10(寬能隙半導體層之一例)。於Ga氮化物層10形成HEMT。

【0043】矽基板1，平面(由對矽基板的上面1a正交的方向)俯視場合，具有包圍孔(貫通孔)21(孔之一例)的環狀的平面形狀。於矽基板1的上面1a露出(111)面。可以使矽基板1的上面1a露出(100)面或(110)面。孔21，具有任意的平面形狀即可，可以是矩形的平面形狀，抑或具有圓形的平面形狀。假設具有與孔21的底部的面積相同的面積之圓之場合，此圓具有1mm以上50mm以下的直徑，較佳為具有10mm以下的直徑。孔21的大小，可以因應化合物半導體裝置100所要求的機械強度等而決定。矽基板1，係具有200 μ m以上1.5mm以下的厚度(對矽基板的上面1a正交的方向的長度)。

【0044】SiC層3，係接觸於矽基板1、被形成於矽基板1的上面1a。SiC層3係覆蓋著孔21，SiC層3的下面3b係於孔21的底部露出。SiC層3，未被形成於矽基板1的孔21

的側面。

【0045】SiC層3，具有例如2H(六方晶)-SiC、3C(立方晶)-SiC、4H(六方晶)-SiC、6H(六方晶)-SiC或15R(菱面體晶)-SiC之中的至少任一種結晶構造較佳。尤其SiC層3是在矽基板1的上面1a磊晶成長之場合，一般而言，SiC層3係由3C-SiC構成，SiC層3的上面為(111)面。又，SiC層3的上面，也可以是(110)面或(-1-1-1)面等、(111)面以外者。SiC層3，係具有20nm以上10 μ m以下的厚度。SiC層3的厚度，較佳為100nm以上3.5 μ m以下。SiC層3的厚度，更佳為500nm以上2 μ m以下。SiC層3是由單晶3C-SiC構成，但在一部分區域含有多晶SiC或非晶系SiC亦可。

【0046】SiC層3係結晶層之一例。此結晶層為共價結合性的結晶層即可，SiC層之外，也可以是鑽石或BN等。SiC及鑽石係被分類作為含有C的結晶層。BN，係具有六方晶層狀構造、立方晶閃鋅礦構造、或者六方晶纖鋅礦構造等的結晶構造。由改善高頻特性的觀點而言，此結晶層最好是具有100 $\Omega \cdot \text{cm}$ 以上或100m $\Omega \cdot \text{cm}$ 以下的比電阻。此結晶層較佳為具有1000 $\Omega \cdot \text{cm}$ 以上或10m $\Omega \cdot \text{cm}$ 以下的比電阻，具有10000 $\Omega \cdot \text{cm}$ 以上或1m $\Omega \cdot \text{cm}$ 以下的比電阻更佳，具有10000 $\Omega \cdot \text{cm}$ 以上或100 $\mu\Omega \cdot \text{cm}$ 以下的比電阻又更佳。結晶層具有前述範圍的比電阻之場合，可以減低化合物半導體裝置100內的寄生電容或寄生電阻，使化合物半導體裝置100的高頻特性變得特別良好。

【0047】此外，結晶層，由含有N型摻雜物之氮及

磷、P型摻雜物之Al(鋁)及B(硼)、以及呈現半絕緣性的摻雜物之過渡金屬之中至少任一種類作為不純物的碳化矽所構成，而且在N型摻雜物的濃度為濃度 N (個/cm³)、P型摻雜物的濃度為濃度 P (個/cm³)、及呈現半絕緣性的摻雜物的濃度為濃度 I (個/cm³)之間，下列式(1)~(3)之中的某一關係成立亦可。作為此過渡金屬，可舉出Sc(釷)及Ti(鈦)或V(釩)、Cr(鉻)等之摻雜物。又，即使於SiC不意圖摻雜之場合，SiC中也會通常微量地含有環境物質之氮。此環境物質之氮，也被包含在前述的摻雜物。

$$\text{【0048】 } |N-P| \leq 1 \times 10^{16} \quad \dots (1)$$

$$\text{【0049】 } N+P < I < 1 \times 10^{21} \quad \dots (2)$$

$$\text{【0050】 } 1 \times 10^{18} \leq |N-P| \leq 1 \times 10^{21} \text{ 且 } I < N+P \quad \dots (3)$$

【0051】 上列式(1)及(2)係高電阻化SiC層之場合應該滿足的條件，上列式(3)係低電阻化SiC層之場合應該滿足的條件。

【0052】 AlN緩衝層5，係接觸於SiC層3，被形成於SiC層3的上面。AlN緩衝層5及AlGaN緩衝層7，係實行作為緩和SiC層3、與GaN層9的晶格常數的差以及熱膨脹係數的差之緩衝層之機能。AlN緩衝層5，係具有例如5nm以上2 μ m以下的厚度，具有100nm以上1 μ m以下的厚度更佳。

【0053】 AlGaN緩衝層7，係接觸於AlN緩衝層5，被形成於AlN緩衝層5的上面。AlGaN緩衝層7，具有例如500nm以上2 μ m以下的厚度，具有900nm以上2 μ m以下的厚

度更佳。又，AlGaIn緩衝層7亦可省略。此外，AlGaIn緩衝層7，也可以置換成超晶格構造等不同的緩衝構造。

【0054】 GaN(氮化鎵)層9，係接觸於AlGaIn緩衝層7，被形成於AlGaIn緩衝層7的上面。GaN層9係具有平台式構造，包含凸部9a。於GaN層9之與AlGaIn層11的界面附近不意圖導入不純物為佳，使GaN層9與AlGaIn層11的界面成為HEMT的電子移動層。GaN層9，係具有例如200nm以上9 μ m以下的厚度。GaN層9，具有550nm以上3 μ m以下的厚度更佳。又，可以於GaN層9中適當插入AlN或AlGaIn的薄膜層。被插入的層的總數為9層以下佳，5層以下較佳，3層以下更佳。

【0055】 AlGaIn層11係接觸於GaN層9的凸部9a的上面，被形成於藉由凸部9a而被區隔的區域(第2元件分離區域)RG2。AlGaIn層11成為HEMT的障壁層。AlGaIn層11，具有例如10nm以上50nm以下的厚度，具有20nm以上40nm以下的厚度更佳。

【0056】 含有SiC與Ga的氮化物之晶格常數近似。因此，SiC層3係發揮Ga氮化物層10的下底層的作用。又，Ga氮化物10被形成於SiC層3的上面側即可。本實施型態中，於SiC層3與Ga氮化物層10之間，形成AlN緩衝層5及AlGaIn緩衝層7，構成SiC層3的SiC與構成GaN層9的GaN之晶格常數、以及熱膨脹係數之差異，是藉由AlN緩衝層5及AlGaIn緩衝層7來緩和。又，也可以省略AlN緩衝層5及AlGaIn緩衝層7，而於SiC層3的上面直接形成Ga氮化物層

10。

【0057】源極電極13、汲極電極15、及閘極電極17之各個，被形成於Ga氮化物層10的上面側。源極電極13及汲極電極15之各個，相互空出間隔被形成於AlGaN層11的上面。閘極電極17，於AlGaN層11的上面，被形成在源極電極13與汲極電極15之間。源極電極13、汲極電極15、及閘極電極17之各個，係伸展到GaN層9的上面。源極電極13及汲極電極15之各個，歐姆接觸於AlGaN層11。閘極電極17，係例如肖特基接觸於AlGaN層11。源極電極13及汲極電極15之各個，例如，具有由AlGaN層11側起依序層積Ti(鈦)層及Al層之構造。閘極電極17，例如，具有由AlGaN層11側起依序層積Ni(鎳)層及Au(金)層之構造。

【0058】於化合物半導體裝置100、與相鄰接的其他化合物半導體裝置之間形成分離溝22。化合物半導體裝置100，係藉由分離溝22而與相鄰接的化合物半導體裝置之間導電分離。複數化合物半導體裝置100之各個，被形成於藉由分離溝22而區隔出的區域(第1元件分離區域)RG1。分離溝22，從絕緣層19的上面到到達矽基板1的上面1a的深度被形成。又，區隔化合物半導體層100的分離溝，被形成到到達AlGaN層11與GaN層9的邊界之深度為佳，為到達AlGaN緩衝層7之深度較佳，為到達AlN緩衝層5之深度更佳，為到達SiC層3之深度又更佳，為形成到到達矽基板1的上面1a之深度再又更佳。分離溝22不一定必須形成。再者，絕緣層19也不一定必須形成。此外，取代形成分離

溝22，而對該區域的氮化物層進行離子注入，藉此使該區域高電阻化並以這作為分離層亦可。

【0059】絕緣層19，係以埋入分離溝22內的方式被形成於Ga_N層9及AlGa_N層11上。於絕緣層19的必要處形成開口部19a，且於開口部19a的底部使源極電極13及汲極電極15露出來。絕緣層19，係例如由Si₃N₄(氮化矽)或SiO₂(氧化矽)等所構成。

【0060】構成化合物半導體裝置100之各層的厚度，係例如使用橢圓光譜偏光儀予以測定。橢圓光譜偏光儀，係以偏光之入射光照射測定對象，且接收來自測定對象的反射光。由於S偏光與P偏光具有相位的錯位或反射率的差異，所以反射光的偏光狀態，與入射光的偏光狀態會變成不同。此偏光狀態的變化，係取決於入射光的波長、入射角度、膜的光學常數、以及膜厚等。橢圓光譜偏光儀，係由得到的反射光，根據入射光的波長或入射角而算出膜的光學常數或膜厚。又，當然也可以藉由光譜反射法、剖面SEM觀察、或剖面TEM觀察等來測定各層的厚度。

【0061】本實施型態的HEMT的動作係如後述。源極電極13係經常保持在接地電位(基準電位)。在對閘極電極17未施加電壓之狀態下，起因於Ga_N層9與AlGa_N層11的能帶間隙的差、及AlGa_N層11的分極或應力，而在Ga_N層9與AlGa_N層11的異質接合界面形成二維電子氣。另一方面，對閘極電極17施加充分的負的電壓時，前述的二維電子氣會由Ga_N層9與AlGa_N層11的異質接合界面被排除，藉此，

由汲極電極 15 往源極電極 13 的電流不流動。另一方面，對閘極電極 17 施加正的電壓時，藉由場效應會使二維電子氣的濃度升高。藉此，由汲極電極 15 流往源極電極 13 的電流增加。從而，於源極電極 13 與汲極電極 15 之間流動的電流，可以藉由對閘極電極 17 施加的電壓來控制。

【0062】HEMT 被形成的場合的 Ga 氮化物層 10，係包含第 1 氮化物層，以及於第 1 氮化物層的表面形成、且具有能帶間隙比第 1 氮化物層的能帶間隙還要寬的第 2 氮化物層即可，藉由 GaN 與 AlGaN 的組合以外之氮化物半導體材料的組合(例如 Al 組成比不同之 2 種類的 AlGaN 層)而構成亦可。

【0063】參照圖 1，由對矽基板 1 的上面 1a 正交的方向觀察，在源極電極 13、汲極電極 15、及閘極電極 17 重疊的區域(HEMT 的正下方的區域)，設置孔 21，矽基板 1 並不存在。以此方式，於化合物半導體裝置 100，除去半導體裝置的正下方的矽基板。

【0064】矽基板，由於在至多 200℃ 程度的溫度下金屬化，所以在化合物半導體裝置的正下方存在下底矽基板之場合，當化合物半導體裝置動作期間半導體裝置發熱時，高電阻的下底矽基板的比電阻會逐漸低下，並通過電力損失變大的比電阻的範圍。因此，要抑制化合物半導體裝置的電力損失是困難的。然而，本實施型態的化合物半導體裝置 100 中，這樣的矽基板不存在於化合物半導體裝置 100 的正下方，所以可形成即使化合物半導體裝置發熱

也可抑制電力損失之構成。藉此，可以實現具有良好的高頻特性之HEMT。

【0065】也可以在除去矽基板的區域(孔21)的側壁的內側內建複數機能元件。

【0066】接著，使用圖3～圖8說明本實施型態之化合物半導體裝置100的製造方法。

【0067】參照圖3，準備例如圓板狀的(未形成孔21(圖1)的)矽基板1。然後，於矽基板1的上面1a，將SiC層3、AlN緩衝層5、AlGaIn緩衝層7、GaN層9、及AlGaIn層11依此順序予以形成。

【0068】SiC層3，也可以於藉由將矽基板1的上面1a碳化而得到的SiC所構成的下底層上，採用MBE(Molecular Beam Epitaxy)法、CVD(Chemical Vapor Deposition)法、或LPE(Liquid Phase Epitaxy)法等，藉由使SiC同質磊晶成長而形成。SiC層3，也可以僅藉由將矽基板1的表面碳化而形成。再者，SiC層3，也可以藉由在矽基板1的表面上使SiC異質磊晶成長而形成。又，也可以在前述異質磊晶成長之前，形成緩衝層。

【0069】AlN緩衝層5，係採用例如MOCVD(金屬有機化學氣相沉積，Metal Organic Chemical Vapor Deposition)法而形成。AlN緩衝層5的成長溫度，係例如1000°C以上、未滿矽熔點。此時，作為Al源氣體，使用例如TMA(Tri Methyl Aluminium)、或TEA(Tri Ethyl Aluminium)、DMAH(Di Methyl Aluminium Hydride)等。作為氮源氣體，係使用例如NH₃

(氮)。

【0070】AlGa_N緩衝層7，係採用例如MOCVD法而形成。AlGa_N緩衝層7的成長溫度，係例如1000℃以上、未滿矽熔點。此時，作為Al源氣體，使用例如TMA、或TEA等。作為Ga源氣體，使用例如TMG(Tri Methyl Gallium)、或TEG(Tri Ethyl Gallium)等。作為氮源氣體，係使用例如NH₃。

【0071】Ga_N層9，係採用例如MOCVD法而形成。Ga_N層9的成長溫度，係例如900℃以上1200℃以下。此時，作為Ga源氣體，使用例如TMG、或TEG等。作為氮源氣體，係使用例如NH₃。

【0072】AlGa_N層11，係採用例如MOCVD法、或者MBE法而形成。

【0073】其次，參照圖4，藉由從AlGa_N層11的上面側起進行蝕刻，除去必要區域的AlGa_N層11及Ga_N層9。藉此，於Ga_N層9內形成凸部9a，且除去存在於凸部9a的上面以外之多餘的AlGa_N層11。

【0074】其次，參照圖5，形成由Ga_N層9的上面到達矽基板1的上面1a之分離溝22。分離溝22，係藉由機械研削或蝕刻等之方法而形成。

【0075】其次，參照圖6，採用通常的照相製版技術及蝕刻技術，將源極電極13及汲極電極15之各個形成於AlGa_N層11及Ga_N層10之各個的上面的必要區域。其次，採用通常的照相製版技術及蝕刻技術，將閘極電極17形成

於 AlGa_N層 11 及 GaN 層 10 之各個的上面的必要區域。源極電極 13、汲極電極 15、及閘極電極 17 之各個，係藉由例如蒸鍍法、MOCVD 法、或者濺鍍法等而形成。

【0076】其次，參照圖 7，藉由除去矽基板 1 下面 1b 的中央部的矽，形成孔 21。矽的除去，係藉由機械研削矽基板 1 的矽來進行。此外，矽的除去，可以藉由在矽基板 1 的下面 1b 環狀形成光阻劑，並以形成的光阻劑作為遮罩而蝕刻矽基板 1 的矽來進行。再者，矽的除去，可以藉由機械研削或濕式蝕刻等之複數個方法組合來進行。矽被除去的結果，於孔 21 的底部使 SiC 層 3 的下面 3b 露出來。又，使 SiC 層 3 的下面 3b 露出的最終步驟，以藉由濕式蝕刻或者乾式蝕刻之方法為佳。又，前述的矽除去步驟之前，最好是於電極形成面側的表面形成或者黏貼保護層。作為保護層，係有例如光阻劑或聚醯亞胺製的塗布劑或者聚醯亞胺製膜、PVC 製膜等。前述的保護膜，係於孔形成後、或者孔形成途中(機械研削後等)剝離。剝離後，因應需要而進行有機洗淨等、電極形成面的洗淨。

【0077】特別是，於藉由濕式蝕刻形成孔 21 之場合，矽基板 1 為向同性地被蝕刻。結果，如圖 7 虛線所示方式矽基板 1 的孔 21 的內壁面為傾斜，且矽基板 1 的幅寬(圖 7 中橫方向的長度)會隨著距離 SiC 層 3 越遠而變得狹小。

【0078】又，孔 21 可以在 SiC 層 3 形成後的任何時間形成。可以於進行孔 21 形成之後，形成源極電極 13、汲極電極 15、及閘極電極 17 之各個。

【0079】其次，參照圖8，以埋入分離溝22的內部、且覆蓋GaN層9、AlGaIn層11、源極電極13、及汲極電極15之各個之方式形成絕緣層19。

【0080】其後，參照圖2，採用通常的照相製版技術及蝕刻技術，於絕緣層19的必要區域形成開口部19a，完成圖1及圖2所示之化合物半導體裝置100。

【0081】又，分離溝22內不以絕緣層埋入亦可。分離溝22不一定必須形成。取代形成分離溝22，而對該區域的氮化物層進行離子注入，藉此使該區域高電阻化並以這作為分離層亦可。

【0082】其次，說明本實施型態之效果。

【0083】Ga氮化物層10，係由離子性結晶所構成，Ga氮化物層10內的各原子係藉由導電引力而相互地連結。一般而言離子性結晶係具有堅硬的性質，但具有劈開性(脆弱易碎壞的性質)。因此，對Ga氮化物層10施加外力時，於Ga氮化物層10容易發生龜裂。另一方面，SiC層3係由共價結合性結晶所構成，SiC層3內的各原子係藉由共價結合而相互地連結。一般而言共價結合性結晶之劈開性低，且共價結合性結晶龜裂的發生原理係與離子性結晶龜裂的發生原理不同。結果，可以藉由SiC層3來抑制Ga氮化物層10龜裂的發生，且提高化合物半導體裝置100的機械強度。

【0084】又，在此，僅以除了氫·鹵素族元素·稀有氣體元素外的典型非金屬元素所構成的結晶，定義為共價結

合性結晶。亦即，僅以 B(硼)、C(碳)、Si(矽)、N(氮)、P(磷)、As(砷)、O(氧)、S(硫磺)、Se(硒)、Te(碲)所構成的結晶，定義為共價結合性結晶。

【0085】此外，SiC層3，係藉由具有環狀的平面形狀之矽基板1從下方支撐著。因此，可以藉由矽基板1來補強SiC層3的機械強度，且可提高化合物半導體裝置100的機械強度。

【0086】此外，製造步驟中，在將孔21形成於矽基板1，且於孔21的底部使SiC層3露出之步驟(圖7的步驟)時，SiC層3係藉由具有環狀的平面形狀之矽基板1而被支撐著。因此，可以藉由矽基板1來補強SiC層3的機械強度，且可以抑制孔21形成時的SiC層3龜裂的發生。結果，可以提高化合物半導體裝置100的製造時之生產率。

【0087】此外，如前述，可以提高化合物半導體裝置100的機械強度，且可以提高化合物半導體裝置100的製造時之生產率，所以，可以擴大孔21的大小，可以於矽基板不存在的構造上實現大面積的裝置。矽基板不存在的裝置，高溫動作時高頻特性的劣化較少，此外，根據大面積的裝置，可以增加閘極的幅度，因而能使裝置可以動作之電流值增加。從而，高溫動作時高頻特性的劣化較少，且使可以在大電流下動作的裝置可以高生產率製造。

【0088】又，於第1實施型態，在孔21的上部區域，矽基板1被除去，所以形成沒有透過矽基板1內部的橫方向的電流路徑之構造。因此，於第1實施型態，藉由在AlN緩

衝層5、AlGa_N緩衝層7、Ga_N層9摻雜C或過渡金屬，或者藉由對這些層不意圖進行摻雜，只要將這些層形成充分高電阻的層，則相比於不形成孔21之場合，可以充分抑制化合物半導體裝置100之源極電極13與汲極電極15間之寄生電導，因此也可以提高裝置的崩潰電壓。

【0089】

[第1實施型態之變形例]

【0090】圖9係顯示本發明第1實施型態的第1變形例之化合物半導體裝置100的製造方法之剖面圖。

【0091】參照圖9，第1變形例，係前述實施型態之化合物半導體裝置100的製造方法之變形例。在第1變形例，於形成SiC層3之後、形成Ga氮化物層10等之前，藉由除去矽基板1下面1b的中央部的矽，形成複數孔21。

【0092】以前述方式，SiC層3係藉由具有環狀的平面形狀的矽基板1而被支撐著，SiC層3的機械強度係藉由矽基板1而被補強。即使在形成Ga氮化物層10之前，矽基板1及SiC層3也具有充分的機械強度，可以抑制往SiC層3龜裂的發生。藉此，可以實現於矽基板的上面形成複數孔21，並且，於前述複數孔21的各個的底部露出之SiC層都未破損之構造。

【0093】又，在盡可能抑制往SiC層3龜裂的發生之觀點上，以前述實施型態之方式，在形成Ga氮化物層10等之後形成孔21為佳。這是因為可以在藉由矽基板1及Ga氮化物層10等來補強SiC層3的機械強度之狀態下形成孔21的緣

故。

【0094】圖10係顯示本發明第1實施型態的第2變形例之化合物半導體裝置100的構成之剖面圖。

【0095】參照圖10，第2變形例之化合物半導體裝置100，在進而具備金屬層23(金屬層之一例)之點上，與圖1及圖2所示的前述實施型態之化合物半導體裝置不同。金屬層23，至少於孔21的底部形成，且接觸著SiC層3的下面3b。金屬層23係與源極電極13導電連接。金屬層23最好是接地。金屬層23，係藉由例如蒸鍍法，MOCVD法、或者濺鍍法等而形成。

【0096】又，最好是在將金屬層23與源極電極13導電連接時，於基板形成供連起金屬層23與源極電極13用之通孔，於此將金屬埋入而連接之方法。

【0097】又，也可以取代源極電極13而將金屬層23與汲極電極15導電連接。

【0098】前述以外的第2變形例的化合物半導體裝置100之構成，與圖1所示的第1實施型態的化合物半導體裝置之構成相同，所以於相同構件附上相同符號，不重複其說明。

【0099】根據第2變形例，藉由在半導體裝置的正下方設著金屬層23、且將此金屬層接地，而將可以防止高頻電力損失的接地面(導電接地)形成於裝置的正下方。藉由將SiC層3、AlN緩衝層5、AlGaN緩衝層7、GaN層9的比電阻，設定在電力損失變大的比電阻的範圍之外的數值，並

與金屬層23組合，可以減低寄生電容及寄生電阻，可以實現具有良好的高頻特性之HEMT。

【0100】

[第2實施型態]

【0101】圖11係顯示本發明的第2實施型態之化合物半導體基板101的構成之平面圖，係由矽基板1的下面側來觀察的場合之平面圖。圖12係顯示本發明的第2實施型態之化合物半導體基板101的構成之剖面圖，係沿著圖11中XII—XII線的剖面圖。

【0102】參照圖11及圖12，本實施型態之化合物半導體基板101(化合物半導體基板之一例)，係包含複數個在製造第1實施型態的化合物半導體裝置之過程所呈現的構造之中間體構造101a。化合物半導體基板101，係具備：具有2吋至12吋程度、較佳為4吋至8吋的平面尺寸(直徑)的矽基板1，SiC層3，AlN緩衝層5，AlGaN緩衝層7，與GaN層9。矽基板1，於平面(由對矽基板的上面1a正交的方向)俯視的場合，具有包圍孔(對矽基板的貫通孔)21的形狀。中間體構造101a係對應複數孔21的各個而設置。SiC層3、AlN緩衝層5、AlGaN緩衝層7、及GaN層9係依此順序於矽基板1的上面1a予以形成。特別是，SiC層3被形成於矽基板1的上面1a，且覆蓋著複數孔21。於複數孔21的底部使SiC層3的下面3b露出來。複數孔21的各個的大小及形狀，可以是相同的，抑或互為不同。

【0103】於本實施型態的化合物半導體基板101，藉

由除去必要的區域的AlGa_N層11及Ga_N層9，形成源極電極13、汲極電極15、及閘極電極17之各個，形成絕緣層11，形成必要的溝11a，而得到複數的化合物半導體裝置100。

【0104】又，於化合物半導體基板101可以未形成分離溝22(換言之，分離溝22係可以在化合物半導體基板101完成後而形成)。此外，化合物半導體基板101，可以進而具備圖1所示的源極電極13、汲極電極15、及閘極電極17。此場合，由對矽基板1的上面1a正交的方向來觀察，於源極電極13、汲極電極15、及閘極電極17重疊的區域，存在孔21，而矽基板1並不存在。化合物半導體基板101，至少具備矽基板1、與SiC層3即可。

【0105】又，前述以外的化合物半導體基板101的構成，與第1實施型態的化合物半導體裝置100的構成相同，所以不重複其說明。

【0106】根據本實施型態，化合物半導體基板101係包含複數中間體構造101a，所以可以得到與第1實施型態的化合物半導體裝置同樣的效果。特別是，SiC層3係藉由矽基板1從下方被支撐著，因而抑制製造時往SiC層3及Ga氮化物層10龜裂的發生，且露出於複數孔21的各個的底部之SiC層3未破損。因此，可以提高製造時的生產率。又，源極電極13、汲極電極15、及閘極電極17之形成步驟、或分離溝22之形成步驟，係嫌惡產生灰塵，因而係在例如無塵室等清淨環境下實施。於圖10及圖11所示之化合物半導體基板101，假設即使露出於複數孔21的底部之SiC層3中

的一個有破損，由破損部就會產生灰塵，汙染無塵室自身環境。因此，將前述有破損的化合物半導體基板投入無塵室、進行電極形成或分離溝22的形成，由維持無塵室等的清淨環境之觀點而言，這在工業上是極為困難的。從而，為了工業上實現圖1及圖2所示的化合物半導體裝置100，化合物半導體基板101中，於複數孔21的各個的底部露出來之SiC層3都未破損，是本質上必要不可或缺的要件。

【0107】

[其他]

【0108】前述的實施型態，係顯示含有Ga的寬能隙半導體層(具有2.2eV以上的能帶間隙之半導體層)為Ga氮化物層10之場合，但含有Ga的寬能隙半導體層，Ga_N之類的氮化物之外，也可以是Ga₂O₃之類的氧化物。Ga₂O₃係具有比SiC或Ga_N還要大的能帶間隙能量，可期待作為下一世代的化合物。Ga₂O₃在崩潰電壓特性上比Ga_N還要優異，因而採用Ga₂O₃作為含有Ga的寬能隙半導體層之化合物半導體裝置係適於電源裝置。另一方面，Ga_N之移動度比Ga₂O₃還要高，因而採用Ga_N作為含有Ga的寬能隙半導體層之化合物半導體裝置係適於高頻裝置。

【0109】前述的實施型態，係顯示化合物半導體裝置包含HEMT作為半導體裝置之場合，但化合物半導體裝置也可以包含MOSFET(金屬氧化物半導體場效電晶體，Metal-Oxide-Semiconductor Field-Effect Transistor)、MISFET(金屬絕緣體半導體場效電晶體，Metal-Insulator-

Semiconductor Field-effect Transistor)、或者JFET(接面場效電晶體, Junction Field Effect Transistor)等的半導體裝置。再者, 化合物半導體裝置, 也可以作成電流通於氮化物半導體層的厚度方向的型態之縱型裝置。

【0110】前述的實施型態及變形例, 係可以適當組合採用。

【0111】前述的實施型態及變形例, 所有的要點均為例示而不應該認為是本發明之限制。本發明的範圍不在於前述之說明, 而是意圖包含請求項所示的, 與請求項均等之意義以及在該範圍內的所有的變更。

【符號說明】

【0112】

1:Si(矽)基板(矽基板之一例)

1a:Si基板之上面

1b:Si基板之下面

3:SiC(碳化矽)層(結晶層之一例)

3b:SiC層之下面

5:AlN(氮化鋁)緩衝層(不含Ga之氮化物層之一例)

7:AlGaN(氮化鋁鎵)緩衝層

9:GaN(氮化鎵)層

9a:GaN層之凸部

10:Ga(鎵)氮化物層(寬能隙半導體層之一例)

11:AlGaN層

13:源極電極(第1電極之一例)

15:汲極電極(第2電極之一例)

17:閘極電極(第3電極之一例)

19:絕緣層

19a:絕緣層之開口部

21:孔(孔之一例)

22:分離溝

23:金屬層(金屬層之一例)

100:化合物半導體裝置(化合物半導體裝置之一例)

101:化合物半導體基板(化合物半導體基板之一例)

101a:中間體構造

RG1, RG2:元件分離區域

【發明申請專利範圍】

【請求項 1】一種化合物半導體裝置，其特徵為具備：

平面俯視場合具有包圍孔的形狀的矽基板、

被形成於前述矽基板之上面，且覆蓋前述孔的共價結合性的結晶層、

被形成於前述結晶層之上面側的含銻的寬能隙半導體層、以及

被形成於前述寬能隙半導體層之上面側的第 1、第 2、及第 3 電極；

流通於前述第 1 電極與前述第 2 電極之間的電流，可藉由施加於前述第 3 電極的電壓來控制，

由對前述矽基板之上面正交的方向觀察，在與前述第 1、第 2、及第 3 電極重疊之區域，前述矽基板不存在，

進而具備分離區域，是從前述寬能隙半導體層之上面到達前述矽基板的分離區域，而將前述化合物半導體裝置與鄰接於前述化合物半導體裝置之其他化合物半導體裝置加以導電分離，

前述分離區域是於上下方向貫通前述結晶層。

【請求項 2】如請求項 1 之化合物半導體裝置，其中前述結晶層由 3C-碳化矽所構成。

【請求項 3】如請求項 2 之化合物半導體裝置，其中前述結晶層之上面為(111)面。

【請求項 4】如請求項 2 之化合物半導體裝置，其中

前述結晶層，由含有 N 型摻雜物之氮及磷、P 型摻雜物之鋁及硼、以及呈現半絕緣性的摻雜物之過渡金屬之中至少任一種類作為不純物的碳化矽所構成，而且在前述 N 型摻雜物的濃度為濃度 $N(\text{個}/\text{cm}^3)$ 、前述 P 型摻雜物的濃度為濃度 $P(\text{個}/\text{cm}^3)$ 、使呈現前述半絕緣性的摻雜物的濃度為濃度 $I(\text{個}/\text{cm}^3)$ 的場合，前述濃度 N 、 P 及 I 之間，下列式(1)～(3)之中的某一關係成立：

$$|N - P| \leq 1 \times 10^{16} \quad \dots (1)$$

$$N + P < I < 1 \times 10^{21} \quad \dots (2)$$

$$1 \times 10^{18} \leq |N - P| \leq 1 \times 10^{21} \text{ 且 } I < N + P \quad \dots (3)。$$

【請求項 5】如請求項 1 之化合物半導體裝置，其中前述結晶層具有 $100\Omega \cdot \text{cm}$ 以上或 $100\text{m}\Omega \cdot \text{cm}$ 以下之比電阻。

【請求項 6】如請求項 1 之化合物半導體裝置，其中進而具備被形成於前述孔的底部之金屬層。

【請求項 7】一種化合物半導體基板，其特徵為具備：

平面俯視場合具有包圍複數孔的形狀的矽基板、
被形成於前述矽基板之上表面，且覆蓋前述複數孔的共價結合性的結晶層；

露出於前述複數孔之各個的底部的前述結晶層未破損，

進而具備：被形成於前述結晶層的上表面側之包含鎵的寬能隙半導體層、以及

對應於前述複數孔之各個而被形成於前述寬能隙半導體層之上面側的第 1、第 2、及第 3 電極；

流通於前述第 1 電極與前述第 2 電極之間的電流，可藉由施加於前述第 3 電極的電壓來控制，

由對前述矽基板之上面正交的方向觀察，在與前述第 1、第 2、及第 3 電極重疊之區域，前述矽基板不存在，

進而具備從前述寬能隙半導體層之上面到達前述矽基板的分離區域，

前述分離區域是於上下方向貫通前述結晶層。

【請求項 8】一種化合物半導體裝置之製造方法，其特徵為具備：

於矽基板之上面形成共價結合性的結晶層之步驟、

於前述結晶層之上面側形成含銻的寬能隙半導體層之步驟、

於前述矽基板的下面形成孔，使前述結晶層露出於前述孔的底部之步驟、以及

於前述寬能隙半導體層之上面側形成第 1、第 2、及第 3 電極之步驟；

流通於前述第 1 電極與前述第 2 電極之間的電流，可藉由施加於前述第 3 電極的電壓來控制，

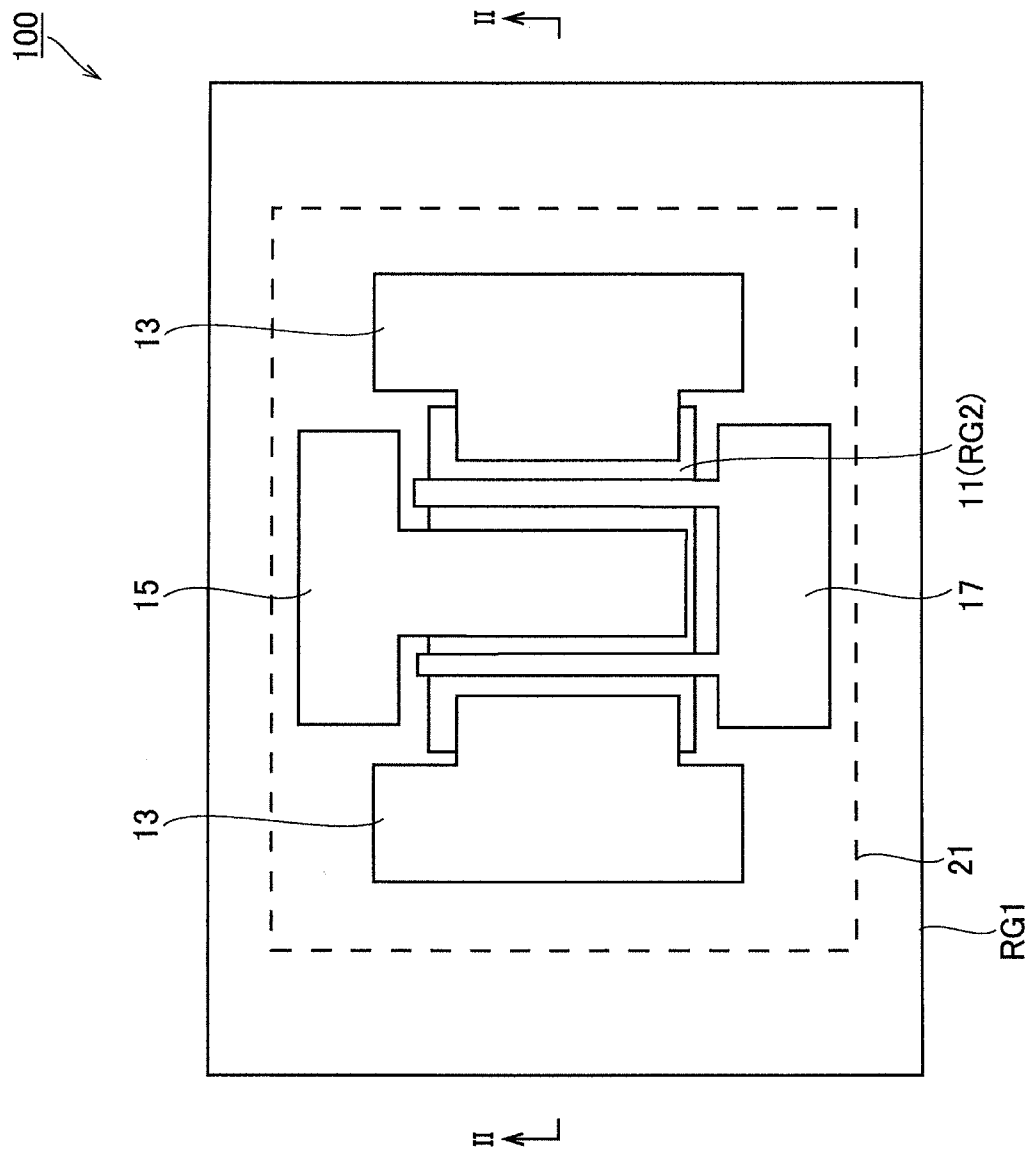
使前述結晶層露出之步驟，包含蝕刻前述矽基板的一部分之步驟；

使前述結晶層露出之步驟，在形成前述寬能隙半導體層的步驟之後進行，

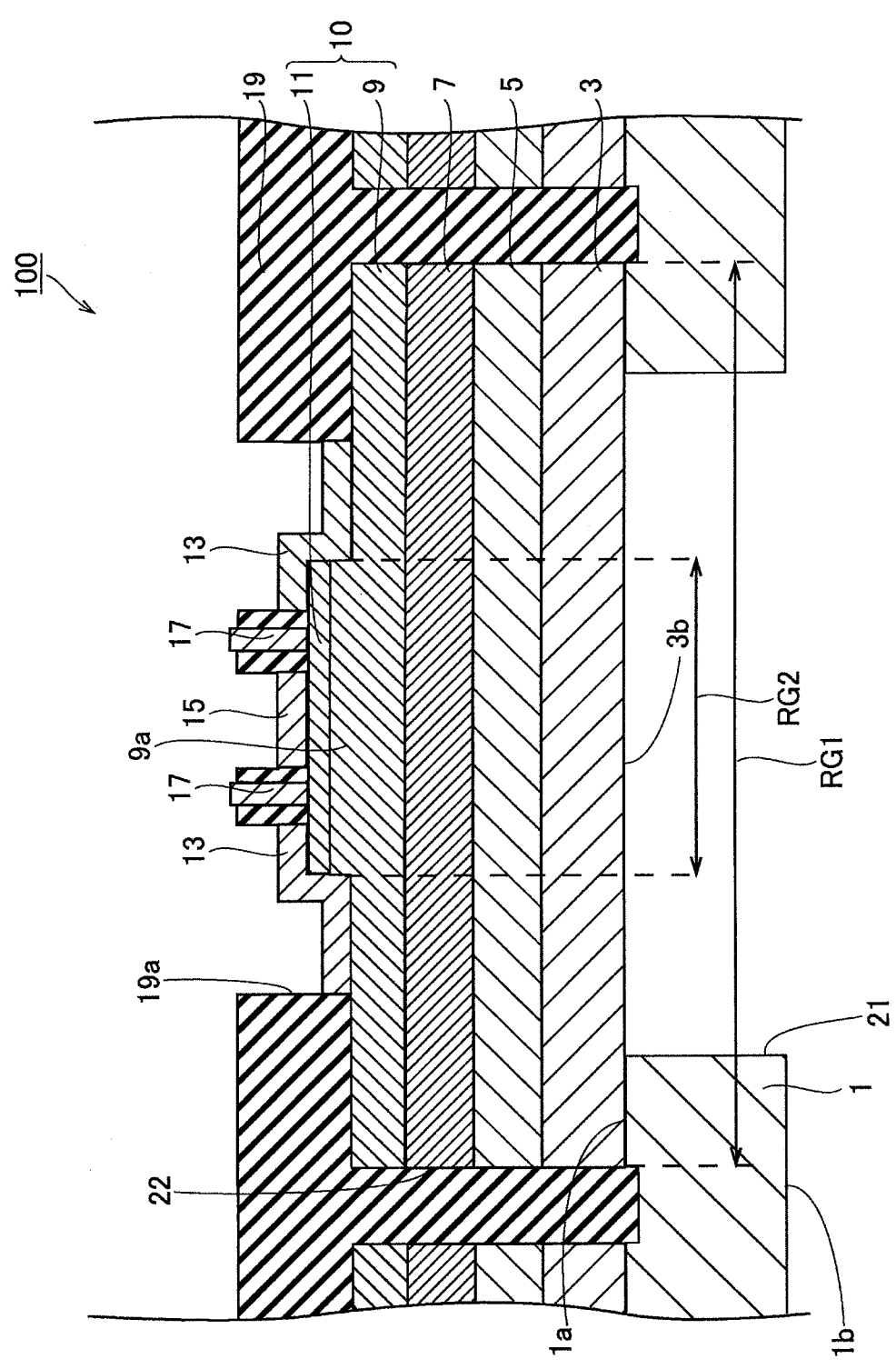
進而具備分離區域，是從前述寬能隙半導體層之上面到達前述矽基板的分離區域，而將前述化合物半導體裝置與鄰接於前述化合物半導體裝置之其他化合物半導體裝置加以導電分離，

前述分離區域是於上下方向貫通前述結晶層。

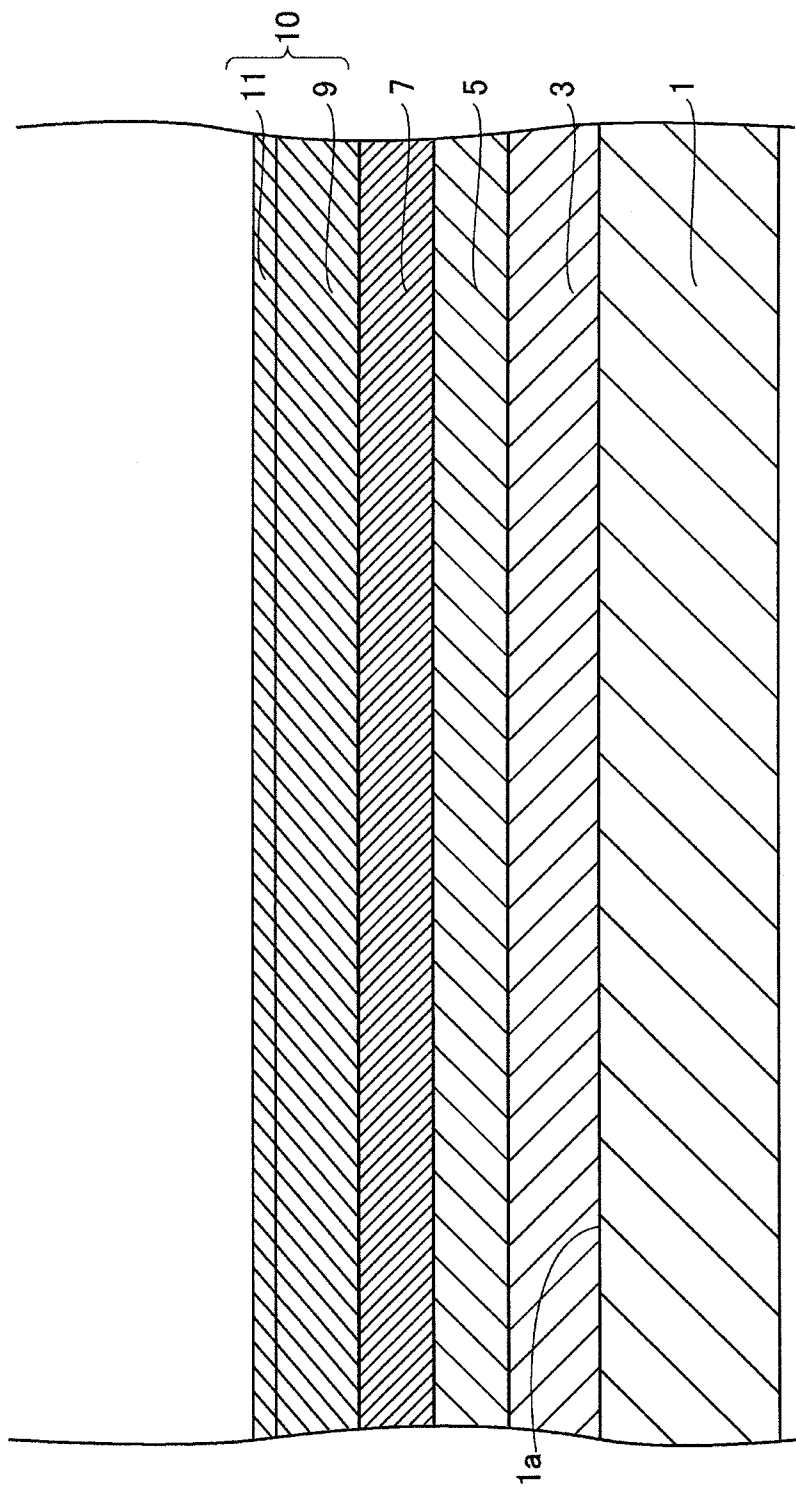
【發明圖式】



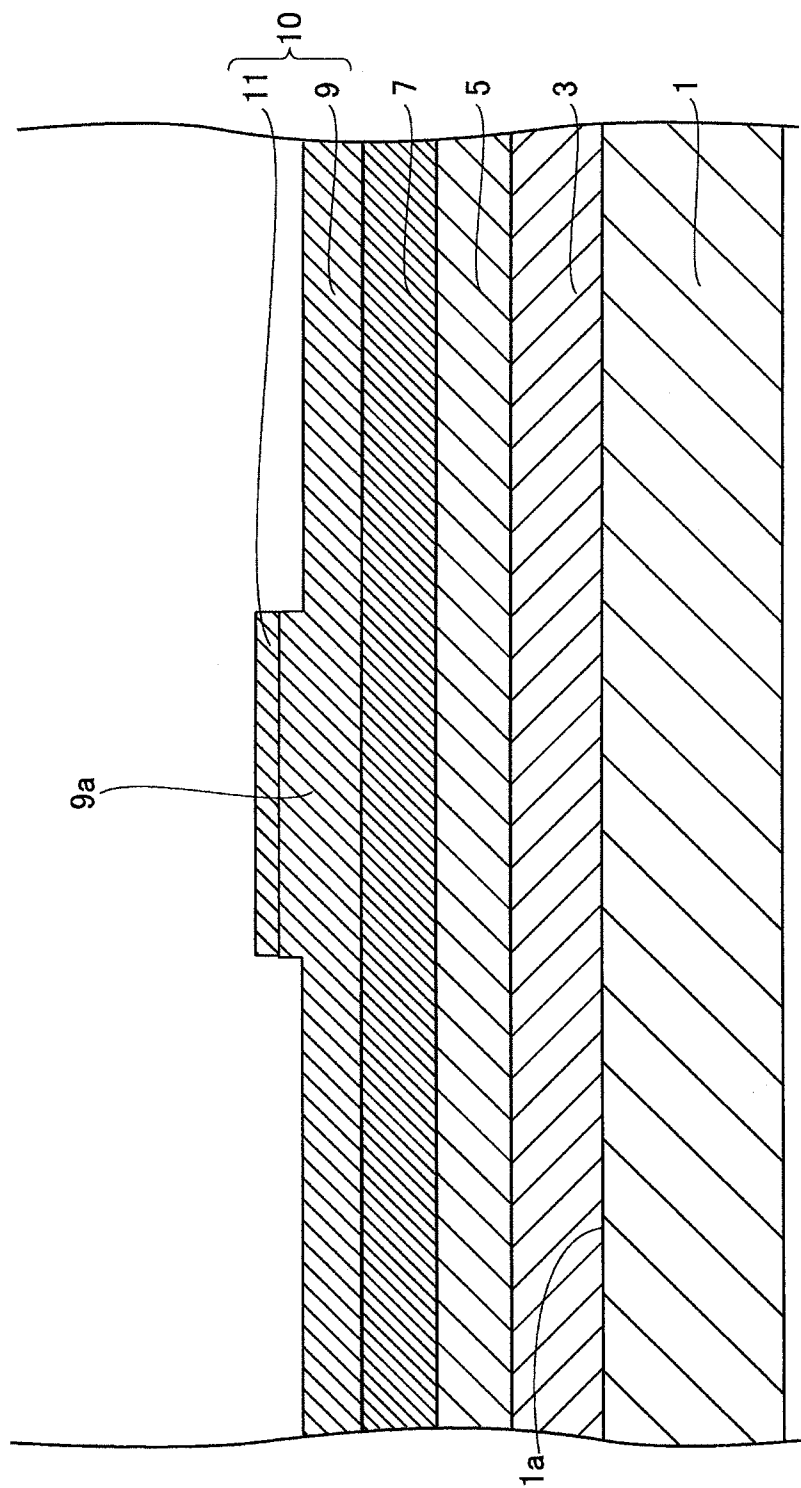
【圖 1】



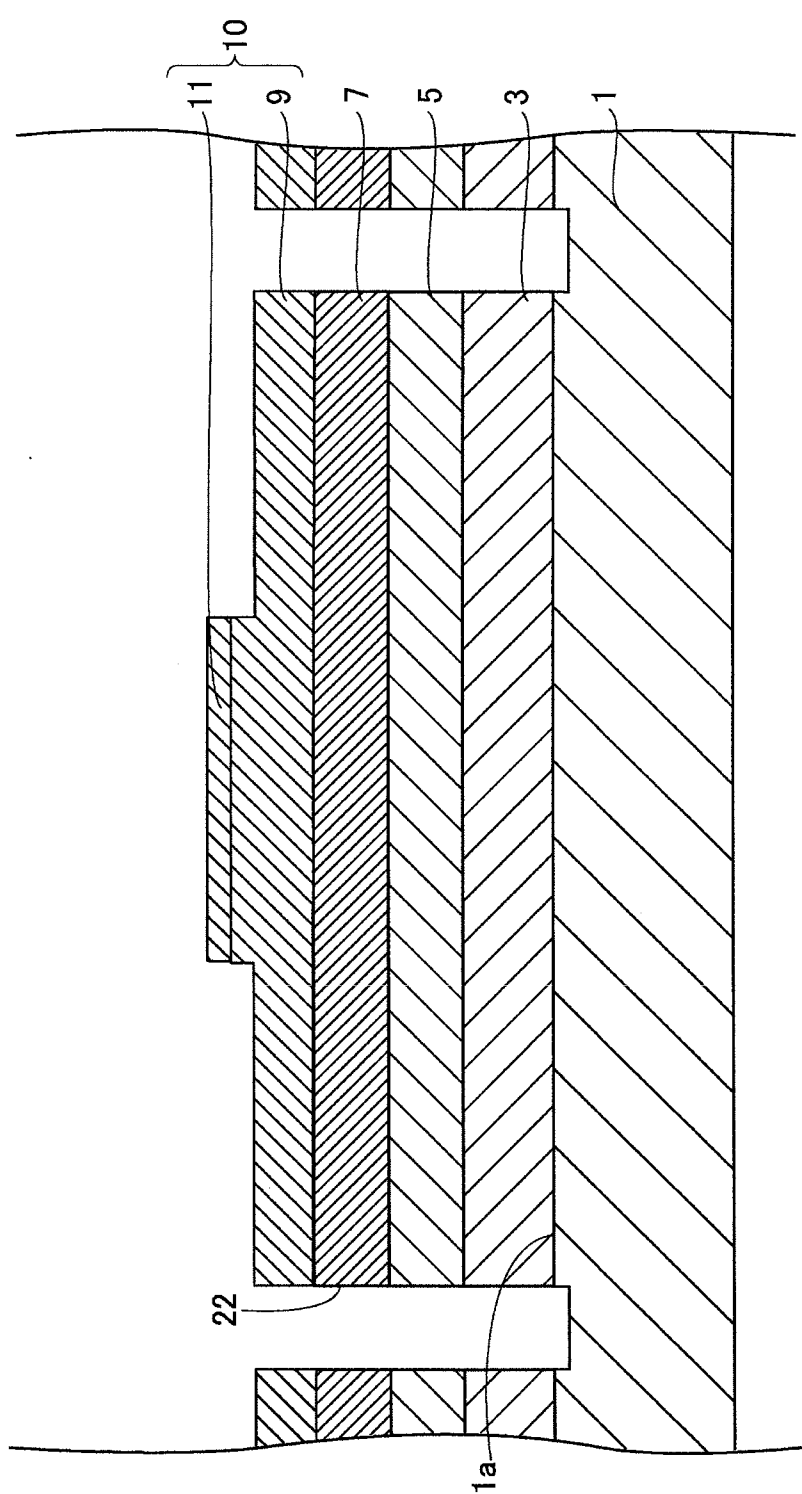
【圖 2】



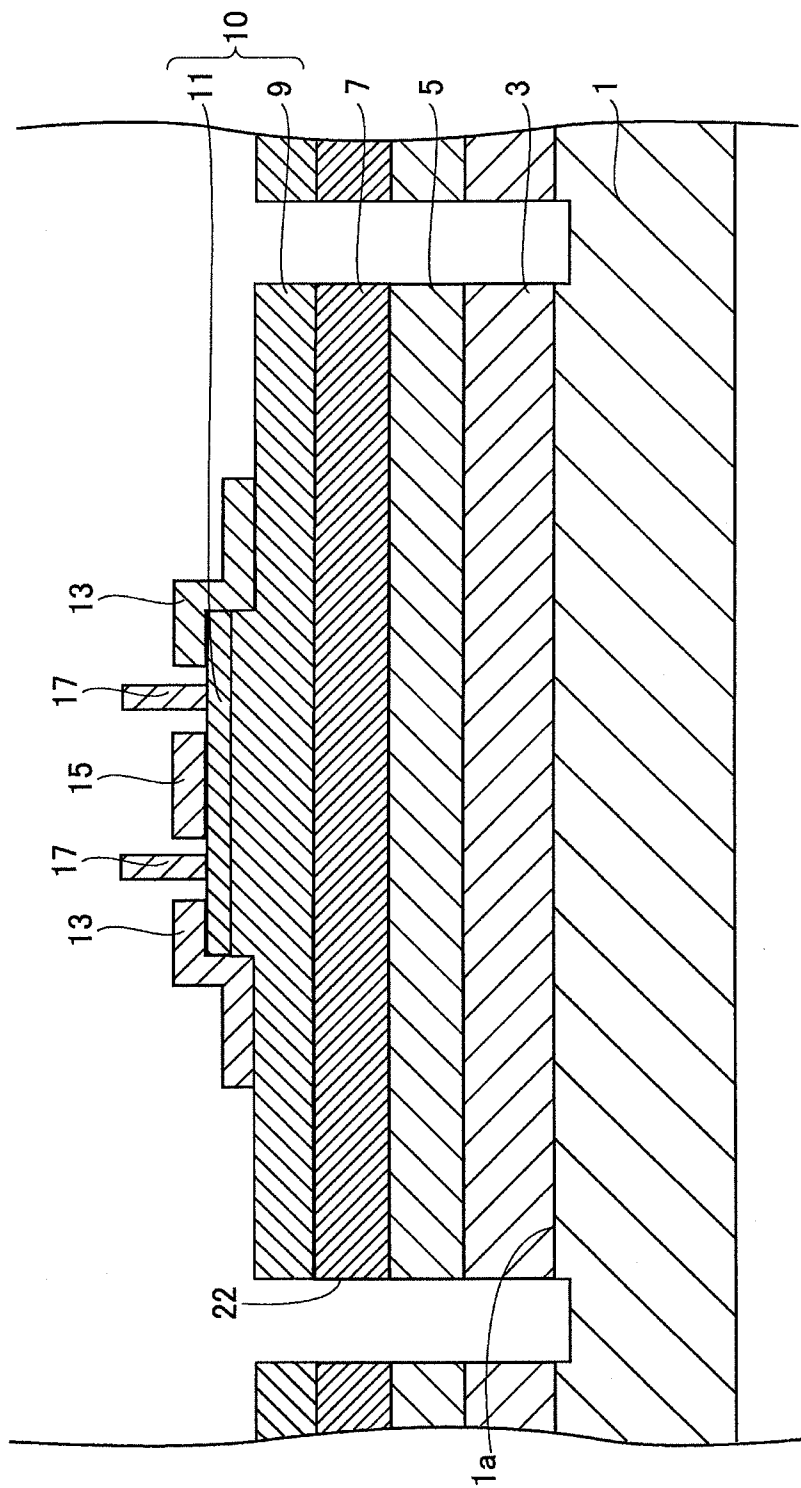
【圖3】



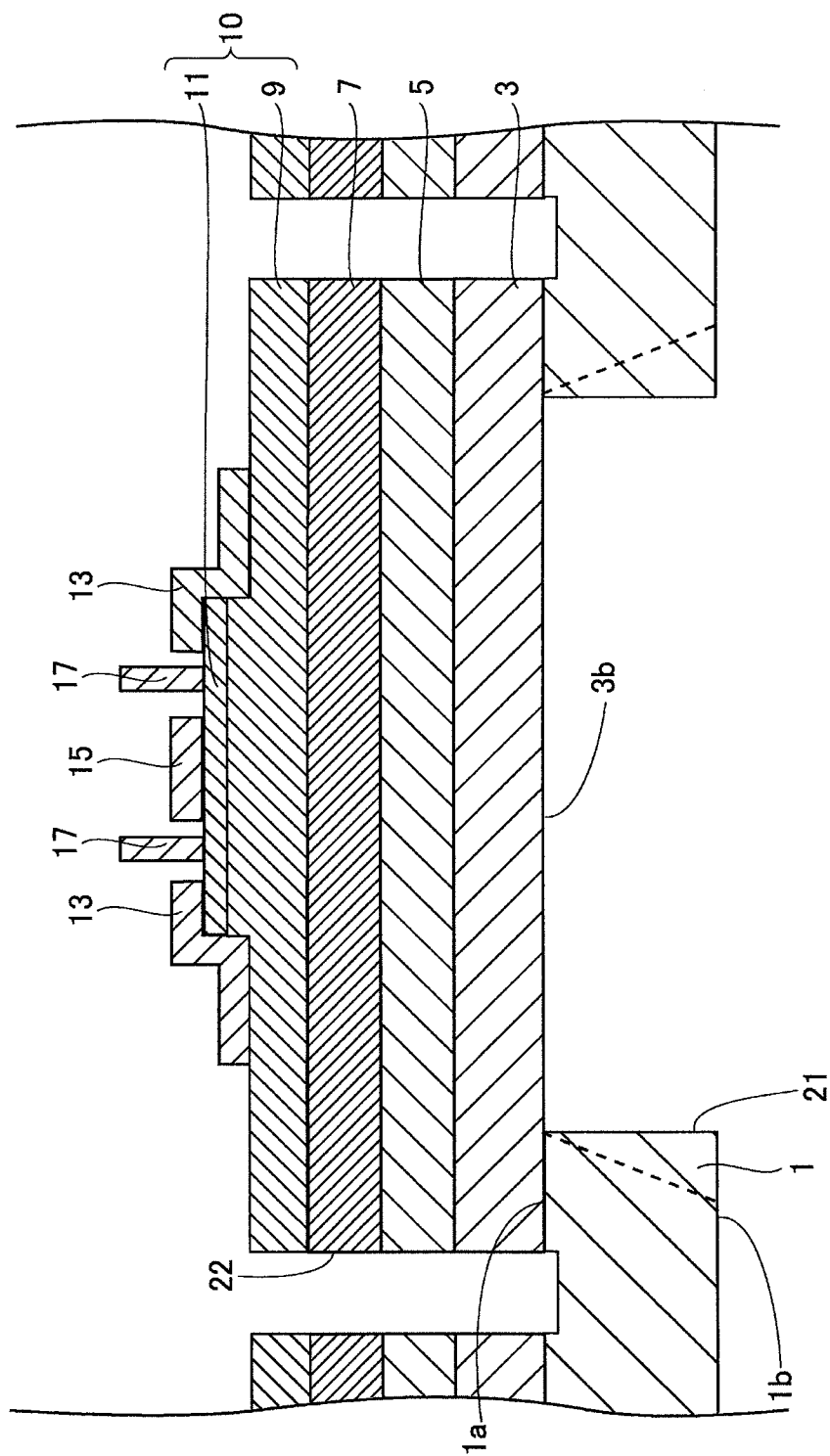
【圖 4】



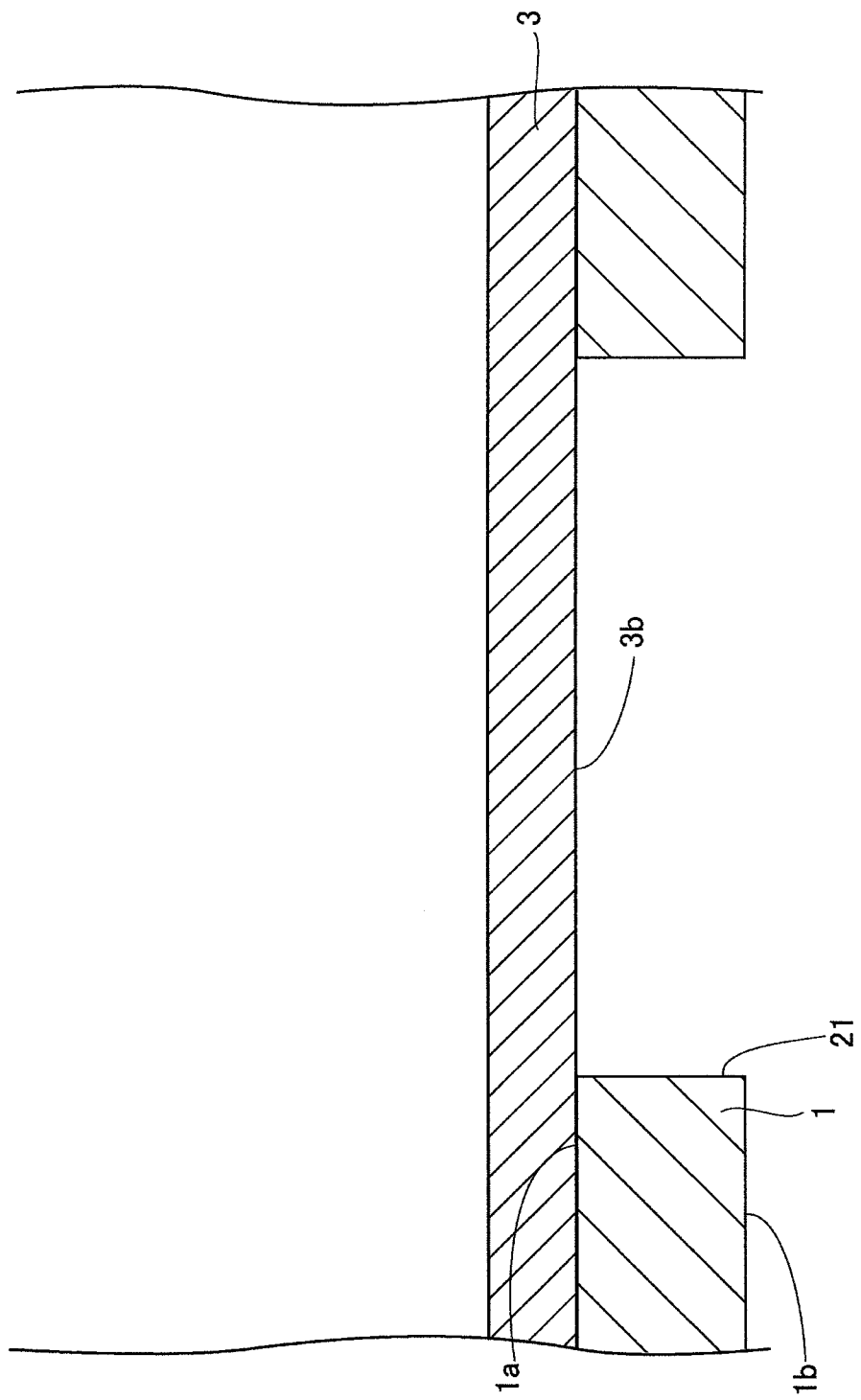
【圖 5】



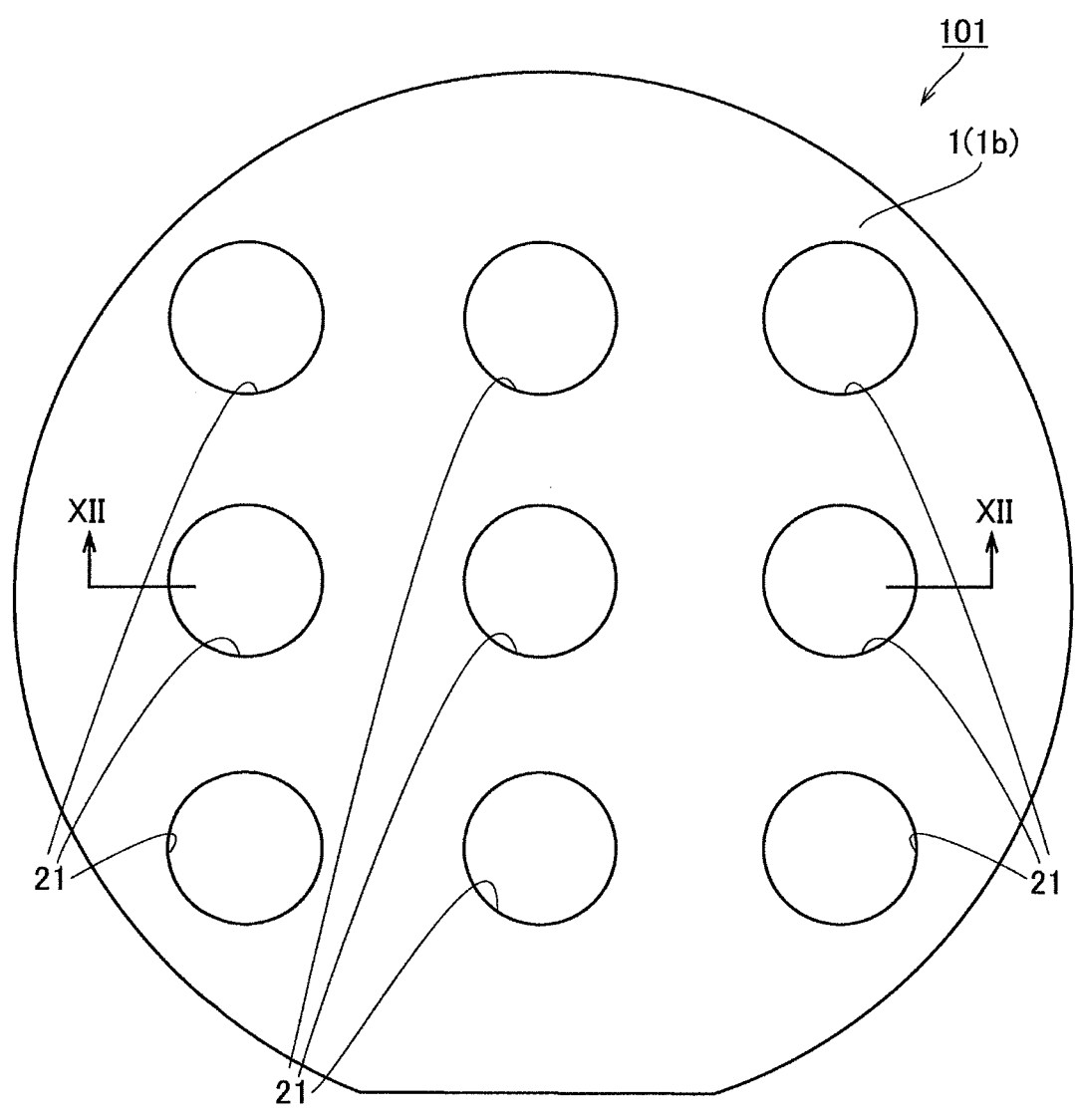
【圖6】



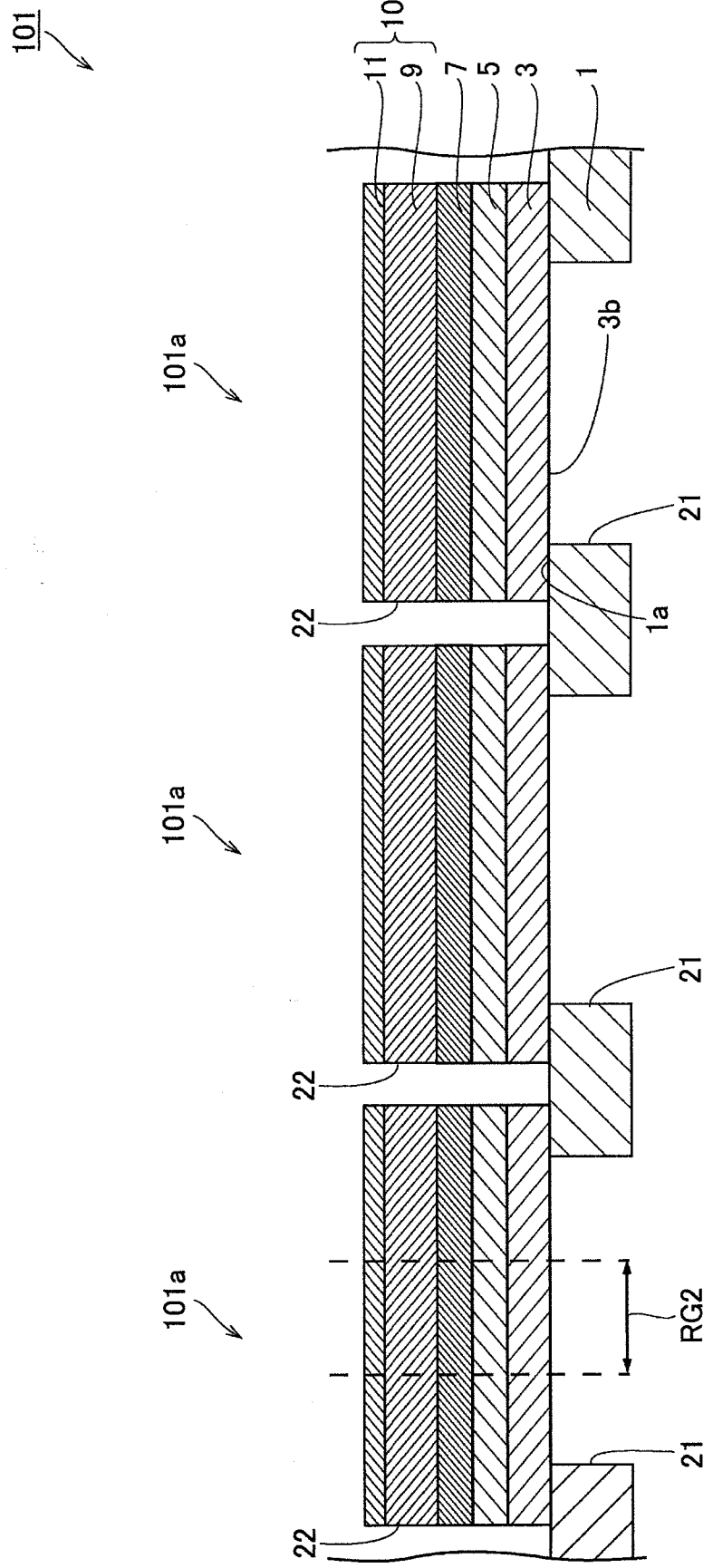
【圖 7】



【圖 9】



【圖 11】



【圖 12】