

[19] 中华人民共和国国家知识产权局



[12] 发明专利申请公布说明书

[21] 申请号 200610111007.6

[43] 公开日 2007 年 2 月 14 日

[51] Int. Cl.
H01L 27/04 (2006.01)
H01L 21/822 (2006.01)

[11] 公开号 CN 1913158A

[22] 申请日 2006.8.11

[21] 申请号 200610111007.6

[30] 优先权

[32] 2005.8.12 [33] JP [31] 2005 - 234676

[71] 申请人 恩益禧电子股份有限公司

地址 日本神奈川

[72] 发明人 竹胁利至 户田猛

[74] 专利代理机构 中原信达知识产权代理有限责任公司
代理人 关兆辉 陆锦华

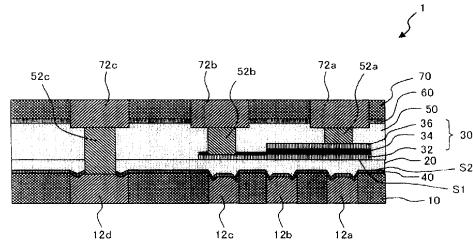
权利要求书 2 页 说明书 11 页 附图 8 页

[54] 发明名称

半导体器件及其制造方法

[57] 摘要

本发明涉及一种半导体器件及其制造方法。 半导体器件 1 包括绝缘中间层 10、互连部分 12a 到 12c、绝缘中间层 20 以及电容器元件 30。 在绝缘中间层 10 和互连部分 12a 到 12d 上，经由扩散阻挡层 40 提供绝缘中间层 20。 在绝缘中间层 20 上提供电容器元件 30。 电容器元件 30 是 MIM 型电容器元件，并且包括位于绝缘中间层 20 上的下部电极 32、位于下部电极 32 上的电容器绝缘层 34、以及位于电容器绝缘层 34 上的上部电极 36。 在绝缘中间层 20 和电容器元件 30 之间的分界面 S1 大体上是平的。 绝缘中间层 20 的下表面 S2 在与电容器绝缘层 34 对应的位置处包括不平坦部分。



1. 一种半导体器件，包括：

设置在半导体基片上的第一绝缘层；

5 埋入所述第一绝缘层中的导体；

设置在所述第一绝缘层和所述导体上的第二绝缘层；

设置在所述第二绝缘层上的下部电极；

设置在与至少一部分所述导体相对的所述下部电极上的区域中的
10 电容器绝缘层； 和

设置在所述电容器绝缘层上的上部电极；

其中，所述第二绝缘层和所述下部电极之间的分界面大体上是平
整的； 并且

在所述第二绝缘层的所述第一绝缘层和所述导体一侧的表面上，
在与所述电容器绝缘层相对的位置处包括不平坦部分。

15

2. 如权利要求 1 所述的半导体器件，

其中所述导体的表面相对于所述第一绝缘层表面凹陷。

20 3. 如权利要求 1 所述的半导体器件， 其中所述第二绝缘层经由扩
散阻挡层设置在所述第一绝缘层和所述导体上。

4. 如权利要 1 所述的半导体器件，其中所述导体是电源互连部分。

25 5. 如权利要 1 所述的半导体器件，其中所述导体是主要包含铜的
金属。

6. 一种制造半导体器件的方法，包括

在半导体基片上形成第一绝缘层；

形成导体以便将所述导体埋入所述第一绝缘层中；

30 在所述第一绝缘层和所述导体上形成第二绝缘层；

- 对所述第二绝缘层的表面进行平坦化；
在经平坦化后的所述第二绝缘层的表面上形成下部电极；
在与至少一部分所述导体相对的所述下部电极上的区域中形成电容器绝缘层；和
5 在所述电容器绝缘层上形成上部电极。

7. 如权利要 6 所述的方法，

其中，所述的形成导体的步骤包括：通过大马士革工艺形成主要包含铜的金属作为所述导体。

半导体器件及其制造方法

5 本申请基于日本专利申请第 2005-234676 号，其内容在此通过参考被并入本文。

技术领域

本发明涉及一种半导体器件及其制造方法。

10

背景技术

近年来，人们开始普遍使用金属—绝缘体—金属（下文为 MIM）型的电容器元件，其寄生电阻和寄生电容明显小于传统的 MOS 型电容器元件。MIM 型电容器元件也可以被集成在逻辑器件中从而组成一个单片芯片。为了获得这种结构，必须结合这两种器件的结构和制造工艺。逻辑器件通常包括层叠在多层中的互连部分。因此，如何使 MIM 型电容器元件的结构和工艺适用于多层互连结构是一个关键的技术问题。从这些观点来看，已经研发出了一种工艺，通过该工艺使用与建立逻辑器件的多层互连结构的方法类似的方法来形成 MIM 型电容器元件。

在多数传统情况中，正如日本公开专利申请第 2003-258107 号中所述的那样，MIM 型电容器元件形成在其下面没有配置互连部分的区域中，并且很少形成在配置了密集的精细互连部分的区域上。

25

发明内容

但是，目前已经实现了非常高度的集成化，为了减少半导体器件的尺寸，在密集配置了互连部分的区域的上层形成 MIM 型电容器元件半导体器件变得非常必要。在这点上，本发明的发明人确定以下问题是必须克服的。

5

目前，由于铜的低阻抗性，在逻辑器件中普遍使用铜来构成多层互连部分。例如当与铝比较时，很难对铜进行干蚀刻处理。因此，通常使用大马士革（Damascene，金属镶嵌）工艺来形成铜互连部分。在大马士革工艺中，首先在绝缘层（例如氧化硅层）上形成沟槽，其后形成阻挡金属层以阻碍铜的扩散。然后，例如通过电镀用铜来充填该沟槽，接下来进行化学机械抛光（下文为 CMP），由此形成互连部分。

10

由于一旦通过 CMP 工艺将过多的铜和阻挡层金属从该互连部分的表面以及在其附近的绝缘层的表面上除去，则认为这些表面应当是平整的。但是，正如在以下文献：J.Noguchi 等，“Influence of Post-CMP Cleaning on Cu Interconnects and TDDB Reliability”，IEEE TRANSACTIONS ON ELECTRON DEVICES，第 52 卷第 5 号，2005 年 5 月，第 934-941 页（非专利文献 1）中所描述的那样，一旦严格观察，就会发现在互连的边缘部分形成了陡峭的水平差。

15

图 7A 和 7B 示出了具有这种水平差的互连部分的示意性截面图。通过单大马士革工艺，在这些图中所示的氧化层 201 中的互连部分 202a、202b、202c 由铜构成。在互连部分 202a、202b、202c 上，设置罩层（扩散阻挡层）203。

20

如图所示，在互连部分 202a、202b、202c 的上表面上形成了水平差。正如非专利文献 1 中所描述的那样，猜测的原因包括在 CMP 工艺期间中所发生的凹坑（或碟形缺陷，dishing）以及在 CMP 工艺之后的清洗过程中所发生的蚀刻或腐蚀。水平差的深度部分取决于形成互连部分的工艺条件，该深度可以达到 50 甚至一百几十纳米。如图 7B 所示，在单独形成的互连部分 202C 的边缘部分处可以看到特别陡峭的水平差。

25

30

如图 8A 到 8C 所示，当 MIM 型电容器元件直接或者经由绝缘层

形成在具有这种陡峭水平差的互连部分 202a、202b、202c 上时，MIM 型电容器元件 220 的电极 205、207 和电介质层（电容器绝缘层）206 也会经受该水平差。图 8A 示出了一半导体器件的横截面图，在该半导体器件中 MIM 型电容器元件 220 直接形成在互连部分 202a、202b 上。
5 图 8B 示出了一半导体器件的横截面图，在该半导体器件中 MIM 型电容器元件 220 经由由氧化硅层所构成的绝缘层 204 形成在互连部分 202a、202b 上。图 8C 示出了一半导体器件的横截面图，在该半导体器件中 MIM 型电容器元件 220 经由绝缘层 204 形成在互连部分 202c 上。

10 因此，正如日本特开专利公开第 2002-353324 号中所述的那样，当 MIM 型电容器元件 220 遭受水平差时，电介质层 206 在稳定性方面会遭受退化。尤其是，电介质层 206 的击穿电压会局部降低。这会降低 MIM 型电容器元件 220 的成品率，并且也降低在其使用过程中的可靠性。

15 根据本发明，提供了一种半导体器件，其包括设置在半导体基片上的第一绝缘层；埋入所述第一绝缘层中的导体；设置在所述第一绝缘层和所述导体上的第二绝缘层；设置在所述第二绝缘层上的下部电极；设置在与至少一部分所述导体相对的所述下部电极上的区域中的电容器绝缘层；和设置在所述电容器绝缘层上的上部电极；其中，所述第二绝缘层和所述下部电极之间的分界面大体上是平的；并且在所述第二绝缘层的所述第一绝缘层和所述导体一侧的表面上，在与所述电容器绝缘层相对的位置处包括不平坦部分。
20

25 在这种构造的半导体器件中，下部电极、电容器绝缘层和上部电极构成了 MIM 型电容器元件。这里，在第二绝缘层和下部电极之间的分界面大体上是平的。因此，尽管第二绝缘层的下表面（在第一绝缘层和导体的一侧）包括不平坦部分，但是电容器元件不会因此受到影响。这种结构防止了电容器绝缘层的击穿电压的下降。

30

根据本发明，还提供一种制造半导体器件的方法，其包括在半导体基片上形成第一绝缘层；形成导体以便将所述导体埋入所述第一绝缘层中；在所述第一绝缘层和所述导体上形成第二绝缘层；对所述第二绝缘层的表面进行平坦化处理；在经平坦化处理后的所述第二绝缘层的所述表面上形成下部电极；在与至少一部分所述导体相对的所述下部电极上的区域中形成电容器绝缘层；和在所述电容器绝缘层上形成上部电极。
5

在这样安排的制造方法中，在第二绝缘层上形成下部电极之前平坦化第二绝缘层的表面。因此，即使当第二绝缘层的下表面包括不平坦部分时，形成在第二绝缘层上的电容器元件也不会因此受到影响。这种制造方法防止了电容器绝缘层的击穿电压的下降。
10

因此，本发明提供一种包括 MIM 型电容器元件的半导体器件，这种半导体器件提高了成品率并且使得可靠性更为优越，同时还提供了一种制造这种半导体器件的方法。
15

附图说明

结合附图根据以下详细的描述可以清楚了解本发明的上述和其它目的、优点和特征，其中
20

图 1 示出了根据本发明实施例的半导体器件的横截面图；

图 2 示出了图 1 中的半导体器件的一部分的放大横截面图；

图 3 A 和 3B 逐步地示出了一种制造根据本发明实施例的半导体器件的方法的横截面图；
25

图 4 A 和 4B 逐步地示出了一种制造根据本发明实施例的半导体器件的方法的横截面图；

图 5 示出了半导体器件的一个变形的横截面图；

图 6 示出了半导体器件的另一个变形的横截面图；

图 7A 和 7B 示出了传统半导体器件的横截面图，用以解释其缺陷；
30

和

图 8A 到 8C 示出了传统半导体器件的横截面图, 用以解释其缺陷。

具体实施方式

在此参考示意性的具体实施例描述本发明。本领域技术人员可以
5 认识到, 使用本发明的教导可以实现许多可选实施例, 并且本发明并不限于用于解释目的所示例出的各实施例。

以下, 将会参考附图详细描述根据本发明的半导体器件及其制造
10 方法的示例性实施例。在附图中, 相同的组成部分给出相同的附图标
记, 并且在适当的情况下不会重复完全相同的描述。

图 1 示出了根据本发明实施例的半导体器件的横截面图。半导体
器件 1 包括绝缘中间层 10(第一绝缘层)、互连部分 12a 到 12c(导体)、
15 绝缘中间层 20(第二绝缘层)以及电容器元件 30。经由另一个绝缘中
间层(例如, 埋入其内带有接触栓塞的绝缘中间层)将绝缘中间层 10
放置在例如硅基片的半导体基片(未示出)上。

绝缘中间层 10(在各互连部分之间的绝缘中间层)包括埋入其中
20 的互连部分 12a 到 12c。互连部分 12a 到 12c 可以是电源互连部分。除
了互连部分 12a 到 12c 以外, 绝缘中间层 10 还包括埋入其中的互连部
分 12d。互连部分 12d 是充当除了电容器元件 30 以外的元件(例如晶
体管或者电阻元件)的互连部分。在本实施例中, 互连部分 12a 到 12d
是铜互连部分。这里, 沿着绝缘中间层 10 与各个互连部分 12a 到 12d
之间的分界面, 提供了阻挡金属层(未示出)用以阻止铜的扩散。绝
缘中间层 10 可以是氧化硅层。
25

经由阻挡金属层 40, 在绝缘中间层 10 和互连部分 12a 到 12d 上
提供绝缘中间层 20。绝缘中间层 20 可以由任何材料组成, 只要该材料
构成了一种能够接受由 CMP 工艺等进行平坦化处理的绝缘层, 具体地
30 可以是氧化硅层。绝缘中间层 20 可以具有 200 到 400nm 的厚度。扩散

阻挡层 40 用于阻止铜的扩散，而且在形成通孔栓 52c 的时候还充当蚀刻阻止层，这会在随后描述。扩散阻挡层 40 的合适材料包括 SiCN 和氮化硅薄膜 (SiN_x)。扩散阻挡层 40 可以具有 50 到 150nm 的厚度。

5 在绝缘中间层 20 上提供电容器元件 30。电容器元件 30 是 MIM 型电容器元件，并且包括位于绝缘中间层 20 上的下部电极 32、位于下部电极 32 上的电容器绝缘层 34 以及位于电容器绝缘层 34 上的上部电极 36。在平面图中，电容器绝缘层 34 和上部电极 36 的面积小于下部电极 34 的面积，并且位于下部电极 32 的一部分上。电容器绝缘层 34 和上部电极 36 所处的区域与互连部分 12a 到 12c 的至少一部分（在本实施例中为互连部分 12a 和 12b）相对。换句话说，在平面图中，该区域与互连部分 12a 到 12c 的至少一部分重叠。这里，尽管在遍及整个下部电极 32 上提供了构成电容器绝缘层 34 的绝缘层，但是仅仅插入在下部电极 32 和上部电极 36 之间的那部分绝缘层构成了电容器绝缘层 34。除了电容器绝缘层 34 以外的该绝缘层的其余部分在形成通孔栓 52b 时充当蚀刻阻止层。
10
15

下部电极 32 的合适材料包括这样的金属，诸如氮化钛 (TiN)、
20 氮化钽 (TaN) 和氮化钨 (WN)。上部电极 36 可以由与下部电极的材料相同或者不同的材料组成。电容器绝缘层 34 的合适材料包括氮化硅膜、 ZrO 、 TaO 和 ZrTaO 。电容器绝缘层 34 可以通过化学气相沉积（下文为 CVD）或者反应溅射法来形成。下部电极 32、电容器绝缘层 34 和上部电极 36 的厚度可以分别为 150 到 300nm、10 到 20nm 以及 100 到 200nm。
25

这里，在绝缘中间层 20 和电容器元件 30 之间的分界面 S1 大体上是平的。在对应于电容器绝缘层 34 的位置处，绝缘中间层 20 的下表面 S2（在绝缘中间层 10 和互连部分 12a 到 12c 的一侧）包括不平坦的部分。详细的说，如图 2 所示，互连部分 12b、12c 的表面相对于绝缘中间层 10 的表面是凹陷的，因而在相应的互连部分和绝缘中间层 10
30

5

之间产生了不平坦的形状。进一步关注每个互连部分的表面，可以理解，其外围部分从中央部分凹陷，因此在中央部分和外围部分之间产生了水平差。因此，从分界面 S1 到外围部分的距离 A、从分界面 S1 到中央部分的距离 C 以及从分界面 S1 到绝缘中间层 10 的距离 B 定义了这样的关系：B<C<A。

10

返回参考图 1，在绝缘中间层 20 上提供绝缘中间层 50（第三绝缘层）以便覆盖电容器元件 30。绝缘中间层 50 可以是氧化硅层，并且可以具有 500 到 1000nm 的厚度。绝缘中间层 50 包括埋入其中的通孔栓 52a 到 52c。通孔栓 52a 和通孔栓 52b 分别连接到上部电极 36 和下部电极 32 上。通孔栓 52c 连接到互连部分 12d。

15

在绝缘中间层 50 上，经由绝缘层 60 提供绝缘中间层 70（第四绝缘层）。绝缘中间层 70 可以是氧化硅层。绝缘中间层 70 包括埋入其中的互连部分 72a 到 72c。互连部分 72a、72b 分别连接到通孔栓 52a、52b。互连部分 72c 连接到通孔栓 52c。绝缘层 60 在形成互连部分 72a 到 72c 时充当蚀刻阻止层。与扩散阻挡层 40 类似，绝缘层 60 的合适材料包括 SiCN 和氮化硅薄膜。优选地，绝缘层 60 可以具有 50 到 200nm 的厚度。

20

在本实施例中，与互连部分 12a 到 12c 一样，通孔栓 52a 到 52c 和互连部分 72a 到 72c 由铜构成。

25

现在参考图 3A 到 3B，将描述制造这种半导体器件 1 的方法，作为制造根据本发明的半导体器件的方法的一个实施例。首先，通过 CVD 法在包括晶体管和电阻元件的半导体基片（未示出）上形成绝缘中间层 10。然后通过 CMP 法平坦化绝缘中间层 10 的上表面。当由于淀积，绝缘中间层 10 的上表面就已平整时，可以跳过这个步骤。

30

其后，进行光刻蚀法和干蚀刻工艺以形成用于互连部分 12a 到 12d

的互连部分沟槽。然后以大约 30 到 50nm 的厚度在各处形成氮化钽 (TaN) 的阻挡金属 (未示出)，然后以 50 到 200nm 的厚度淀积铜种子层，并且通过电镀工艺以 500 到 1000nm 的厚度淀积铜层。然后进行 CMP 工艺以抛光铜层直到暴露出绝缘中间层 10 的上表面。在这个阶段，
5 得到互连部分 12a 到 12d。此后，进行溅射工艺以形成扩散阻挡层 40。在完成这个工艺以后，陡峭的水平差显露在互连部分 12a 到 12c 以及形成于其上的扩散阻挡层上。参看图 7 已经描述了水平差的形成机制。

10 在扩散阻挡层 40 上，通过 CVD 工艺淀积氧化硅层 20a，其随后被制成绝缘中间层 20。一旦淀积，氧化硅层 20a 的表面包括了与扩散阻挡层 40 一样的陡峭水平差 (图 3A)。然后对氧化硅层 20a 进行 CMP 工艺用以平坦化该表面。表面平坦化处理方法并不限于 CMP 工艺，而替代地，可以将光致抗蚀剂施加到氧化硅层 20a，其后进行深蚀刻工艺
15 以除去部分光致抗蚀剂以及部分氧化硅层。

20 在具有这样被平坦化处理后的表面的绝缘中间层 20 上，通过溅射工艺对将被制成下部电极 32 的氮化钛层 32a、以及将被制成电容器绝缘层 34 的绝缘层 34a (图 3B) 进行淀积。然后进行光刻蚀法和干蚀刻工艺以将氮化钛层 32a 和绝缘层 34a 成型为希望的图案。在这个阶段，得到了下部电极 32。此后，对将被制成上部电极 36 的氮化钛层 36a (图 4A) 进行淀积，接下来使用图 4A 所示的掩模 M1 通过光刻蚀法和干蚀刻工艺将绝缘层 34a 和氮化钛层 36a 成型为希望的图案。在这个阶段，获得了电容器绝缘层 34 和上部电极 36。
25

30 然后，进行 CVD 工艺以形成绝缘中间层 50 从而覆盖电容器元件 30，接着通过 CMP 工艺对绝缘中间层 50 的表面进行平坦化处理。这里，再次进行光刻蚀法和干蚀刻工艺以形成用于通孔栓 52a、52b 和 52c 的沟槽。在通过与形成互连部分 12a 到 12d 的工艺类似的工艺形成阻挡金属、铜种子层和铜层之后，进行 CMP 工艺以对铜层抛光，直到暴露
30

出绝缘中间层 50 的表面。在这个阶段，获得了通孔栓 52a 到 52c（图 4B）。

5 然后，通过溅射工艺，在绝缘中间层 50 和通孔栓 52a 到 52c 上形成绝缘层 60。在绝缘层 60 上形成绝缘中间层 70。而且，在通过光刻蚀法和干蚀刻工艺在绝缘中间层 70 中形成互连沟槽之后，通过与形成互连部分 12a 到 12d 的工艺类似的工艺形成互连部分 72a 到 72c。因此，得到了图 1 所示的半导体器件 1。

10 前述实施例提供了以下有益的效果。在本实施例中，在绝缘中间层 20 上形成下部电极 32 之前对绝缘中间层 20 的表面进行平坦化处理。因此，在半导体器件 1 中，在绝缘中间层 20 和下部电极 32 之间的分界面 S1 大体上是平整的。因此，尽管绝缘中间层 20 的下表面 S2 包括了不平坦的部分，但是也不会因此而影响电容器元件 30。这种结构防止了电容器绝缘层的击穿电压的降低。因而，上述实施例提供了包括电容器元件 30 的半导体器件 1，该半导体器件获得了更高的成品率并且提供了更为优越的可靠性，还提供了制造这种半导体器件 1 的方法。

15

20 互连部分 12a 到 12c 的表面相对于绝缘中间层 10 的表面凹陷。因此，从分界面 S1 到相应的互连部分 12a 到 12c 的距离比从分界面 S1 到绝缘中间层 10 的距离要长。这种结构抑制了在下部电极 32 和互连部分 12a 到 12c 之间所产生的电场的量级，因而获得了绝缘中间层 20 的较高的击穿电压。为了这个目的，可以选择增加绝缘中间层 20 的厚度。但是，过度增加绝缘中间层 20 的厚度会使得通孔栓 52c 的形成复杂化，这是不希望的。相反，在上述实施例中，对分界面 S1 进行平坦化处理以使得从绝缘中间层 20 的厚度上反映出绝缘中间层 20 的下表面 S2 的不平坦形状。这种安排允许抑制电场的量级而不会使得通孔栓 25 52c 的形成工艺复杂化。

30 互连部分 12a 到 12c 是铜互连，其通过大马士革工艺形成。已经

叙述过，在大马士革工艺中，水平差易于出现在绝缘中间层 10 和互连部分 12a 到 12c 的表面上，因而，由于上述实施例保护了电容器元件 30 免于受到有可能施加在其上的水平差的影响，因此该实施例是特别有利的。

5

下部电极 32 的面积比电容器绝缘层 34 和上部电极 36 的面积大。因此，将通孔栓 52b 连接到下部电极 32 的一个区域上，其中在该区域中不存在电容器绝缘层 34 和上部电极 36，这允许从半导体器件 1 的上部方向（从绝缘中间层 70 一侧）接触下部电极 32。

10

根据本发明的半导体器件及其制造方法不限于上述实施例，而可以作出各种变型。为了引用一些实施例，可以仅淀积一个互连部分以与电容器绝缘层 34 相对，如图 5 和 6 所示。在这些图中，电容器绝缘层 34 位于分别与互连部分 12e 和互连部分 12f 相对的区域中。如图 5 所示，电容器绝缘层 34 可以与整个互连部分 12e 相对，或者如图 6 所示，可以与部分互连部分 12f 相对。这里，在图 5 中，在互连部分 72a 和互连部分 72b 之间提供了连接到除了电容器元件 30 以外的元件的互连部分 72d。

15

尽管在本实施例中由互连部分表示导体，但是导体可以是虚拟的接触栓塞，而并不限于互连。导体可以由主要包含铜并添加铝或者金的金属组成，而并不限于铜。注意，这里所提及的铜包括“主要包含铜的金属”。

20

尽管在本实施例中由氧化硅层表示第一到第四绝缘层，但是绝缘层可以是 SiOF、有机低 k 层或者无机低 k 层，或者它们的复合层，而不限于氧化硅层。

25

而且，尽管本实施例提供一种方法，该方法包括通过单大马士革工艺单独形成通孔栓（通孔栓 52a 到 52c）和互连部分（互连部分 72a

到 72c)，但是也可以采用双大马士革工艺以便同时一起形成通孔栓和互连部分。

显而易见本发明并不限于上述实施例，并且在不脱离本发明的保
5 护范围和精神的情况下可以作出修改和变化。

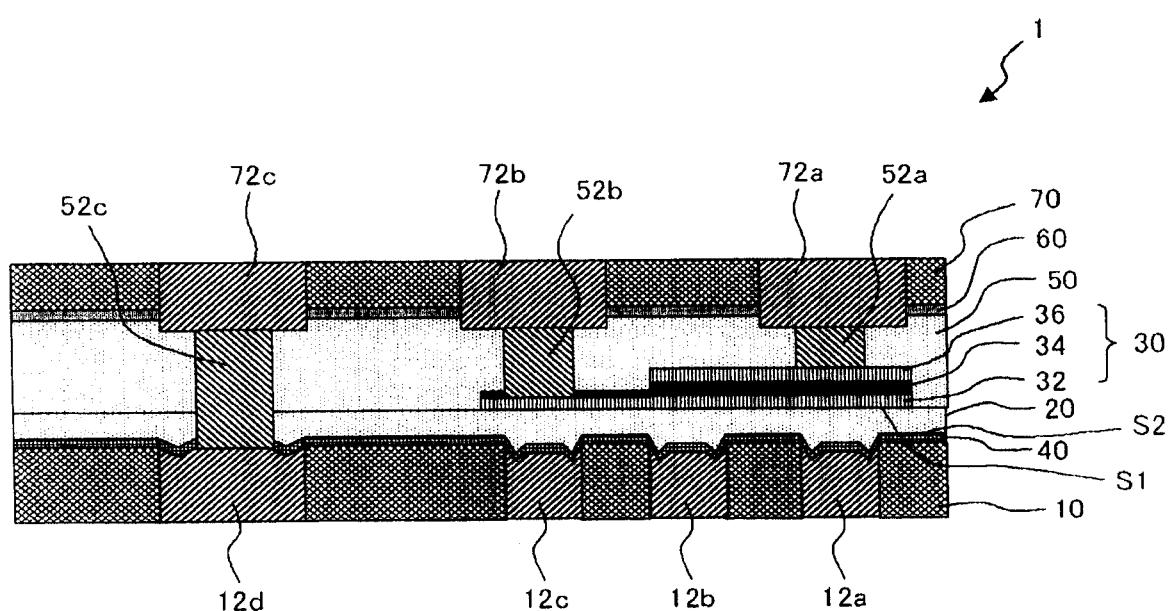


图1

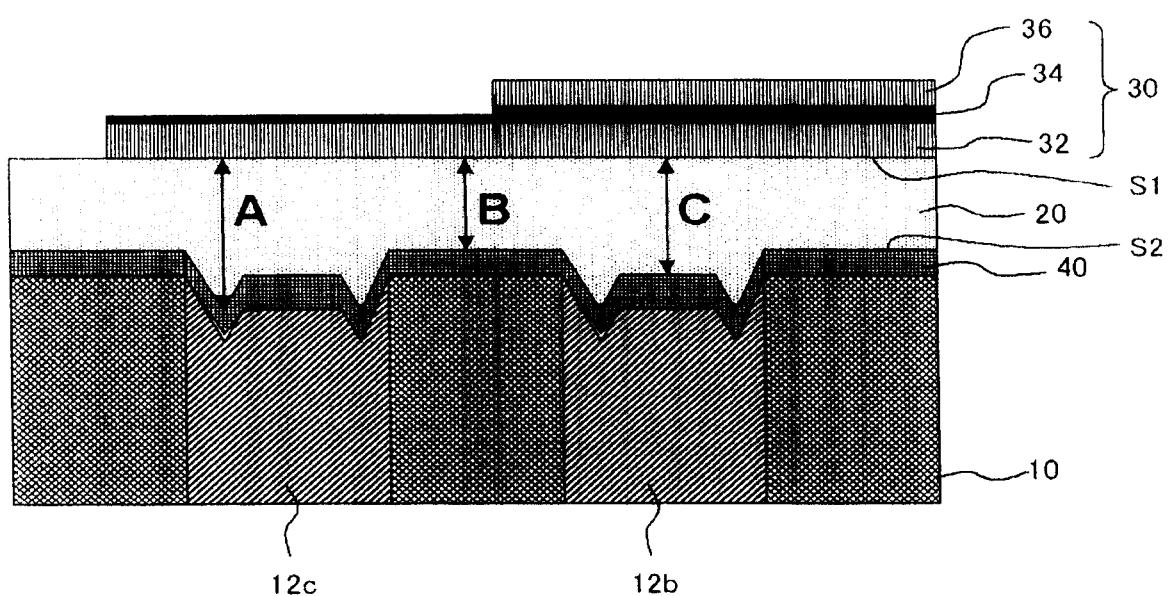


图2

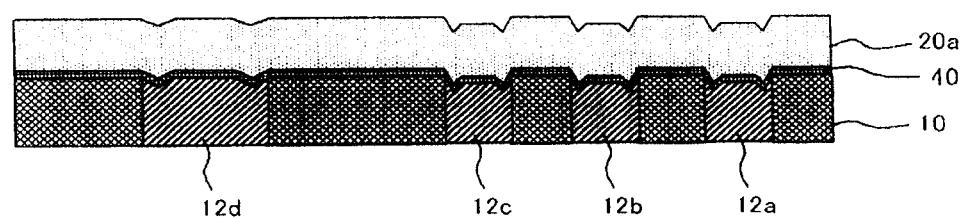


图3A

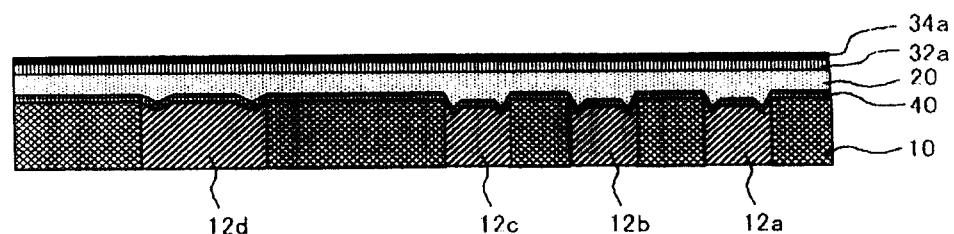


图3B

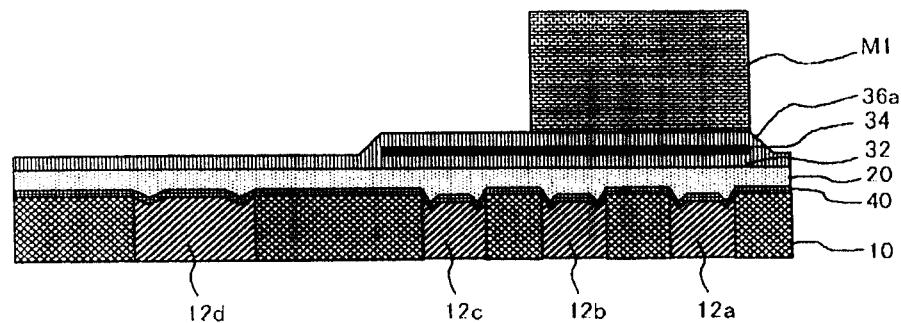


图4A

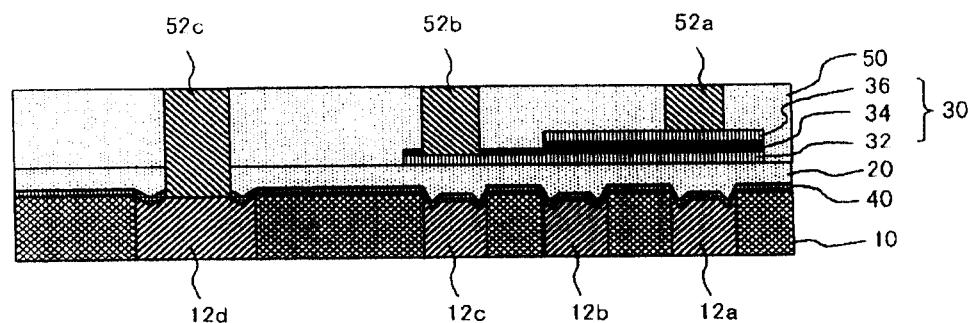


图4B

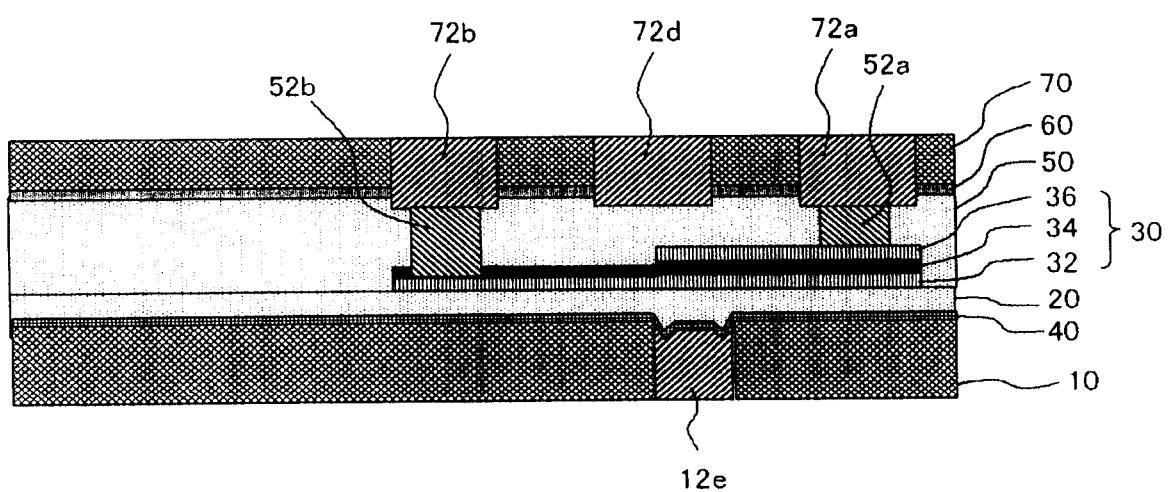


图5

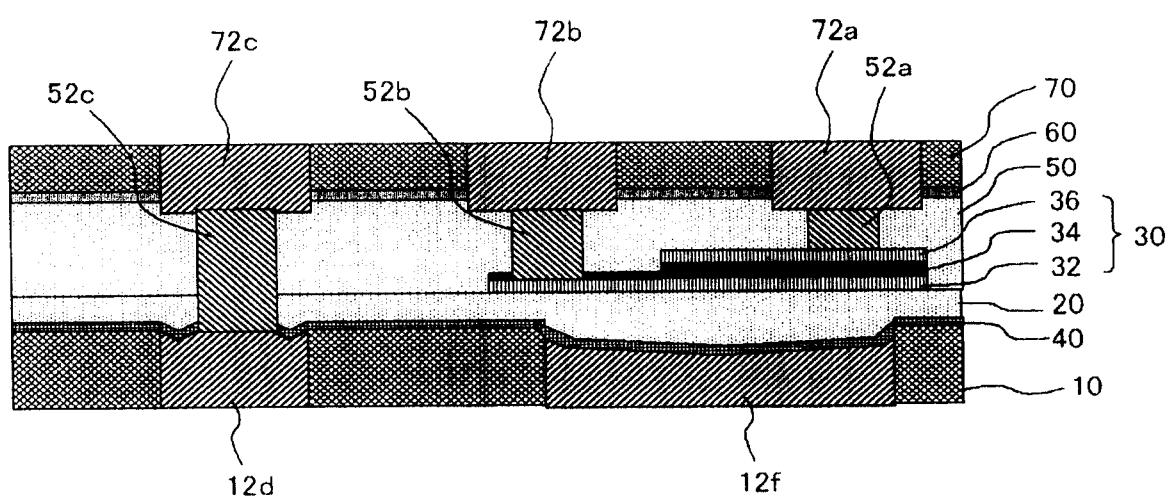


图6

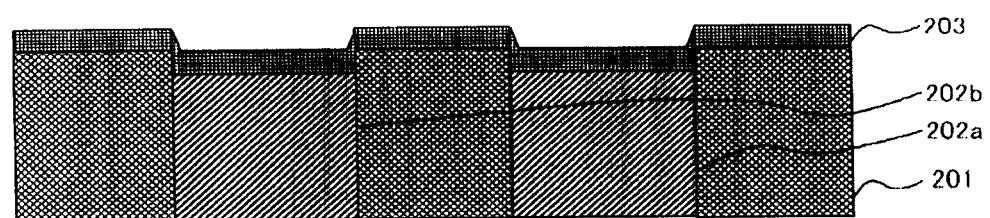


图7A

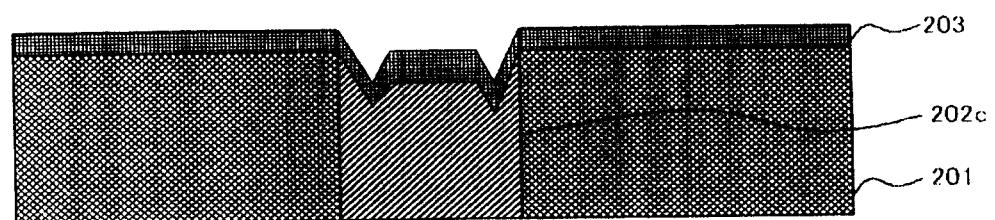


图7B

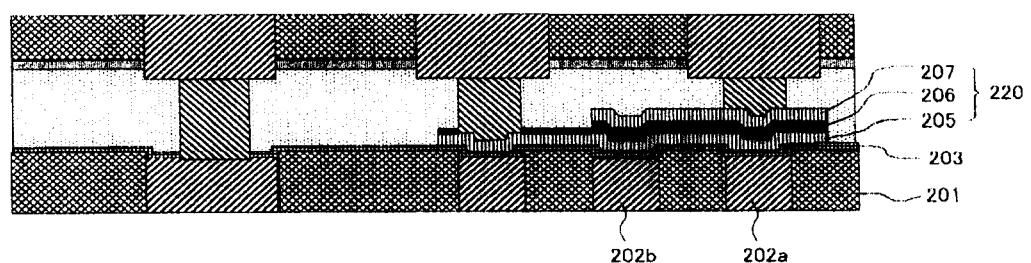


图8A

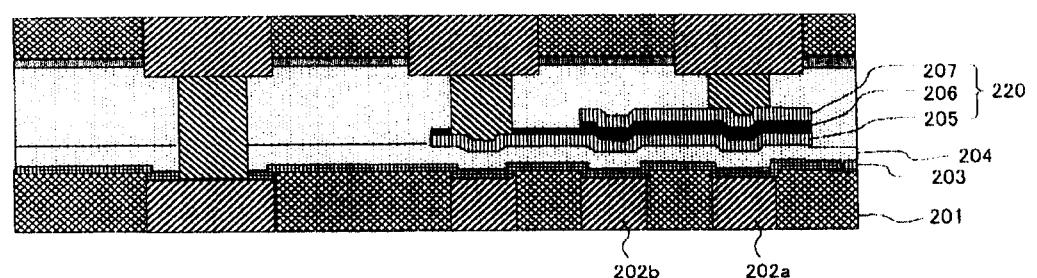


图8B

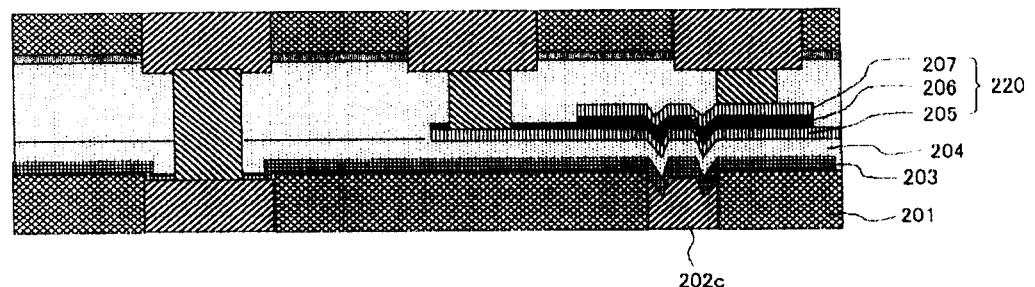


图8C