(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2005 年5 月19 日 (19.05.2005)

PCT

(10) 国際公開番号
WO 2005/045679 A1

(51) 国際特許分類[7]: G06F 12/00

(21) 国際出願番号: PCT/JP2004/010861

(22) 国際出願日: 2004 年7 月29 日 (29.07.2004)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2003-379181 2003 年11 月7 日 (07.11.2003) JP

(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１ Kyoto (JP).

(72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 黒土 勇二 (KUROTSUCHI, Yuuzi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１ ローム株式会社内 Kyoto (JP). 大平 祥広 (OHIRA, Sachihiro) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１ ローム株式会社内 Kyoto (JP).

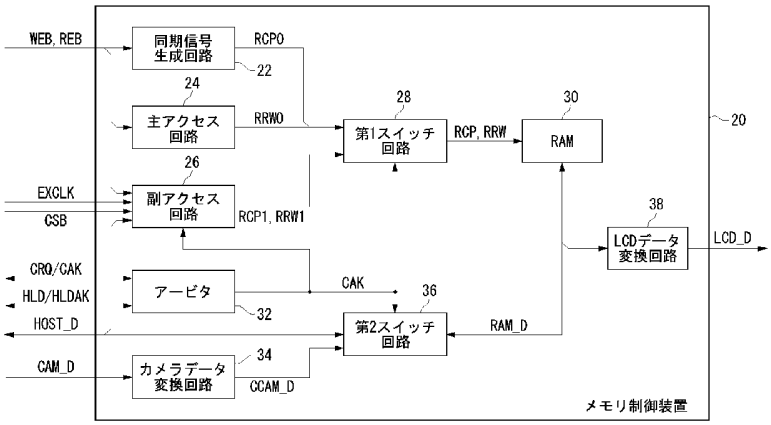
(74) 代理人: 森下 賢樹 (MORISHITA, Sakaki); 〒1500021 東京都渋谷区恵比寿西２－１１－１２ Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

[続葉有]

(54) Title: CONTROLLER OF SYNCHRONOUS MEMORY AND ELECTRONIC DEVICE

(54) 発明の名称: 同期型メモリの制御装置および電子装置



20... MEMORY CONTROLLER
22... SYNCHRONIZING SIGNAL GENERATING CIRCUIT
24... MAIN ACCESS CIRCUIT
26... SUB-ACCESS CIRCUIT
28... FIRST SWITCH CIRCUIT
32... ARBITER
34... CAMERA DATA CONVERTING CIRCUIT
36... SECOND SWITCH CIRCUIT
38··· LCD DATA CONVERTING CIRCUIT

(57) Abstract: A synchronizing signal is required for controlling a synchronous memory and a clock signal is generally employed. As a result, there is a room for improving power consumption, etc. A synchronizing signal generating circuit (22) generates a synchronizing signal for the synchronous memory from an asynchronous access signal. A main access circuit (24) generates a command satisfying a timing relation required for the synchronizing signal. A sub-access circuit (26) acts for data processing entities other than a host CPU to execute generation of the access signal. An RAM (30) is a synchronous memory. Since synchronous access signals are generated in the synchronizing signal generating circuit (22) and the sub-access circuit (26), access to the synchronous memory is ensured effectively although it appears from the outside that an asynchronous memory is under control.

[続葉有]

WO 2005/045679 A1

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約: 同期型メモリを制御するためには、同期信号が必要であり、大抵の場合クロック信号を利用した。その結果、消費電力等で改善の余地が認められた。同期信号生成回路２２は非同期型のアクセス信号から同期型メモリのための同期信号を生成する。主アクセス回路２４は、同期信号に対して必要なタイミング関係を満たすコマンドを生成する。副アクセス回路２６は、ホストＣＰＵ以外のデータ処理主体に対し、アクセス信号の生成を代行する。ＲＡＭ３０は、同期型メモリである。同期信号生成回路２２および副アクセス回路２６において、同期型のアクセス信号が生成されるため、外部からは非同期型のメモリを制御しているようにみえながら、効果的に同期型メモリへのアクセスが保証される。

明 細 書

メモリ制御装置および電子装置

技術分野

[0001] この発明は、メモリ制御装置と電子装置に関し、特に、アクセスのために同期信号を要する同期型メモリの制御装置と、その装置を利用した電子装置に関する。

背景技術

[0002] DRAM(ダイナミックランダムアクセスメモリ)は大容量化に向くため、コンピュータその他の電子装置のメインメモリとして広く利用されている。歴史的にみれば、当初、DRAMはアクセスの際にクロックその他の同期信号を必要としない非同期型が主流であったが、CPU等のアクセス主体の動作周波数の高まりとともに非同期制御が困難になり、同期型が開発され、普及している。同期型のDRAMの制御において、リードサイクルであればアクセスタイムを確保する間隔で同期信号のエッジを順次アクティブにしてやることでデータを順次読み出すことができる。ライトサイクルも同様に、同期信号の制御により、データを順次書き込むことができる。したがって、比較的多量のデータをシーケンシャルにリードライトするアプリケーション、例えばマルチメディア系の処理やCPUが利用する大規模なプログラムの実行の高速化にとって、同期型のDRAMは非常に有用である。なお、特許文献1、2には、デュアルポートメモリを利用してデータ転送を改善する提案がなされている。

特許文献1:特開平1−61133号公報

特許文献2:特開昭63−302654号公報

発明の開示

発明が解決しようとする課題

[0003] 同期型のDRAMをはじめとする同期型メモリ(以下単に「同期型メモリ」と総称する)はアクセス高速化を容易にするものであるが、その反面、同期信号のもととなるクロック信号が必要になる。アクセスを高速化するためには、より高い周波数のクロック信号がいる。高速なクロック信号の利用は、消費電力の増加、不要輻射ノイズの増加、配線引き回しの困難、レーシングによる誤動作回避の困難など、概して好ましくない効

果を伴う。

[0004] 本発明はこうした課題に鑑みてなされたものであり、その目的は、クロック信号を用いないか、または最低限の利用にとどめつつ同期型メモリを制御することの可能なメモリ制御装置およびその装置を用いた電子装置を提供することにある。

課題を解決するための手段

[0005] 本発明のメモリ制御装置は、アクセスのために同期信号を要しない非同期型メモリ(以下単に「非同期型メモリ」という)を想定するアクセス主体から出力される非同期型アクセス信号を入力し、当該非同期型アクセス信号の変化点をもとに、アクセスのために同期信号を要する同期型メモリのための同期信号を生成する同期信号生成回路と、生成した同期信号に対して、前記同期型メモリが必要とするタイミング条件を満たすよう前記非同期型アクセス信号を加工して同期型アクセス信号を生成する主アクセス回路とを有する。

[0006] 「アクセス主体」は例えばホストCPUであり、別の観点では、非同期型アクセス信号を単に固定的なレベル信号、すなわちレジスタで切り換えるなどしない限り「1」または「0」を保持する信号としてでなく、コマンド信号のように所定のタイミングで自ら変化する信号を生成する回路である。そのタイミングを利用すれば、同期信号の生成が比較的容易になる。以上の構成によれば、非同期型アクセス信号から同期信号が生成されるため、クロック信号が不要となり、前述の課題を解決できる。なお、クロック信号を利用しない場合、アクセスサイクルがクロックの周期の整数倍である必要がなく、アクセスサイクルを必要最小限の長さにすることも可能になる。

[0007] このメモリ制御装置はさらに、前記のアクセス主体とは異なるデータ処理主体のために、同期型メモリに対するアクセス権を獲得するアービタ回路と、そのデータ処理主体のために同期型メモリに対するアクセス信号を生成する副アクセス回路とを備えてもよい。また、この副アクセス回路は、クロック信号を利用して同期型メモリに対するアクセス信号を生成してもよい。

[0008] 「データ処理主体」は、インテリジェントな主体ではなく、単にデータの授受がなされる機能ユニットのようなものでもよい。その場合、その機能ユニットは非同期型アクセス信号を自ら生成できなかったり、できても、単に固定的なレベル信号として出力する

程度であったりする。その場合、同期信号を生成するためのタイミングの契機が存在しないため、このときに限り、クロック信号を利用してもよい。いずれにしても、この構成によれば、データ処理主体のために同期型メモリへのアクセスを実施できるので、同期型メモリの用途を広げるとともに、ユーザの利便性が高まる。

[0009] 前記の同期信号生成回路は、リードサイクルにおいては、前記変化点から比較的短い時間をおいて有効な同期エッジが発生するよう同期信号を生成し、ライトサイクルにおいては、前記変化点から比較的長い時間をおいて有効な同期エッジが発生するよう同期信号を生成してもよい。同期型メモリにおいては、同期エッジの発生タイミングでリードまたはライト動作が確定することが多い。この構成では、リード動作の確定が早くなるため、リードサイクルを短くすることができる。一方、ライト動作の確定を遅らせることができるため、ライトデータのセットアップタイムを長くとることができる。

[0010] 本発明の別の態様は、電子装置に関する。この電子装置は、ホストCPUと、メモリ制御装置と、撮像ユニットと、表示ユニットとを備え、前記メモリ制御装置は、アクセスのために同期信号を要する同期型メモリと、前記ホストCPUから非同期型アクセス信号を入力し、当該非同期型アクセス信号から前記同期信号を生成することにより、前記同期型メモリが必要とする同期型アクセス信号を生成する回路と、前記撮像ユニットにて取得された画像データを入力してこれを前記同期型メモリへ書き込む回路と、前記同期型メモリからデータを読み出し、前記表示ユニットへ表示せしめる回路とを備える。

[0011] この構成によれば、メモリ制御装置に関する前述の利点を享受でき、また、同期型メモリの用途の多様化に寄与する。この電子装置は、撮像ユニットを有する、例えば携帯機器のような実装スペースや消費電力上の要請が厳しい用途に好都合である。

発明の効果

[0012] 本発明のメモリ制御回路によれば、消費電力その他の面で有利である。また、本発明の電子装置によれば、そのメリットを電子装置として享受できる。

図面の簡単な説明

[0013] [図1]実施の形態に係る携帯型電子装置の全体構成を示す図である。

[図2]実施の形態に係るメモリ制御装置の内部構成を示す図である。

[図3]メモリ制御装置の同期信号生成回路の内部構成を示す図である。

[図4]メモリ制御装置の主アクセス回路の内部構成を示す図である。

[図5]メモリ制御装置のアービタの内部構成を示す図である。

[図6]メモリ制御装置の副アクセス回路の内部構成を示す図である。

[図7]実施の形態に係るメモリ制御装置の動作を示すタイミングチャートである。

[図8]実施の形態に係るメモリ制御装置の動作を示すタイミングチャートである。

符号の説明

[0014] 20 メモリ制御装置、 22 同期信号生成回路、 24 主アクセス回路、 26 副アクセス回路、 30 RAM、 32 アービタ、 100 携帯型電子装置。

発明を実施するための最良の形態

[0015] 図1は実施の形態に係る携帯型電子装置100の全体構成を示す。携帯型電子装置100はホストCPU12、カメラモジュール14、LCDユニット16、メモリ制御装置20を備え、メモリ制御装置20がホストCPU12、カメラモジュール14、LCDユニット16のために、メモリ制御装置20の内蔵するメモリ(図示せず)に対するアクセスを制御する。カメラモジュール14は、図示しないCCDを備え、撮像によって得られたデータを適宜メモリ制御装置20のメモリへ格納する。メモリ制御装置20は、そのためのメモリライト制御を実行する。LCDユニット16は、メモリ制御装置20のメモリから読み出され、必要な変換が加えられたデータを順次表示する。

[0016] この構成において、ホストCPU12は自らメモリアクセスのための信号を生成するが、その信号は非同期型メモリを想定するものとし、したがって、クロック信号などの同期信号は発生しないとする。一方、メモリ制御装置20が内蔵するメモリは同期型メモリとし、そのアクセスのためには当然同期信号を必要とする。従って、メモリ制御装置20は非同期型アクセス信号を同期型のアクセス信号へ変換するブリッジ機能を備える。またそのブリッジ機能は、後述する如く、ホストCPU12からのアクセスに対して、外部からクロック信号の入力を必要としない。より具体的には、クロック信号に代えて、ホストCPU12が生成する非同期型アクセス信号のエッジを利用して同期信号を内部的に発生する。

[0017] カメラモジュール14は、撮像によって得られたデータを順次メモリ制御装置20のメ

モリへ転送する。しかし、カメラモジュール14はホストCPU12のようにインテリジェントな構成ではなく、メモリへアクセスするための信号を自ら生成することはない。このため、メモリ制御装置20はカメラモジュール14からのデータを受け入れるべく、カメラモジュール14に代わってアクセス信号を生成する。その際、ホストCPU12からのアクセスとカメラモジュール14からのデータの受け入れが競合しないよう、メモリ制御装置20はアービタ機能を有する。

[0018] LCDユニット16は、メモリ制御装置20のメモリから変換された表示用データを順次表示する。しかし、LCDユニット16もインテリジェントな構成ではなく、メモリへのアクセス信号を自ら生成することはない。そのため、メモリ制御装置20はLCDユニット16に対してもアクセス信号の生成を代行する。以上、この携帯型電子装置100によれば、メモリ制御装置20が同期型メモリを内蔵し、この同期型メモリにアクセスするホストCPU12、カメラモジュール14およびLCDユニット16に対して効果的なメモリ制御を実施するため、コンパクトな構成でありながら、メモリの利用効率を高めることができる。また、少なくともホストCPU12からの非同期型アクセス信号を同期型アクセス信号へ変換するためにクロック信号を必要としないため、ホストCPU12からのアクセスサイクルがクロック信号の周期に拘束されず、ホストCPU12およびメモリ制御装置20の内蔵するメモリの性能を最大限に発揮することができる。なお、カメラモジュール14からのデータ転送については、カメラモジュール14が非同期型のアクセス信号すら発生しないため、メモリ制御装置20において同期信号を生成すべく、本実施の形態では、外部からのクロック信号を利用する。

[0019] 図2は、メモリ制御装置20の詳細な内部構成を示す。ここでまず、同図に現れる信号名を説明する。以下の信号名において、末尾にBがつくものは、アクティブローの信号であり、Bがつかない信号はアクティブハイの信号である。

WEB: ホストCPU12からの非同期のメモリライト信号。

REB: ホストCPU12からの非同期のメモリリード信号。

EXCLK: 外部からのクロック信号入力。

CSB: 副アクセス回路26にコマンドを書き込むためのチップセレクト信号。

CRQ／CAK: CRQはカメラモジュール14からのデータをメモリへ転送するため

にカメラモジュール14から出されるバス要求信号で、CAKはそのバス要求に対する許可信号。

[0020] HLD／HLDAK： HLDはカメラモジュール14からのデータ転送中、ホストCPU12をホールドさせるための要求信号で、HLDAKはその要求信号に対してホストCPU12が実際にホールドされたときアクティブになる信号。

HOST__D： ホストCPU12のデータバス。

CAM__D： カメラモジュール14から転送されるデータのデータバス。

RCP0： ホストCPU12からのアクセスのために生成された同期信号。

RRW0： ホストCPU12からのアクセスのためにRCP0に対して必要なタイミング関係を示すリードまたはライト信号。

RCP1： カメラモジュール14からのデータのアクセスの際に必要となる同期信号。

RRW1： カメラモジュール14からのアクセスの際に必要となるリードまたはライト信号で、RCP1と所定のタイミング関係を満たす信号。

[0021] CCAM__D： CAM__Dに対して所定の処理がなされたデータ信号。

RCP： 同期型メモリ（以下単に「RAM」ともいう）のアクセスに必要な同期信号。

RRW： RAMのアクセスに必要なリードまたはライト信号。

RAM__D： RAMのデータバス。

LCD__D： LCDに出力すべき表示データのバス。

[0022] 以上が信号の概要であり、以下信号名をこれらのアルファベットで略記する。なお、RAMに対するアクセスは、ホストCPU12以外にカメラモジュール14だけでなく、LCDユニット16へのデータ出力の際にも発生する。しかしながら、LCDユニット16のための処理は、カメラモジュール14のためのアクセス信号の生成と概略同様であるため、以下RAMへのアクセスはホストCPU12およびカメラモジュール14の2つの主体からなされるものとして説明を簡略化する。

[0023] メモリ制御装置20の同期信号生成回路22は、WEBおよびREBを入力し、これらの非同期型アクセス信号のエッジタイミングをもとに、RCP0を生成する。主アクセス回路24は、WEBを入力し、RRW0を生成する。同期信号生成回路22および主アク

セス回路24が、ホストCPU12のための信号変換回路である。

[0024] 副アクセス回路26は、EXCLK、CAKを入力し、これらの信号からRCP1およびRRW1を生成する。なお、カメラモジュール14は自らアクセス信号を生成することができないため、副アクセス回路26は既知のDMAC(ダイレクトメモリアクセスコントローラ)として機能する。そのため、DMACにリード、ライトなどのコマンドや転送バイト数を設定するために、副アクセス回路26をデバイスとしてセレクトするためにCSB、HOST_DおよびWEBが入力されている。但し、DMACの機能自体は既知であるため、以下の説明では適宜省略する。

[0025] アービタ32は、RAMに対するアクセス主体をホストCPU12とカメラモジュール14の間で切り替えるための調停回路である。アービタ32は、CRQが入力されたとき、ホストCPU12に対してHLDを出力し、ホストCPU12からHLDAKが戻されたとき、CAKをアクティブにする。CAKは、副アクセス回路26、第1スイッチ回路28および第2スイッチ回路36へ入力される。カメラデータ変換回路34は、カメラモジュール14から入力された撮像データに必要な色変換等の処理を施し、変換後のデータを第2スイッチ回路36へ出力する。

[0026] 第1スイッチ回路28は、RAMに対するアクセス主体がホストCPU12であるときは、RCP0をRCPとして出力し、RAMに対するアクセス主体がカメラモジュール14であるときは、RCP1をRCPとして出力する。同様に、RRW0およびRRW1の一方を選択してRRWとして出力する。CAKがロー、すなわちインアクティブのとき、RCP0およびRRW0がそれぞれRCPおよびRRWとして出力される。CAKがアクティブのときは逆に、RCP1およびRRW1がそれぞれRCPおよびRRWとして出力される。

[0027] 第2スイッチ回路36は、CAKがインアクティブのときはHOST_DとRAM_Dのバスを接続し、一方、CAKがアクティブのときはCCAM_DのバスとRAM_Dのバスを接続する。以上、第1スイッチ回路28および第2スイッチ回路36は、それぞれRAMに対するアクセス主体によってコマンド系列およびバス系列の切替を行う。

[0028] RAM30は、RCPの立ち上がりエッジにおいて、RRWをサンプリングし、RRWがハイのときはリード動作、一方ローのときはライト動作を実行する。LCDデータ変換回路38は、適宜RAM30から読み出されたデータを表示用のデータへ変換し、LCD_D

としてLCDユニット16へ出力する。

[0029] 図3は、同期信号生成回路22の内部構成を示す。REBはオアゲート50の一方の入力へ接続され、また遅延ゲート52へ入力される。遅延ゲート52の出力はインバータ54へ入力され、インバータ54の出力はオアゲート50の他方の入力へ接続される。オアゲート50の出力はアンドゲート56の一方の入力へ接続され、WEBはアンドゲート56の他方の入力へ接続される。アンドゲート56の出力はRCP0となる。この構成により、同期信号生成回路22はWEBがアクティブになったときはその信号をそのままRCPへ出力する。一方、REBがアクティブになったときは、RCP0が一定期間だけローになるようなパルスを生成する。RCP0の立ち上がりエッジが同期信号として意味のあるエッジであり、従ってWEBがアクティブになったときは、同期信号は比較的遅いタイミングでアクティブになる。一方、REBがアクティブになったときは、同期信号は比較的早いタイミングでアクティブになる。その結果、リードサイクルにおいては、リード動作の確定が早くなるため、リードサイクル全体を短くする効果がある。

[0030] 図4は、主アクセス回路24の内部構成を示す。WEBは遅延ゲート60へ入力され、遅延ゲート60の出力がRRW0となる。この構成によれば、WEBを遅らせることによってRRW0が生成されるため、RCP0の立ち上がりエッジに対してRRW0のホールドタイムを確保することができる。

[0031] 図5は、アービタ32の内部構成を示す。CRQはフリップフロップ70のクロック入力へ接続される。このフリップフロップ70のデータ入力はプルアップされる。同じくリセットは後述の第1のアンドゲート76の出力へ接続される。フリップフロップ70の出力がHLDとなる。

[0032] 2番目のフリップフロップ72についても、データ入力はプルアップされる。また、リセットは第1のアンドゲート76の出力へ接続される。このフリップフロップ72はネガティブトリガタイプで、そのクロック入力はCAKである。フリップフロップ72の反転出力は遅延ゲート74を経て第1のアンドゲート76の一方の入力へ接続される。第1のアンドゲート76の他方の入力はシステムリセット信号であるRSTBを入力する。以上の構成により、1番目のフリップフロップ70と2番目のフリップフロップ72は、初期化の際、RSTBによってリセットされ、通常はHLDがローになる。しかし、CRQがハイになると、HL

Dがハイになる。CAKがハイからローへ変化すると、第2のフリップフロップ72が反応し、その反転出力がローになり、この信号が遅延ゲート74および第1のアンドゲート76を経て第2のフリップフロップ72自身をリセットする。その結果第1のフリップフロップ70もリセットされ、HLDがローに戻る。すなわち、第2のフリップフロップ72はいわゆる自己リセットパルスを生成するために存在する。

[0033] 第3のフリップフロップ80は第1のフリップフロップ70と同じ構成であるが、そのクロック入力はHLDAKであり出力はCAKである。第4のフリップフロップ82は第2のフリップフロップ72と同じ構成であるが、その反転クロック入力はCRQである。以上の構成により、CRQがアクティブになると速やかにHLDがアクティブになり、それに応答してHLDAKがアクティブになると速やかにCAKがアクティブになる。これによりRAMのアクセス主体がカメラモジュール14へ切り替わる。逆に、カメラモジュール14のデータ転送が終了すると、まずCRQがインアクティブになり、これを受けてCAKが速やかにインアクティブになり続いてHLDがインアクティブになる。その結果、HLDAKがインアクティブになり、アクセス主体がホストCPU12へ戻る。

[0034] 図6は、副アクセス回路26の内部構成を示す。CAKとEXCLKはアンドゲート90へ入力され、アンドゲート90の出力がRCP1となる。フリップフロップ94のデータ入力にはHOST__D0、すなわちHOSTからのデータの最下位ビットが入力される。フリップフロップ94のクロック入力はオアゲート92の出力である。オアゲート92の入力はWEBおよびCSBである。フリップフロップ94のリセット入力にはRSTBが接続され、フリップフロップ94の出力がRRW1になる。従って、RCP1はCAKがアクティブになっている間、EXCLKがそのまま現れる。一方、フリップフロップ94はカメラモジュール14によるデータの転送がリードであるかライトであるかをレジスタによって設定する。オアゲート92は、このレジスタへの書き込みを実現する。図6の場合、フリップフロップ94に「1」が書き込まれれば転送がリード、「0」が書き込まれれば転送がライトとなる。

[0035] 以上の構成による動作を説明する。図7は、アクセス主体がホストCPU12であるときのメモリアクセスのタイミングチャートである。ここでは、カメラモジュール14からのアクセス要求が発生せず、CRQ、HLD、HLDAKおよびCAKがいずれもローのままとなっている。この状態で、まずホストCPU12がRAMに対する書き込みを要求する。

すなわち時刻t0においてWEBがハイからローへ変化する。その結果、RCPがハイからローへ変化する。一方、RRWはWEBから遅延してローになる。ホストCPU12から出力されたライトデータはHOST__Dおよび第2スイッチ回路36を経てRAM__Dへ現れる。RAM30に対する書き込みはWEBがローからハイへ変化する時刻t1で行われる。より正確には、時刻t1においてWEBがローからハイへ変化し、これを受けてRCPがローからハイへ変化する。RAM30に対する書き込みはこの瞬間にRAM__Dへ現れていたデータによって実現される。その際、このサイクルがライトサイクルであることが時刻t1においてRRWがローであること(図中点P)で確定する。

[0036] 次に、ホストCPU12によるリードアクセスを説明する。ホストCPU12は、時刻t2においてRAM30に対するリードアクセスを開始する。すなわち時刻t2でREBハイからローへ変化する。これを受けて、RCPに短いローパルスが現れる。ローパルスが終了する時刻t3において、RRWがサンプリングされ(図中Q)、このサイクルがリードサイクルであることが確定する。その結果時刻t3から所定のアクセスタイムを経てRAM30からリードデータが出力される。このリードデータのホストCPU12によるサンプリングは時刻t4で行われる。以上が、ホストCPU12によるRAM30へのリードおよびライトアクセスである。この図からわかる通り、ホストCPU12は非同期型アクセス信号を生成するだけであるにもかかわらず、メモリ制御装置20の作用により同期型メモリであるRAM30へのアクセスが実現する。

[0037] 図8は、カメラモジュール14からRAM30へのアクセスの動作を示すタイミングチャートである。まずRSTBが初期化の際にローアクティブとなり、初期化が終わるとハイに戻る。これにより、アービタ32および副アクセス回路26の回路が初期化される。次に、時刻t0においてカメラモジュール14からのアクセス要求が発生する。このためCRQが時刻t0でローからハイへ変化し、これを受けてHLDがローからハイへ変化する。HLDはホストCPU12へ出力され、ホストCPU12がこれを受けてHLDAKを時刻t1でローからハイへ変化させる。これを受けてCAKがローからハイへ変化する。以上の一連のプロセスにより、CAKがアクティブになるため、メモリアクセス主体がホストCPU12からカメラモジュール14へ移行する。

[0038] CAKがハイになることにより、RCPにEXCLKが現れる。その結果、RCPが時刻t2

においてローからハイへ変化し、これが同期信号のエッジとして機能する。このとき図8ではRRWがハイであるから時刻t2においてこのサイクルがリードサイクルであると確定する(図中点P)。そのためRAM30から出力されたリードデータが時刻t2から所定のアクセス時間を経てRAM_D上で確定する。同様に時刻t3およびt4においてRCPが立ち上がりエッジを形成するため、これらの点でリードサイクルが確定し(図中点QおよびR)、所定のアクセスタイムを経てリードデータが確定している。カメラモジュール14からのデータのアクセスが終了したとき、CRQが時刻t5においてハイからローへ変化し、これに応じてCAKがハイからローへ変化し、その結果HLDがハイからローへ変化する。そののち、ホストCPU12が時刻t6においてHLDAKをハイからローへ変化させ、アクセス主体がホストCPU12へ戻っている。

[0039] 以上、本発明を実施の形態をもとに説明した。なお、実施の形態は例示に過ぎず、様々な応用例や変形例が存在することは当業者には理解されるところである。以下そうした変形例を挙げる。

[0040] 実施の形態では、副アクセス回路26で利用するクロック信号を外部から入力した。しかし、このクロック信号はメモリ制御装置20内部で例えばリングオシレータなどによって発生させることもできる。その場合、当然ながら外部からのクロック信号の入力が不要となる。

[0041] 実施の形態では、副アクセス回路26において、CAKとEXCLKを単純にアンドしてRCP1を生成した。しかしながら、CAKとEXCLKのタイミング関係によっては、RCP1に無用なパルスが発生しうる。その場合、CAKを一旦フリップフロップなどで受け、EXCLKの立ち上がりまたは立ち下がりエッジによって同期化し、同期化後のCLKを用いてRCP1を生成すればよい。

[0042] 実施の形態では、アクセス主体をホストCPU12、カメラモジュール14およびLCDユニット16とした。しかしながら、これらは例示に過ぎず、これら以外の色々なアクセス主体またはデータ処理主体を想定することができる。たとえば、各種マルチメディア機能ブロックや、DSPその他の回路または装置が考えられる。

[0043] 実施の形態では、RAM30としてDRAMを想定したが、当然これは任意の同期型メモリであってもよく、たとえばSRAMであってもよい。

[0044] 実施の形態では、ホストCPU12からバス使用権を取得するために、ホストCPU12をホールドさせる構成とした。しかし、これ以外にもホストCPU12をウエイトさせるなど、いろいろな実現方法がある。

産業上の利用可能性

[0045] 本発明はメモリ制御回路に利用できる。また、それを用いた電子装置に利用できる。

請求の範囲

[1] アクセスのために同期信号を要しない非同期型メモリを想定するアクセス主体から出力される非同期型アクセス信号を入力し、当該非同期型アクセス信号の変化点をもとに、アクセスのために同期信号を要する同期型メモリのための同期信号を生成する同期信号生成回路と、

生成した同期信号に対して、前記同期型メモリが必要とするタイミング条件を満たすよう前記非同期型アクセス信号を加工して同期型アクセス信号を生成する主アクセス回路と、

を有することを特徴とするメモリ制御装置。

[2] 請求項1に記載のメモリ制御装置において、

前記アクセス主体とは異なるデータ処理主体のために、前記同期型メモリに対するアクセス権を獲得するアービタ回路と、

前記データ処理主体のために前記同期型メモリに対するアクセス信号を生成する副アクセス回路と、

をさらに備えることを特徴とするメモリ制御装置。

[3] 請求項2に記載のメモリ制御装置において、前記副アクセス回路は、クロック信号を利用して前記同期型メモリに対するアクセス信号を生成することを特徴とするメモリ制御装置。

[4] 請求項1ー3のいずれかに記載のメモリ制御装置において、

前記同期信号生成回路は、リードサイクルにおいては、前記変化点から比較的短い時間をおいて有効な同期エッジが発生するよう同期信号を生成し、ライトサイクルにおいては、前記変化点から比較的長い時間をおいて有効な同期エッジが発生するよう同期信号を生成することを特徴とするメモリ制御装置。

[5] ホストCPUと、メモリ制御装置と、撮像ユニットと、表示ユニットとを備え、

前記メモリ制御装置は、

アクセスのために同期信号を要する同期型メモリと、

前記ホストCPUから非同期型アクセス信号を入力し、当該非同期型アクセス信号から前記同期信号を生成することにより、前記同期型メモリが必要とする同期型アク

セス信号を生成する回路と、

前記撮像ユニットにて取得された画像データを入力してこれを前記同期型メモリへ書き込む回路と、

前記同期型メモリからデータを読み出し、前記表示ユニットへ表示せしめる回路と、

を備えることを特徴とする電子装置。

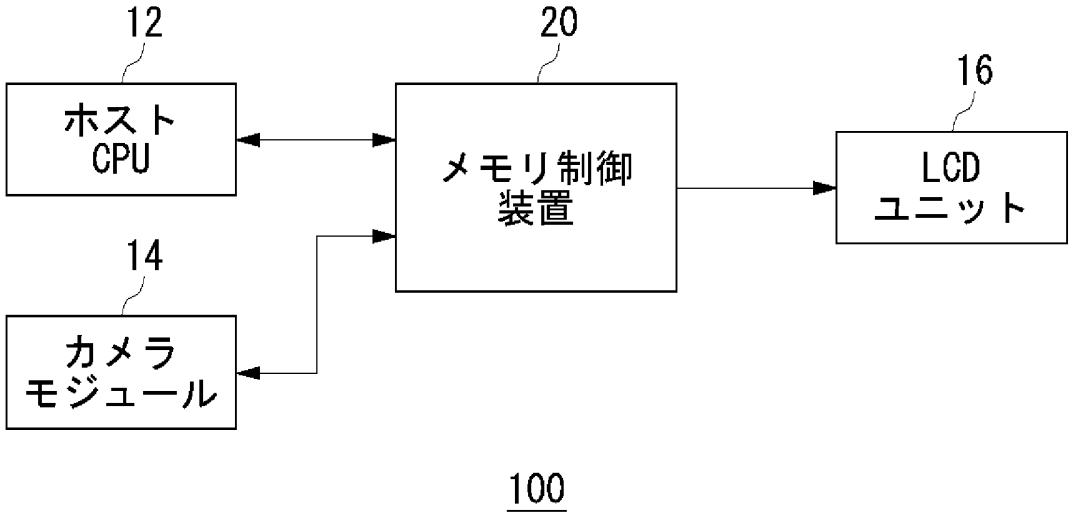
[6] 請求項5に記載の電子装置において、前記メモリ制御装置はさらに、前記ホストCPUと前記撮像ユニットとの間でバス使用権を調停するアービタを備えることを特徴とする電子装置。

[7] 請求項5に記載の電子装置において、前記メモリ制御装置はさらに、前記ホストCPUと前記表示ユニットとの間でバス使用権を調停するアービタを備えることを特徴とする電子装置。

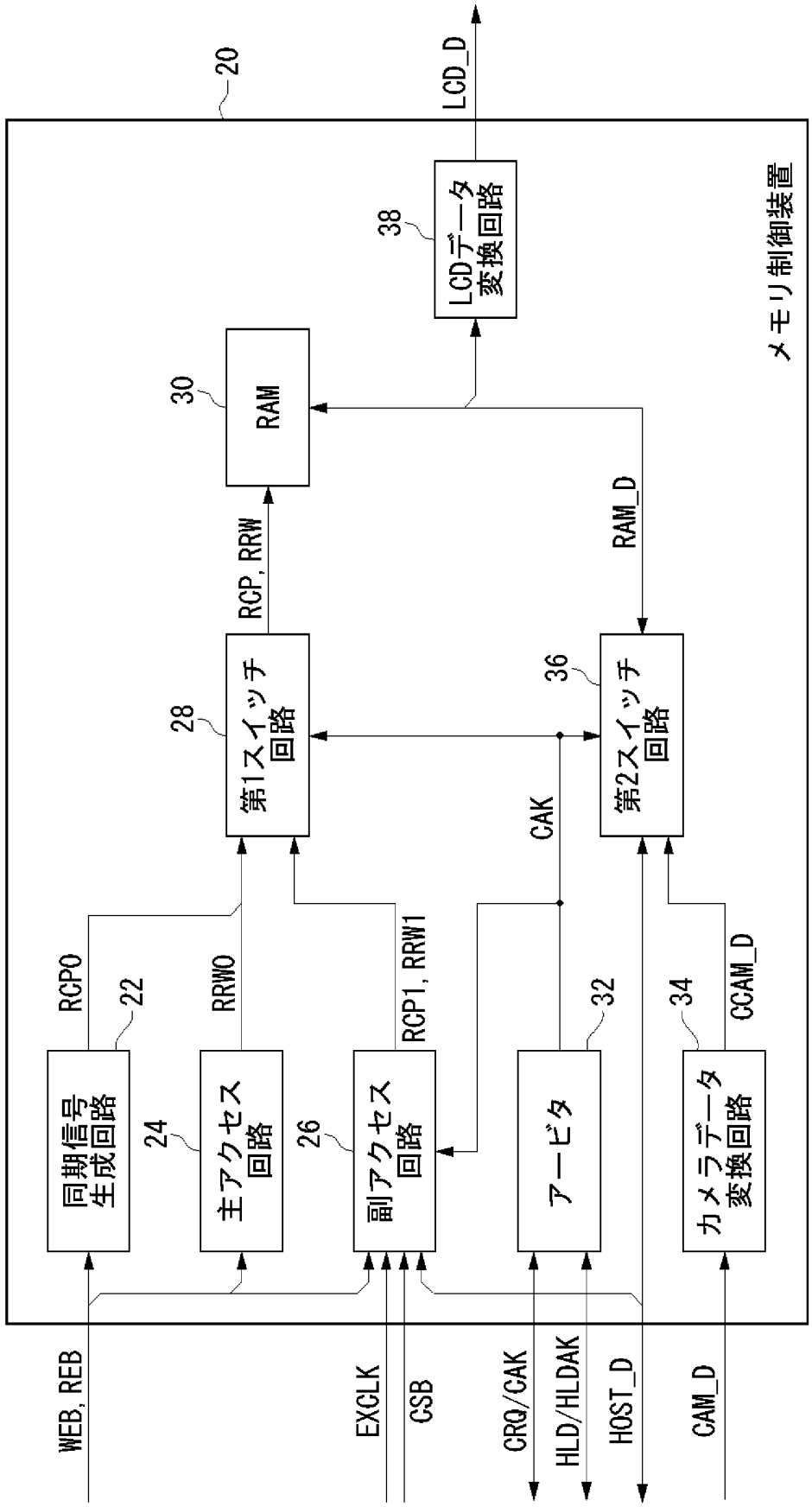
[8] 請求項5に記載の電子装置において、前記撮像ユニットは自らバス使用権を獲得せず、前記メモリ制御装置にバス使用権の獲得を委託することを特徴とする電子装置。

[9] 請求項5に記載の電子装置において、前記表示ユニットは自らバス使用権を獲得せず、前記メモリ制御装置にバス使用権の獲得を委託することを特徴とする電子装置。

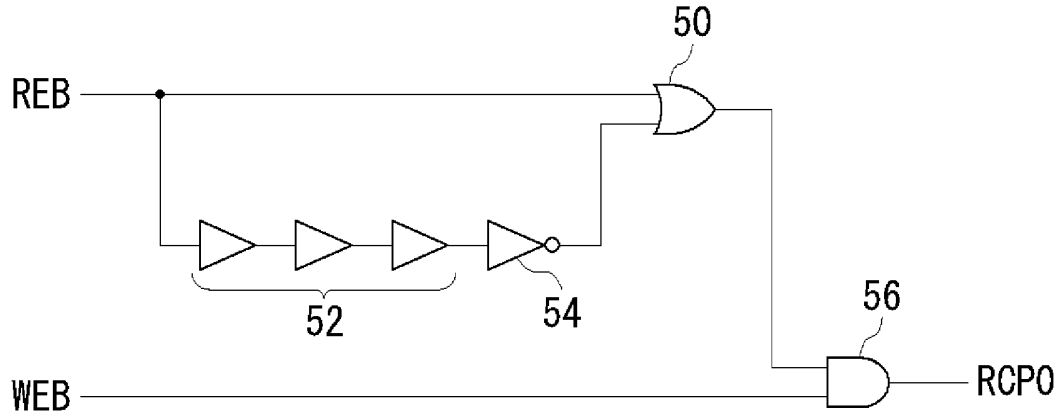
[図1]



[図2]

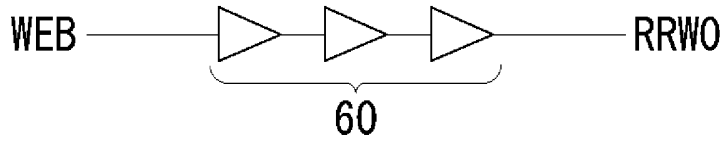

20
LCD_D
メモリ制御装置
38
LCDデータ変換回路
30
RAM
RCP, RRW
RAM_D
28
第1スイッチ回路
36
第2スイッチ回路
CAK
RCP0
22
RRW0
RCP1, RRW1
32
34
CCAM_D
同期信号生成回路
24
主アクセス回路
26
副アクセス回路
アービタ
カメラデータ変換回路
WEB, REB
EXCLK
CSB
CRQ/CAK
HLD/HLDAK
HOST_D
CAM_D

[図3]



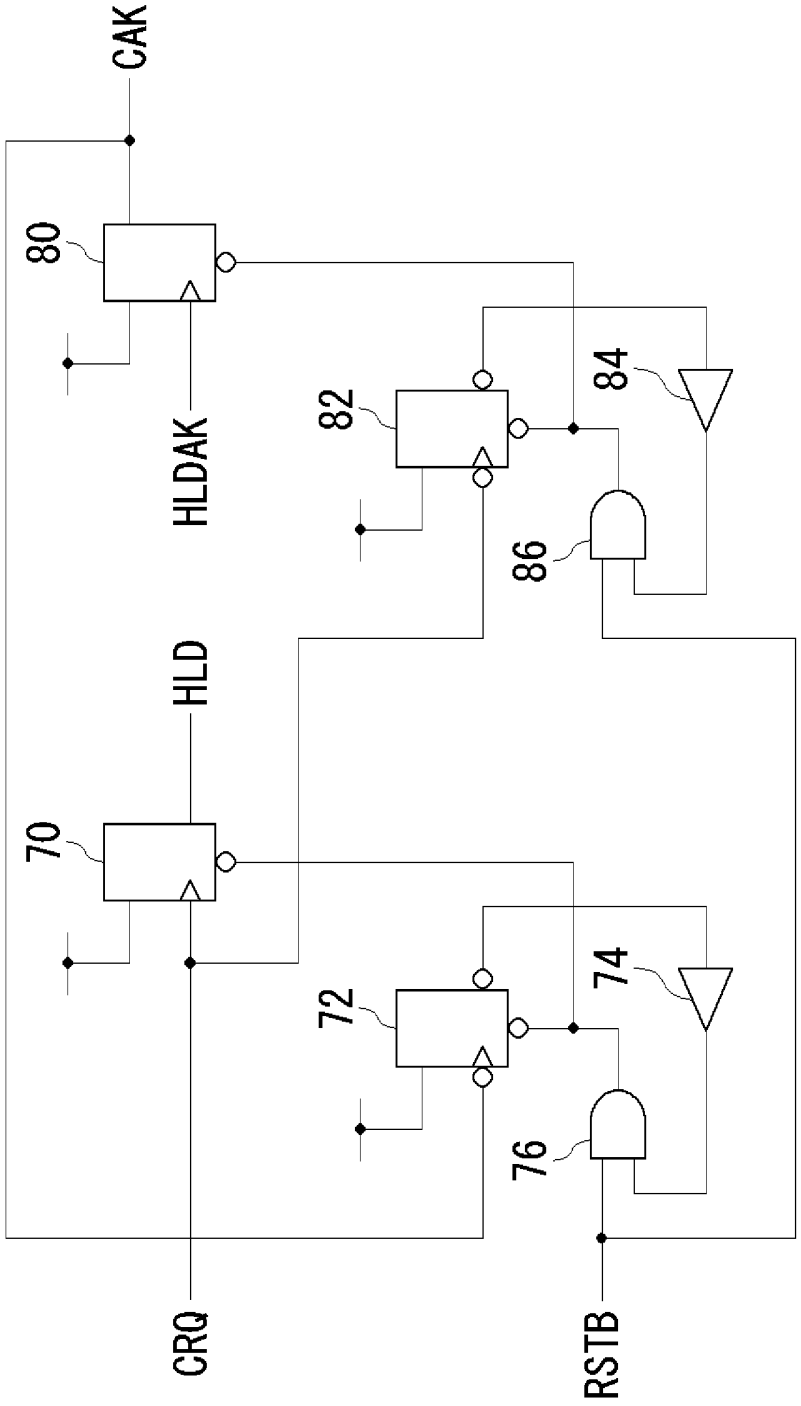
22

[図4]

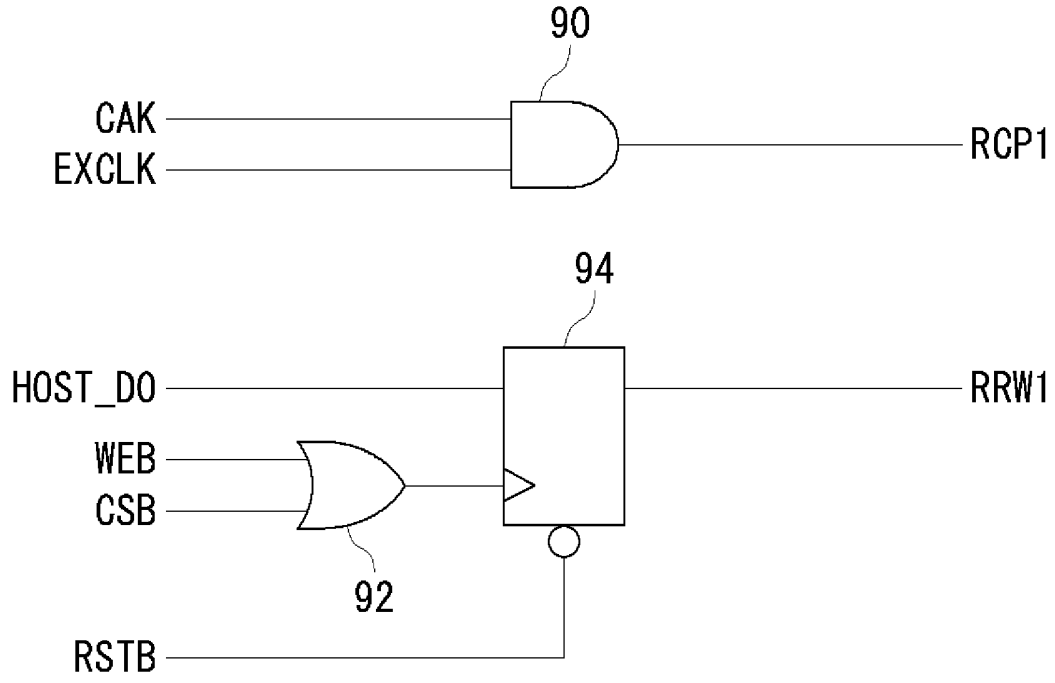


24

[図5]

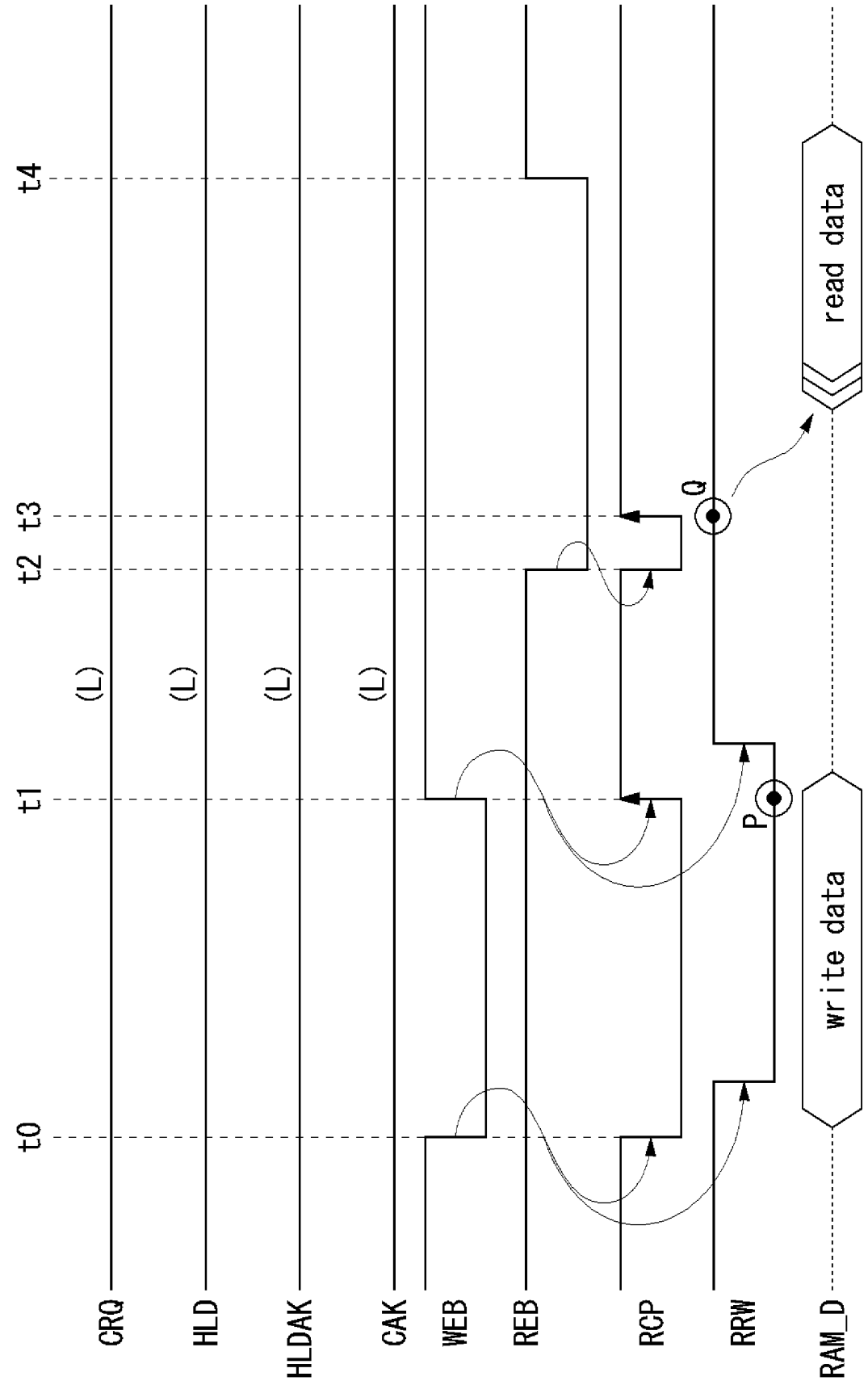


[図6]

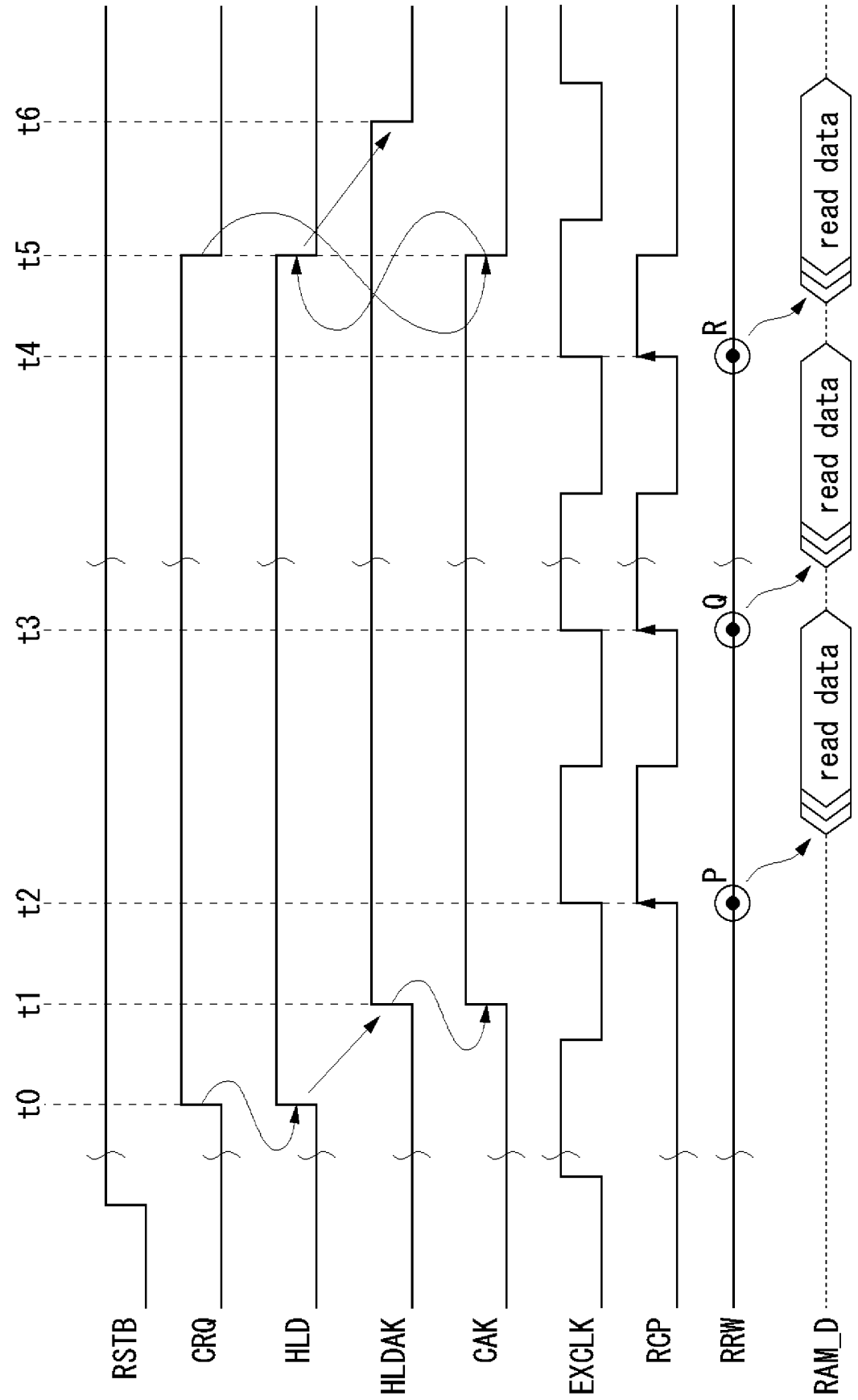


26

[図7]


t0
t1
t2
t3
t4
(L)
(L)
(L)
(L)
CRQ
HLD
HLDAK
CAK
WEB
REB
RCP
RRW
RAM_D
P
Q
write data
read data

[図8]


t0
t1
t2
t3
t4
t5
t6
RSTB
CRQ
HLD
HLDAK
CAK
EXCLK
RCP
RRW
RAM_D
P
Q
R
read data
read data
read data

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/010861

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl[7] G06F12/00

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl[7] G06F12/00-12/06, G06F13/16-13/18, G06F13/38-13/42

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2004
Kokai Jitsuyo Shinan Koho 1971-2004 Toroku Jitsuyo Shinan Koho 1994-2004

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2000-29779 A (Ricoh Co., Ltd.), 28 January, 2000 (28.01.00), Full text; Figs. 1 to 4 (Family: none)	1-5
A	JP 2001-43127 A (Murata Machinery Ltd.), 16 February, 2001 (16.02.01), Full text; Figs. 1, 3, 8 (Family: none)	1-5
A	JP 8-227374 A (Ricoh Co., Ltd.), 03 September, 1996 (03.09.96), Full text; Figs. 2, 3 (Family: none)	1-9

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
17 August, 2004 (17.08.04)	31 August, 2004 (31.08.04)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (January 2004)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2004/010861

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2001-331366 A (Mitsubishi Electric Corp.), 30 November, 2001 (30.11.01), Page 2, left column, line 40 to page 3, left column, line 12; Fig. 5 (Family: none)	5-9

国際調査報告

国際出願番号　PCT／JP2004／010861

A.　発明の属する分野の分類（国際特許分類（IPC））

Int. Cl[7]　G06F12／00

B.　調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int. Cl[7]　G06F　12／00－12／06, G06F　13／16－13／18,
G06F　13／38－13／42

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922－1996年
日本国公開実用新案公報	1971－2004年
日本国実用新案登録公報	1996－2004年
日本国登録実用新案公報	1994－2004年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C.　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
A	JP　2000－29779　A（株式会社リコー） 2000．01．28，全文，第1－第4図（ファミリーなし）	1－5
A	JP　2001－43127　A（村田機械株式会社） 2001．02．16，全文，第1図，第3図，第8図（ファミリーなし）	1－5
A	JP　8－227374　A（株式会社リコー） 1996．09．03，全文，第2図，第3図（ファミリーなし）	1－9

☒ C欄の続きにも文献が列挙されている。　☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日 17．08．2004	国際調査報告の発送日　31.8.2004
国際調査機関の名称及びあて先 日本国特許庁（ISA／JP） 郵便番号100－8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員）　5N　3135 堀江　義隆 電話番号　03－3581－1101　内線　3545

Ｃ（続き）．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ａ	ＪＰ　２００１－３３１３６６　Ａ（三菱電機株式会社） ２００１．１１．３０，第２頁左欄４０行～第３頁左欄１２行，第５図（ファミリーなし）	５－９