

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第1部門第2区分

【発行日】平成19年3月15日(2007.3.15)

【公開番号】特開2006-102536(P2006-102536A)

【公開日】平成18年4月20日(2006.4.20)

【年通号数】公開・登録公報2006-016

【出願番号】特願2006-1078(P2006-1078)

【国際特許分類】

A 63 F 7/02 (2006.01)

【F I】

A 63 F 7/02 326Z

【手続補正書】

【提出日】平成19年1月29日(2007.1.29)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

主制御基板とその他の制御基板とが、複数本の信号線でコネクタを介して電気的に接続され、前記主制御基板から前記その他の制御基板に、所定の遊技動作を実行させる種々の制御コマンドを一方向通信で送信可能に構成された遊技機であって、

前記主制御基板には、メモリを内蔵したCPU回路と、前記CPU回路のCPUの動作クロックを発生するシステムクロック発生部と、前記CPUの動作クロックとは無関係に更新される乱数発生回路とが設けられ、

前記乱数発生回路は、独自に発振動作をすることでCPUの動作と同期しないクロックパルスを発振する発振器と、前記クロックパルスに基づいて計数動作するカウンタと、前記カウンタの値を前記CPUに対して出力するバッファと、前記カウンタから常に受けている出力値が、予め決定されている基準値に達するとクリア信号又はプリセット信号を出力して前記カウンタを初期設定する一致判定回路とで構成され、論理回路だけで $0 \sim 2^N - 1$ 以外の任意の数値範囲内の乱数発生機能が実現され、

遊技者の遊技操作に起因して所定のスイッチがON動作したことを前記主制御基板が検出した場合には、前記CPUが前記バッファの出力値を取得し、その単一の取得値に基づいて遊技者に有利な状態を発生させるか否かの当否判定を実行し、

前記基準値は、予め固定的に設定されることで、プログラムによっては変更不能に構成されていることを特徴とする遊技機。

【請求項2】

前記周期的実行部は、所定時間毎に発生するCPUリセット信号にて繰り返し実行されている請求項1に記載の遊技機。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

例えば、大当たり用カウンタの数値範囲を $0 \sim 2^N - 1$ とする最も単純な場合であっても、CPUの処理単位は8bit単位とか16bit単位などであるため、取得したカウン

タ値 X について適宜なマスク処理 (  $X \text{ AND } 0011 \dots 1$  ) が必要となる ( 図 11 ( a ) 参照 )。また、数値範囲が  $0 \sim 2^N - 1$  以外の場合には、図 11 ( b ) のような補正演算が必要となり、その分だけ制御が煩雑化するという問題点がある。

【手続補正 3】

【補正対象書類名】明細書

【補正対象項目名】0010

【補正方法】変更

【補正の内容】

【0010】

上記の課題を解決するため、本発明は、主制御基板とその他の制御基板とが、複数本の信号線でコネクタを介して電気的に接続され、前記主制御基板から前記その他の制御基板に、所定の遊技動作を実行させる種々の制御コマンドを一方向通信で送信可能に構成された遊技機であって、前記主制御基板には、メモリを内蔵した CPU 回路と、前記 CPU 回路の CPU の動作クロックを発生するシステムクロック発生部と、前記 CPU の動作クロックとは無関係に更新される乱数発生回路とが設けられ、前記乱数発生回路は、独自に発振動作をすることで CPU の動作と同期しないクロックパルスを発振する発振器と、前記クロックパルスに基づいて計数動作するカウンタと、前記カウンタの値を前記 CPU に対して出力するバッファと、前記カウンタから常に受けている出力値が、予め決定されている基準値に達するとクリア信号又はプリセット信号を出力して前記カウンタを初期設定する一致判定回路とで構成され、論理回路だけで  $0 \sim 2^N - 1$  以外の任意の数値範囲内の乱数発生機能が実現され、遊技者の遊技操作に起因して所定のスイッチが ON 動作したことを前記主制御基板が検出した場合には、前記 CPU が前記バッファの出力値を取得し、その单一の取得値に基づいて遊技者に有利な状態を発生させるか否かの当否判定を実行し、前記基準値は、予め固定的に設定されることで、プログラムによっては変更不能に構成されている。

単純な  $2^N$  進カウンタが生成する数値範囲は  $0 \sim 2^N - 1$  であるが、本発明では、 $2^N$  進カウンタでは生成できない、 $0 \sim 2^N - 1$  以外の任意の数値範囲内の乱数を発生する。本発明の一致判定回路は、カウンタの値が  $0 \sim 2^N - 1$  以外の基準値に一致すると、カウンタを強制的に初期設定するので初期設定手段と言い換えることもできる。

【手続補正 4】

【補正対象書類名】明細書

【補正対象項目名】0013

【補正方法】変更

【補正の内容】

【0013】

初期設定手段は、当否判定を行う CPU を含むことなく構成することができ、基準値は、予め固定的に設定されている。

【手続補正 5】

【補正対象書類名】明細書

【補正対象項目名】0031

【補正方法】変更

【補正の内容】

【0031】

一致判定回路 63 は、カウンタ 61 の出力を常に受けており、この値が予め決定されている判定基準値 ( MAX ) に達するとクリア信号 CLR を出力する論理回路である。したがって、カウンタ 61 は通常の  $2^N$  進カウンタではあるが、数値範囲は  $0 \sim 2^N - 1$  のように固定化されることなく、判定基準値によって数値範囲 ( $0 \sim MAX - 1$ ) を自由に設定することができる。なお、図示の例では、一致判定回路 63 の図示左側から判定基準値 ( MAX ) が予め固定的に設定されているが ( 11010 . . . ) 、破線で示すように、バッファ 64 を介して CPU から判定基準値 ( MAX ) を設定することもでき、この場

合には、カウンタ 6 1 の数値範囲 ( 0 ~ M A X - 1 ) をプログラムによって自由に変更できる利点がある。但し、このような構成は、本発明の範囲ではない。

【手続補正 6】

【補正対象書類名】明細書

【補正対象項目名】0 0 4 9

【補正方法】変更

【補正の内容】

【0 0 4 9】

すると、一致判定回路 6 3 は、ダウンカウンタ 6 1' にプリセット信号 P S E T を出力するので、ダウンカウンタ 6 1' の値は、改めてプリセット値 ( M ) に設定され、その後、クロックパルス に同期して  $M \rightarrow M - 1 \rightarrow M - 2 \cdots \rightarrow 0$  のようなデクリメントされる。なお、この回路においても、プリセット値を C P U から設定するようにしても良いが、それは本発明の範囲ではない。