

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2022年1月27日(27.01.2022)



(10) 国際公開番号

WO 2022/018961 A1

- (51) 国際特許分類:
H01L 21/60 (2006.01) *H01L 21/768* (2006.01)
H01L 21/3205 (2006.01) *H01L 23/522* (2006.01)
- (21) 国際出願番号: PCT/JP2021/020006
- (22) 国際出願日: 2021年5月26日(26.05.2021)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2020-123408 2020年7月20日(20.07.2020) JP
- (71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014

神奈川県厚木市旭町四丁目14番1号 Kanagawa (JP).

(72) 発明者: 大瀧 豊(OOTAKI, Yutaka); 〒2430014
神奈川県厚木市旭町四丁目14番1号
ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

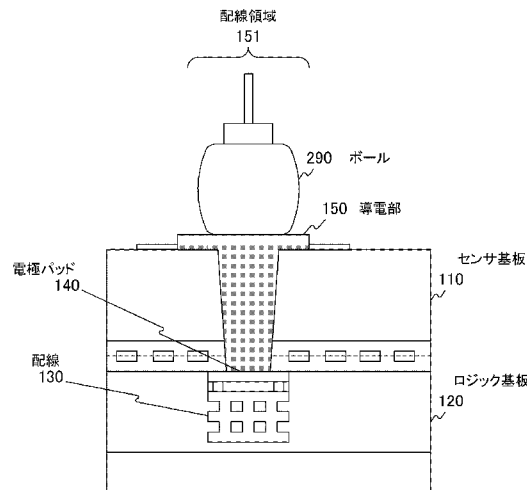
(74) 代理人: 丸島 敏一(MARUSHIMA, Toshikazu);
〒1600022 東京都新宿区新宿3-3-2 京王新宿三丁目第二ビル 5F クラフト
国際特許事務所 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ,

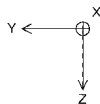
(54) Title: SEMICONDUCTOR DEVICE, AND METHOD FOR MANUFACTURING SAME

(54) 発明の名称: 半導体装置およびその製造方法

[図1]



- 110 Sensor substrate
120 Logic substrate
130 Wiring
140 Electrode pad
150 Electrically conductive section
151 Wiring region
290 Ball



(57) Abstract: In the present invention, connecting with external wiring is facilitated when there is an electrode pad at a deep position from the surface of a semiconductor device. The electrode pad is formed at a prescribed depth from the surface of the substrate. An electrically conductive section is formed in a region from the electrode pad to the surface of the substrate. The electrically conductive section has a state in which electrical connection with the wiring is possible at the surface of the substrate. The electrically conductive section is provided with a wiring region for performing electrical

[続葉有]

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

connection with the wiring at a position directly above the electrode pad on the surface of the substrate, or a position different from that directly above the electrode pad. The electrically conductive section can be formed by repeating a procedure for applying electrically conductive paste in the region from the electrode pad to the surface of the substrate, and a procedure for curing the applied electrically conductive paste.

(57) 要約: 半導体装置の表面から深い位置に電極パッドがある場合において、外部配線との接続を容易にする。電極パッドは、基板の表面から所定の深さに形成される。導電部は、電極パッドから基板の表面までの領域に形成される。導電部は、基板の表面において、配線と電氣的接続可能な状態を有する。導電部は、基板の表面における電極パッドの直上の位置、または、電極パッドの直上とは異なる位置に、配線と電氣的接続を行うための配線領域を備える。導電部は、電極パッドから基板の表面までの領域において導電ペーストを塗布する手順と、塗布された導電ペーストを硬化させる手順とを繰り返すことにより形成され得る。

明 細 書

発明の名称：半導体装置およびその製造方法

技術分野

[0001] 本技術は、半導体装置に関する。詳しくは、基板の表面から深い位置に電極パッドが形成された半導体装置およびその製造方法に関する。

背景技術

[0002] 半導体装置においては、外部配線との接続を行う電極パッドを、半導体装置の表面から深い位置に掘り込まれた場所に設けることがある。例えば、電極パッドを露出させて、その電極パッドに対してボンディングワイヤを接続して、実装基板の外部配線と接続する半導体装置が提案されている（例えば、特許文献1 参照。）。

先行技術文献

特許文献

[0003] 特許文献1：特開2014-082514号公報

発明の概要

発明が解決しようとする課題

[0004] 上述の従来技術のように電極パッドが深い位置にある場合、金線を使用したワイヤーボンドボールの高さやバンプの高さを高くしなければならなくなる。また、超音波圧着する際に超音波が接合面（例えば、Au-AI界面）に届きにくく、接合不良になりやすい。また、接合したワイヤーボンドの強度測定をするためにシア強度測定をしても、金ボール上部の一部しか削げず、適切な強度測定が難しい。特に、撮像装置に適用した場合、シア強度測定をするために電極の開口を広げると、入射した光が電極に反射することによって画素特性に不具合を生じ、また、撮像装置の大きさが大きくなって装置の小型化が困難になるという問題がある。

[0005] 本技術はこのような状況に鑑みて生み出されたものであり、半導体装置の表面から深い位置に電極パッドがある場合において、外部配線との接続を容

易にすることを目的とする。

課題を解決するための手段

- [0006] 本技術は、上述の問題点を解消するためになされたものであり、その第1の側面は、基板の表面から所定の深さに形成された電極パッドと、上記電極パッドから上記基板の表面までの領域に形成されて上記基板の表面において配線と電氣的接続可能な状態を有する導電部とを具備する半導体装置である。これにより、電極パッドの上に形成された導電部により、基板の表面において配線と電氣的接続させるという作用をもたらす。
- [0007] また、この第1の側面において、上記所定の深さは、1マイクロメートル以上の深さであってもよい。より具体的には、10マイクロメートル程度の深さであってもよい。
- [0008] また、この第1の側面において、上記導電部は、上記基板の表面における上記電極パッドの直上の位置に上記配線と電氣的接続を行うための配線領域を備えるようにしてもよい。この場合において、上記配線領域は、上記電極パッドよりも広い面積を有するようにしてもよい。また、上記導電部は、上記基板の表面における上記電極パッドの直上とは異なる位置にプローブを接触させるためのプローブ領域をさらに備えてもよい。
- [0009] また、この第1の側面において、上記導電部は、上記基板の表面における上記電極パッドの直上とは異なる位置に上記配線と電氣的接続を行うための配線領域を備えるようにしてもよい。この場合において、上記配線領域は、上記電極パッドよりも広い面積を有するようにしてもよい。また、上記導電部は、上記基板の表面における上記電極パッドの直上の位置にプローブを接触させるためのプローブ領域をさらに備えてもよい。
- [0010] また、この第1の側面において、複数組の上記電極パッドおよび上記導電部を上記基板のエッジに沿って直列に配置してもよい。また、複数組の上記電極パッドおよび上記導電部を上記基板のエッジに沿って千鳥状に配置してもよい。
- [0011] また、この第1の側面において、上記基板は複数の基板を積層した積層基

板であり、上記電極パッドは、上記積層基板のうち最表面の基板以外の基板に形成され、上記導電部は、上記積層基板の表面までの領域に埋め込まれるようにしてもよい。例えば、積層構造の撮像装置に適用してもよい。

[0012] また、本技術の第2の側面は、基板の表面から所定の深さに電極パッドを形成する手順と、上記電極パッドから上記基板の表面までの領域において導電ペーストを塗布する手順と、上記塗布された導電ペーストを硬化させる手順とを具備し、上記導電ペーストが上記基板の表面において配線と電氣的接続可能な状態となるまで、上記導電ペーストを塗布する手順および硬化させる手順を繰り返す半導体装置の製造方法である。これにより、導電ペーストの塗布と硬化を繰り返すことにより形成された導電部により、基板の表面において配線と電氣的接続させるという作用をもたらす。

[0013] また、この第2の側面において、上記導電ペーストを塗布する手順は、上記電極パッドの直上の位置から上記導電ペーストを吐出する手順を備えるようにしてもよい。

[0014] また、この第2の側面において、上記導電ペーストを塗布する手順は、上記電極パッドの直上の位置に開口部を備えるマスクを生成する手順と、上記マスクの上から上記導電ペーストを塗布する手順とを備えるようにしてもよい。

図面の簡単な説明

[0015] [図1]本技術の実施の形態における半導体装置の第1の構造例を示す断面図である。

[図2]本技術の実施の形態における半導体装置の第1の構造例の導電部150の第1の配置例を示す上面図である。

[図3]本技術の実施の形態における半導体装置の第1の構造例の導電部150の第2の配置例を示す上面図である。

[図4]本技術の実施の形態における半導体装置の第2の構造例を示す断面図である。

[図5]本技術の実施の形態における半導体装置の第2の構造例の導電部150

の第 1 の配置例を示す上面図である。

[図6]本技術の実施の形態における半導体装置の第 2 の構造例の導電部 1 5 0 の第 2 の配置例を示す上面図である。

[図7]本技術の実施の形態における半導体装置の第 3 の構造例を示す断面図である。

[図8]本技術の実施の形態における半導体装置の第 3 の構造例の導電部 1 5 0 の第 1 の配置例を示す上面図である。

[図9]本技術の実施の形態における半導体装置の第 3 の構造例の導電部 1 5 0 の第 2 の配置例を示す上面図である。

[図10]本技術の実施の形態の半導体装置の第 1 の製造方法におけるウエハ 8 1 0 に対する導電ペースト 8 5 0 の塗布の態様例を示す図である。

[図11]本技術の実施の形態の半導体装置の第 1 の製造方法における導電ペースト 8 5 0 の塗布の態様例を示す断面図である。

[図12]本技術の実施の形態の半導体装置の第 1 の製造方法の処理手順例を示す流れ図である。

[図13]本技術の実施の形態の半導体装置の第 2 の製造方法におけるウエハ 8 1 0 に対する導電ペースト 8 5 0 の塗布の態様例を示す図である。

[図14]本技術の実施の形態の半導体装置の第 2 の製造方法の処理手順例を示す流れ図である。

発明を実施するための形態

[0016] 以下、本技術を実施するための形態（以下、実施の形態と称する）について説明する。説明は以下の順序により行う。

1. 半導体装置の構造
2. 半導体装置の製造方法

[0017] <1. 半導体装置の構造>

[第 1 の構造例]

図 1 は、本技術の実施の形態における半導体装置の第 1 の構造例を示す断面図である。

- [0018] この実施の形態における半導体装置の第1の構造例は、ロジック基板120の上にセンサ基板110を積層した積層基板を備える。ロジック基板120は、配線130を備え、その配線130に接続する電極パッド140を備える。すなわち、センサ基板110の表面から、センサ基板110を貫通した深さに、電極パッド140が形成されている。
- [0019] ここで、電極パッド140が形成される深さは、例えば1マイクロメートル以上で、より具体的には10マイクロメートル程度が想定される。
- [0020] 電極パッド140からセンサ基板110の表面までの領域には、導電部150が形成される。この導電部150は、後述するように、電極パッド140からセンサ基板110の表面までの領域において導電ペーストを塗布する手順と、塗布された導電ペーストを硬化させる手順とを繰り返すことにより形成される。
- [0021] この第1の構造例では、導電部150は、センサ基板110の表面における電極パッド140の直上の位置に、配線と電氣的接続を行うための配線領域151を備える。この配線領域151は、ワイヤボンディングのボール290と電氣的接続可能な状態を有する。また、この配線領域151は、電極パッド140よりも広い面積を有する。
- [0022] ボール290は、配線をワイヤボンディングする際に配線の先端に形成される球状の部材であり、例えば、金（Au）を材料として備える。ここでは、ボール290は、導電部150の配線領域において電氣的に接続される。
- [0023] この第1の構造例では、導電部150を設けることにより、ワイヤボンディングする際のボール290の電氣的接続位置を、電極パッド140からセンサ基板110の表面まで引き上げることができる。
- [0024] 図2は、本技術の実施の形態における半導体装置の第1の構造例の導電部150の第1の配置例を示す上面図である。
- [0025] この第1の配置例は、導電部150をセンサ基板110のチップエッジ（X方向）に沿って直列に配置した場合の例である。電極パッド140の各々は深さ方向（Z方向）に掘り込まれており、センサ基板110の表面に導電

部 150 が露出している。導電部 150 の上にはボール 290 が電氣的に接続されている。

[0026] 図 3 は、本技術の実施の形態における半導体装置の第 1 の構造例の導電部 150 の第 2 の配置例を示す上面図である。

[0027] この第 2 の配置例は、導電部 150 をセンサ基板 110 のチップエッジ（X 方向）に沿って千鳥状に配置した場合の例である。これにより、センサ基板 110 に導電部 150 を配置する際の面積効率を向上させ、半導体装置を小型化することが可能になる。

[0028] [第 2 の構造例]

図 4 は、本技術の実施の形態における半導体装置の第 2 の構造例を示す断面図である。

[0029] この実施の形態における半導体装置の第 2 の構造例は、上述の第 1 の構造例と同様に、ロジック基板 120 の上にセンサ基板 110 を積層した積層基板を備える。ロジック基板 120 は、配線 130 を備え、その配線 130 に接続する電極パッド 140 を備える。すなわち、センサ基板 110 の表面から、センサ基板 110 を貫通した深さに、電極パッド 140 が形成されている。そして、電極パッド 140 からセンサ基板 110 の表面までの領域には、導電部 150 が形成される。

[0030] この第 2 の構造例では、導電部 150 は、センサ基板 110 の表面における電極パッド 140 の直上の位置に、試験装置等のプローブを接触させるためのプローブ領域 152 を備える。また、導電部 150 は、センサ基板 110 の表面における電極パッド 140 の直上とは異なる位置に、配線と電氣的接続を行うための配線領域 151 を備える。また、この配線領域 151 は、電極パッド 140 よりも広い面積を有する。

[0031] この第 2 の構造例では、導電部 150 を設けることにより、ワイヤボンディングの電氣的接続位置を、電極パッド 140 からセンサ基板 110 の表面の配線領域 151 まで引き上げるとともに、プローブを接触させるためのプローブ領域 152 を設けることができる。

[0032] 図5は、本技術の実施の形態における半導体装置の第2の構造例の導電部150の第1の配置例を示す上面図である。

[0033] この第1の配置例は、導電部150をセンサ基板110のチップエッジ（X方向）に沿って直列に配置した場合の例である。電極パッド140の各々は深さ方向（Z方向）に掘り込まれており、センサ基板110の表面に導電部150が露出している。導電部150の配線領域151にはボール290が電氣的に接続されている。また、導電部150のプロープ領域152にはプローブを接触させるための領域が用意されている。

[0034] 図6は、本技術の実施の形態における半導体装置の第2の構造例の導電部150の第2の配置例を示す上面図である。

[0035] この第2の配置例は、導電部150をセンサ基板110のチップエッジ（X方向）に沿って千鳥状に配置した場合の例である。これにより、センサ基板110に導電部150を配置する際の面積効率を向上させ、半導体装置を小型化することが可能になる。

[0036] [第3の構造例]

図7は、本技術の実施の形態における半導体装置の第3の構造例を示す断面図である。

[0037] この実施の形態における半導体装置の第3の構造例は、上述の第1の構造例と同様に、ロジック基板120の上にセンサ基板110を積層した積層基板を備える。ロジック基板120は、配線130を備え、その配線130に接続する電極パッド140を備える。すなわち、センサ基板110の表面から、センサ基板110を貫通した深さに、電極パッド140が形成されている。そして、電極パッド140からセンサ基板110の表面までの領域には、導電部150が形成される。

[0038] この第3の構造例では、導電部150は、センサ基板110の表面における電極パッド140の直上の位置に、配線と電氣的接続を行うための配線領域151を備える。この配線領域151は、電極パッド140よりも広い面積を有する。また、導電部150は、センサ基板110の表面における電極

パッド１４０の直上とは異なる位置に、試験装置等のプローブを接触させるためのプローブ領域１５２を備える。すなわち、上述の第２の構造例と比べて、配線領域１５１とプローブ領域１５２の位置が入れ替わった構造となっている。

[0039] 図８は、本技術の実施の形態における半導体装置の第３の構造例の導電部１５０の第１の配置例を示す上面図である。

[0040] この第１の配置例は、導電部１５０をセンサ基板１１０のチップエッジ（Ｘ方向）に沿って直列に配置した場合の例である。電極パッド１４０の各々は深さ方向（Ｚ方向）に掘り込まれており、センサ基板１１０の表面に導電部１５０が露出している。導電部１５０の配線領域１５１にはボール２９０が電氣的に接続されている。また、導電部１５０のプローブ領域１５２にはプローブを接触させるための領域が用意されている。

[0041] 図９は、本技術の実施の形態における半導体装置の第３の構造例の導電部１５０の第２の配置例を示す上面図である。

[0042] この第２の配置例は、導電部１５０をセンサ基板１１０のチップエッジ（Ｘ方向）に沿って千鳥状に配置した場合の例である。これにより、センサ基板１１０に導電部１５０を配置する際の面積効率を向上させ、半導体装置を小型化することが可能になる。

[0043] ＜２．半導体装置の製造方法＞

上述の実施の形態における半導体装置の第１乃至第３の構造例は、以下に例示する製造方法により製造することができる。第１の製造方法例は、電極パッドの直上の位置から導電ペーストを吐出することにより導電ペーストを塗布する例である。第２の製造方法例は、電極パッドの直上の位置に開口部を備えるマスクの上から導電ペーストを塗布する例である。

[0044] [第１の製造方法例]

図１０は、本技術の実施の形態の半導体装置の第１の製造方法におけるウエハ８１０に対する導電ペースト８５０の塗布の態様例を示す図である。図１１は、本技術の実施の形態の半導体装置の第１の製造方法における導電ペ

ースト８５０の塗布の態様例を示す断面図である。

[0045] この第１の製造方法例は、導電ペースト塗布ヘッド８２０をウエハ８１０に表面で走査し、電極パッド１４０に相当する位置のみに導電ペースト８５０を吐出して塗布し、積層していく手法である。

[0046] 導電ペースト８５０は、導電性を有するペースト状部材であり、例えば樹脂に銀（Ａｇ）や銅（Ｃｕ）などの金属粉末を混ぜ合わせるにより製造される。導電ペースト８５０は、例えば導電ナノペーストであってもよい。

[0047] このような導電ペースト８５０を吐出して塗布する方式としては、例えば、インクジェット方式、ディスペンス方式、エアロゾルジェット方式などが想定される。

[0048] 塗布された導電ペースト８５０を硬化させる手法としては、例えば、光または熱を照射する手法や、レーザを使用したレーザキュアなどが想定される。

[0049] 図１２は、本技術の実施の形態の半導体装置の第１の製造方法の処理手順例を示す流れ図である。

[0050] まず、対象となるウエハ８１０を準備して（ステップＳ９１１）、そのウエハ８１０を導電ペースト塗布装置にセッティングする（ステップＳ９１２）。

[0051] 次に、導電ペースト塗布装置の導電ペースト塗布ヘッド８２０を用いて、電極パッド１４０の表面に導電ペースト８５０を吐出（ディスペンス）することにより塗布する（ステップＳ９１５）。そして、塗布した導電ペースト８５０を、光または熱照射や、レーザキュアにより硬化させる（ステップＳ９１６）。

[0052] これらの導電ペースト８５０の塗布手順（ステップＳ９１５）と、硬化手順（ステップＳ９１６）とを、センサ基板１１０の表面に導電ペースト８５０が積層されるようになるまで繰り返し行う（ステップＳ９１７：Ｎｏ）。

[0053] これら一連の処理が終了すると（ステップＳ９１７：Ｙｅｓ）、導電ペースト塗布装置からウエハ８１０を取り出す（ステップＳ９１８）。

[0054] 〔第２の製造方法例〕

図１３は、本技術の実施の形態の半導体装置の第２の製造方法におけるウエハ８１０に対する導電ペースト８５０の塗布の態様例を示す図である。

[0055] この第２の製造方法例は、電極パッド１４０に相当する位置を開口したメタルマスク８８０をウエハ８１０表面に張り付けて、スキージ８９０を用いて導電ペースト８５０を塗布し、積層していく手法である。

[0056] スキージ（Squeegee）８９０は、へら状の道具である。メタルマスク８８０の上に導電ペースト８５０を盛った状態でスキージ８９０を押し付けることにより、メタルマスク８８０の開口を介して導電ペースト８５０が塗布される。

[0057] 塗布された導電ペースト８５０を硬化させる手法は、上述の第１の製造方法例と同様であり、例えば、光または熱を照射する手法や、レーザを使用したレーザキュアなどが想定される。

[0058] 図１４は、本技術の実施の形態の半導体装置の第２の製造方法の処理手順例を示す流れ図である。

[0059] まず、対象となるウエハ８１０を準備して（ステップＳ９２１）、そのウエハ８１０にレジストを塗布し（ステップＳ９２２）、ＵＶ露光して（ステップＳ９２３）、現像することにより（ステップＳ９２４）、メタルマスク８８０を生成する。

[0060] 次に、スキージ８９０を用いて、メタルマスク８８０の開口を介して導電ペースト８５０を塗布する（ステップＳ９２５）。そして、塗布した導電ペースト８５０を、光または熱照射や、レーザキュアにより硬化させる（ステップＳ９２６）。

[0061] これらの導電ペースト８５０の塗布手順（ステップＳ９２５）と、硬化手順（ステップＳ９２６）とを、センサ基板１１０の表面に導電ペースト８５０が積層されるようになるまで繰り返し行う（ステップＳ９２７：Ｎｏ）。

[0062] これら一連の処理が終了すると（ステップＳ９２７：Ｙｅｓ）、レジストを剥離する（ステップＳ９２８）。

[0063] このように、本技術の実施の形態によれば、導電ペースト 850 の塗布と硬化を繰り返して導電部 150 を形成することにより、ワイヤボンディングの際のボール 290 の電氣的接続位置を電極パッド 140 からセンサ基板 110 の表面まで引き上げることができる。

[0064] 半導体装置の表面から深い位置にある電極を、半導体製造プロセスで表面に引き上げようとする、半導体装置を形成する回路デザインの最適化、電極を引き上げるための配線、ビアの形成プロセスの構築、そのためのプロセス増加が発生し、高付加価値となることが予想される。これに対し、この実施の形態では、半導体製造プロセスを使用することなく、既存の組立工程の組合せで、安価に深い位置の電極を引き上げることが可能となる。また、電極自体を小さくし、電極を埋めるように吐出した導電性ペーストを塗布し、または、スキージ工法により積層し、半導体装置の表面に電極を引き出して新たに形成することにより、半導体装置の小型化や製造プロセスの簡略化を図ることができる。さらに、半導体装置の表面に電極を引き出せることで、金線に代表されるワイヤーボンド技術を使用して、最適なワイヤーボンド形状で電極との接合が可能となり、また、適切に接合されているかを半導体装置表面で測定することが可能となる。

[0065] なお、上述の実施の形態は本技術を具現化するための一例を示したものであり、実施の形態における事項と、特許請求の範囲における発明特定事項とはそれぞれ対応関係を有する。同様に、特許請求の範囲における発明特定事項と、これと同一名称を付した本技術の実施の形態における事項とはそれぞれ対応関係を有する。ただし、本技術は実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において実施の形態に種々の変形を施すことにより具現化することができる。

[0066] なお、本明細書に記載された効果はあくまで例示であって、限定されるものではなく、また、他の効果があってもよい。

[0067] なお、本技術は以下のような構成もとることができる。

(1) 基板の表面から所定の深さに形成された電極パッドと、

前記電極パッドから前記基板の表面までの領域に形成されて前記基板の表面において配線と電氣的接続可能な状態を有する導電部とを具備する半導体装置。

(2) 前記所定の深さは、1 マイクロメートル以上の深さである前記(1)に記載の半導体装置。

(3) 前記導電部は、前記基板の表面における前記電極パッドの直上の位置に前記配線と電氣的接続を行うための配線領域を備える前記(1)または(2)に記載の半導体装置。

(4) 前記配線領域は、前記電極パッドよりも広い面積を有する前記(3)に記載の半導体装置。

(5) 前記導電部は、前記基板の表面における前記電極パッドの直上とは異なる位置にプローブを接触させるためのプローブ領域をさらに備える前記(3)または(4)に記載の半導体装置。

(6) 前記導電部は、前記基板の表面における前記電極パッドの直上とは異なる位置に前記配線と電氣的接続を行うための配線領域を備える前記(1)または(2)に記載の半導体装置。

(7) 前記導電部は、前記基板の表面における前記電極パッドの直上の位置にプローブを接触させるためのプローブ領域をさらに備える前記(6)に記載の半導体装置。

(8) 複数組の前記電極パッドおよび前記導電部を前記基板のエッジに沿って直列に配置した前記(1)から(7)のいずれかに記載の半導体装置。

(9) 複数組の前記電極パッドおよび前記導電部を前記基板のエッジに沿って千鳥状に配置した前記(1)から(7)のいずれかに記載の半導体装置。

(10) 前記基板は複数の基板を積層した積層基板であり、

前記電極パッドは、前記積層基板のうち最表面の基板以外の基板に形成され、

前記導電部は、前記積層基板の表面までの領域に埋め込まれる前記(1)から(9)のいずれかに記載の半導体装置。

(11) 基板の表面から所定の深さに電極パッドを形成する手順と、
前記電極パッドから前記基板の表面までの領域において導電ペーストを塗布する手順と、
前記塗布された導電ペーストを硬化させる手順とを具備し、
前記導電ペーストが前記基板の表面において配線と電氣的接続可能な状態となるまで、前記導電ペーストを塗布する手順および硬化させる手順を繰り返す
半導体装置の製造方法。

(12) 前記導電ペーストを塗布する手順は、前記電極パッドの直上の位置から前記導電ペーストを吐出する手順を備える
前記(11)に記載の半導体装置の製造方法。

(13) 前記導電ペーストを塗布する手順は、
前記電極パッドの直上の位置に開口部を備えるマスクを生成する手順と、
前記マスクの上から前記導電ペーストを塗布する手順と
を備える
前記(11)に記載の半導体装置の製造方法。

符号の説明

[0068]	110	センサ基板
	120	ロジック基板
	130	配線
	140	電極パッド
	150	導電部
	151	配線領域
	152	プローブ領域
	290	ボール
	810	ウエハ
	820	導電ペースト塗布ヘッド
	850	導電ペースト

８８０ メタルマスク

８９０ スキージ

請求の範囲

- [請求項1] 基板の表面から所定の深さに形成された電極パッドと、
 前記電極パッドから前記基板の表面までの領域に形成されて前記基板の表面において配線と電氣的接続可能な状態を有する導電部とを具備する半導体装置。
- [請求項2] 前記所定の深さは、1 マイクロメートル以上の深さである請求項1記載の半導体装置。
- [請求項3] 前記導電部は、前記基板の表面における前記電極パッドの直上の位置に前記配線と電氣的接続を行うための配線領域を備える請求項1記載の半導体装置。
- [請求項4] 前記配線領域は、前記電極パッドよりも広い面積を有する請求項3記載の半導体装置。
- [請求項5] 前記導電部は、前記基板の表面における前記電極パッドの直上とは異なる位置にプローブを接触させるためのプローブ領域をさらに備える請求項3記載の半導体装置。
- [請求項6] 前記導電部は、前記基板の表面における前記電極パッドの直上とは異なる位置に前記配線と電氣的接続を行うための配線領域を備える請求項1記載の半導体装置。
- [請求項7] 前記導電部は、前記基板の表面における前記電極パッドの直上の位置にプローブを接触させるためのプローブ領域をさらに備える請求項6記載の半導体装置。
- [請求項8] 複数組の前記電極パッドおよび前記導電部を前記基板のエッジに沿って直列に配置した請求項1記載の半導体装置。
- [請求項9] 複数組の前記電極パッドおよび前記導電部を前記基板のエッジに沿って千鳥状に配置した請求項1記載の半導体装置。
- [請求項10] 前記基板は複数の基板を積層した積層基板であり、
 前記電極パッドは、前記積層基板のうち最表面の基板以外の基板に

形成され、

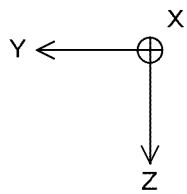
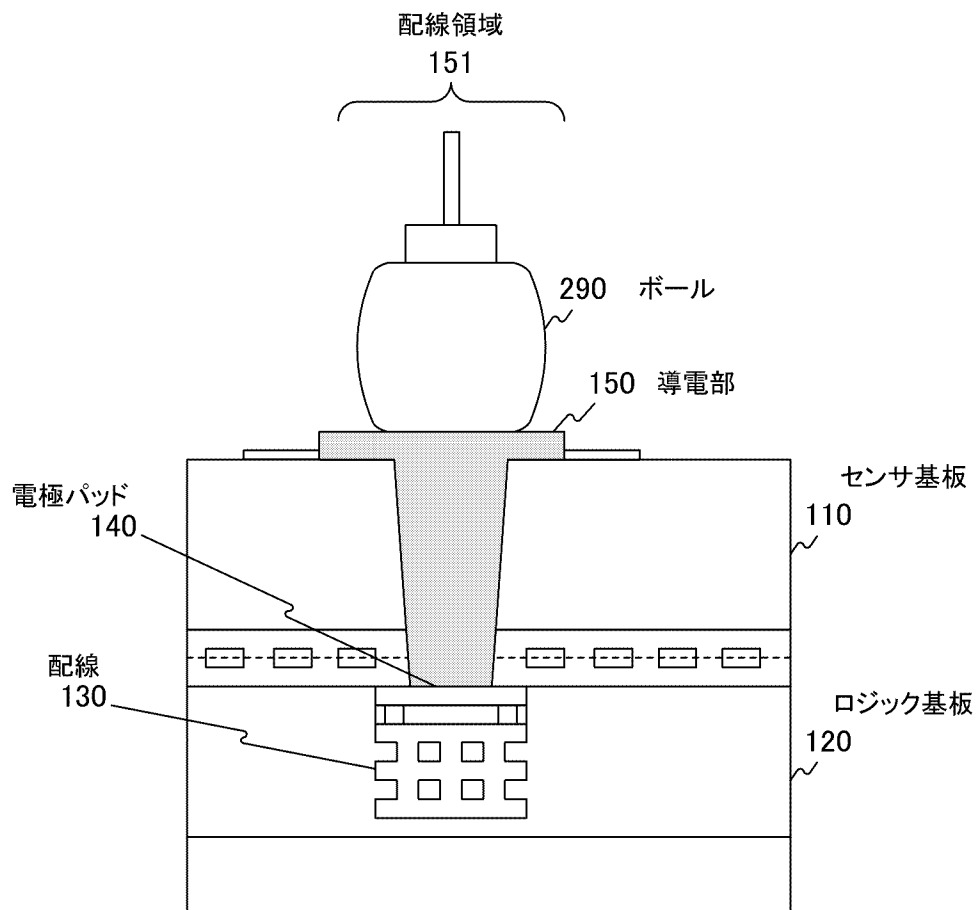
前記導電部は、前記積層基板の表面までの領域に埋め込まれる
請求項 1 記載の半導体装置。

[請求項11] 基板の表面から所定の深さに電極パッドを形成する手順と、
前記電極パッドから前記基板の表面までの領域において導電ペーストを塗布する手順と、
前記塗布された導電ペーストを硬化させる手順とを具備し、
前記導電ペーストが前記基板の表面において配線と電氣的接続可能な状態となるまで、前記導電ペーストを塗布する手順および硬化させる手順を繰り返す
半導体装置の製造方法。

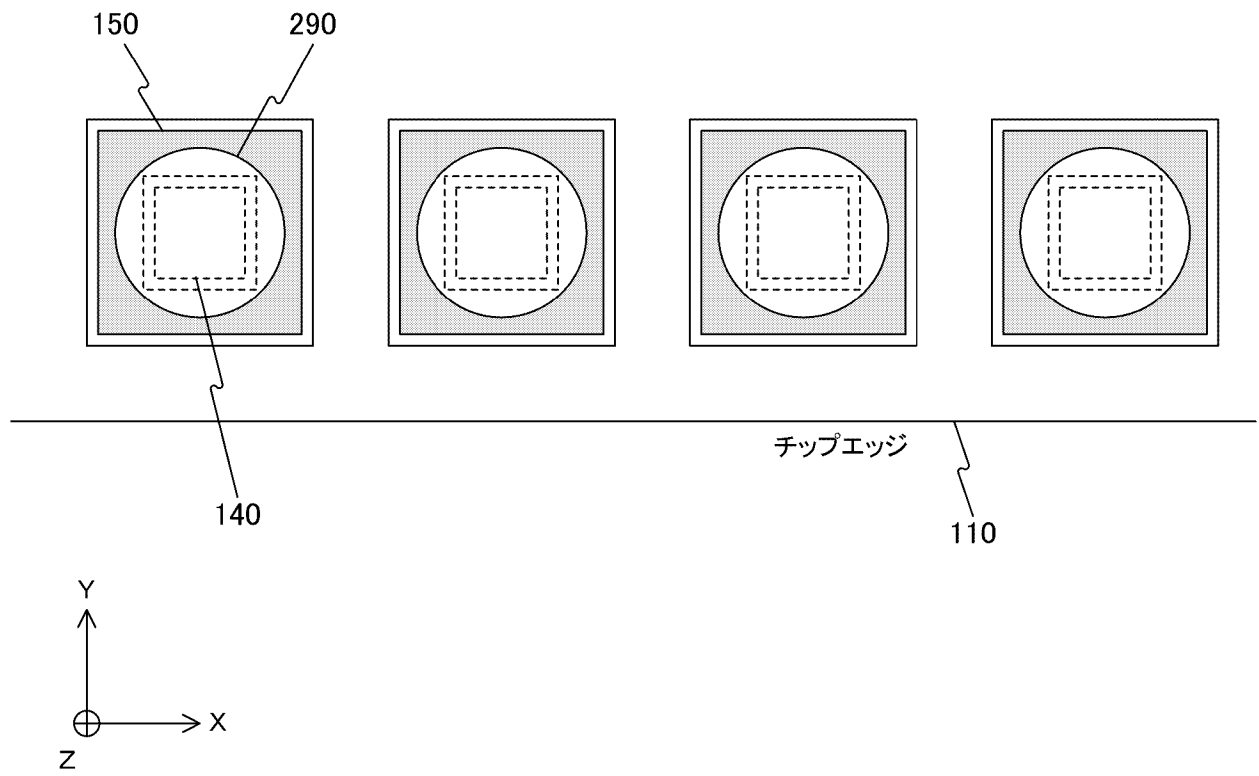
[請求項12] 前記導電ペーストを塗布する手順は、前記電極パッドの直上の位置から前記導電ペーストを吐出する手順を備える
請求項 1 1 記載の半導体装置の製造方法。

[請求項13] 前記導電ペーストを塗布する手順は、
前記電極パッドの直上の位置に開口部を備えるマスクを生成する手順と、
前記マスクの上から前記導電ペーストを塗布する手順とを備える
請求項 1 1 記載の半導体装置の製造方法。

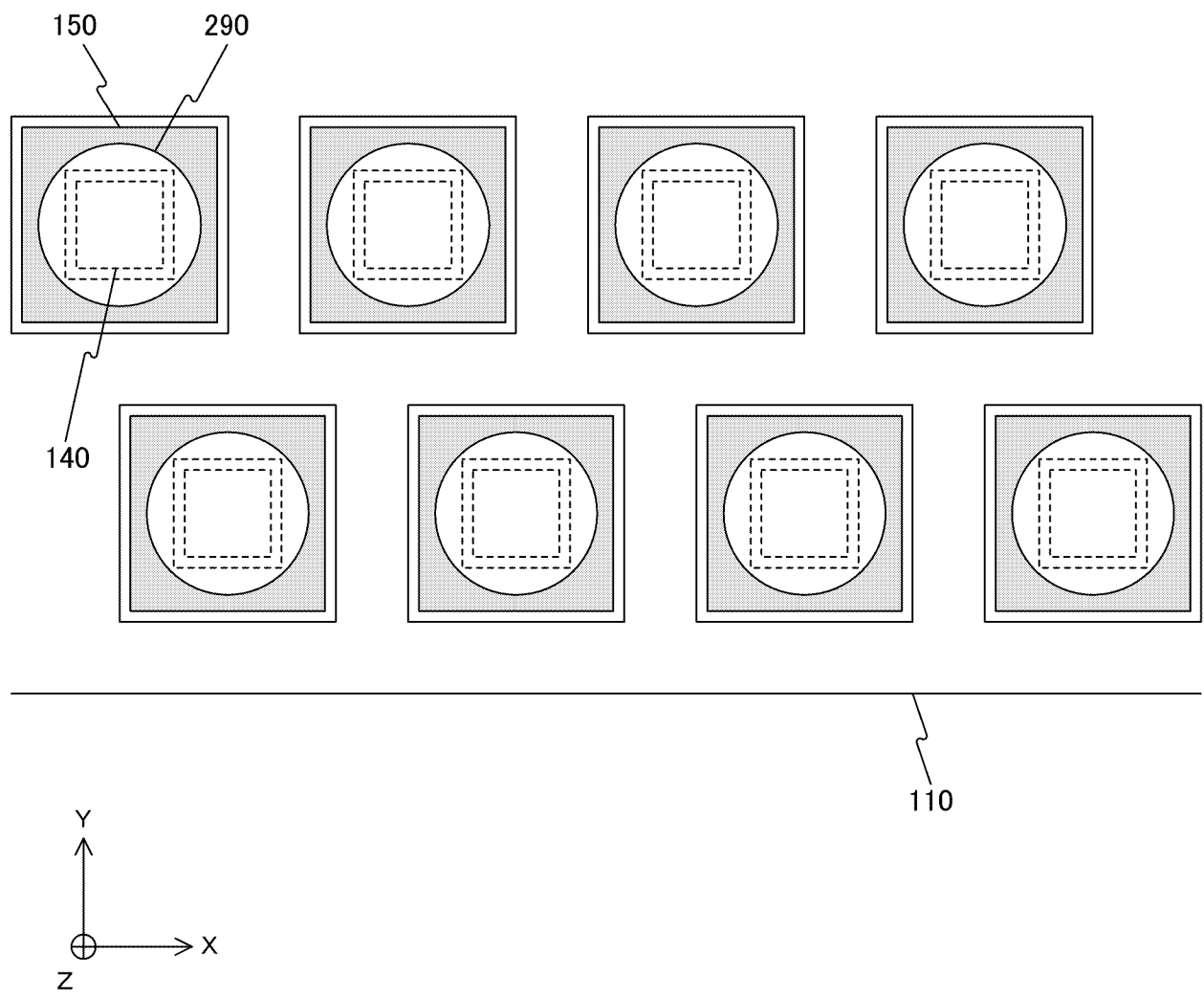
[図1]



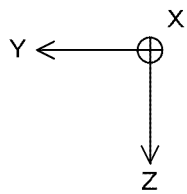
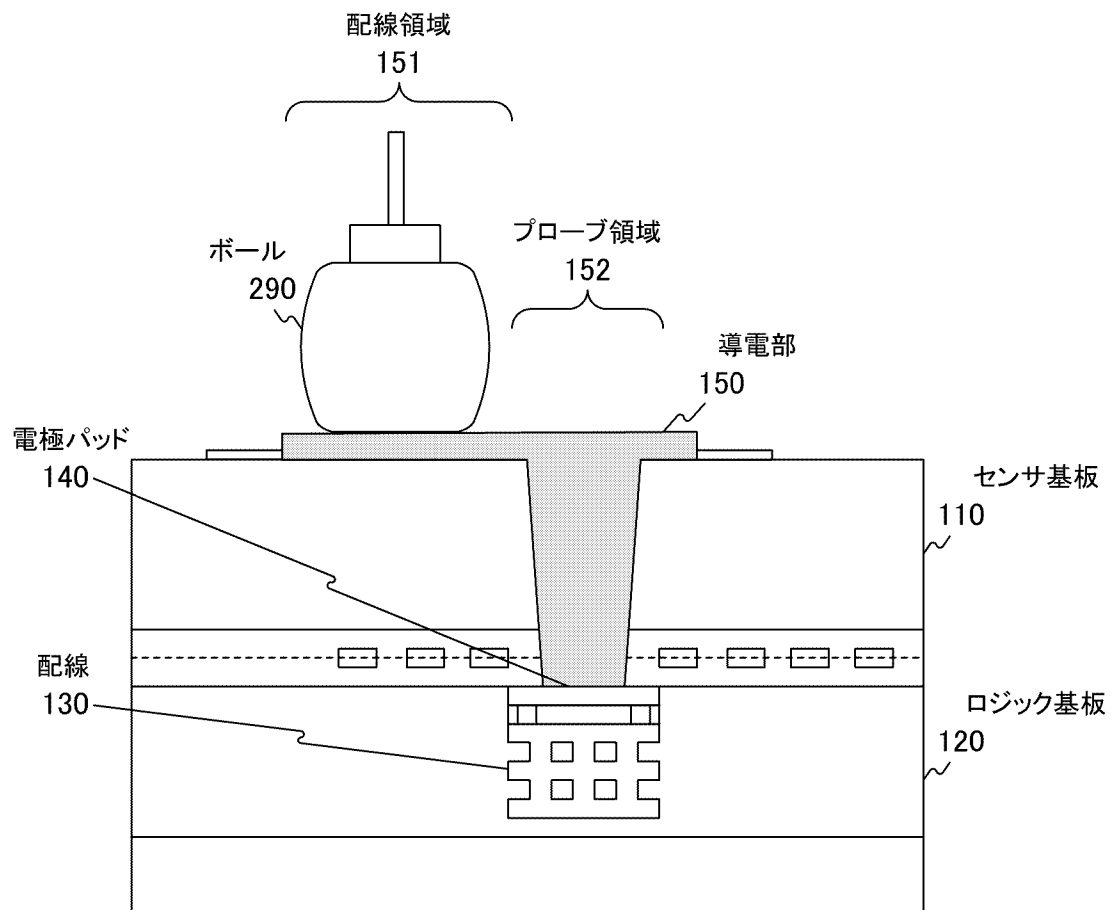
[図2]



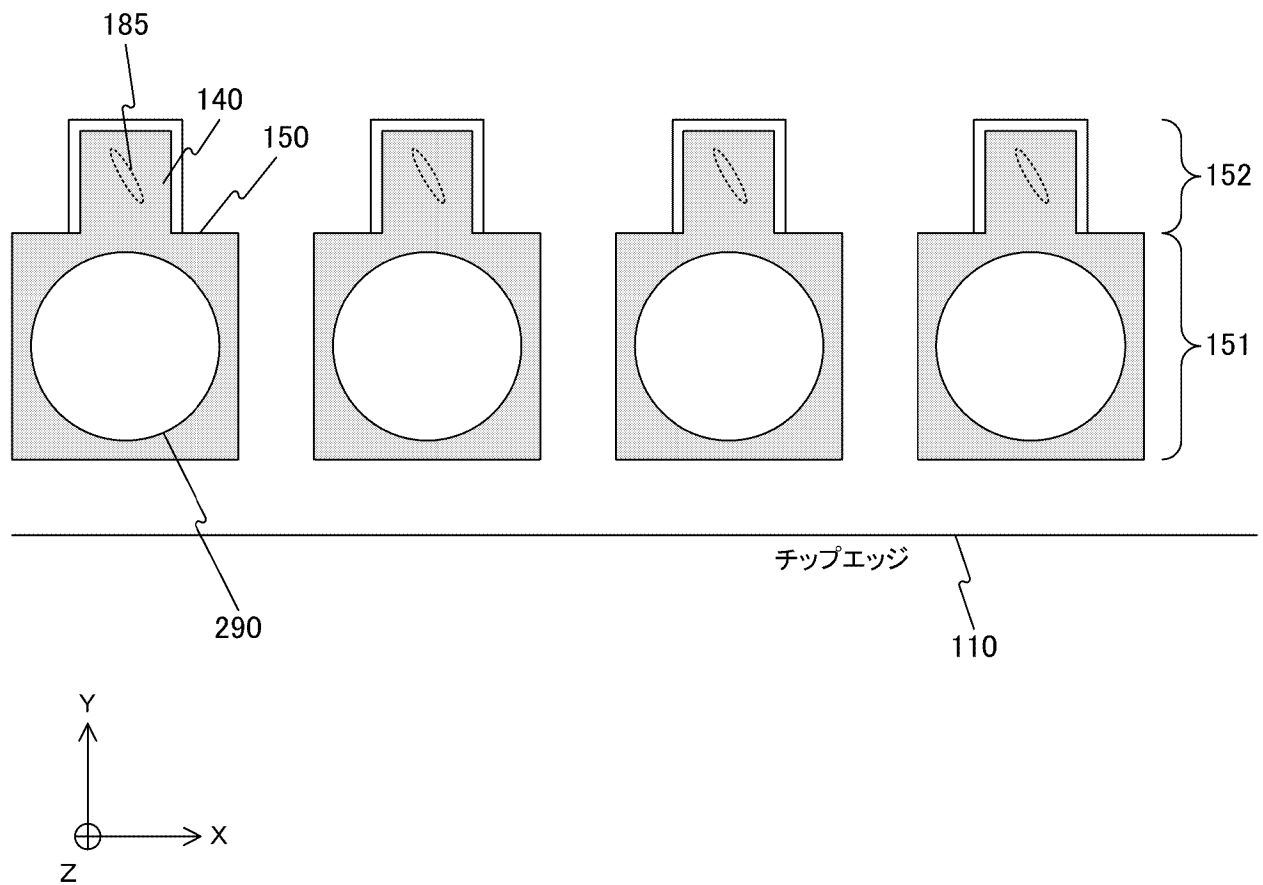
[図3]



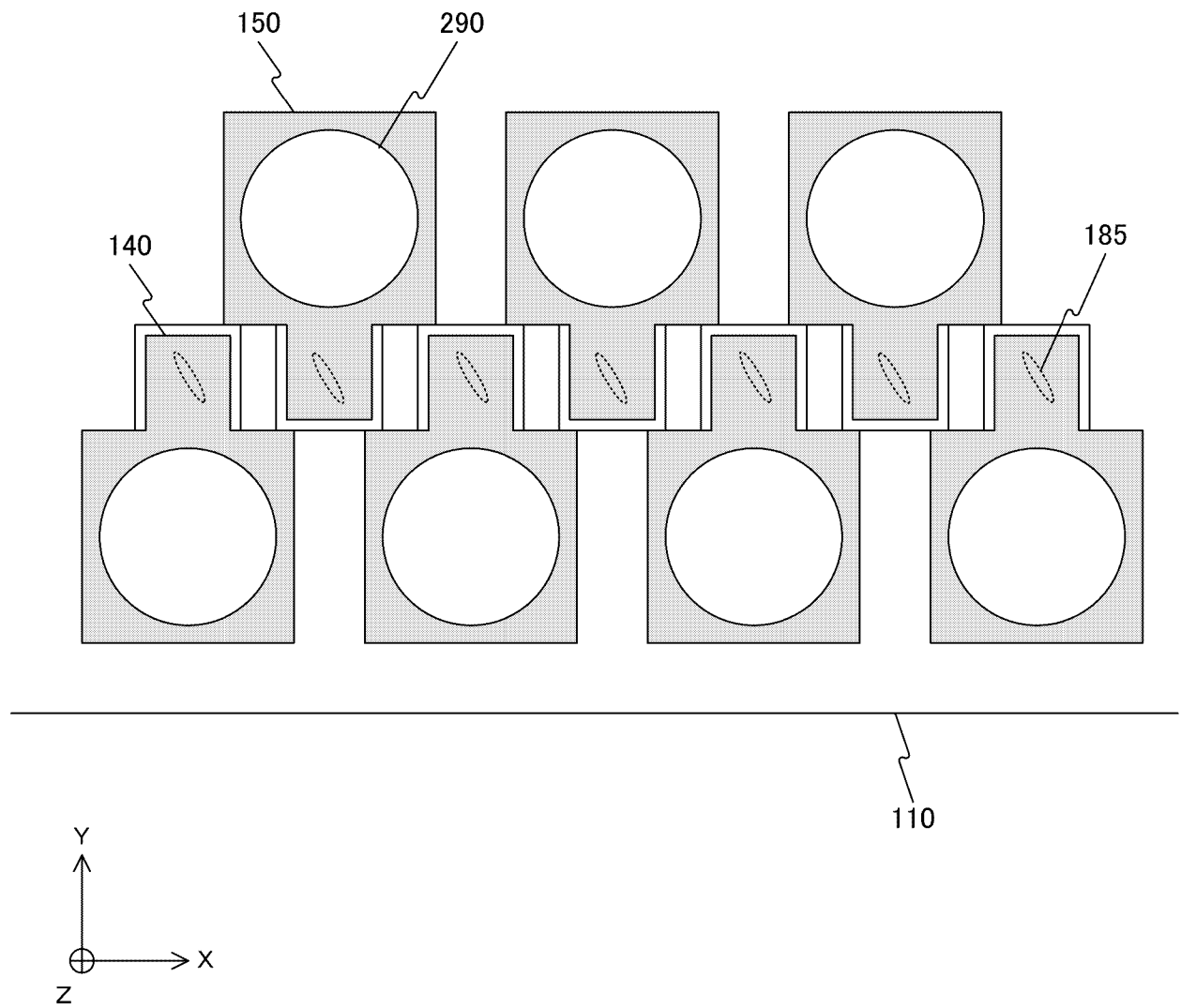
[図4]



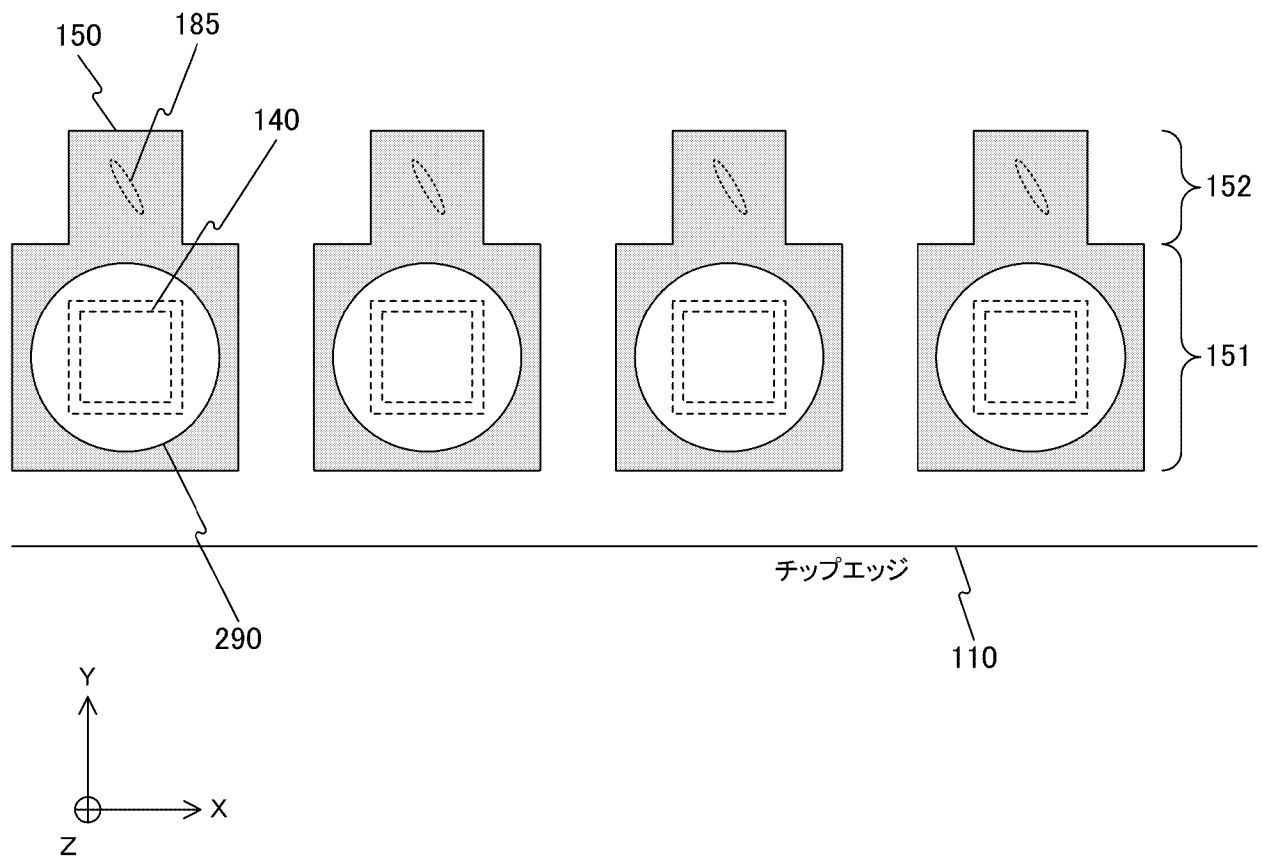
[図5]



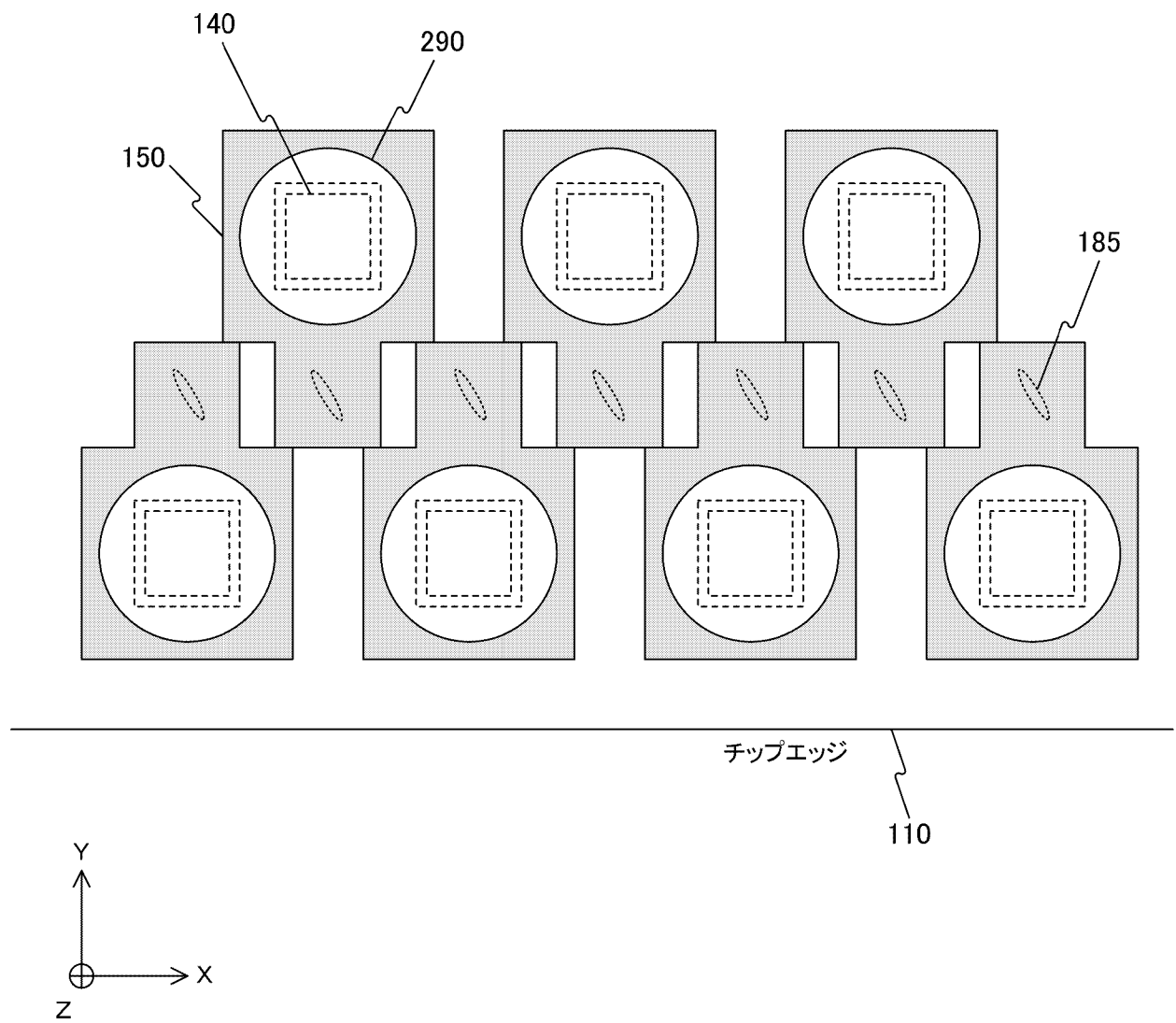
[図6]



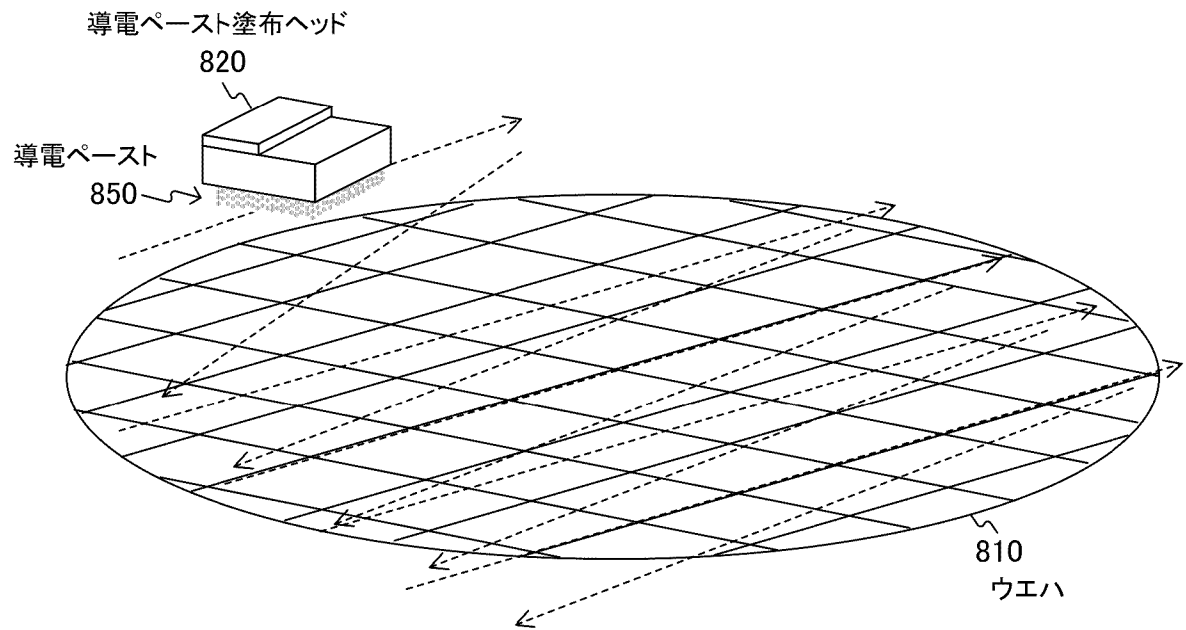
[図8]



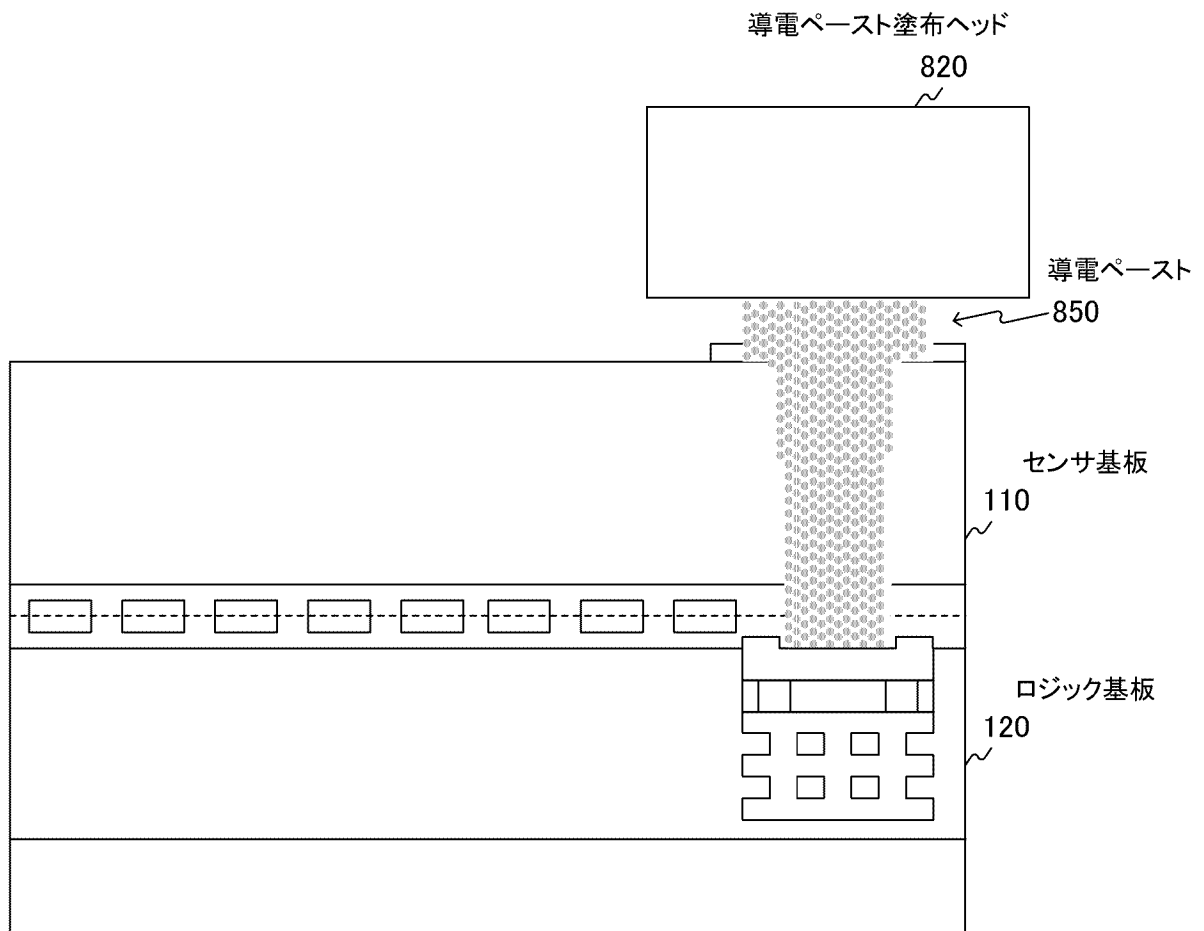
[図9]



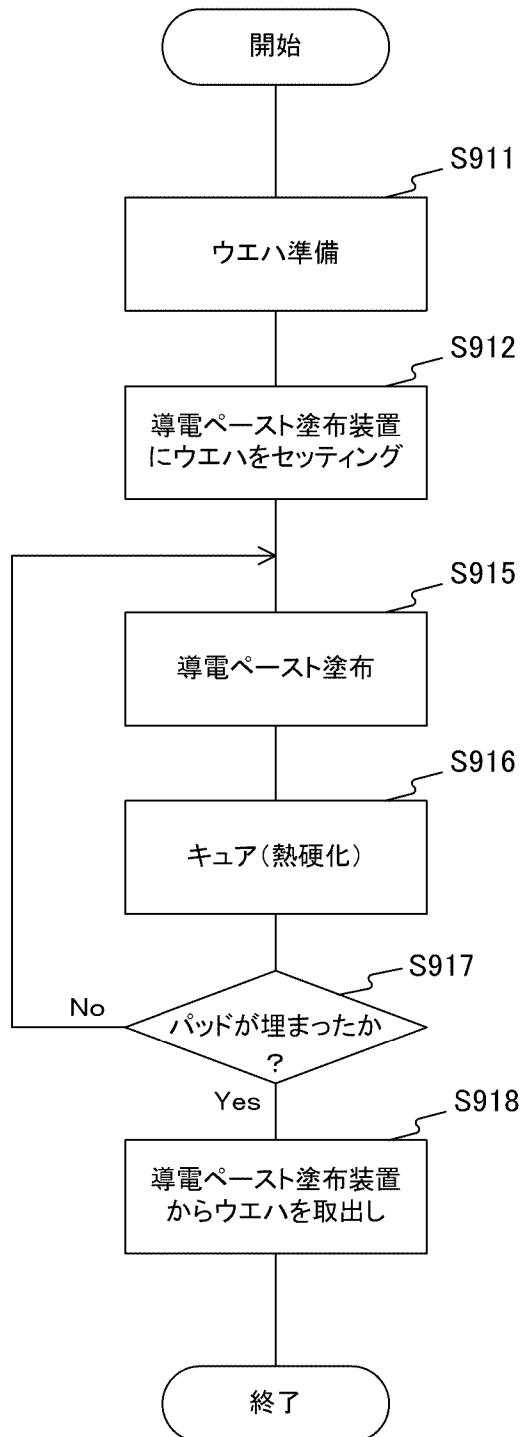
[図10]



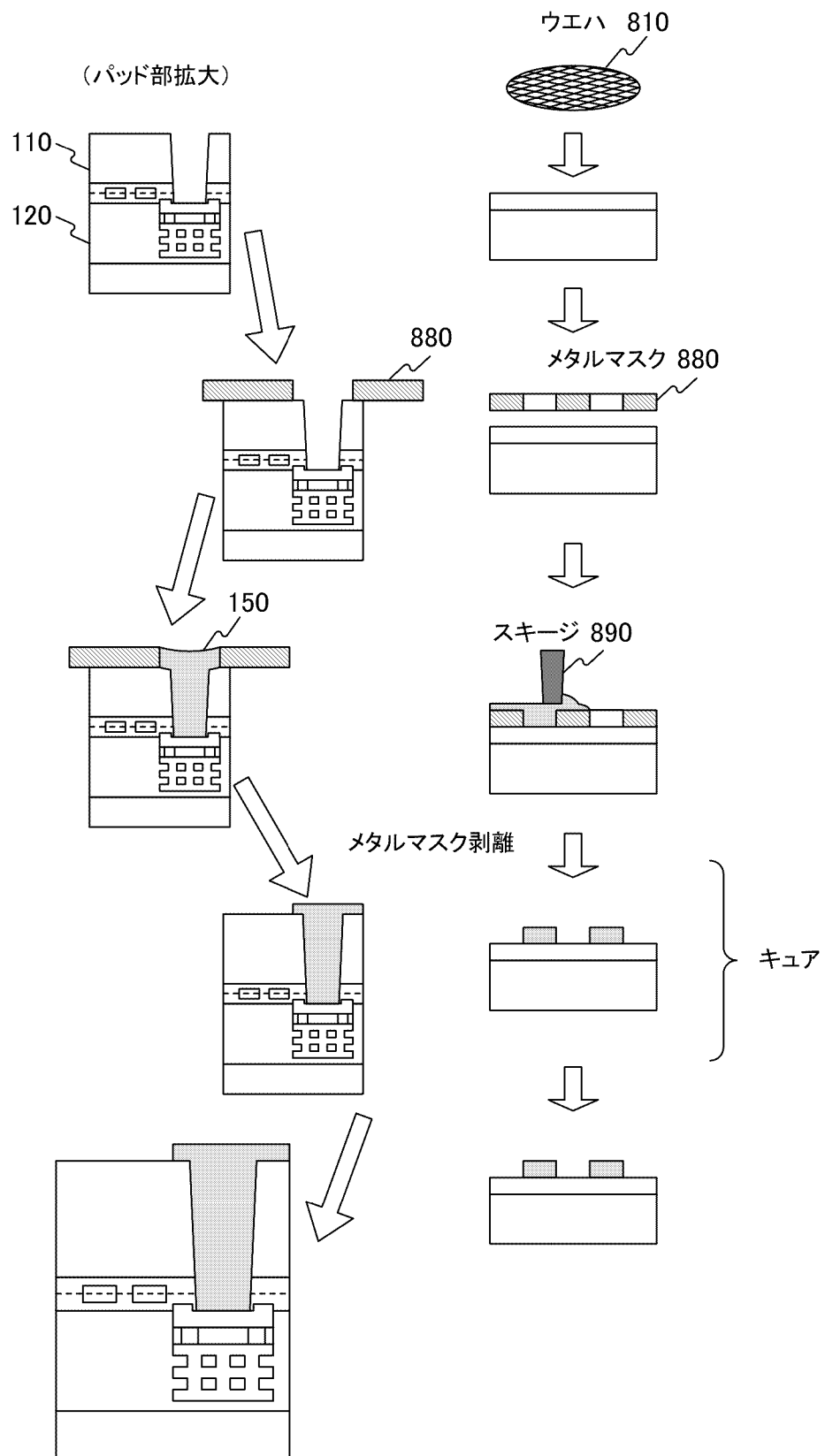
[図11]



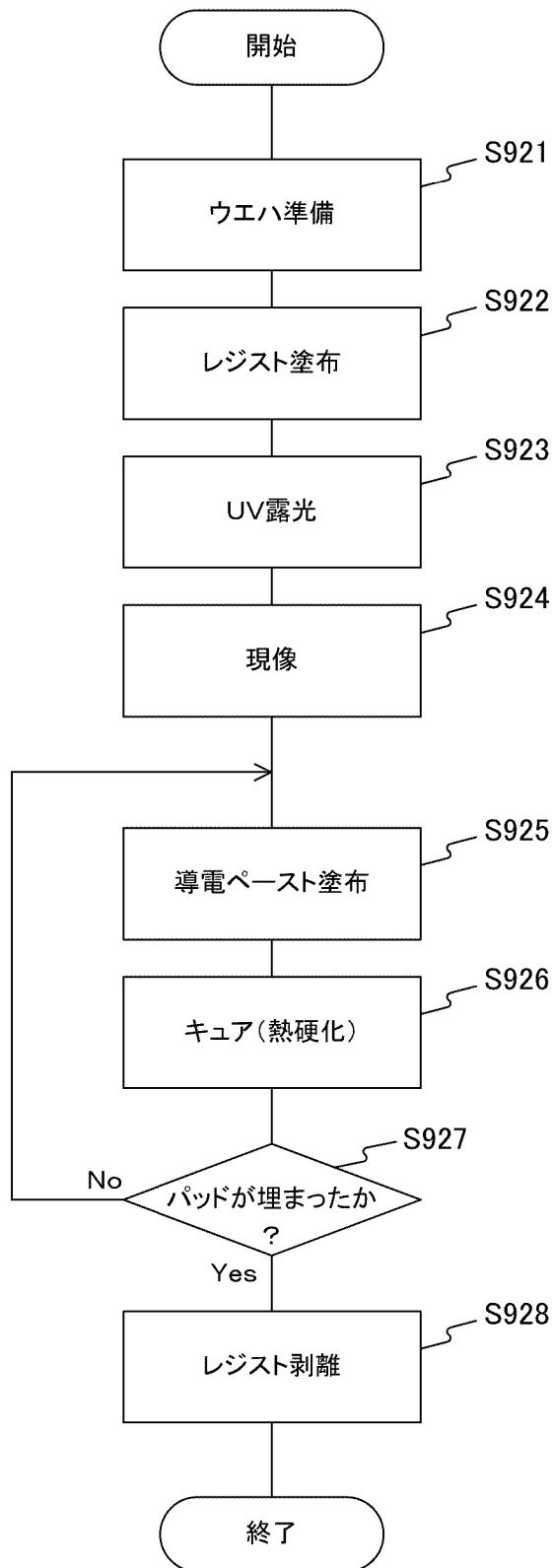
[図12]



[図13]



[図14]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/020006

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl. H01L21/60 (2006.01) i, H01L21/3205 (2006.01) i, H01L21/768 (2006.01) i, H01L23/522 (2006.01) i

FI: H01L21/60 301N, H01L21/88 T

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl. H01L21/60, H01L21/3205, H01L21/768, H01L23/522

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2005-527968 A (FREESCALE SEMICONDUCTOR INC.) 15 September 2005 (2005-09-15), paragraphs [0009]-[0011], [0015], [0020], [0033], fig. 4, 6, 12	1-5, 8, 9, 11-13
Y	JP 2001-15516 A (TOSHIBA CORP.) 19 January 2001 (2001-01-19), paragraph [0011], fig. 2	6, 7, 10
Y	JP 2010-114390 A (PANASONIC CORP.) 20 May 2010 (2010-05-20), paragraphs [0044]-[0046], fig. 1	6, 7
Y		10

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
12.07.2021

Date of mailing of the international search report
20.07.2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/JP2021/020006

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2005-527968 A	15.09.2005	US 2003/0173667 A1 paragraphs [0014]- [0016], [0020], [0024], [0038], fig. 4, 6, 12 TW 200306659 A CN 1643684 A AU 2003218145 A KR 10-0979081 B1 CN 1717802 A (Family: none)	
JP 2001-15516 A	19.01.2001		
JP 2010-114390 A	20.05.2010	US 2011/0140282 A1 paragraphs [0062]- [0067], fig. 2 CN 102150256 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 21/60(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 23/522(2006.01)i FI: H01L21/60 301N; H01L21/88 T														
B. 調査を行った分野														
調査を行った最小限資料（国際特許分類（IPC）） H01L21/60; H01L21/3205; H01L21/768; H01L23/522														
最小限資料以外の資料で調査を行った分野に含まれるもの														
<table border="0"> <tr> <td>日本国実用新案公報</td> <td>1922 - 1996年</td> </tr> <tr> <td>日本国公開実用新案公報</td> <td>1971 - 2021年</td> </tr> <tr> <td>日本国実用新案登録公報</td> <td>1996 - 2021年</td> </tr> <tr> <td>日本国登録実用新案公報</td> <td>1994 - 2021年</td> </tr> </table>			日本国実用新案公報	1922 - 1996年	日本国公開実用新案公報	1971 - 2021年	日本国実用新案登録公報	1996 - 2021年	日本国登録実用新案公報	1994 - 2021年				
日本国実用新案公報	1922 - 1996年													
日本国公開実用新案公報	1971 - 2021年													
日本国実用新案登録公報	1996 - 2021年													
日本国登録実用新案公報	1994 - 2021年													
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）														
C. 関連すると認められる文献														
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号												
X	JP 2005-527968 A（フリースケール セミコンダクター インコーポレイテッド） 15.09.2005（2005 - 09 - 15） 段落[0009]-[0011], [0015], [0020], [0033], [図4], [図6], [図12]	1-5, 8, 9, 11-13												
Y		6, 7, 10												
Y	JP 2001-15516 A（株式会社東芝）19.01.2001（2001 - 01 - 19） 段落[0011], [図2]	6, 7												
Y	JP 2010-114390 A（パナソニック株式会社）20.05.2010（2010 - 05 - 20） 段落[0044]-[0046], [図1]	10												
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。														
<table border="0"> <tr> <td>* 引用文献のカテゴリー</td> <td>“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの</td> </tr> <tr> <td>“A” 特に関連のある文献ではなく、一般的技術水準を示すもの</td> <td>“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの</td> </tr> <tr> <td>“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの</td> <td>“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの</td> </tr> <tr> <td>“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）</td> <td>“&” 同一パテントファミリー文献</td> </tr> <tr> <td>“O” 口頭による開示、使用、展示等に言及する文献</td> <td></td> </tr> <tr> <td>“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献</td> <td></td> </tr> </table>			* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの	“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの	“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの	“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献	“O” 口頭による開示、使用、展示等に言及する文献		“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献	
* 引用文献のカテゴリー	“T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの													
“A” 特に関連のある文献ではなく、一般的技術水準を示すもの	“X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの													
“E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	“Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの													
“L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）	“&” 同一パテントファミリー文献													
“O” 口頭による開示、使用、展示等に言及する文献														
“P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献														
国際調査を完了した日 12.07.2021	国際調査報告の発送日 20.07.2021													
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号	権限のある職員（特許庁審査官） 山口 祐一郎 5F 5093 電話番号 03-3581-1101 内線 3516													

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/020006

引用文献			公表日	パテントファミリー文献	公表日
JP	2005-527968	A	15.09.2005	US 2003/0173667 A1 [0014]-[0016], [0020], [0024], [0038], Fig.4, Fig.6, Fig.12 TW 200306659 A CN 1643684 A AU 2003218145 A KR 10-0979081 B1 CN 1717802 A	
JP	2001-15516	A	19.01.2001	(ファミリーなし)	
JP	2010-114390	A	20.05.2010	US 2011/0140282 A1 [0062]-[0067], Fig.2 CN 102150256 A	