

(19) 日本国特許庁(JP)

## (12) 特許公報(B2)

(11) 特許番号

特許第6466645号  
(P6466645)

(45) 発行日 平成31年2月6日(2019.2.6)

(24) 登録日 平成31年1月18日(2019.1.18)

(51) Int.Cl.

F 1

H04N 5/378 (2011.01)  
H03M 1/56 (2006.01)H04N 5/378  
H03M 1/56

請求項の数 4 (全 38 頁)

(21) 出願番号 特願2014-53593 (P2014-53593)  
 (22) 出願日 平成26年3月17日 (2014.3.17)  
 (65) 公開番号 特開2015-177421 (P2015-177421A)  
 (43) 公開日 平成27年10月5日 (2015.10.5)  
 審査請求日 平成29年3月2日 (2017.3.2)

(73) 特許権者 000000376  
 オリンパス株式会社  
 東京都八王子市石川町2951番地  
 (74) 代理人 100106909  
 弁理士 棚井 澄雄  
 (74) 代理人 100064908  
 弁理士 志賀 正武  
 (74) 代理人 100094400  
 弁理士 鈴木 三義  
 (74) 代理人 100086379  
 弁理士 高柴 忠夫  
 (74) 代理人 100139686  
 弁理士 鈴木 史朗  
 (74) 代理人 100161702  
 弁理士 橋本 宏之

最終頁に続く

(54) 【発明の名称】撮像装置

## (57) 【特許請求の範囲】

## 【請求項 1】

光電変換素子を有する複数の画素が行列状に配置された撮像部と、  
 互いに位相の異なる複数の位相信号を生成するクロック生成部と、  
 時間の経過とともに増加あるいは減少する参照信号を生成する参照信号生成部と、  
 前記複数の画素の配列の列に対応して配置され、前記画素から出力される画素信号と前記参照信号との比較処理を第1のタイミングで開始し、前記参照信号が前記画素信号に対して所定の条件を満たした第2のタイミングで前記比較処理を終了する比較部と、  
 前記比較部に対応して配置され、前記複数の位相信号の論理状態をラッチするラッチ部と、

前記比較部に対応して配置され、前記第2のタイミングで前記ラッチ部を有効にし、前記第2のタイミングから、前記比較部から出力される電流に基づく時間が経過した第3のタイミングで前記ラッチ部にラッチを実行させるラッチ制御部と、

を有し、

前記比較部は、

ゲートに前記参照信号が入力される第1のトランジスタ、およびゲートに前記画素信号が入力される第2のトランジスタを有し、前記第1のトランジスタのゲートおよび前記第2のトランジスタのゲートの電圧の初期化時に基準信号を出力し、前記比較処理の実行時に、前記参照信号と前記画素信号とを比較した結果に応じた第1の比較信号を出力する差動アンプと、

10

20

ソースが電圧源に接続され、前記比較処理の実行時に電流を出力する第3のトランジスタと、

第1の端子が前記第3のトランジスタのゲートに接続されるとともに第2の端子が前記電圧源に接続され、前記初期化時に前記基準信号に基づく基準電圧をサンプリングし、前記比較処理の実行時に前記第1の端子に前記基準電圧を出力する第1の容量素子と、

を有し、

前記第1の比較信号または前記第1の比較信号に基づく信号の状態が変化する前記第2のタイミングの後、前記第3のトランジスタに流れる電流に基づく第2の比較信号を出力し、  
前記比較部はさらに、

前記初期化時に前記第1のトランジスタのゲートおよびドレインを接続し、前記比較処理の実行時に前記第1のトランジスタのゲートおよびドレインを切り離す第1のスイッチ素子と、  
10

前記初期化時に前記第2のトランジスタのゲートおよびドレインを接続し、前記比較処理の実行時に前記第2のトランジスタのゲートおよびドレインを切り離す第2のスイッチ素子と、

第1の端子が前記第1のトランジスタのゲートに接続されるとともに第2の端子に前記参考信号が入力され、前記初期化時に第1のトランジスタのドレインの電圧をサンプリングする第2の容量素子と、

第1の端子が前記第2のトランジスタのゲートに接続されるとともに第2の端子に前記画素信号が入力され、前記初期化時に第2のトランジスタのドレインの電圧をサンプリングする第3の容量素子と、  
20

を有し、

前記第1のトランジスタおよび前記第2のトランジスタが第1導電型のトランジスタであり、前記第3のトランジスタが第2導電型のトランジスタであり、

前記比較部はさらに、

前記基準信号および前記第1の比較信号がゲートに入力される第1導電型の第4のトランジスタと、

ドレインが前記第4のトランジスタのソースに接続された第1導電型の第5のトランジスタと、

前記第4のトランジスタと前記第5のトランジスタとの接続点から出力される信号がゲートに入力され、ドレインが前記第3のトランジスタのドレインに接続された第1導電型の第6のトランジスタと、  
30

前記初期化時に前記第3のトランジスタのドレインおよび前記第1の容量素子の前記第1の端子を接続し、前記比較処理の実行時に前記第3のトランジスタのドレインおよび前記第1の容量素子の前記第1の端子を切り離す第3のスイッチ素子と、

を有し、

前記第1の容量素子は、前記初期化時に前記第3のトランジスタのドレインの電圧である基準電圧をサンプリングし、

前記第3のトランジスタと前記第6のトランジスタとの接続点から前記第2の比較信号を出力することを特徴とする撮像装置。  
40

## 【請求項 2】

光電変換素子を有する複数の画素が行列状に配置された撮像部と、

互いに位相の異なる複数の位相信号を生成するクロック生成部と、

時間の経過とともに増加あるいは減少する参照信号を生成する参照信号生成部と、

前記複数の画素の配列の列に対応して配置され、前記画素から出力される画素信号と前記参照信号との比較処理を第1のタイミングで開始し、前記参照信号が前記画素信号に対して所定の条件を満たした第2のタイミングで前記比較処理を終了する比較部と、

前記比較部に対応して配置され、前記複数の位相信号の論理状態をラッチするラッチ部と、

前記比較部に対応して配置され、前記第2のタイミングで前記ラッチ部を有効にし、前  
50

記第2のタイミングから、前記比較部から出力される電流に基づく時間が経過した第3のタイミングで前記ラッチ部にラッチを実行させるラッチ制御部と、  
を有し、

前記比較部は、

ゲートに前記参照信号が入力される第1のトランジスタ、およびゲートに前記画素信号が入力される第2のトランジスタを有し、前記第1のトランジスタのゲートおよび前記第2のトランジスタのゲートの電圧の初期化時に基準信号を出力し、前記比較処理の実行時に、前記参照信号と前記画素信号とを比較した結果に応じた第1の比較信号を出力する差動アンプと、

ソースが電圧源に接続され、前記比較処理の実行時に電流を出力する第3のトランジスタと、

10

第1の端子が前記第3のトランジスタのゲートに接続されるとともに第2の端子が前記電圧源に接続され、前記初期化時に前記基準信号に基づく基準電圧をサンプリングし、前記比較処理の実行時に前記第1の端子に前記基準電圧を出力する第1の容量素子と、

を有し、

前記第1の比較信号または前記第1の比較信号に基づく信号の状態が変化する前記第2のタイミングの後、前記第3のトランジスタに流れる電流に基づく第2の比較信号を出力し、

前記比較部はさらに、

前記初期化時に前記第1のトランジスタのゲートおよびドレインを接続し、前記比較処理の実行時に前記第1のトランジスタのゲートおよびドレインを切り離す第1のスイッチ素子と、

20

前記初期化時に前記第2のトランジスタのゲートおよびドレインを接続し、前記比較処理の実行時に前記第2のトランジスタのゲートおよびドレインを切り離す第2のスイッチ素子と、

第1の端子が前記第1のトランジスタのゲートに接続されるとともに第2の端子に前記参照信号が入力され、前記初期化時に第1のトランジスタのドレインの電圧をサンプリングする第2の容量素子と、

第1の端子が前記第2のトランジスタのゲートに接続されるとともに第2の端子に前記画素信号が入力され、前記初期化時に第2のトランジスタのドレインの電圧をサンプリングする第3の容量素子と、

30

を有し、

前記第1のトランジスタおよび前記第2のトランジスタが第1導電型のトランジスタであり、前記第3のトランジスタが第2導電型のトランジスタであり、

前記比較部はさらに、

前記基準信号および前記第1の比較信号がゲートに入力され、ドレインが前記第3のトランジスタのドレインに接続された第1導電型の第4のトランジスタと、

前記初期化時に前記第3のトランジスタのドレインおよび前記第1の容量素子の前記第1の端子を接続し、前記比較処理の実行時に前記第3のトランジスタのドレインおよび前記第1の容量素子の前記第1の端子を切り離す第3のスイッチ素子と、

を有し、

40

前記第1の容量素子は、前記初期化時に前記第3のトランジスタのドレインの電圧である基準電圧をサンプリングし、

前記第3のトランジスタと前記第4のトランジスタとの接続点から前記第2の比較信号を出力することを特徴とする撮像装置。

### 【請求項 3】

光電変換素子を有する複数の画素が行列状に配置された撮像部と、

互いに位相の異なる複数の位相信号を生成するクロック生成部と、

時間の経過とともに増加あるいは減少する参照信号を生成する参照信号生成部と、

前記複数の画素の配列の列に対応して配置され、前記画素から出力される画素信号と前記参照信号との比較処理を第1のタイミングで開始し、前記参照信号が前記画素信号に対

50

して所定の条件を満たした第2のタイミングで前記比較処理を終了する比較部と、  
前記比較部に対応して配置され、前記複数の位相信号の論理状態をラッチするラッチ部と、

前記比較部に対応して配置され、前記第2のタイミングで前記ラッチ部を有効にし、前記第2のタイミングから、前記比較部から出力される電流に基づく時間が経過した第3のタイミングで前記ラッチ部にラッチを実行させるラッチ制御部と、

を有し、

前記比較部は、

ゲートに前記参照信号が入力される第1のトランジスタ、およびゲートに前記画素信号が入力される第2のトランジスタを有し、前記第1のトランジスタのゲートおよび前記第2のトランジスタのゲートの電圧の初期化時に基準信号を出し、前記比較処理の実行時に、前記参照信号と前記画素信号とを比較した結果に応じた第1の比較信号を出力する差動アンプと、

ソースが電圧源に接続され、前記比較処理の実行時に電流を出力する第3のトランジスタと、

第1の端子が前記第3のトランジスタのゲートに接続されるとともに第2の端子が前記電圧源に接続され、前記初期化時に前記基準信号に基づく基準電圧をサンプリングし、前記比較処理の実行時に前記第1の端子に前記基準電圧を出力する第1の容量素子と、

を有し、

前記第1の比較信号または前記第1の比較信号に基づく信号の状態が変化する前記第2のタイミングの後、前記第3のトランジスタに流れる電流に基づく第2の比較信号を出力し、  
前記比較部はさらに、

前記初期化時に前記第1のトランジスタのゲートおよびドレインを接続し、前記比較処理の実行時に前記第1のトランジスタのゲートおよびドレインを切り離す第1のスイッチ素子と、

前記初期化時に前記第2のトランジスタのゲートおよびドレインを接続し、前記比較処理の実行時に前記第2のトランジスタのゲートおよびドレインを切り離す第2のスイッチ素子と、

第1の端子が前記第1のトランジスタのゲートに接続されるとともに第2の端子に前記参照信号が入力され、前記初期化時に第1のトランジスタのドレインの電圧をサンプリングする第2の容量素子と、

第1の端子が前記第2のトランジスタのゲートに接続されるとともに第2の端子に前記画素信号が入力され、前記初期化時に第2のトランジスタのドレインの電圧をサンプリングする第3の容量素子と、

を有し、

前記第1のトランジスタ、前記第2のトランジスタ、および前記第3のトランジスタが第1導電型のトランジスタであり、

前記比較部はさらに、

前記基準信号および前記第1の比較信号がゲートに入力される第2導電型の第4のトランジスタと、

ドレインが前記第4のトランジスタのドレインに接続された第1導電型の第5のトランジスタと、

前記第4のトランジスタと前記第5のトランジスタとの接続点から出力される信号がゲートに入力され、ドレインが前記第3のトランジスタのドレインに接続された第2導電型の第6のトランジスタと、

前記初期化時に前記第5のトランジスタのドレインおよび前記第1の容量素子の前記第1の端子を接続し、前記比較処理の実行時に前記第5のトランジスタのドレインおよび前記第1の容量素子の前記第1の端子を切り離す第3のスイッチ素子と、

を有し、

前記第1の容量素子は、前記初期化時に前記第5のトランジスタのドレインの電圧である

10

20

30

40

50

基準電圧をサンプリングし、

前記第3のトランジスタと前記第6のトランジスタとの接続点から前記第2の比較信号を出力することを特徴とする撮像装置。

#### 【請求項 4】

前記比較部はさらに、第1の端子が前記第4のトランジスタのゲートに接続されるとともに第2の端子が前記第4のトランジスタのドレインに接続された第4の容量素子を有することを特徴とする請求項3に係る撮像装置。

#### 【発明の詳細な説明】

##### 【技術分野】

##### 【0001】

10

本発明は、撮像装置に関する。

##### 【背景技術】

##### 【0002】

TDC (=Time to Digital Converter) 型AD変換回路とSS (=Single Slope) 型AD変換回路とを組み合せたtdcSS (=time to digital converter Single Slope) 型AD変換回路を用いた撮像装置の一例として、特許文献1に記載の構成が知られている。図16は、第1の従来例に係るtdcSS型AD変換回路の構成の一部を示している。以下では、図16に示す回路の構成および動作について説明する。

##### 【0003】

20

図16に示す回路は、比較部1031、ラッチ部1033、カウント部1034、バッファ回路BUFを有する。比較部1031は、AD変換の対象となるアナログ信号Signalと、時間の経過と共に減少する参照信号Rampとが入力され、アナログ信号Signalと参照信号Rampとを比較した結果に基づく比較信号COを出力する電圧比較器COMPを有する。ラッチ部1033は、互いに位相の異なる複数の位相信号CK[0]～CK[7]の論理状態をラッチする複数のラッチ回路L\_0～L\_7を有する。カウント部1034は、ラッチ回路L\_7から出力される位相信号CK[7]に基づいてカウントを行うカウンタ回路CNTを有する。制御信号RSTは、カウンタ回路CNTのリセット動作を行うための信号である。

##### 【0004】

30

比較部1031において、アナログ信号Signalの振幅に応じたタイムインターバル(時間軸方向の大きさ)が生成される。バッファ回路BUFは、入力信号を反転して出力する反転バッファ回路である。

##### 【0005】

ラッチ部1033を構成するラッチ回路L\_0～L\_7は、バッファ回路BUFからの制御信号HoldがH状態(High状態)のときにイネーブル(有効、アクティブ)状態であり、入力された位相信号CK[0]～CK[7]をそのまま出力する。また、ラッチ回路L\_0～L\_7は、バッファ回路BUFからの制御信号HoldがH状態からL状態(Low状態)に遷移するときにディスエーブル(無効、ホールド)状態となり、入力された位相信号CK[0]～CK[7]の論理状態をラッチする。

##### 【0006】

40

次に、第1の従来例に係る回路の動作について説明する。図17は、参照信号Ramp、アナログ信号Signal、スタートパルスStartP、位相信号CK[0]～CK[7]、比較信号CO、バッファ回路BUFからの制御信号Hold、ラッチ部1033のラッチ回路L\_0～L\_7の出力信号Q0～Q7の波形を示している。図17の横方向は時間を示し、図17の縦方向は電圧を示している。

##### 【0007】

まず、比較部1031での比較開始に係る第1のタイミングで、位相信号CK[0]～CK[7]の生成が開始され、生成された位相信号CK[0]～CK[7]がラッチ部1033のラッチ回路L\_0～L\_7に入力される。バッファ回路BUFからの制御信号HoldがH状態であるため、ラッチ回路L\_0～L\_7はイネーブル状態であり、位相信号CK[0]～CK[7]をそのまま出力する。

##### 【0008】

カウント部1034は、ラッチ部1033のラッチ回路L\_7から出力される位相信号CK[7]に基づ

50

いてカウントを行う。このカウントでは、位相信号CK[7]の立上りまたは立下りのタイミングでカウント値が増加または減少する。アナログ信号Signalと参照信号Rampとの電圧が略一致した第2のタイミングで比較部1031からの比較信号COが反転する。比較信号COがバッファ回路BUFでバッファリングされた後、第3のタイミングでバッファ回路BUFからの制御信号HoldがL状態となる。

#### 【0009】

これにより、ラッチ回路L\_0～L\_7がディスエーブル状態となる。このとき、位相信号CK[0]～CK[7]の論理状態がラッチ回路L\_0～L\_7にラッチされる。カウント部1034は、ラッチ回路L\_7が動作を停止することでカウント値をラッチする。ラッチ部1033がラッチしている論理状態と、カウント部1034がラッチしているカウント値とにより、アナログ信号Signalに対応したデジタルデータが得られる。10

#### 【0010】

さらに、特許文献2に記載された構成が提案されている。図18は、第2の従来例に係るtdcSS型AD変換回路の構成の一部を示している。以下では、図18に示す回路の構成および動作について説明する。

#### 【0011】

図18に示す回路は、比較部1031、ラッチ制御部1032、ラッチ部1033、カウント部1034を有する。比較部1031、カウント部1034は、図16に示す比較部1031、カウント部1034と同一である。

#### 【0012】

ラッチ制御部1032は、反転遅延回路DLY、AND回路AND1を有し、ラッチ部1033の動作を制御する制御信号を生成する。反転遅延回路DLYには、比較部1031からの比較信号COが入力される。反転遅延回路DLYは、比較信号COを反転して遅延させた比較信号xCO\_Dを出力する。AND回路AND1には、反転遅延回路DLYからの比較信号xCO\_Dと比較部1031からの比較信号COとが入力される。AND回路AND1は、比較信号xCO\_Dと比較信号COとの論理積(AND)をとった制御信号Hold\_Lを出力する。20

#### 【0013】

ラッチ部1033は、ラッチ回路L\_0～L\_7、AND回路AND2を有する。ラッチ回路L\_0～L\_7は、図16に示すラッチ回路L\_0～L\_7と同一である。AND回路AND2は、ラッチ制御部1032の反転遅延回路DLYからの比較信号xCO\_Dと制御信号Enableとの論理積(AND)をとった制御信号Hold\_Cをラッチ回路L\_7に出力する。30

#### 【0014】

次に、第2の従来例に係る回路の動作について説明する。図19は、スタートパルスStart P、位相信号CK[0]～CK[7]、比較信号xCO\_D、比較信号CO、AND回路AND1からの制御信号Hold\_L、制御信号Enable、AND回路AND2からの制御信号Hold\_C、ラッチ部1033のラッチ回路L\_0～L\_7の出力信号Q0～Q7の波形を示している。図19の横方向は時間を示し、図19の縦方向は電圧を示している。

#### 【0015】

以下では、第1の従来例に係る回路の動作と異なる部分について説明する。比較部1031での比較開始に係る第1のタイミングの後、比較部1031に入力されるアナログ信号Signalと参照信号Rampとの電圧が略一致するまで、比較部1031からの比較信号COはL状態である。比較信号COがL状態である間、反転遅延回路DLYからの比較信号xCO\_DはH状態である。反転遅延回路DLYからの比較信号xCO\_DがH状態であり、比較部1031からの比較信号COがL状態であるため、AND回路AND1からの制御信号Hold\_LはL状態である。このため、ラッチ回路L\_0～L\_6はディスエーブル状態である。40

#### 【0016】

一方、比較部1031での比較開始に係る第1のタイミングで制御信号EnableはH状態であり、反転遅延回路DLYからの比較信号xCO\_DがH状態であるため、AND回路AND2からの制御信号Hold\_CはH状態である。このため、ラッチ回路L\_7はイネーブル状態である。

#### 【0017】

50

続いて、アナログ信号Signalと参照信号Rampとの電圧が略一致した第2のタイミングで比較部1031からの比較信号COが反転する。反転遅延回路DLYからの比較信号xCO\_DがH状態であり、比較部1031からの比較信号COがL状態からH状態に変化するため、AND回路AND1の制御信号Hold\_LはL状態からH状態に変化する。これによって、ラッチ回路L\_0～L\_6はイネーブル状態となる。

#### 【0018】

さらに、比較部1031からの比較信号COが反転したタイミングから所定の時間が経過した第3のタイミングで反転遻延回路DLYからの比較信号xCO\_DがH状態からL状態に変化する。これによって、AND回路AND1の制御信号Hold\_LおよびAND回路AND2の制御信号Hold\_CがH状態からL状態に変化するため、ラッチ回路L\_0～L\_7はディスエーブル状態となる。

10

#### 【0019】

上記の動作では、第2のタイミングから第3のタイミングまでの期間のみ、ラッチ回路L\_0～L\_6が動作するため、第1の従来例と比較して、消費電流を低減することができる。

#### 【0020】

反転遻延回路DLYの具体的な構成として、例えば非特許文献1に記載された、インバータ回路を多段に接続した、いわゆるDelay Lineを適用することが考えられる。

#### 【先行技術文献】

##### 【特許文献】

##### 【0021】

【特許文献1】特開2011-55196号公報

20

【特許文献2】特開2012-39386号公報

##### 【非特許文献】

##### 【0022】

【非特許文献1】ITE Technical Report Vol.37, No.29

##### 【発明の概要】

##### 【発明が解決しようとする課題】

##### 【0023】

しかしながら、従来のtdcSS型AD変換回路およびそれを用いた撮像装置には、電源およびグランドのバウンスに起因するAD変換精度の劣化の問題がある。以下、この問題について説明する。

30

##### 【0024】

従来のtdcSS型AD変換回路を用いた撮像装置が有するカラム回路では、行列状に配置された画素の配列の各列に対応して、比較部1031、ラッチ制御部1032、ラッチ部1033、カウント部1034が列毎に配置されている。カラム回路の各部には電源電圧VDDが供給されているが、カラム回路の端の列と比べて中央の列に近くなるほど（つまり、電源から遠くなるほど）、配線抵抗がより大きくなることにより、より大きな電圧降下が発生して電源電圧VDDが低下する。また、回路で消費される電流がより大きくなるほど、電圧降下はより大きくなる。また、同様の理由によって、カラム回路の端の列と比べて中央の列に近くなるほど（つまり、グランドから遠くなるほど）、グランド電圧GNDは上昇する。例えば、カラム回路の端の列では電源電圧VDD=1.5[V]、グランド電圧GND=0[V]であっても、カラム回路の中央の列では電源電圧VDD=1.2[V]、グランド電圧GND=0.3[V]程度になる場合がある。

40

##### 【0025】

AD変換期間中（例えば、全画素で略一定となるリセットレベルのAD変換期間中）に全列の比較部1031からの比較信号COが略同時に反転することにより反転遻延回路DLYとラッチ回路L\_0～L\_6とが略同時に動作を開始する（イネーブル状態になる）場合がある。この場合、全列の反転遻延回路DLYおよびラッチ回路L\_0～L\_6内で過渡的な電流が略同時に流れることにより、カラム回路の特に中央列付近では、この過渡的な電流と配線抵抗による電源およびグランドの過渡的なバウンス（電源電圧VDD=1.2[V]、グランド電圧GND=0.3[V]を中心とした過渡的な電圧のリンク）が発生する。

##### 【0026】

50

特に、インバータ回路では、入力信号の論理状態が反転したときにインバータ回路を構成するトランジスタに流れる貫通電流が大きいため、電源およびグランドのバウンスが発生しやすい。また、インバータ回路の伝搬遅延時間は電源電圧とグランド電圧との差に大きく依存する。

#### 【0027】

従来のtdcSS型AD変換回路では、ラッチ回路L\_0～L\_6が略同時に動作を開始した第2のタイミングから、反転遅延回路DLYにおける遅延時間だけ経過した第3のタイミングでラッチ回路L\_0～L\_7がディスエーブル状態となり、位相信号CK[0]～CK[7]の論理状態をラッチする。しかし、カラム回路の中央列付近では、電源およびグランドの電圧（バウンスの大きさ）に応じて、反転遅延回路DLYの遅延時間が変化し、ラッチタイミングである第3のタイミングが変化する。10

#### 【0028】

特に、インバータ回路を複数連結した構成による反転遅延回路DLYでは、電源およびグランドの電圧（バウンスの大きさ）の変化に応じて各インバータ回路の遅延時間tDLYが変化するとともに、各インバータ回路の遅延時間tDLYが累積する。これによって、反転遅延回路DLYの遅延時間が大きく変化し、ラッチ回路L\_0～L\_7が位相信号CK[0]～CK[7]の論理状態を正確にラッチできない可能性があった。この問題は、多数の比較部1031からの比較信号C0が略同時に変化する場合に発生する確率が高く、結果としてAD変換精度が低下する可能性があった。20

#### 【0029】

本発明は、AD変換精度の劣化を低減することができる撮像装置を提供する。

#### 【課題を解決するための手段】

#### 【0030】

本発明は、光電変換素子を有する複数の画素が行列状に配置された撮像部と、互いに位相の異なる複数の位相信号を生成するクロック生成部と、時間の経過とともに増加あるいは減少する参照信号を生成する参照信号生成部と、前記複数の画素の配列の列に対応して配置され、前記画素から出力される画素信号と前記参照信号との比較処理を第1のタイミングで開始し、前記参照信号が前記画素信号に対して所定の条件を満たした第2のタイミングで前記比較処理を終了する比較部と、前記比較部に対応して配置され、前記複数の位相信号の論理状態をラッチするラッチ部と、前記比較部に対応して配置され、前記第2のタイミングで前記ラッチ部を有効にし、前記第2のタイミングから、前記比較部から出力される電流に基づく時間が経過した第3のタイミングで前記ラッチ部にラッチを実行させるラッチ制御部と、を有し、前記比較部は、ゲートに前記参照信号が入力される第1のトランジスタ、およびゲートに前記画素信号が入力される第2のトランジスタを有し、前記第1のトランジスタのゲートおよび前記第2のトランジスタのゲートの電圧の初期化時に基準信号を出力し、前記比較処理の実行時に、前記参照信号と前記画素信号とを比較した結果に応じた第1の比較信号を出力する差動アンプと、ソースが電圧源に接続され、前記比較処理の実行時に電流を出力する第3のトランジスタと、第1の端子が前記第3のトランジスタのゲートに接続されるとともに第2の端子が前記電圧源に接続され、前記初期化時に前記基準信号に基づく基準電圧をサンプリングし、前記比較処理の実行時に前記第1の端子に前記基準電圧を出力する第1の容量素子と、を有し、前記第1の比較信号または前記第1の比較信号に基づく信号の状態が変化する前記第2のタイミングの後、前記第3のトランジスタに流れる電流に基づく第2の比較信号を出力し、前記比較部はさらに、前記初期化時に前記第1のトランジスタのゲートおよびドレインを接続し、前記比較処理の実行時に前記第1のトランジスタのゲートおよびドレインを切り離す第1のスイッチ素子と、前記初期化時に前記第2のトランジスタのゲートおよびドレインを接続し、前記比較処理の実行時に前記第2のトランジスタのゲートおよびドレインを切り離す第2のスイッチ素子と、第1の端子が前記第1のトランジスタのゲートに接続されるとともに第2の端子に前記参照信号が入力され、前記初期化時に第1のトランジスタのドレインの電圧をサンプリングする第2の容量素子と、第1の端子が前記第2のトランジスタのゲートに接続されるとともに第2

30
40
50

の端子に前記画素信号が入力され、前記初期化時に第2のトランジスタのドレインの電圧をサンプリングする第3の容量素子と、を有し、前記第1のトランジスタおよび前記第2のトランジスタが第1導電型のトランジスタであり、前記第3のトランジスタが第2導電型のトランジスタであり、前記比較部はさらに、前記基準信号および前記第1の比較信号がゲートに入力される第1導電型の第4のトランジスタと、ドレインが前記第4のトランジスタのソースに接続された第1導電型の第5のトランジスタと、前記第4のトランジスタと前記第5のトランジスタとの接続点から出力される信号がゲートに入力され、ドレインが前記第3のトランジスタのドレインに接続された第1導電型の第6のトランジスタと、前記初期化時に前記第3のトランジスタのドレインおよび前記第1の容量素子の前記第1の端子を接続し、前記比較処理の実行時に前記第3のトランジスタのドレインおよび前記第1の容量素子の前記第1の端子を切り離す第3のスイッチ素子と、を有し、前記第1の容量素子は、前記初期化時に前記第3のトランジスタのドレインの電圧である基準電圧をサンプリングし、前記第3のトランジスタと前記第6のトランジスタとの接続点から前記第2の比較信号を出力することを特徴とする撮像装置である。

### 【0033】

また、本発明は、光電変換素子を有する複数の画素が行列状に配置された撮像部と、互いに位相の異なる複数の位相信号を生成するクロック生成部と、時間の経過とともに増加あるいは減少する参照信号を生成する参照信号生成部と、前記複数の画素の配列の列に対応して配置され、前記画素から出力される画素信号と前記参照信号との比較処理を第1のタイミングで開始し、前記参照信号が前記画素信号に対して所定の条件を満たした第2のタイミングで前記比較処理を終了する比較部と、前記比較部に対応して配置され、前記複数の位相信号の論理状態をラッチするラッチ部と、前記比較部に対応して配置され、前記第2のタイミングで前記ラッチ部を有効にし、前記第2のタイミングから、前記比較部から出力される電流に基づく時間が経過した第3のタイミングで前記ラッチ部にラッチを実行させるラッチ制御部と、を有し、前記比較部は、ゲートに前記参照信号が入力される第1のトランジスタ、およびゲートに前記画素信号が入力される第2のトランジスタを有し、前記第1のトランジスタのゲートおよび前記第2のトランジスタのゲートの電圧の初期化時に基準信号を出力し、前記比較処理の実行時に、前記参照信号と前記画素信号とを比較した結果に応じた第1の比較信号を出力する差動アンプと、ソースが電圧源に接続され、前記比較処理の実行時に電流を出力する第3のトランジスタと、第1の端子が前記第3のトランジスタのゲートに接続されるとともに第2の端子が前記電圧源に接続され、前記初期化時に前記基準信号に基づく基準電圧をサンプリングし、前記比較処理の実行時に前記第1の端子に前記基準電圧を出力する第1の容量素子と、を有し、前記第1の比較信号または前記第1の比較信号に基づく信号の状態が変化する前記第2のタイミングの後、前記第3のトランジスタに流れる電流に基づく第2の比較信号を出力し、前記比較部はさらに、前記初期化時に前記第1のトランジスタのゲートおよびドレインを接続し、前記比較処理の実行時に前記第1のトランジスタのゲートおよびドレインを切り離す第1のスイッチ素子と、前記初期化時に前記第2のトランジスタのゲートおよびドレインを接続し、前記比較処理の実行時に前記第2のトランジスタのゲートおよびドレインを切り離す第2のスイッチ素子と、第1の端子が前記第1のトランジスタのゲートに接続されるとともに第2の端子に前記参照信号が入力され、前記初期化時に第1のトランジスタのドレインの電圧をサンプリングする第2の容量素子と、第1の端子が前記第2のトランジスタのゲートに接続されるとともに第2の端子に前記画素信号が入力され、前記初期化時に第2のトランジスタのドレインの電圧をサンプリングする第3の容量素子と、を有し、前記第1のトランジスタおよび前記第2のトランジスタが第1導電型のトランジスタであり、前記第3のトランジスタが第2導電型のトランジスタであり、前記比較部はさらに、前記基準信号および前記第1の比較信号がゲートに入力され、ドレインが前記第3のトランジスタのドレインに接続された第1導電型の第4のトランジスタと、前記初期化時に前記第3のトランジスタのドレインおよび前記第1の容量素子の前記第1の端子を接続し、前記比較処理の実行時に前記第3のトランジスタのドレインおよび前記第1の容量素子の前記第1の端子を切り離す第3のスイッチ素子と、

10

20

30

40

50

を有し、前記第1の容量素子は、前記初期化時に前記第3のトランジスタのドレインの電圧である基準電圧をサンプリングし、前記第3のトランジスタと前記第4のトランジスタとの接続点から前記第2の比較信号を出力することを特徴とする撮像装置である。

#### 【0034】

また、本発明は、光電変換素子を有する複数の画素が行列状に配置された撮像部と、互いに位相の異なる複数の位相信号を生成するクロック生成部と、時間の経過とともに増加あるいは減少する参照信号を生成する参照信号生成部と、前記複数の画素の配列の列に対応して配置され、前記画素から出力される画素信号と前記参照信号との比較処理を第1のタイミングで開始し、前記参照信号が前記画素信号に対して所定の条件を満たした第2のタイミングで前記比較処理を終了する比較部と、前記比較部に対応して配置され、前記複数の位相信号の論理状態をラッチするラッチ部と、前記比較部に対応して配置され、前記第2のタイミングで前記ラッチ部を有効にし、前記第2のタイミングから、前記比較部から出力される電流に基づく時間が経過した第3のタイミングで前記ラッチ部にラッチを実行させるラッチ制御部と、を有し、前記比較部は、ゲートに前記参照信号が入力される第1のトランジスタ、およびゲートに前記画素信号が入力される第2のトランジスタを有し、前記第1のトランジスタのゲートおよび前記第2のトランジスタのゲートの電圧の初期化時に基準信号を出し、前記比較処理の実行時に、前記参照信号と前記画素信号とを比較した結果に応じた第1の比較信号を出力する差動アンプと、ソースが電圧源に接続され、前記比較処理の実行時に電流を出力する第3のトランジスタと、第1の端子が前記第3のトランジスタのゲートに接続されるとともに第2の端子が前記電圧源に接続され、前記初期化時に前記基準信号に基づく基準電圧をサンプリングし、前記比較処理の実行時に前記第1の端子に前記基準電圧を出力する第1の容量素子と、を有し、前記第1の比較信号または前記第1の比較信号に基づく信号の状態が変化する前記第2のタイミングの後、前記第3のトランジスタに流れる電流に基づく第2の比較信号を出力し、前記比較部はさらに、前記初期化時に前記第1のトランジスタのゲートおよびドレインを接続し、前記比較処理の実行時に前記第1のトランジスタのゲートおよびドレインを切り離す第1のスイッチ素子と、前記初期化時に前記第2のトランジスタのゲートおよびドレインを接続し、前記比較処理の実行時に前記第2のトランジスタのゲートおよびドレインを切り離す第2のスイッチ素子と、第1の端子が前記第1のトランジスタのゲートに接続されるとともに第2の端子に前記参照信号が入力され、前記初期化時に第1のトランジスタのドレインの電圧をサンプリングする第2の容量素子と、第1の端子が前記第2のトランジスタのゲートに接続されるとともに第2の端子に前記画素信号が入力され、前記初期化時に第2のトランジスタのドレインの電圧をサンプリングする第3の容量素子と、を有し、前記第1のトランジスタ、前記第2のトランジスタ、および前記第3のトランジスタが第1導電型のトランジスタであり、前記比較部はさらに、前記基準信号および前記第1の比較信号がゲートに入力される第2導電型の第4のトランジスタと、ドレインが前記第4のトランジスタのドレインに接続された第1導電型の第5のトランジスタと、前記第4のトランジスタと前記第5のトランジスタとの接続点から出力される信号がゲートに入力され、ドレインが前記第3のトランジスタのドレインに接続された第2導電型の第6のトランジスタと、前記初期化時に前記第5のトランジスタのドレインおよび前記第1の容量素子の前記第1の端子を接続し、前記比較処理の実行時に前記第5のトランジスタのドレインおよび前記第1の容量素子の前記第1の端子を切り離す第3のスイッチ素子と、を有し、前記第1の容量素子は、前記初期化時に前記第5のトランジスタのドレインの電圧である基準電圧をサンプリングし、前記第3のトランジスタと前記第6のトランジスタとの接続点から前記第2の比較信号を出力することを特徴とする撮像装置である。

#### 【0035】

また、本発明の撮像装置において、前記比較部はさらに、第1の端子が前記第4のトランジスタのゲートに電気的に接続されるとともに第2の端子が前記第4のトランジスタのドレインに電気的に接続された第4の容量素子を有することを特徴とする。

#### 【発明の効果】

10

20

30

40

50

**【0036】**

本発明によれば、比較処理の実行時に電圧源のバウンスが発生した場合でも、そのバウンスに応じて第1の容量素子の第1の端子の基準電圧が変化し、その結果、ソースが電圧源に接続された第3のトランジスタのゲートおよびソース間の電圧の変化が抑制される。これによって、第3のトランジスタに流れる電流の変化が抑制されるので、電圧源のバウンスによる第3のタイミングの変化を抑制することが可能となる。したがって、AD変換精度の劣化を低減することができる。

**【図面の簡単な説明】****【0037】**

【図1】本発明の第1の実施形態に係る撮像装置の構成を示すブロック図である。 10

【図2】本発明の第1の実施形態に係る撮像装置が有する比較部の構成を示す回路図である。

【図3】本発明の第1の実施形態に係る撮像装置が有する比較部の動作を説明するための回路図である。

【図4】本発明の第1の実施形態に係る撮像装置が有する比較部の動作を説明するための回路図である。

【図5】本発明の第1の実施形態に係る撮像装置が有する比較部の動作を説明するための回路図である。

【図6】本発明の第1の実施形態の変形例に係る撮像装置が有する比較部の構成を示す回路図である。 20

【図7】本発明の第2の実施形態に係る撮像装置が有する比較部の構成を示す回路図である。

【図8】本発明の第3の実施形態に係る撮像装置が有する比較部の構成を示す回路図である。

【図9】本発明の第4の実施形態に係る撮像装置が有する比較部の構成を示す回路図である。

【図10】本発明の第4の実施形態に係る撮像装置が有する比較部の動作を説明するための回路図である。

【図11】本発明の第4の実施形態に係る撮像装置が有する比較部の動作を説明するための回路図である。 30

【図12】本発明の第4の実施形態に係る撮像装置が有する比較部の動作を説明するための回路図である。

【図13】本発明の第5の実施形態に係る撮像装置が有する比較部の構成を示す回路図である。

【図14】本発明の第6の実施形態に係る撮像装置が有する比較部の構成を示す回路図である。

【図15】本発明の第7の実施形態に係る撮像装置が有する比較部の構成を示す回路図である。

【図16】第1の従来例に係るtdcSS型AD変換回路の構成の一部を示すブロック図である。

【図17】第1の従来例に係るtdcSS型AD変換回路の動作を示すタイミングチャートである。 40

【図18】第2の従来例に係るtdcSS型AD変換回路の構成の一部を示すブロック図である。

【図19】第2の従来例に係るtdcSS型AD変換回路の動作を示すタイミングチャートである。

**【発明を実施するための形態】****【0038】**

以下、図面を参照し、本発明の実施形態を説明する。

**【0039】**

(第1の実施形態)

まず、本発明の第1の実施形態を説明する。図1は、本実施形態に係る撮像装置の構成の 50

一例を示している。図1に示す撮像装置1は、撮像部2、垂直選択部12、水平選択部14、カラム処理部15、出力部17、クロック生成部18、参照信号生成部19、制御部20を有する。

#### 【0040】

撮像部2は、光電変換素子を有する複数の単位画素3が行列状に配置されて構成されている。単位画素3は、入射される電磁波の大きさに応じた画素信号を生成し、列毎に設けられた垂直信号線13に画素信号を出力する。垂直選択部12は、撮像部2の各行を選択する。クロック生成部18は、互いに位相の異なる複数の位相信号を生成する。参照信号生成部19は、時間の経過とともに増加または減少する参照信号（ランプ波）を生成する。カラム処理部15は、単位画素3から出力された画素信号をAD変換する列AD変換部16を有する。水平選択部14は、AD変換されたデジタルデータを水平信号線に読み出す。出力部17は、水平選択部14によって読み出されたデジタルデータを後段の回路に出力する。制御部20は各部を制御する。10

#### 【0041】

図1では、簡単のため4行×6列の単位画素3から構成される撮像部2の場合について説明しているが、単位画素3の配列の行数および列数は2以上の任意の自然数であれば良い。現実には、撮像部2の各行や各列には、数十から数万の単位画素3が配置される。図示を割愛するが、撮像部2を構成する単位画素3は、フォトダイオード／フォトゲート／フォトトランジスタなどの光電変換素子、およびトランジスタ回路によって構成されている。

#### 【0042】

以下では、各部のより詳細な説明を行う。撮像部2では、単位画素3が4行6列分だけ2次元に配置されている。また、この4行6列の画素配列に対して行毎に行制御線11が配線されている。行制御線11の各一端は、垂直選択部12の各行に対応した各出力端に接続されている。垂直選択部12は、シフトレジスタあるいはデコーダなどによって構成され、撮像部2の各単位画素3の駆動に際して、行制御線11を介して撮像部2の行アドレスや行走査の制御を行う。また、撮像部2の画素配列に対して列毎に垂直信号線13が配線されている。20

#### 【0043】

カラム処理部15は、例えば撮像部2の画素配列の列毎、すなわち垂直信号線13毎に設けられた列AD変換部16を有する。列AD変換部16は、撮像部2の各単位画素3から列毎に垂直信号線13を介して読み出されるアナログの画素信号をデジタルデータに変換する。本例では、撮像部2の画素配列の1列に対して1対1の対応関係で列AD変換部16が配置されているが、これは一例に過ぎず、この配置関係に限定されるものではない。例えば、撮像部2の画素配列の複数の列に対して列AD変換部16を1つ配置し、この1つの列AD変換部16を複数の列間で時分割にて使用する構成をとることも可能である。カラム処理部15は、後述する参照信号生成部19と共に、撮像部2の選択行の単位画素3から読み出されるアナログの画素信号をデジタルの画素データに変換するアナログ-デジタル変換手段（AD変換回路）を構成している。30

#### 【0044】

クロック生成部18は、複数の遅延ユニット（反転素子）がリング状に接続された円環遅延回路であって対称発振回路であるVCO（=Voltage Controlled Oscillator）100で構成され、各遅延ユニットから、それぞれ一定の位相差を有する位相信号を出力する。出力する位相信号の数が2のべき乗となる非対称発振回路等をクロック生成部18に用いても構わない。クロック生成部18として円環遅延回路が好適であるが、それに限る必要もない。40

#### 【0045】

参照信号生成部19は、例えば積分回路によって構成され、制御部20による制御に従って、時間が経過するにつれてレベルが傾斜状に変化する参照信号、いわゆるランプ波を生成し、参照信号線を介してカラム処理部15の列AD変換部16に参照信号を供給する。参照信号生成部19としては、積分回路を用いたものに限られるものではなく、DAC回路を用いても構わない。ただし、DAC回路を用いてデジタル的にランプ波を生成する構成をとる場合には、ランプ波のステップを細かくする、あるいはそれと同等な構成をとる必要がある。

#### 【0046】

10

20

30

40

50

水平選択部14は、シフトレジスタあるいはデコーダなどによって構成され、カラム処理部15の列AD変換部16の列アドレスや列走査の制御を行う。この水平選択部14による制御に従って、列AD変換部16でAD変換されたデジタルデータは順に水平信号線を介して出力部17に読み出される。

#### 【0047】

制御部20は、垂直選択部12、クロック生成部18、参照信号生成部19、水平選択部14、カラム処理部15、出力部17などの各部の動作に必要なクロックや所定タイミングのパルス信号を供給するTG (=Timing Generator : タイミングジェネレータ) の機能ブロックと、このTGと通信を行うための機能ブロックとを備える。

#### 【0048】

出力部17は、2進化したデジタルデータを出力する。また、出力部17は、バッファリング機能以外に、例えば黒レベル調整、列バラツキ補正、色処理などの信号処理機能を内蔵しても構わない。更に、出力部17がnビットパラレルのデジタルデータをシリアルデータに変換して出力するようにしても構わない。

#### 【0049】

次に、列AD変換部16の構成について説明する。列AD変換部16は各々、撮像部2の各単位画素3から垂直信号線13を介して読み出されるアナログの画素信号を、参照信号生成部19から与えられる、AD変換するための参照信号と比較することにより、画素信号の大きさに対応した時間軸方向の大きさ(パルス幅)を持つパルス信号を生成する。そして、列AD変換部16は、このパルス信号のパルス幅の期間に対応したデータを画素信号の大きさに応じたデジタルデータとすることによってAD変換を行う。

#### 【0050】

以下では、列AD変換部16の構成の詳細について説明する。列AD変換部16は撮像部2の画素配列の列毎に配置されている。図1では6個の列AD変換部16が配置されている。各列の列AD変換部16は同一に構成されている。列AD変換部16は、比較部31、ラッチ制御部32、ラッチ部33、カウント部34を有する。

#### 【0051】

比較部31は、撮像部2の画素配列の列に対応して配置されている。前述したように、撮像部2の画素配列の複数の列に対して列AD変換部16が配置されていてもよいため、撮像部2の画素配列の複数の列に対して比較部31が配置されていてもよい。つまり、撮像部2の画素配列の1列毎または複数列毎に比較部31が配置される。

#### 【0052】

比較部31は、撮像部2の単位画素3から垂直信号線13を介して出力されるアナログの画素信号に応じた信号電圧と、参照信号生成部19から供給される参照信号のランプ電圧とを比較することによって、画素信号の大きさを、時間軸方向の情報(パルス信号のパルス幅)に変換する。比較部31が outputする比較信号は、例えばランプ電圧が信号電圧よりも大なるときにはHighレベル(Hレベル)になり、ランプ電圧が信号電圧以下のときにはLowレベル(Lレベル)になる。

#### 【0053】

比較部31は、単位画素3から出力される画素信号と参照信号との比較処理を第1のタイミングで開始し、参照信号が画素信号に対して所定の条件を満たした第2のタイミング(本例では参照信号と画素信号との電圧が略一致したタイミング)で比較処理を終了する。比較部31が比較処理を終了するタイミングで比較部31からの比較信号が反転する。

#### 【0054】

ラッチ部33、ラッチ制御部32、カウント部34は、比較部31に対応して配置されている。ラッチ部33は、クロック生成部18から出力された複数の位相信号の論理状態をラッチ(保持/記憶)する複数のラッチ回路L\_0~L\_7を有する。ラッチ部33がラッチした複数の位相信号の論理状態に基づいて出力部17でエンコードが行われ、デジタルデータを構成する下位ビットのデータ(下位データ)が得られる。

#### 【0055】

10

20

30

40

50

ラッチ制御部32は、ラッチ部33の動作を制御する制御信号を生成する。ラッチ制御部32は、第2のタイミングでラッチ部33を有効にし、第2のタイミングから、比較部31から出力される電流（比較信号の電流）に基づく時間が経過した第3のタイミングでラッチ部33にラッチを実行させる。

#### 【0056】

カウント部34は、クロック生成部18から出力される位相信号（本例では位相信号CK[7]）に基づいてカウントを行う。カウント部34がカウントを行うことによって、デジタルデータを構成する上位ビットのデータ（上位データ）が得られる。

#### 【0057】

ここで、ラッチ部33にラッチされる複数の位相信号CK[0]～CK[7]の論理状態に応じた信号は、例えば8ビットのデータである。また、カウント部34のカウント値が構成する上位データ信号は、例えば10ビットのデータである。10ビットは一例であって、10ビット未満のビット数（例えば、8ビット）や10ビットを超えるビット数（例えば、12ビット）などであっても構わない。

10

#### 【0058】

次に、本例の動作について説明する。ここでは、単位画素3の具体的な動作については説明を省略するが、周知のように単位画素3ではリセットレベルと信号レベルとが出力される。

#### 【0059】

AD変換は、以下のようにして行われる。例えば所定の傾きで下降する参照信号と、画素信号との各電圧を比較し、この比較処理が開始された時点（第1のタイミング）から、参照信号の電圧（ランプ電圧）と画素信号の電圧とが一致し（第2のタイミング）、さらに所定時間が経過した時点（第3のタイミング）までの期間の長さを、カウント部34のカウント値と、ラッチ部33にラッチされた複数の位相信号CK[0]～CK[7]の論理状態のエンコード値とによって計測することによって、画素信号の大きさに対応したデジタルデータを得る。

20

#### 【0060】

本実施形態では、単位画素3から読み出されたリセットレベルと信号レベルとのそれに対して、上記のAD変換を行う。より具体的には、撮像部2の選択行の各単位画素3から、1回目の読み出し動作により、画素信号の雑音を含むリセットレベルを読み出してAD変換し、続いて、2回目の読み出し動作により、単位画素3に入射された電磁波に応じた信号レベルを読み出してAD変換する。その後、デジタル的にリセットレベルと信号レベルとの減算（CDS処理）を行うことにより、信号成分に応じたデジタルデータを得る。1回目の読み出し動作で信号レベルを読み出してAD変換し、その後の2回目の読み出し動作でリセットレベルを読み出してAD変換しても構わない。また、これに限る必要もない。

30

#### 【0061】

##### （1回目の読み出し）

撮像部2の画素配列の任意の行の単位画素3から垂直信号線13に出力された画素信号（リセットレベル）が安定した後、制御部20は、参照信号生成部19に対して、参照信号生成の制御データを供給する。これを受け参照信号生成部19は、比較部31の第1の入力端子に与える比較電圧として、波形が全体として時間的にランプ状に変化する参照信号を出力する。比較部31は、この参照信号と画素信号とを比較する。ラッチ制御部32は、比較部31により比較が開始されたタイミング（第1のタイミング）でラッチ部33のラッチ回路L\_7をイネーブル（有効、アクティブ）状態とする。また、カウント部34は、クロック生成部18からの位相信号CK[7]をカウントクロックとしてカウントを行う。

40

#### 【0062】

比較部31は、参照信号生成部19から与えられる参照信号と、画素信号とを比較し、双方の電圧が略一致したとき（第2のタイミング）に、比較信号を反転させる。比較部31からの比較信号が反転したとき、ラッチ制御部32はラッチ部33のラッチ回路L\_0～L\_6をイネーブル状態とする。

50

**【 0 0 6 3 】**

比較部31からの比較信号が反転した後、この反転によりラッチ制御部32からの制御信号が反転したとき（第3のタイミング）、ラッチ部33のラッチ回路L\_0～L\_7がディスエーブル（無効、ホールド）状態となり、クロック生成部18からの複数の位相信号CK[0]～CK[7]の論理状態をラッチする。同時に、カウント部34は、カウント値をラッチする。これにより、リセットレベルに応じたデジタルデータが得られる。制御部20は、所定の期間が経過すると、参照信号生成部19への制御データの供給と、クロック生成部18からの位相信号の出力とを停止する。これにより、参照信号生成部19は、参照信号の生成を停止する。

**【 0 0 6 4 】**

(2回目の読み出し)

10

撮像部2の画素配列の任意の行の単位画素3から垂直信号線13に出力された画素信号（信号レベル）が安定した後、制御部20は、参照信号生成部19に対して、参照信号生成の制御データを供給する。これを受けて参照信号生成部19は、比較部31の第1の入力端子に与える比較電圧として、波形が全体として時間的にランプ状に変化する参照信号を出力する。比較部31は、この参照信号と画素信号とを比較する。ラッチ制御部32は、比較部31により比較が開始されたタイミング（第1のタイミング）でラッチ部33のラッチ回路L\_7をイネーブル状態とする。また、カウント部34は、クロック生成部18からの位相信号CK[7]をカウントクロックとしてカウントを行う。

**【 0 0 6 5 】**

比較部31は、参照信号生成部19から与えられる参照信号と、画素信号とを比較し、双方の電圧が略一致したとき（第2のタイミング）に、比較信号を反転させる。比較部31からの比較信号が反転したとき、ラッチ制御部32はラッチ部33のラッチ回路L\_0～L\_6をイネーブル状態とする。

20

**【 0 0 6 6 】**

比較部31からの比較信号が反転した後、この反転によりラッチ制御部32からの制御信号が反転したとき（第3のタイミング）、ラッチ部33のラッチ回路L\_0～L\_7がディスエーブル状態となり、クロック生成部18からの複数の位相信号CK[0]～CK[7]の論理状態をラッチする。同時に、カウント部34は、カウント値をラッチする。これにより、信号レベルに応じたデジタルデータが得られる。制御部20は、所定の期間が経過すると、参照信号生成部19への制御データの供給と、クロック生成部18からの位相信号の出力とを停止する。これにより、参照信号生成部19は、参照信号の生成を停止する。

30

**【 0 0 6 7 】**

リセットレベルに応じたデジタルデータと、信号レベルに応じたデジタルデータとは、水平選択部14により水平信号線を介して出力部17に転送される。出力部17が、デジタルデータに基づくエンコード処理および減算（CDS処理）を行うことで信号成分のデジタルデータが得られる。出力部17をカラム処理部15に内蔵しても構わない。

**【 0 0 6 8 】**

次に、比較部31の詳細な構成について説明する。図2は比較部31の構成の一例を示している。比較部31は、第1のアンプ部AMP1、第2のアンプ部AMP2、第3のアンプ部AMP3を有する。以下では、電圧源の一例として電源VDDとグランドGNDとを用いて比較部31の構成を説明する。

40

**【 0 0 6 9 】**

第1のアンプ部AMP1は、差動アンプDAMP、トランジスタP6, P7、容量素子C1, C2を有する。差動アンプDAMPは、ソースが共通に接続されたNMOSで構成されるN型のトランジスタN1, N2と、これらトランジスタN1, N2の各ドレインと電源VDDとの間に接続され、ゲートが共通に接続されたPMOSで構成されるP型のトランジスタP3, P4と、トランジスタN1, N2のソースに共通に接続されたノードとグランドGNDとの間に接続されたNMOSで構成される電流源N5とを有する。また、差動アンプDAMPは、参照信号生成部19と電気的に接続された第1の入力端子IN1（トランジスタN1のゲート）と、単位画素3と電気的に接続された第2の入力端子IN2（トランジスタN2のゲート）とを有し、第1の入力端子IN1および第2の入力端子

50

IN2の電圧を比較する。

**【 0 0 7 0 】**

トランジスタN1, N2の各ゲートとドレインとの間に、PMOSで構成されるP型のトランジスタP6, P7がそれぞれ接続されている。これらトランジスタP6, P7は、各ゲートにLowアクティブのリセットパルスResetが制御部20から与えられることでON状態となり、トランジスタN1, N2の各ゲートとドレインとを短絡する。これによって、トランジスタP6, P7は、トランジスタN1, N2の各ゲートの電圧、すなわち差動アンプDAMPの2つの入力端子の電圧をリセット（初期化）するリセット部として機能する。差動アンプDAMPの2つの入力端子の電圧をリセットすることで、比較処理の開始時の差動アンプDAMPの動作点が決定される。

10

**【 0 0 7 1 】**

トランジスタN1, N2の各ゲート、すなわち差動アンプDAMPの第1の入力端子IN1および第2の入力端子IN2には、DCレベルをカットし、かつリセット時に所定の電圧をサンプリングするための容量素子C1, C2の第1の端子がそれぞれ接続されている。容量素子C1の第2の端子は、参照信号生成部19に電気的に接続され、参照信号生成部19からの参照信号Rampが与えられる。容量素子C2の第2の端子は、撮像部2の単位画素3に電気的に接続され、各単位画素3から出力される画素信号Pixelが与えられる。また、電流源N5のゲートには、電流値を制御するためのバイアス電圧Vbiasが与えられる。

**【 0 0 7 2 】**

トランジスタN1のドレインはトランジスタP3のドレインおよびゲートに接続され、トランジスタP3のソースは電源VDDに接続されている。トランジスタN2のドレインはトランジスタP4のドレインに接続され、トランジスタP4のソースは電源VDDに接続されている。トランジスタN2のドレインは第3のアンプ部AMP3にも接続されている。

20

**【 0 0 7 3 】**

上記のように構成された第1のアンプ部AMP1において、差動アンプDAMPは、ゲートに参照信号Rampが入力されるトランジスタN1（第1のトランジスタ）、およびゲートに画素信号Pixelが入力されるトランジスタN2（第2のトランジスタ）を有し、トランジスタN1のゲートおよびトランジスタN2のゲートの電圧の初期化時に基準信号をトランジスタN2のドレインから出力し、比較処理の実行時に、参照信号Rampと画素信号Pixelとを比較した結果に応じた第1の比較信号CO\_1をトランジスタN2のドレインから出力する。

30

**【 0 0 7 4 】**

また、第1のアンプ部AMP1において、トランジスタP6（第1のスイッチ素子）は、初期化時にトランジスタN1のゲートおよびドレインを接続し、比較処理の実行時にトランジスタN1のゲートおよびドレインを切り離す（非接続状態に保つ）。トランジスタP7（第2のスイッチ素子）は、初期化時にトランジスタN2のゲートおよびドレインを接続し、比較処理の実行時にトランジスタN2のゲートおよびドレインを切り離す（非接続状態に保つ）。容量素子C1（第2の容量素子）は、第1の端子がトランジスタN1のゲートに接続されるとともに第2の端子に参照信号Rampが入力され、初期化時にトランジスタN1のドレインの電圧をサンプリングする。容量素子C2（第3の容量素子）は、第1の端子がトランジスタN2のゲートに接続されるとともに第2の端子に画素信号Pixelが入力され、初期化時にトランジスタN2のドレインの電圧をサンプリングする。第1のアンプ部AMP1の詳細な動作については後述する。

40

**【 0 0 7 5 】**

第3のアンプ部AMP3は、差動アンプDAMPを構成するトランジスタN1, N2と同じ導電型のNMOSで構成されるN型のトランジスタN10, N12を有する。トランジスタN10（第4のトランジスタ）のゲートはトランジスタN2のドレインとトランジスタP4のドレインとに接続され、トランジスタN10のドレインは電源VDDに接続されている。トランジスタN12（第5のトランジスタ）のドレインはトランジスタN10のソースに接続され、トランジスタN12のソースはグランドGNDに接続されている。トランジスタN12のドレインは第2のアンプ部AMP2にも接続されている。トランジスタN12のゲートには、電流値を制御するためのバイアス電圧Vbi

50

asが与えられる。

#### 【0076】

トランジスタN10, N12はソースフォロワ型レベルシフト回路を構成する。初期化時にはトランジスタN2のドレインから出力された基準信号がトランジスタN10のゲートに入力され、比較処理の実行時にはトランジスタN2のドレインから出力された第1の比較信号C0\_1がトランジスタN10のゲートに入力される。初期化時にトランジスタN10は、ゲートに入力された基準信号をレベルシフトし、レベルシフト後の基準信号をソースから出力する。また、比較処理の実行時にトランジスタN10は、ゲートに入力された第1の比較信号C0\_1をレベルシフトし、レベルシフト後の第3の比較信号C0\_3をソースから出力する。第3のアンプ部AMP3の詳細な動作については後述する。

10

#### 【0077】

第2のアンプ部AMP2は、差動アンプDAMPを構成するトランジスタN1, N2と同じ導電型のN MOSで構成されるN型のトランジスタN9(第6のトランジスタ)と、トランジスタN1, N2と異なる導電型のPMOSで構成されるP型のトランジスタP8(第3のトランジスタ)と、容量素子C3(第1の容量素子)と、スイッチ素子SW1(第3のスイッチ素子)とを有する。トランジスタN9のゲートはトランジスタN10のソースとトランジスタN12のドレインとに接続され、トランジスタN9のドレインはトランジスタP8のドレインに接続され、トランジスタN9のソースはグランドGNDに接続されている。トランジスタP8のソースは電源VDDに接続されている。スイッチ素子SW1の第1の端子はトランジスタN9のドレインとトランジスタP8のドレインとに接続され、スイッチ素子SW1の第2の端子はトランジスタP8のゲートに接続されている。容量素子C3の第1の端子はトランジスタP8のゲートとスイッチ素子SW1の第2の端子とに接続され、容量素子C3の第2の端子は電源VDDに接続されている。また、図2では、比較部31の後段の回路の入力容量および寄生容量等を含む出力負荷C<sub>L</sub>が示されている。

20

#### 【0078】

上記のように構成された第2のアンプ部AMP2において、スイッチ素子SW1は、初期化時にトランジスタP8のドレインおよび容量素子C3の第1の端子を接続し、比較処理の実行時にトランジスタP8のドレインおよび容量素子C3の第1の端子を切り離す(非接続状態に保つ)。トランジスタN9のゲートには、トランジスタN10とトランジスタN12との接続点(トランジスタN10のソースおよびトランジスタN12のドレイン)から出力される信号(基準信号および第3の比較信号C0\_3)が入力される。容量素子C3は、初期化時に、トランジスタN9のゲートに入力された基準信号に基づく基準電圧(トランジスタN9のドレインの電圧)をサンプリングし、比較処理の実行時に第1の端子に基準電圧を出力する。

30

#### 【0079】

トランジスタP8は、比較処理の実行時に、ゲートに入力される基準電圧に基づく電流をドレインから出力する。これによって、比較部31(第2のアンプ部AMP2)は、第1の比較信号C0\_1または第1の比較信号C0\_1に基づく信号(第3の比較信号C0\_3)の状態が変化する第2のタイミングの後、トランジスタP8に流れる電流に基づく第2の比較信号C0\_2をトランジスタP8とトランジスタN9との接続点(トランジスタP8のドレインおよびトランジスタN9のドレイン)から出力する。第2のアンプ部AMP2の詳細な動作については後述する。

40

#### 【0080】

次に、比較部31の動作について説明する。リセットレベルの画素信号を読み出す1回目の読み出しと、信号レベルの画素信号を読み出す2回目の読み出しとのそれぞれにおいて、比較部31は以下の動作を行う。

#### 【0081】

(初期化時の動作)

単位画素3からの画素信号Pixelが差動アンプDAMPの第2の入力端子IN2に与えられ、参照信号生成部19から差動アンプDAMPの第1の入力端子IN1に与えられる参照信号Rampが安定した後、比較部31が比較処理を開始する前に制御部20がリセットパルスResetを活性化(Lowアクティブ)する。これにより、トランジスタP6, P7がON状態となってトランジスタN1, N2の各ゲートとドレインとを短絡し、これらトランジスタN1, N2の動作点をドレイン電圧

50

として2つの入力端子の電圧がリセットされる。

#### 【0082】

このリセット(初期化)によって決定された動作点で、差動アンプDAMPの2つの入力端子の電圧、すなわちトランジスタN1, N2の各ゲート電圧のオフセット成分がほぼキャンセルされる。すなわち、差動アンプDAMPの2つの入力端子の電圧が、略同一の電圧になるようリセットされる。

#### 【0083】

図3は、初期化時の比較部31の状態を示している。トランジスタP6, P7がON状態であるとき、差動アンプDAMPの第1の入力端子IN1の電圧Vin1と差動アンプDAMPの第2の入力端子IN2の電圧Vin2とが略同一となる。これによって、トランジスタN1のドレイン-ソース間に10  
流れる電流とトランジスタN2のドレイン-ソース間に流れる電流とが略同一となる。このとき、トランジスタN2は基準信号をドレインから出力する。このときのトランジスタN2のドレインの電圧は、トランジスタN10をON状態とするのに必要な閾値(Vth)以上の電圧であってHレベルよりも低い電圧である中間レベルとなる。

#### 【0084】

トランジスタN2のドレインから出力された基準信号はトランジスタN10のゲートに入力される。トランジスタN10のゲートの電圧が中間レベルとなることによってトランジスタN10はON状態となり、トランジスタN10のドレイン-ソース間に電流が流れる。このとき、トランジスタN10のソースの電圧は、トランジスタN10のゲートの電圧(中間レベル)よりもトランジスタN10の閾値分低いレベルとなる。つまり、トランジスタN10は、ゲートに入力された基準信号をトランジスタN10の閾値分レベルシフトし、レベルシフト後の基準信号をソースから出力する。  
20

#### 【0085】

トランジスタN10のソースから出力された基準信号はトランジスタN9のゲートに入力される。このとき、トランジスタN9のゲートの電圧は、中間レベルよりもトランジスタN10の閾値分低いレベルとなる。また、トランジスタN10, N12に流れる電流は、トランジスタN12のゲートに与えられたバイアス電圧Vbiasによって制限されており、インバータ回路に流れる貫通電流よりも十分に小さい。

#### 【0086】

トランジスタN9のゲートには、トランジスタN10とトランジスタN12との接続点(トランジスタN10のソースおよびトランジスタN12のドレイン)から出力される基準信号が入力される。トランジスタN9のゲートの電圧が中間レベルよりもトランジスタN10の閾値分低いレベルとなることによってトランジスタN9はON状態となり、トランジスタN9のドレイン-ソース間に電流が流れる。  
30

#### 【0087】

初期化時にスイッチ素子SW1はON状態となり、トランジスタP8のドレインおよび容量素子C3の第1の端子を接続する。これによって、トランジスタP8のゲートの電圧はトランジスタP8のドレインの電圧と略同一となる。この電圧は、Lレベルよりも高い電圧であって、電源電圧VDDからトランジスタP8の閾値分低い電圧よりも低い中間レベルである。トランジスタP8のゲートの電圧が中間レベルとなることによってトランジスタP8はON状態となり、トランジスタP8のソース-ドレイン間に電流が流れる。  
40

#### 【0088】

このとき、第2のアンプ部AMP2では、電源VDDからグランドGNDに向かって、トランジスタP8とトランジスタN9とを通る経路で電流が流れる。この電流は、トランジスタN9のゲートに与えられた電圧によって制限されており、インバータ回路に流れる貫通電流よりも十分に小さい。また、トランジスタP8のドレインの電圧すなわち第2の比較信号CO\_2の電圧は中間レベルとなる。

#### 【0089】

容量素子C3は、トランジスタN9のゲートに入力された基準信号に基づく基準電圧(トランジスタN9のドレインの電圧)をサンプリングする。上記の初期化が終了した後、トラン  
50

ジスタP6, P7はOFF状態となり、トランジスタN1, N2の各ゲートとドレインとを切り離す。また、初期化が終了した後、スイッチ素子SW1はOFF状態となり、トランジスタP8のドレインおよび容量素子C3の第1の端子を切り離す。これ以降、比較処理が終了するまで、スイッチ素子SW1はOFF状態である。

#### 【0090】

(参照信号Rampの電圧 画素信号Pixelの電圧のときの動作)

差動アンプDAMPの第1の入力端子IN1に参照信号Rampが与えられて差動アンプDAMPの第1の入力端子IN1の電圧Vin1が高くなった後、比較処理が開始され、参照信号Rampの電圧がランプ状に下降する。図4は、初期化が終了して参照信号Rampの電圧が画素信号Pixelの電圧よりも高くなった後、参照信号Rampの電圧が下降して参照信号Rampの電圧が画素信号Pixelの電圧と略同一となるまでの比較部31の状態を示している。10

#### 【0091】

参照信号Rampの電圧が画素信号Pixelの電圧よりも高い場合、差動アンプDAMPの第1の入力端子IN1の電圧は差動アンプDAMPの第2の入力端子IN2の電圧よりも高い。この場合、トランジスタN2はOFF状態となり、トランジスタN2のドレインの電圧はHレベルとなる。つまり、比較処理の実行時にトランジスタN2は、参照信号Rampと画素信号Pixelとを比較した結果に応じたHレベルの第1の比較信号CO\_1をドレインから出力する。

#### 【0092】

トランジスタN2のドレインから出力された第1の比較信号CO\_1はトランジスタN10のゲートに入力される。トランジスタN10のゲートの電圧がHレベルとなることによってトランジスタN10はON状態となり、トランジスタN10のドレイン-ソース間に電流が流れる。このとき、トランジスタN10のソースの電圧は、トランジスタN10のゲートの電圧(Hレベル)よりもトランジスタN10の閾値分低いレベルとなる。つまり、第3のアンプ部AMP3は、トランジスタN10のゲートに入力された第1の比較信号CO\_1をトランジスタN10の閾値分レベルシフトし、レベルシフト後の第3の比較信号CO\_3をトランジスタN10のソースから出力する。20

#### 【0093】

トランジスタN10のソースから出力された第3の比較信号CO\_3はトランジスタN9のゲートに入力される。このとき、トランジスタN9のゲートの電圧は、HレベルよりもトランジスタN10の閾値分低いレベルとなる。また、トランジスタN10, N12に流れる電流は、トランジスタN12のゲートに与えられたバイアス電圧Vbiasによって制限されており、インバータ回路に流れる貫通電流よりも十分に小さい。30

#### 【0094】

容量素子C3は、初期化時にサンプリングした基準電圧を第1の端子から出力する。トランジスタP8は、ゲートに入力される基準電圧によってON状態となり、基準電圧に基づく電流をドレインから出力する。つまり、比較処理の実行時にトランジスタP8は電流源(定電流源)として機能する。このとき、トランジスタP8のゲートに入力される基準電圧は、Lレベルよりも高い電圧であって、電源電圧VDDからトランジスタP8の閾値分低い電圧よりも低い電圧となる。

#### 【0095】

トランジスタN9のゲートには、トランジスタN10とトランジスタN12との接続点(トランジスタN10のソースおよびトランジスタN12のドレイン)から出力される第3の比較信号CO\_3が入力される。トランジスタN9のゲートの電圧がHレベルよりもトランジスタN10の閾値分低いレベルとなることによってトランジスタN9はON状態となり、トランジスタN9のドレイン-ソース間に電流が流れる。トランジスタN9に流れる電流はトランジスタP8から供給される。40

#### 【0096】

このとき、第2のアンプ部AMP2では、電源VDDからグランドGNDに向かって、トランジスタP8とトランジスタN9とを通る経路で電流が流れる。この電流は、トランジスタP8のゲートに与えられた基準電圧によって制限されており、インバータ回路に流れる貫通電流よりも十分に小さい。また、トランジスタN9のON抵抗は初期化時のON抵抗よりも低くなり、ト50

ランジスタP8のドレインの電圧すなわち第2の比較信号CO\_2の電圧はLレベルとなる。

**【0097】**

(参照信号Rampの電圧 画素信号Pixelの電圧のときの動作)

参照信号Rampの電圧がさらに下降して参照信号Rampの電圧が画素信号Pixelの電圧と略同一となる(第2のタイミング)。その後、参照信号Rampの電圧が画素信号Pixelの電圧よりも低くなる。図5は、参照信号Rampの電圧が下降して参照信号Rampの電圧が画素信号Pixelの電圧と略同一となった後の比較部31の状態を示している。

**【0098】**

参照信号Rampの電圧が画素信号Pixelの電圧よりも低い場合、差動アンプDAMPの第1の入力端子IN1の電圧は差動アンプDAMPの第2の入力端子IN2の電圧よりも低い。この場合、トランジスタN1がOFF状態となり、トランジスタN1のドレイン-ソース間に電流が流れなくなるとともに、トランジスタN2がON状態となるため、トランジスタN2のドレインの電圧はLレベルとなる。つまり、比較処理の実行時にトランジスタN2は、参照信号Rampと画素信号Pixelとを比較した結果に応じたLレベルの第1の比較信号CO\_1をドレインから出力する。10

**【0099】**

トランジスタN2のドレインから出力された第1の比較信号CO\_1はトランジスタN10のゲートに入力される。トランジスタN10のゲートの電圧がLレベルとなることによってトランジスタN10はOFF状態となる。このとき、トランジスタN12はON状態であり、トランジスタN12のドレイン電圧はLレベルとなる。したがって、トランジスタN12はLレベルの第3の比較信号CO\_3をドレインから出力する。つまり、第3のアンプ部AMP3は、トランジスタN10のゲートに入力された第1の比較信号CO\_1をLレベルにレベルシフトし、レベルシフト後の第3の比較信号CO\_3をトランジスタN12のドレインから出力する。20

**【0100】**

トランジスタN12のドレインから出力された第3の比較信号CO\_3はトランジスタN9のゲートに入力される。このとき、トランジスタN9のゲートの電圧はLレベルとなる。また、トランジスタN12に流れる電流は、トランジスタN12のゲートに与えられたバイアス電圧Vbiasによって制限されており、インバータ回路に流れる貫通電流よりも十分に小さい。

**【0101】**

トランジスタP8は、容量素子C3の第1の端子からゲートに入力される基準電圧によって0N状態となっており、基準電圧に基づく電流をドレインから出力する。トランジスタP8のゲートに入力される基準電圧は、Lレベルよりも高い電圧であって、電源電圧VDDからトランジスタP8の閾値分低い電圧よりも低い電圧である。30

**【0102】**

トランジスタN9のゲートには、トランジスタN10とトランジスタN12との接続点(トランジスタN10のソースおよびトランジスタN12のドレイン)から出力される第3の比較信号CO\_3が入力される。トランジスタN9のゲートの電圧がLレベルとなることによってトランジスタN9はOFF状態となる。

**【0103】**

このとき、第2のアンプ部AMP2では、電源VDDからグランドGNDに向かって、トランジスタP8と出力負荷CLとを通る経路で電流が流れる。この電流は、参照信号Rampの電圧が画素信号Pixelの電圧よりも大きいときに第2のアンプ部AMP2に流れる電流と略同一である。また、この電流は、トランジスタP8のゲートに与えられた基準電圧によって制限されており、インバータ回路に流れる貫通電流よりも十分に小さい。また、トランジスタN9がOFF状態であるため、トランジスタP8のドレインの電圧すなわち第2の比較信号CO\_2の電圧はHレベルとなる。40

**【0104】**

ラッチ制御部32は、第1の比較信号CO\_1または第3の比較信号CO\_3に基づく第2のタイミングでラッチ部33のラッチ回路L\_0～L\_6をイネーブル状態とする。すなわち、ラッチ制御部32は、第1の比較信号CO\_1の電圧がHレベルからLレベルに変化する第2のタイミング、または第3の比較信号CO\_3の電圧がHレベルよりもトランジスタN10の閾値分低いレベルからL50

レベルに変化する第2のタイミングでラッチ部33のラッチ回路L\_0～L\_6をイネーブル状態とする。また、ラッチ制御部32は、第2の比較信号C0\_2に基づく第3のタイミングでラッチ部33のラッチ回路L\_0～L\_7をディスエーブル状態とする。

#### 【0105】

出力負荷C<sub>L</sub>の電圧は、第2のタイミングの直前にはLレベルである。第2のタイミング以降、トランジスタP8が出力する電流が出力負荷C<sub>L</sub>を充電するため、出力負荷C<sub>L</sub>の電圧V<sub>0</sub>は(1)式となる。

#### 【0106】

##### 【数1】

$$V_0 = \frac{I_{\text{const}}}{C_L} \times t \quad \dots (1)$$

10

#### 【0107】

(1)式において、I<sub>const</sub>はトランジスタP8が出力する電流値(一定値)であり、C<sub>L</sub>は出力負荷C<sub>L</sub>の容量値であり、tは時間である。(1)式に示すように、出力負荷C<sub>L</sub>の電圧V<sub>0</sub>は一定の電流値I<sub>const</sub>に応じた傾きで線形に増加する。この電圧V<sub>0</sub>がラッチ制御部32の回路閾値を超えたタイミング(第3のタイミング)でラッチ制御部32はラッチ部33のラッチ回路L\_0～L\_7をディスエーブル状態とすることによって、ラッチ部33にラッチを実行させる。

つまり、ラッチ制御部32は、第2のタイミング以降の第2の比較信号C0\_2の電圧変化の傾き((1)式の電流値I<sub>const</sub>)とラッチ制御部32の回路閾値とで決まる第3のタイミングでラッチ部33にラッチを実行させる。

20

#### 【0108】

比較処理の実行中に電源VDDのバウンスが発生した場合、電源VDDに接続された容量素子C3の第2の端子の電圧が変化するが、その変化に応じて容量素子C3の第1の端子の電圧が変化する。これによって、容量素子C3の第1の端子から出力される基準電圧すなわちトランジスタP8のゲートの電圧が変化する。電源VDDに接続されたトランジスタP8のソースの電圧も変化するが、その変化に応じてトランジスタP8のゲートの電圧が変化するため、トランジスタP8のゲート-ソース間電圧の変化は抑制される。つまり、トランジスタP8がドレインから出力する電流の変化は抑制される。上述したように、第3のタイミングはトランジスタP8が出力する電流に応じたタイミングとなるため、比較処理の実行中に電源VDDが変化した場合でも第3のタイミングの変化を抑制することができる。

30

#### 【0109】

また、第2のアンプ部AMP2および第3のアンプ部AMP3において電源VDDからグランドGNDに流れる電流は、インバータ回路に流れる貫通電流よりも十分に小さい。このため、電源VD<sub>D</sub>およびグランドGNDのバウンスを抑制することができる。

#### 【0110】

電源VDDまたはグランドGNDのバウンスが発生すると、出力負荷C<sub>L</sub>の電圧が変化する。電源VDDまたはグランドGNDのバウンスにより出力負荷C<sub>L</sub>の電圧が変化すると、出力負荷C<sub>L</sub>の電圧が後段回路(ラッチ制御部32)の回路閾値に達するまでの時間が変化し、第3のタイミングが変化する。上記のように、本実施形態では、電源VDDおよびグランドGNDのバウンスの発生を抑制することが可能となるため、第3のタイミングの変化を抑制することができる。

40

#### 【0111】

本実施形態において、撮像装置1の構成のうち、垂直選択部12、水平選択部14、出力部17、制御部20は、tdcSS型AD変換回路の特徴的な構成ではない。また、これらの構成は、本実施形態に係る撮像装置1の特徴的な効果を得るために必須の構成ではない。また、カウント部34は、本実施形態に係る撮像装置1の特徴的な効果を得るために必須の構成ではない。

#### 【0112】

50

(変形例)

次に、本実施形態の変形例を説明する。本変形例では、図1に示す撮像装置1における比較部31が図6に示す比較部31aに変更される。図6は、本変形例に係る比較部31aの構成の一例を示している。

【0113】

比較部31aでは、図2に示す比較部31における第3のアンプ部AMP3が削除されている。また、トランジスタN2のドレインおよびトランジスタP4のドレインとトランジスタN9（第4のトランジスタ）のゲートとが接続されている。上記以外の構成については既に説明したので、説明を省略する。

【0114】

トランジスタN2のドレインから出力された基準信号および比較信号CO\_1は、レベルシフトされずにトランジスタN9のゲートに入力される。この点を除いて、比較部31aの動作は比較部31の動作と略同一である。

【0115】

本変形例においても、容量素子C3の作用によって、トランジスタP8のゲートおよびソース間の電圧の変化が抑制される。したがって、図2に示す比較部31における第3のアンプ部AMP3は、本実施形態に係る撮像装置1の特徴的な効果を得るために必須の構成ではない。

【0116】

本実施形態によれば、光電変換素子を有する複数の画素（単位画素3）が行列状に配置された撮像部2と、互いに位相の異なる複数の位相信号を生成するクロック生成部18と、時間の経過とともに増加あるいは減少する参照信号を生成する参照信号生成部19と、複数の画素の配列の列に対応して配置され、画素から出力される画素信号と参照信号との比較処理を第1のタイミングで開始し、参照信号が画素信号に対して所定の条件を満たした第2のタイミングで比較処理を終了する比較部31と、比較部31に対応して配置され、複数の位相信号の論理状態をラッチするラッチ部33と、比較部31に対応して配置され、第2のタイミングでラッチ部33を有効にし、第2のタイミングから、比較部31から出力される電流に基づく時間が経過した第3のタイミングでラッチ部33にラッチを実行させるラッチ制御部32と、を有し、比較部31は、ゲートに参照信号が入力される第1のトランジスタ（トランジスタN1）、およびゲートに画素信号が入力される第2のトランジスタ（トランジスタN2）を有し、第1のトランジスタのゲートおよび第2のトランジスタのゲートの電圧の初期化時に基準信号を出力し、比較処理の実行時に、参照信号と画素信号とを比較した結果に応じた第1の比較信号CO\_1を出力する差動アンプDAMPと、ソースが電圧源（電源VDD）に接続され、比較処理の実行時に電流を出力する第3のトランジスタ（トランジスタP8）と、第1の端子が第3のトランジスタのゲートに接続されるとともに第2の端子が電圧源に接続され、初期化時に基準信号に基づく基準電圧をサンプリングし、比較処理の実行時に第1の端子に基準電圧を出力する第1の容量素子（容量素子C3）と、を有し、第1の比較信号CO\_1または第1の比較信号CO\_1に基づく信号（第3の比較信号CO\_3）の状態が変化する第2のタイミングの後、第3のトランジスタに流れる電流に基づく第2の比較信号CO\_2を出力することを特徴とする撮像装置1が構成される。

【0117】

本実施形態では、比較処理の実行時に電源VDDのバウンスが発生した場合でも、そのバウンスに応じて容量素子C3の第1の端子の基準電圧が変化し、その結果、ソースが電源VDDに接続されたトランジスタP8のゲートおよびソース間の電圧の変化が抑制される。これによって、トランジスタP8に流れる電流の変化が抑制されるので、電源VDDのバウンスによる第3のタイミングの変化を抑制することが可能となる。したがって、AD変換精度の劣化を低減することができる。

【0118】

また、初期化時に容量素子C3が基準電圧をサンプリングし、比較処理の実行時に容量素子C3が基準電圧を出力することによって、基準電圧を決めるための電圧源を不要にすることができる。

10

20

30

40

50

**【 0 1 1 9 】**

また、図2に示すように比較部31を構成することによって、比較部31の回路構成を簡単にすることができる。

**【 0 1 2 0 】**

また、第1の比較信号CO\_1または第1の比較信号CO\_1に基づく第3の比較信号CO\_3に基づく第2のタイミングでラッチ部33を有効（イネーブル状態）にするようにラッチ制御部32を構成することによって、ラッチ制御部32の回路構成を簡単にすることができます。

**【 0 1 2 1 】****( 第2の実施形態 )**

次に、本発明の第2の実施形態を説明する。本実施形態では、図1に示す撮像装置1における比較部31が図7に示す比較部31bに変更される。図7は、本実施形態に係る比較部31bの構成の一例を示している。10

**【 0 1 2 2 】**

比較部31bでは、比較部31における第3のアンプ部AMP3が第3のアンプ部AMP3bに変更される。第3のアンプ部AMP3bでは、トランジスタN10とトランジスタN12との間にNMOSで構成されるN型のトランジスタN11が接続される。トランジスタN11のゲートおよびドレインはトランジスタN10のソースに接続されている。また、トランジスタN12のドレインはトランジスタN11のソースに接続されている。上記以外の構成については既に説明したので、説明を省略する。

**【 0 1 2 3 】**

トランジスタN11は、トランジスタN10のゲートに入力される基準信号および第1の比較信号CO\_1のレベルシフト量を調整するために設けられている。トランジスタN11に流れる電流によってトランジスタN11で電圧降下が発生するため、トランジスタN9のゲートの電圧がより小さくなる。これによって、初期化時にトランジスタN9に流れる電流がより小さくなる。トランジスタN9に流れる電流がより小さくなることによって、トランジスタP8に流れる電流がより小さくなり、初期化時に容量素子C3がサンプリングする基準電圧が第1の実施形態における基準電圧よりも大きくなる。このため、比較処理の実行時にトランジスタP8のゲート-ソース間の電圧が第1の実施形態における電圧よりも大きくなり、第2のアンプ部AMP2に流れる電流がより小さくなる。これによって、電源VDDおよびグランドGNDのバウンスを抑制することができる。したがって、AD変換精度の劣化を低減することができる。また、第2のアンプ部AMP2に流れる電流を制御する構成を簡単な構成で実現することができる。20

**【 0 1 2 4 】****( 第3の実施形態 )**

次に、本発明の第3の実施形態を説明する。本実施形態では、図1に示す撮像装置1における比較部31が図8に示す比較部31cに変更される。図8は、本実施形態に係る比較部31cの構成の一例を示している。30

**【 0 1 2 5 】**

比較部31cでは、比較部31における第2のアンプ部AMP2が第2のアンプ部AMP2cに変更される。第2のアンプ部AMP2cでは、第2のアンプ部AMP2に対して、PMOSトランジスタで構成されるP型のトランジスタP13, P14が追加されている。トランジスタP13のゲートは、トランジスタP8のゲートと容量素子C3の第1の端子とスイッチ素子SW1の第2の端子とに接続されている。トランジスタP13のソースは電源VDDに接続されている。トランジスタP14のゲートはトランジスタN10のソースとトランジスタN12のドレインとに接続され、トランジスタP14のソースはトランジスタP13のドレインに接続され、トランジスタP14のドレインはグランドGNDに接続されている。上記以外の構成については既に説明したので、説明を省略する。40

**【 0 1 2 6 】**

トランジスタP13は、比較処理の実行時に容量素子C3の第1の端子から出力される基準電圧に基づく電流をドレインから出力する。トランジスタP14は、比較処理の実行時にトランジスタP1450

ンジスタP13のドレインから出力された電流をグランドGNDに出力する。

**【 0 1 2 7 】**

次に、比較部31cの動作について説明する。初期化時の動作については既に説明したので、説明を省略する。

**【 0 1 2 8 】**

( 参照信号Rampの電圧 画素信号Pixelの電圧のときの動作 )

差動アンプDAMPの第1の入力端子IN1に参照信号Rampが与えられて差動アンプDAMPの第1の入力端子IN1の電圧Vin1が高くなつた後、比較処理が開始され、参照信号Rampの電圧がランプ状に下降する。

**【 0 1 2 9 】**

10

前述したように、トランジスタN10のソースの電圧は、トランジスタN10のゲートの電圧(Hレベル)よりもトランジスタN10の閾値分低いレベルとなる。このため、トランジスタN10のソースに接続されたトランジスタP14のゲートの電圧は、HレベルよりもトランジスタN10の閾値分低いレベルとなる。このとき、トランジスタP14はOFF状態であるため、トランジスタP13, P14に電流は流れない。

**【 0 1 3 0 】**

( 参照信号Rampの電圧 画素信号Pixelの電圧のときの動作 )

参照信号Rampの電圧がさらに下降して参照信号Rampの電圧が画素信号Pixelの電圧と略同一となる( 第2のタイミング )。その後、参照信号Rampの電圧が画素信号Pixelの電圧よりも低くなる。

20

**【 0 1 3 1 】**

前述したように、トランジスタN12のドレインの電圧はLレベルとなる。このため、トランジスタP14はON状態となる。また、トランジスタP13は、容量素子C3の第1の端子からゲートに入力される基準電圧によってON状態となっており、基準電圧に基づく電流をドレインから出力する。トランジスタP13が出力した電流はトランジスタP14によって引き込まれる。

**【 0 1 3 2 】**

比較処理の実行時には第2のタイミングまで第2のアンプ部AMP2cでは、電源VDDからグランドGNDに向かって、トランジスタP8とトランジスタN9とを通る経路で電流が流れる。また、第2のタイミング以降、第2のアンプ部AMP2cでは、電源VDDからグランドGNDに向かって、トランジスタP8と出力負荷C<sub>L</sub>とを通る経路で電流が流れる。出力負荷C<sub>L</sub>が充電されると、この電流が流れなくなるため、電源VDDからグランドGNDに向かって、トランジスタP8とトランジスタN9とを通る経路で電流が流れなくなる。

30

**【 0 1 3 3 】**

一方、第2のタイミング以降、第2のアンプ部AMP2cでは、電源VDDからグランドGNDに向かって、トランジスタP13とトランジスタP14とを通る経路で電流が流れる。このため、第2のタイミング以降、トランジスタP8とトランジスタN9とを通る経路に流れなくなる分の電流を補償し、第2のタイミングの前後における第2のアンプ部AMP2cの電流の変化を抑制することが可能となる。したがって、本実施形態では、電源VDDおよびグランドGNDのバウンスの発生を抑制することが可能となり、AD変換精度の劣化を低減することができる。

40

**【 0 1 3 4 】**

図7に示す比較部31bに対して本実施形態のトランジスタP13, P14を追加してもよい。

**【 0 1 3 5 】**

( 第4の実施形態 )

次に、本発明の第4の実施形態を説明する。本実施形態では、図1に示す撮像装置1における比較部31が図9に示す比較部31dに変更される。図9は、本実施形態に係る比較部31dの構成の一例を示している。

**【 0 1 3 6 】**

比較部31dでは、比較部31における第2のアンプ部AMP2が第2のアンプ部AMP2dに変更され、第3のアンプ部AMP3が第3のアンプ部AMP3dに変更される。第1のアンプ部AMP1については

50

既に説明したので、説明を省略する。

#### 【0137】

第3のアンプ部AMP3dは、差動アンプDAMPを構成するトランジスタN1, N2と同じ導電型のNMOSで構成されるN型のトランジスタN9（第5のトランジスタ）と、トランジスタN1, N2と異なる導電型のPMOSで構成されるP型のトランジスタP8（第4のトランジスタ）と、容量素子C3（第1の容量素子）と、スイッチ素子SW1（第3のスイッチ素子）とを有する。トランジスタP8のゲートはトランジスタN2のドレインとトランジスタP4のドレインとに接続され、トランジスタP8のソースは電源VDDに接続されている。初期化時にはトランジスタN1のドレインから出力された基準信号がトランジスタP8のゲートに入力され、比較処理の実行時にはトランジスタN1のドレインから出力された第1の比較信号CO\_1がトランジスタP8のゲートに入力される。トランジスタN9のドレインはトランジスタP8のドレインに接続され、トランジスタN9のソースはグランドGNDに接続されている。トランジスタN9のドレインは第2のアンプ部AMP2dにも接続されている。10

#### 【0138】

スイッチ素子SW1の第1の端子はトランジスタN9のドレインとトランジスタP8のドレインとに接続され、スイッチ素子SW1の第2の端子はトランジスタN9のゲートに接続されている。容量素子C3の第1の端子はトランジスタN9のゲートとスイッチ素子SW1の第2の端子とに接続され、容量素子C3の第2の端子はグランドGNDに接続されている。

#### 【0139】

上記のように構成された第3のアンプ部AMP3dにおいて、スイッチ素子SW1は、初期化時にトランジスタN9のドレインおよび容量素子C3の第1の端子を接続し、比較処理の実行時にトランジスタN9のドレインおよび容量素子C3の第1の端子を切り離す（非接続状態に保つ）。容量素子C3は、初期化時に、トランジスタP8のゲートに入力された基準信号に基づく基準電圧（トランジスタN9のドレインの電圧）をサンプリングし、比較処理の実行時に第1の端子に基準電圧を出力する。第3のアンプ部AMP3の詳細な動作については後述する。20

#### 【0140】

第2のアンプ部AMP2dは、差動アンプDAMPを構成するトランジスタN1, N2と同じ導電型のNMOSで構成されるN型のトランジスタN11（第3のトランジスタ）と、トランジスタN1, N2と異なる導電型のPMOSで構成されるP型のトランジスタP10（第6のトランジスタ）とを有する。トランジスタN11のゲートは容量素子C3の第1の端子およびスイッチ素子SW1の第2の端子に接続され、トランジスタN11のソースはグランドGNDに接続されている。トランジスタP10のゲートはトランジスタP8のドレインとトランジスタN9のドレインとに接続され、トランジスタP10のドレインはトランジスタN11のドレインに接続され、トランジスタP10のソースは電源VDDに接続されている。30

#### 【0141】

上記のように構成された第2のアンプ部AMP2dにおいて、トランジスタN11は、比較処理の実行時に、ゲートに入力される基準電圧に基づく電流をソースから出力する。これによって、比較部31d（第2のアンプ部AMP2d）は、第1の比較信号CO\_1または第1の比較信号CO\_1に基づく信号（第3の比較信号CO\_3）の状態が変化する第2のタイミングの後、トランジスタN11に流れる電流に基づく第2の比較信号CO\_2をトランジスタN11とトランジスタP10との接続点（トランジスタN11のドレインおよびトランジスタP10のドレイン）から出力する。第2のアンプ部AMP2dの詳細な動作については後述する。40

#### 【0142】

次に、比較部31dの動作について説明する。リセットレベルの画素信号を読み出す1回目の読み出しと、信号レベルの画素信号を読み出す2回目の読み出しとのそれれにおいて、比較部31dは以下の動作を行う。

#### 【0143】

##### （初期化時の動作）

単位画素3からの画素信号Pixelが差動アンプDAMPの第2の入力端子IN2に与えられ、参照信号生成部19から差動アンプDAMPの第1の入力端子IN1に与えられる参照信号Rampが安定し50

た後、比較部31dが比較処理を開始する前に制御部20がリセットパルスResetを活性化（Lowアクティブ）する。これにより、トランジスタP6, P7がON状態となってトランジスタN1, N2の各ゲートとドレインとを短絡し、これらトランジスタN1, N2の動作点をドレイン電圧として2つの入力端子の電圧がリセットされる。

#### 【0144】

このリセット（初期化）によって決定された動作点で、差動アンプDAMPの2つの入力端子の電圧、すなわちトランジスタN1, N2の各ゲート電圧のオフセット成分がほぼキャンセルされる。すなわち、差動アンプDAMPの2つの入力端子の電圧が、略同一の電圧になるようリセットされる。

#### 【0145】

図10は、初期化時の比較部31dの状態を示している。トランジスタP6, P7がON状態であるとき、差動アンプDAMPの第1の入力端子IN1の電圧Vin1と差動アンプDAMPの第2の入力端子IN2の電圧Vin2とが略同一となる。これによって、トランジスタN1のドレイン-ソース間に流れる電流とトランジスタN2のドレイン-ソース間に流れる電流とが略同一となる。このとき、トランジスタN2は基準信号をドレインから出力する。このときのトランジスタN2のドレインの電圧は、Lレベルよりも高い電圧であって、電源電圧VDDからトランジスタP8の閾値分低い電圧よりも低い中間レベルとなる。

#### 【0146】

トランジスタN2のドレインから出力された基準信号はトランジスタP8のゲートに入力される。トランジスタP8のゲートの電圧が中間レベルとなることによってトランジスタP8はON状態となり、トランジスタP8のソース-ドレイン間に電流が流れる。また、初期化時にスイッチ素子SW1はON状態となり、トランジスタN9のドレインおよび容量素子C3の第1の端子を接続する。これによって、トランジスタN9のゲートの電圧はトランジスタN9のドレインの電圧と略同一となる。トランジスタN9はON状態となり、トランジスタN9のドレイン-ソース間に電流が流れる。このとき、トランジスタP8のドレインの電圧は、Lレベルよりも高い電圧であって、電源電圧VDDからトランジスタP10の閾値分低い電圧よりも低い中間レベルである。

#### 【0147】

トランジスタP8のドレインから出力された信号はトランジスタP10のゲートに入力される。このとき、トランジスタP10のゲートの電圧は、Lレベルよりも高い電圧であって、電源電圧VDDからトランジスタP10の閾値分低い電圧よりも低い中間レベルとなる。また、トランジスタP8, N9に流れる電流は、トランジスタP8のゲートに与えられた中間レベルの基準信号によって制限されており、インバータ回路に流れる貫通電流よりも十分に小さい。

#### 【0148】

トランジスタP10のゲートには、トランジスタP8とトランジスタN9との接続点（トランジスタP8のドレインおよびトランジスタN9のドレイン）から出力される信号が入力される。トランジスタP10のゲートの電圧が中間レベルとなることによってトランジスタP10はON状態となり、トランジスタP10のソース-ドレイン間に電流が流れる。また、トランジスタN11のゲートには、容量素子C3の第1の端子の電圧すなわちトランジスタP8のドレインの電圧が入力される。これによって、トランジスタN11はON状態となり、トランジスタN11のドレイン-ソース間に電流が流れる。

#### 【0149】

このとき、第2のアンプ部AMP2dでは、電源VDDからグランドGNDに向かって、トランジスタP10とトランジスタN11とを通る経路で電流が流れる。この電流は、トランジスタP10のゲートに与えられた電圧によって制限されており、インバータ回路に流れる貫通電流よりも十分に小さい。また、トランジスタP10のドレインの電圧すなわち第2の比較信号CO\_2の電圧は中間レベルとなる。

#### 【0150】

容量素子C3は、トランジスタN9のゲートに入力された信号に基づく基準電圧（トランジスタN9のドレインの電圧）をサンプリングする。上記の初期化が終了した後、トランジス

10

20

30

40

50

タP6, P7はOFF状態となり、トランジスタN1, N2の各ゲートとドレインとを切り離す。また、初期化が終了した後、スイッチ素子SW1はOFF状態となり、トランジスタN9のドレインおよび容量素子C3の第1の端子を切り離す。これ以降、比較処理が終了するまで、スイッチ素子SW1はOFF状態である。

#### 【0151】

(参照信号Rampの電圧 画素信号Pixelの電圧のときの動作)

差動アンプDAMPの第1の入力端子IN1に参照信号Rampが与えられて差動アンプDAMPの第1の入力端子IN1の電圧Vin1が高くなった後、比較処理が開始され、参照信号Rampの電圧がランプ状に下降する。図11は、初期化が終了して参照信号Rampの電圧が画素信号Pixelの電圧よりも高くなった後、参照信号Rampの電圧が下降して参照信号Rampの電圧が画素信号Pixelの電圧と略同一となるまでの比較部31dの状態を示している。10

#### 【0152】

参照信号Rampの電圧が画素信号Pixelの電圧よりも高い場合、差動アンプDAMPの第1の入力端子IN1の電圧は差動アンプDAMPの第2の入力端子IN2の電圧よりも高い。この場合、トランジスタN2はOFF状態となり、トランジスタN2のドレインの電圧はHレベルとなる。つまり、比較処理の実行時にトランジスタN2は、参照信号Rampと画素信号Pixelとを比較した結果に応じたHレベルの第1の比較信号CO\_1をドレインから出力する。

#### 【0153】

トランジスタN2のドレインから出力された第1の比較信号CO\_1はトランジスタP8のゲートに入力される。トランジスタP8のゲートの電圧がHレベルとなることによってトランジスタP8はOFF状態となる。容量素子C3は、初期化時にサンプリングした基準電圧を第1の端子から出力する。トランジスタN9は、ゲートに入力される基準電圧によってON状態となり、基準電圧に基づく電流をソースから出力する。トランジスタP8がOFF状態であるため、トランジスタN9のドレインの電圧はLレベルとなる。つまり、トランジスタN9は、Lレベルの第3の比較信号CO\_3をドレインから出力する。20

#### 【0154】

トランジスタN11は、容量素子C3からゲートに入力される基準電圧によってON状態となり、基準電圧に基づく電流をソースから出力する。つまり、比較処理の実行時にトランジスタN11は電流源(定電流源)として機能する。このとき、トランジスタN11のゲートに入力される基準電圧は、トランジスタN11をON状態とするのに必要な閾値以上であってHレベルよりも低い電圧となる。30

#### 【0155】

トランジスタP10のゲートには、トランジスタP8とトランジスタN9との接続点(トランジスタP8のドレインおよびトランジスタN9のドレイン)から出力される第3の比較信号CO\_3が入力される。トランジスタP10のゲートの電圧がLレベルとなることによって、トランジスタP10はON状態となり、トランジスタP10のソース-ドレイン間に電流が流れる。トランジスタP10に流れる電流はトランジスタN11によって引き込まれる。

#### 【0156】

このとき、第2のアンプ部AMP2dでは、電源VDDからグランドGNDに向かって、トランジスタP10とトランジスタN11とを通る経路で電流が流れる。この電流は、トランジスタN11のゲートに与えられた基準電圧によって制限されており、インバータ回路に流れる貫通電流よりも十分に小さい。また、トランジスタP10のON抵抗は初期化時のON抵抗よりも低くなり、トランジスタN11のドレインの電圧すなわち第2の比較信号CO\_2の電圧はHレベルとなる。40

#### 【0157】

(参照信号Rampの電圧 画素信号Pixelの電圧のときの動作)

参照信号Rampの電圧がさらに下降して参照信号Rampの電圧が画素信号Pixelの電圧と略同一となる(第2のタイミング)。その後、参照信号Rampの電圧が画素信号Pixelの電圧よりも低くなる。図12は、参照信号Rampの電圧が下降して参照信号Rampの電圧が画素信号Pixelの電圧と略同一となった後の比較部31dの状態を示している。50

## 【0158】

参照信号Rampの電圧が画素信号Pixelの電圧よりも低い場合、差動アンプDAMPの第1の入力端子IN1の電圧は差動アンプDAMPの第2の入力端子IN2の電圧よりも低い。この場合、トランジスタN1がOFF状態となり、トランジスタN1のドレイン-ソース間に電流が流れなくなるとともに、トランジスタN2がON状態となるため、トランジスタN2のドレインの電圧はLレベルとなる。つまり、比較処理の実行時にトランジスタN2は、参照信号Rampと画素信号Pixelとを比較した結果に応じたLレベルの第1の比較信号CO\_1をドレインから出力する。

## 【0159】

トランジスタN2のドレインから出力された第1の比較信号CO\_1はトランジスタP8のゲートに入力される。トランジスタP8のゲートの電圧がLレベルとなることによってトランジスタP8はON状態となり、トランジスタP8のソース-ドレイン間に電流が流れる。容量素子C3は、初期化時にサンプリングした基準電圧を第1の端子から出力する。トランジスタN9は、ゲートに入力される基準電圧によってON状態となり、基準電圧に基づく電流をソースから出力する。トランジスタP8に流れる電流はトランジスタN9によって引き込まれる。トランジスタP8のON抵抗はトランジスタN9のON抵抗よりも低くなるため、トランジスタN9のドレインの電圧はHレベルとなる。つまり、トランジスタN9は、Hレベルの第3の比較信号CO\_3をドレインから出力する。

10

## 【0160】

トランジスタN11は、容量素子C3からゲートに入力される基準電圧によってON状態となっており、基準電圧に基づく電流をソースから出力する。トランジスタN11のゲートに入力される基準電圧は、トランジスタN11をON状態とするのに必要な閾値以上であってHレベルよりも低い電圧である。

20

## 【0161】

トランジスタP10のゲートには、トランジスタP8とトランジスタN9との接続点（トランジスタP8のドレインおよびトランジスタN9のドレイン）から出力される第3の比較信号CO\_3が入力される。トランジスタP10のゲートの電圧がHレベルとなることによって、トランジスタP10はOFF状態となる。

## 【0162】

このとき、第2のアンプ部AMP2dでは、グランドGNDからグランドGNDに向かって、出力負荷C<sub>L</sub>とトランジスタN11とを通る経路で電流が流れる。この電流は、参照信号Rampの電圧が画素信号Pixelの電圧よりも大きいときに第2のアンプ部AMP2dに流れる電流と略同一である。また、この電流は、トランジスタN11のゲートに与えられた基準電圧によって制限されており、インバータ回路に流れる貫通電流よりも十分に小さい。また、トランジスタP10がOFF状態であるため、トランジスタN11のドレインの電圧すなわち第2の比較信号CO\_2の電圧はLレベルとなる。

30

## 【0163】

ラッチ制御部32は、第1の比較信号CO\_1または第3の比較信号CO\_3に基づく第2のタイミングでラッチ部33のラッチ回路L\_0～L\_6をイネーブル状態とする。すなわち、ラッチ制御部32は、第1の比較信号CO\_1の電圧がHレベルからLレベルに変化する第2のタイミング、または第3の比較信号CO\_3の電圧がLレベルからHレベルに変化する第2のタイミングでラッチ部33のラッチ回路L\_0～L\_6をイネーブル状態とする。また、ラッチ制御部32は、第2の比較信号CO\_2に基づく第3のタイミングでラッチ部33のラッチ回路L\_0～L\_7をディスエーブル状態とする。

40

## 【0164】

出力負荷C<sub>L</sub>の電圧は、第2のタイミングの直前にはHレベルである。第2のタイミング以降、出力負荷C<sub>L</sub>が放電するため、出力負荷C<sub>L</sub>の電圧は、トランジスタN11に流れる一定の電流値に応じた傾きで線形に減少する。この電圧がラッチ制御部32の回路閾値を下回るタイミング（第3のタイミング）でラッチ制御部32はラッチ部33のラッチ回路L\_0～L\_7をディスエーブル状態とすることによって、ラッチ部33にラッチを実行させる。つまり、ラッチ制御部32は、第2のタイミング以降の第2の比較信号CO\_2の電圧変化の傾き（トランジス

50

タN11に流れる電流値)とラッチ制御部32の回路閾値とで決まる第3のタイミングでラッチ部33にラッチを実行させる。

#### 【0165】

比較処理の実行中にグランドGNDのバウンスが発生した場合、グランドGNDに接続された容量素子C3の第2の端子の電圧が変化するが、その変化に応じて容量素子C3の第1の端子の電圧が変化する。これによって、容量素子C3の第1の端子から出力される基準電圧すなわちトランジスタN11のゲートの電圧が変化する。グランドGNDに接続されたトランジスタN11のソースの電圧も変化するが、その変化に応じてトランジスタN11のゲートの電圧が変化するため、トランジスタN11のゲート-ソース間電圧の変化は抑制される。つまり、トランジスタN11がソースから出力する電流の変化は抑制される。上述したように、第3のタイミングはトランジスタN11が出力する電流に応じたタイミングとなるため、比較処理の実行中にグランドGNDが変化した場合でも第3のタイミングの変化を抑制することができる。10

#### 【0166】

また、第2のアンプ部AMP2dおよび第3のアンプ部AMP3dにおいて電源VDDからグランドGNDに流れる電流は、インバータ回路に流れる貫通電流よりも十分に小さい。このため、電源VDDおよびグランドGNDのバウンスを抑制することができる。

#### 【0167】

本実施形態では、比較処理の実行時にグランドGNDのバウンスが発生した場合でも、そのバウンスに応じて容量素子C3の第1の端子の基準電圧が変化し、その結果、トランジスタN11のゲートおよびソース間の電圧の変化が抑制される。これによって、トランジスタN11に流れる電流の変化が抑制されるので、グランドGNDのバウンスによる第3のタイミングの変化を抑制することが可能となる。したがって、AD変換精度の劣化を低減することができる。20

#### 【0168】

また、初期化時に容量素子C3が基準電圧をサンプリングし、比較処理の実行時に容量素子C3が基準電圧を出力することによって、基準電圧を決めるための電圧源を不要にすることができる。

#### 【0169】

また、図9に示すように比較部31dを構成することによって、比較部31dの回路構成を簡単にすることができる。30

#### 【0170】

また、第1の比較信号CO\_1または第1の比較信号CO\_1に基づく第3の比較信号CO\_3に基づく第2のタイミングでラッチ部33を有効(イネーブル状態)にするようにラッチ制御部32を構成することによって、ラッチ制御部32の回路構成を簡単にすることができます。

#### 【0171】

##### (第5の実施形態)

次に、本発明の第5の実施形態を説明する。本実施形態では、図1に示す撮像装置1における比較部31が図13に示す比較部31eに変更される。図13は、本実施形態に係る比較部31eの構成の一例を示している。

#### 【0172】

比較部31eでは、図9に示す比較部31dにおける第3のアンプ部AMP3dが第3のアンプ部AMP3eに変更される。第3のアンプ部AMP3eでは、第1の端子がトランジスタP8(第4のトランジスタ)のゲートに接続されるとともに第2の端子がトランジスタP8のドレインに接続された容量素子C4(第4の容量素子)が追加されている。上記以外の構成については既に説明したので、説明を省略する。40

#### 【0173】

容量素子C4は、ミラー効果を示す。容量素子C4をトランジスタP8の入出力間に接続することによって、トランジスタP8の入力にトランジスタP8のゲイン倍の容量が接続された場合と同等の構成が得られる。また、容量素子C4が接続されることによって、比較部31eの帯域が制限される。より具体的には、比較部31eのローパスフィルタとしてのカットオフ50

周波数が減少する。これによって、ノイズを低減することができる。

**【0174】**

(第6の実施形態)

次に、本発明の第6の実施形態を説明する。本実施形態では、図1に示す撮像装置1における比較部31が図14に示す比較部31fに変更される。図14は、本実施形態に係る比較部31fの構成の一例を示している。

**【0175】**

比較部31fでは、図9に示す比較部31dにおける第2のアンプ部AMP2dが第2のアンプ部AMP2fに変更される。第2のアンプ部AMP2fでは、第2のアンプ部AMP2dに対して、NMOSトランジスタで構成されるN型のトランジスタN13, N14が追加されている。トランジスタN13のゲートは、トランジスタP8のドレインとトランジスタN9のドレインとに接続されている。トランジスタN13のドレインは電源VDDに接続されている。トランジスタN14のゲートは、トランジスタN11のゲートと容量素子C3の第1の端子とスイッチ素子SW1の第2の端子とに接続され、トランジスタN14のドレインはトランジスタN13のソースに接続され、トランジスタN14のソースはグランドGNDに接続されている。上記以外の構成については既に説明したので、説明を省略する。

**【0176】**

トランジスタN13, N14は、比較処理の実行時に容量素子C3の第1の端子から出力される基準電圧に基づく電流をソースから出力する。

**【0177】**

次に、比較部31fの動作について説明する。初期化時の動作については既に説明したので、説明を省略する。

**【0178】**

(参照信号Rampの電圧　画素信号Pixelの電圧のときの動作)

差動アンプDAMPの第1の入力端子IN1に参照信号Rampが与えられて差動アンプDAMPの第1の入力端子IN1の電圧Vin1が高くなった後、比較処理が開始され、参照信号Rampの電圧がランプ状に下降する。

**【0179】**

前述したように、トランジスタP8のドレインの電圧はLレベルとなる。このため、トランジスタP8のドレインに接続されたトランジスタN13のゲートの電圧はLレベルとなる。このとき、トランジスタN13はOFF状態であるため、トランジスタN13, N14に電流は流れない。

**【0180】**

(参照信号Rampの電圧　画素信号Pixelの電圧のときの動作)

参照信号Rampの電圧がさらに下降して参照信号Rampの電圧が画素信号Pixelの電圧と略同一となる(第2のタイミング)。その後、参照信号Rampの電圧が画素信号Pixelの電圧よりも低くなる。

**【0181】**

前述したように、トランジスタP8のドレインの電圧はHレベルとなる。このため、トランジスタN13はON状態となる。また、トランジスタN14は、容量素子C3の第1の端子からゲートに入力される基準電圧によってON状態となっており、基準電圧に基づく電流をドレインから出力する。したがって、トランジスタN13, N14のドレイン-ソース間に電流が流れれる。

**【0182】**

比較処理の実行時には第2のタイミングまで第2のアンプ部AMP2fでは、電源VDDからグランドGNDに向かって、トランジスタP10とトランジスタN11とを通る経路で電流が流れれる。また、第2のタイミング以降、第2のアンプ部AMP2fでは、グランドGNDからグランドGNDに向かって、出力負荷C<sub>L</sub>とトランジスタN11とを通る経路で電流が流れれる。出力負荷C<sub>L</sub>が放電すると、この電流が流れなくなるため、電源VDDからグランドGNDに向かって、トランジスタP10とトランジスタN11とを通る経路で電流が流れなくなる。

10

20

30

40

50

**【 0 1 8 3 】**

一方、第2のタイミング以降、第2のアンプ部AMP2fでは、電源VDDからグランドGNDに向かって、トランジスタN13とトランジスタN14とを通る経路で電流が流れる。このため、第2のタイミング以降、トランジスタP10とトランジスタN11とを通る経路に流れなくなる分の電流を補償し、第2のタイミングの前後における第2のアンプ部AMP2fの電流の変化を抑制することが可能となる。したがって、本実施形態では、電源VDDおよびグランドGNDのバウンスの発生を抑制することが可能となり、AD変換精度の劣化を低減することができる。

**【 0 1 8 4 】**

図13に示す比較部31eに対して本実施形態のトランジスタN13，N14を追加してもよい。

**【 0 1 8 5 】**

(第7の実施形態)

次に、本発明の第7の実施形態を説明する。本実施形態では、図1に示す撮像装置1における比較部31が図15に示す比較部31gに変更される。図15は、本実施形態に係る比較部31gの構成の一例を示している。

**【 0 1 8 6 】**

比較部31gでは、図14に示す比較部31fにおける第2のアンプ部AMP2fが第2のアンプ部AMP2gに変更される。第2のアンプ部AMP2gでは、スイッチ素子SW2と容量素子C4とが追加されている。スイッチ素子SW2の第1の端子は容量素子C3の第1の端子とスイッチ素子SW1の第2の端子とに接続され、スイッチ素子SW2の第2の端子はトランジスタN11のゲートとトランジスタN14のゲートとに接続されている。容量素子C4の第1の端子はスイッチ素子SW2の第2の端子とトランジスタN11のゲートとトランジスタN14のゲートとに接続され、容量素子C4の第2の端子はグランドGNDに接続されている。容量素子C4とトランジスタN11との距離は容量素子C3とトランジスタN11との距離よりも小さい。スイッチ素子SW2は、初期化時に容量素子C3の第1の端子および容量素子C4の第1の端子を接続し、比較処理の実行時に容量素子C3の第1の端子および容量素子C4の第1の端子を切り離す（非接続状態に保つ）。上記以外の構成については既に説明したので、説明を省略する。

**【 0 1 8 7 】**

次に、比較部31gの動作について説明する。既に説明した動作については説明を省略する。

**【 0 1 8 8 】**

初期化時にはスイッチ素子SW1とスイッチ素子SW2とがON状態となる。初期化時に容量素子C3と容量素子C4とは、トランジスタN9のゲートに入力された信号に基づく基準電圧（トランジスタN9のドレインの電圧）をサンプリングする。

**【 0 1 8 9 】**

初期化が終了した後、スイッチ素子SW1はOFF状態となる。また、スイッチ素子SW2はOFF状態となり、容量素子C3の第1の端子および容量素子C4の第1の端子を切り離す。比較処理の実行時には、容量素子C4の第1の端子が outputする基準電圧がトランジスタN11のゲートおよびトランジスタN14のゲートに供給される。上記以外の動作については既に説明したので、説明を省略する。

**【 0 1 9 0 】**

本実施形態では、トランジスタN13，N14が設けられているが、トランジスタN13，N14は本実施形態に必須の構成ではない。

**【 0 1 9 1 】**

図13に示す比較部31eに対して本実施形態のスイッチ素子SW2と容量素子C4とを追加してもよい。

**【 0 1 9 2 】**

第4の実施形態から第6の実施形態では、容量素子C3からトランジスタN11に供給される基準電圧にノイズが重畠する場合がある。本実施形態では、容量素子C3よりもトランジスタN11に近い容量素子C4からトランジスタN11に基準電圧が供給されるので、基準電圧に重畠するノイズを減らすことができる。これによって、出力負荷C<sub>L</sub>の電圧変化の傾きを決定

10

20

30

40

50

する電流（トランジスタN11に流れる電流）に対するノイズの影響が低減されるので、第3のタイミングの変化を抑制することが可能となる。したがって、AD変換精度の劣化を低減することができる。

### 【0193】

以上、図面を参照して本発明の実施形態について詳述してきたが、具体的な構成は上記の実施形態に限られるものではなく、本発明の要旨を逸脱しない範囲の設計変更等も含まれる。

### 【符号の説明】

#### 【0194】

- 1 撮像装置
- 2 撮像部
- 3 単位画素
- 12 垂直選択部
- 14 水平選択部
- 15 カラム処理部
- 16 列AD変換部
- 17 出力部
- 18 クロック生成部
- 19 参照信号生成部
- 20 制御部

10

- 31, 31a, 31b, 31c, 31d, 31e, 31f, 1031 比較部

20

- 32, 1032 ラッチ制御部
- 33, 1033 ラッチ部、
- 34, 1034 カウント部

- 100 VCO

【図1】

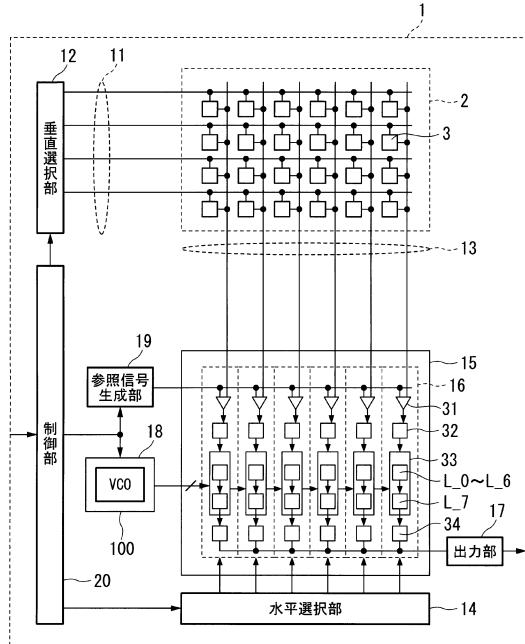


図1

【図2】

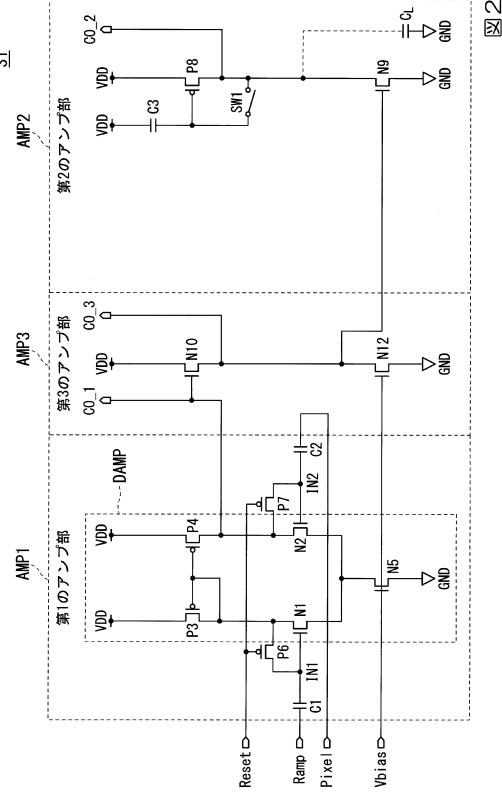


図2

【図3】

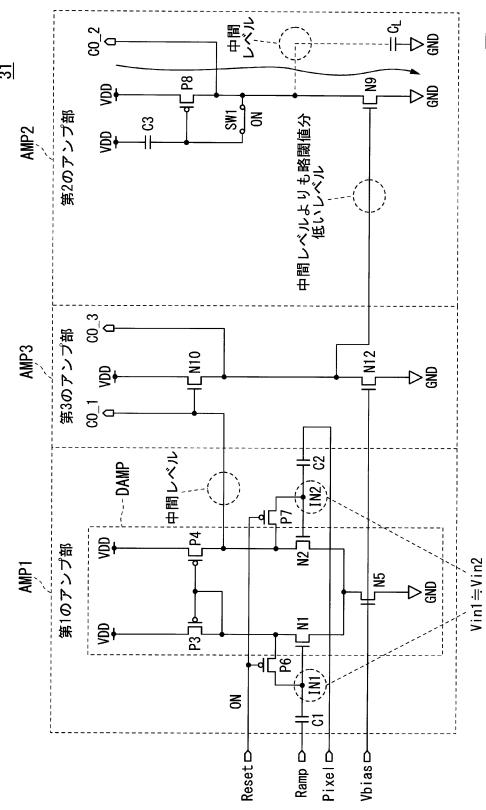


図3

【図4】

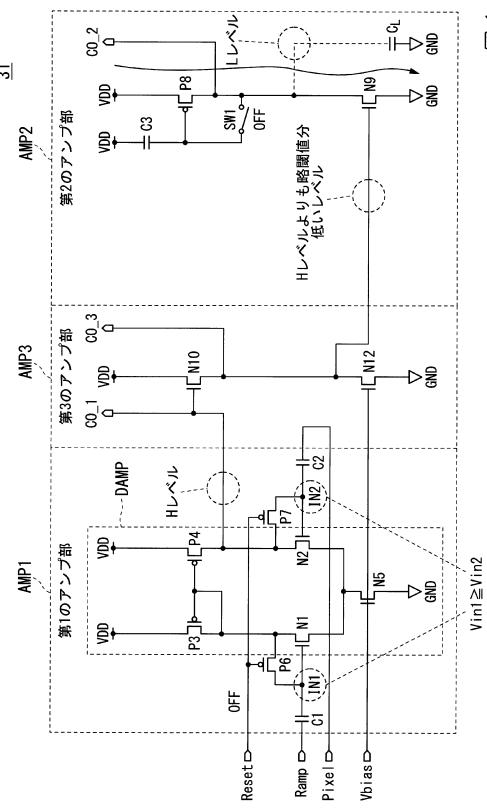


図4

【図5】

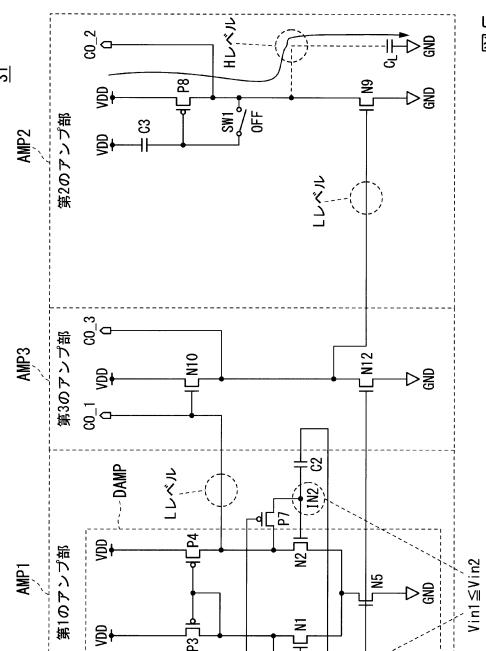


図5

【図6】

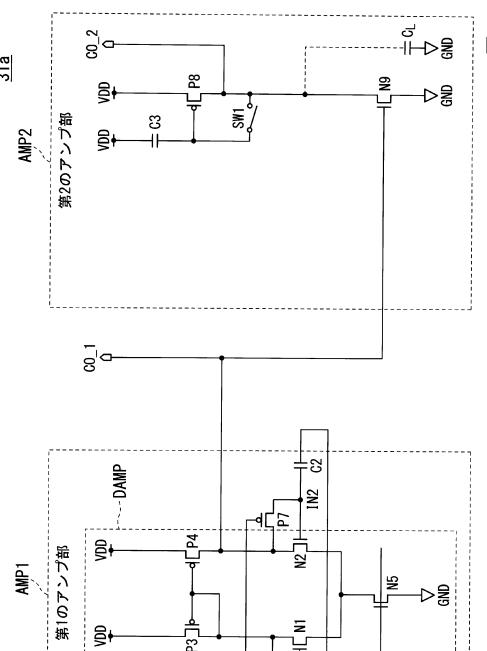
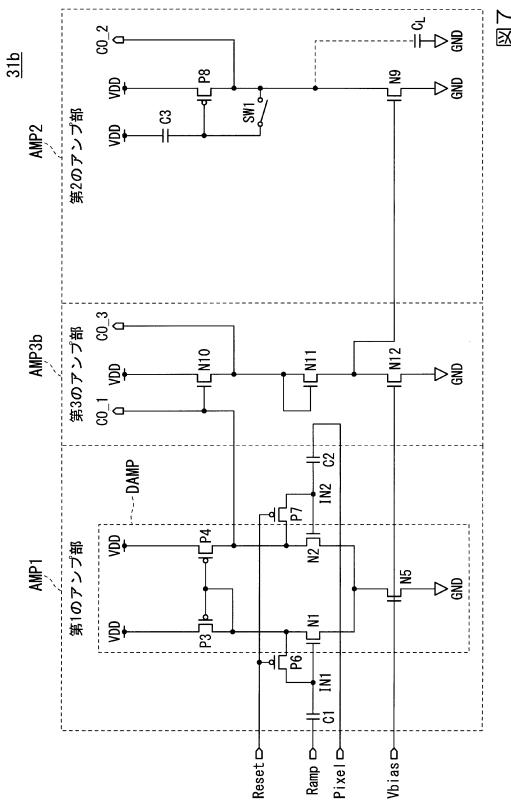
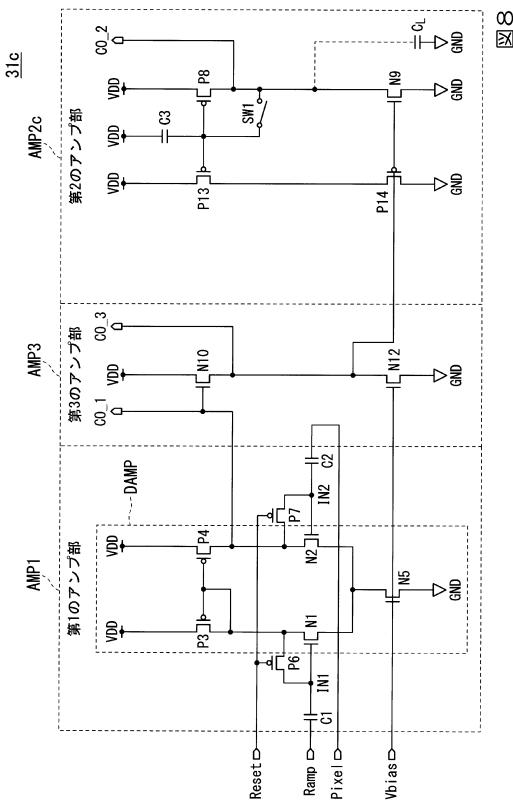


図6

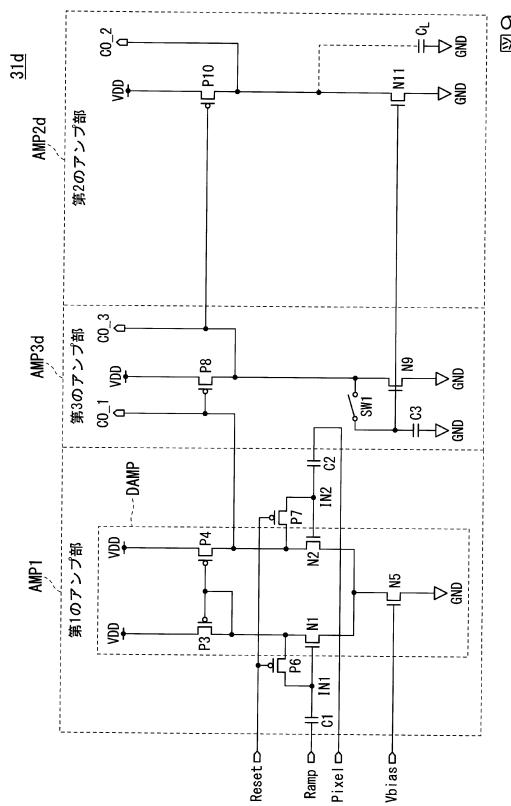
【図7】



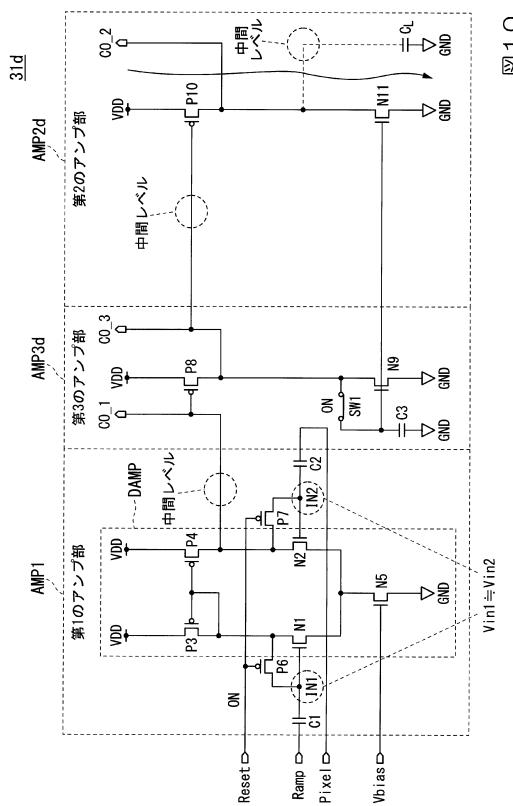
【図8】



【図9】



【図10】



【図 1 1】

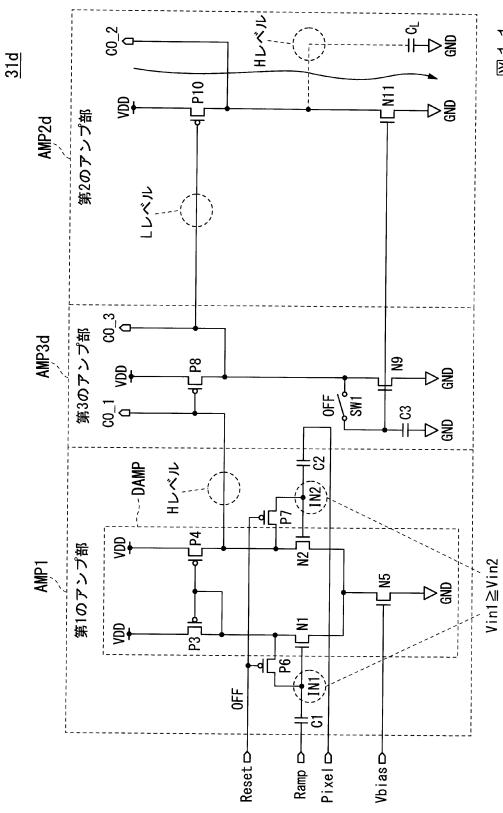


図 1 1

【図 1 2】

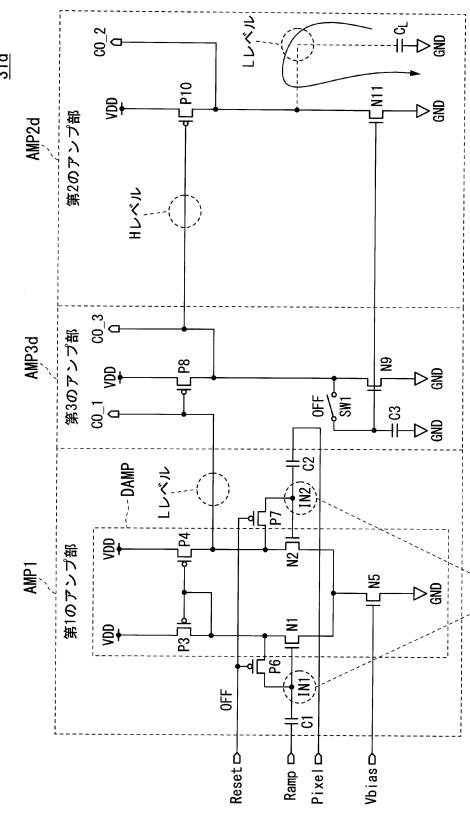


図 1 2

【図 1 3】

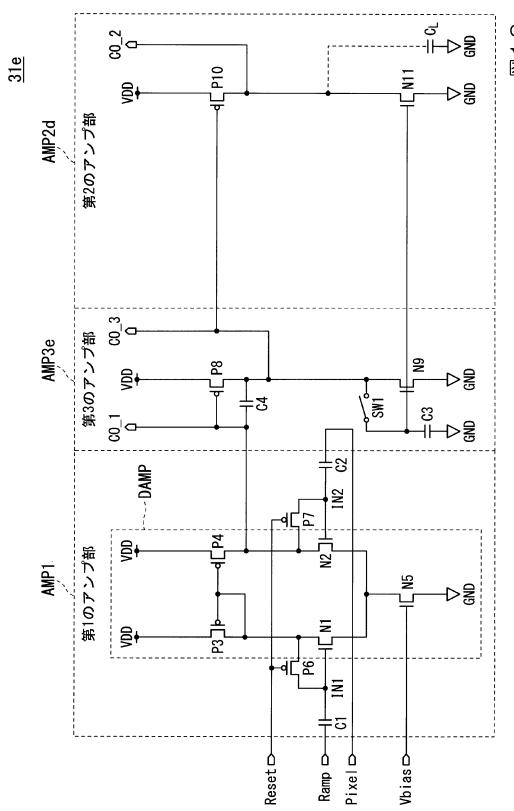


図 1 3

【図 1 4】

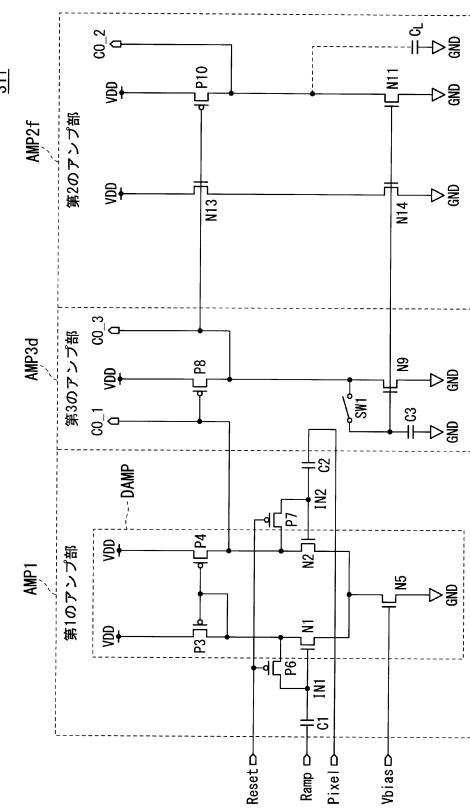


図 1 4

【図 15】

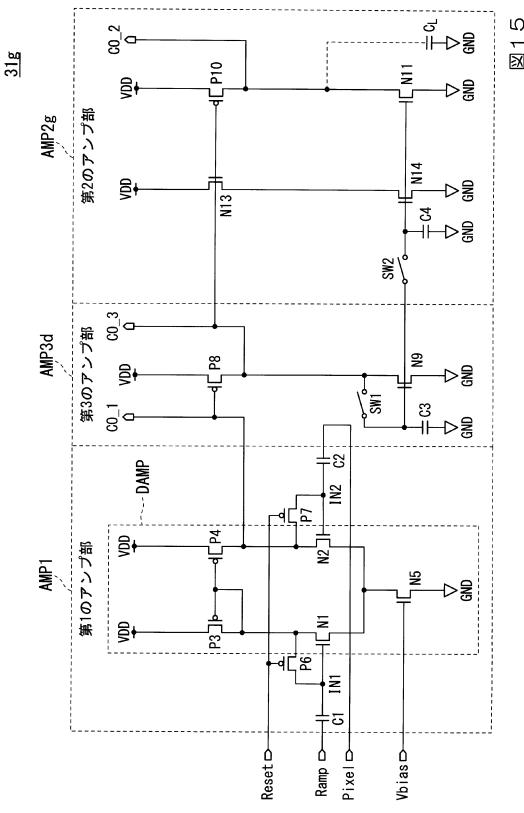


図 15

【図 16】

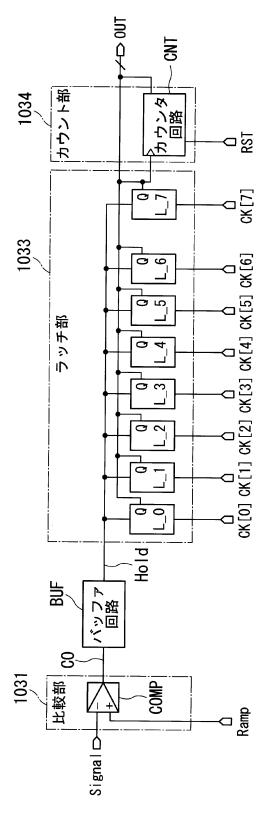


図 16

【図 17】

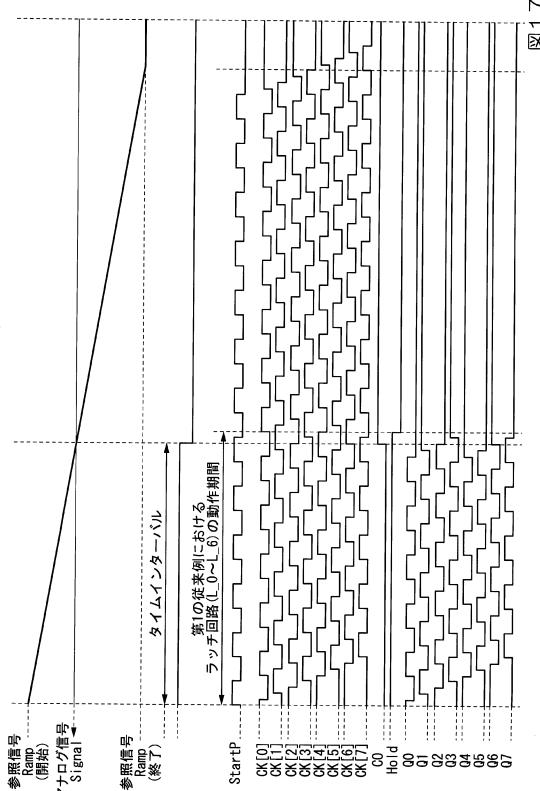


図 17

【図 18】

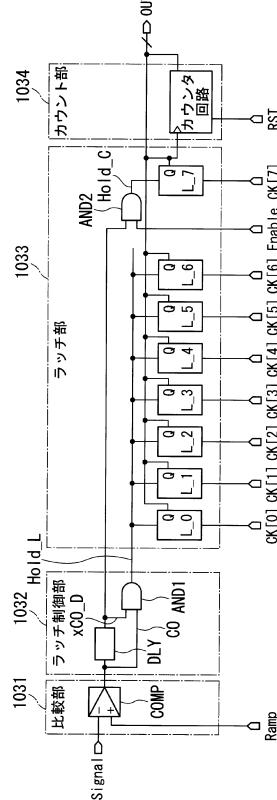


図 18

【図19】

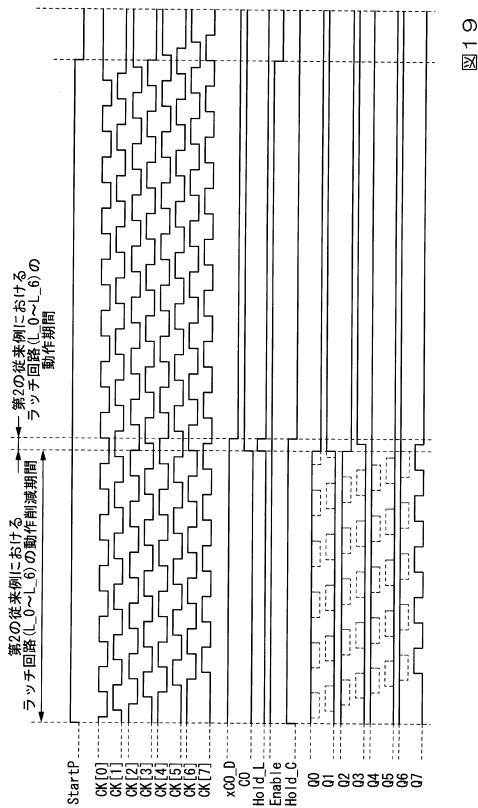


図19

---

フロントページの続き

(72)発明者 萩原 義雄  
東京都渋谷区幡ヶ谷2丁目43番2号 オリンパス株式会社内

審査官 工藤 一光

(56)参考文献 特開2012-39386(JP,A)  
特開2009-124514(JP,A)  
特開2011-55196(JP,A)  
特開2000-349638(JP,A)  
国際公開第2014/132822(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H04N5/335-5/378  
H03M1/56  
H03M1/12