(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2025-0083212
(43) 공개일자 2025년06월09일

(51) 국제특허분류(Int. Cl.)
H01L 23/538 (2006.01) *B33Y 10/00* (2015.01)
B33Y 80/00 (2015.01) *H01L 23/66* (2006.01)
(52) CPC특허분류
H01L 23/5386 (2013.01)
B33Y 10/00 (2013.01)
(21) 출원번호 10-2025-0071068(분할)
(22) 출원일자 2025년05월30일
심사청구일자 2025년05월30일
(62) 원출원 특허 10-2023-0170852
원출원일자 2023년11월30일
심사청구일자 2023년11월30일

(71) 출원인
울산과학기술원
울산광역시 울주군 언양읍 유니스트길 50
(72) 발명자
권지민
울산광역시 울주군 언양읍 유니스트길 50
정학순
울산광역시 울주군 언양읍 유니스트길 50
(74) 대리인
특허법인 아이피에스

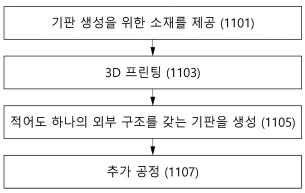
전체 청구항 수 : 총 7 항

(54) 발명의 명칭 **3D 프린팅에 기반하여 패턴 형성을 위한 전자 장치, 및 그 동작 방법**

(57) 요 약

다양한 실시예들에 따르면, 특정 소재를 이용하여 3D 프린팅에 기초하여 기판을 생성하는 단계;를 포함하고, 상기 기판은 베이스층 및 상기 베이스층 상에 배치되는 전도성층을 포함하고, 상기 전도성층 상에 적어도 하나의 외부 구조가 형성되고, 상기 적어도 하나의 외부 구조 사이에 보호층을 형성하는 단계; 제1 용매를 제공하여 상기 적어도 하나의 외부 구조를 제거하는 단계; 상기 적어도 하나의 외부 구조가 제거됨에 따라 외부로 노출되는 상기 전도성층의 일부 영역을 식각하는 단계; 및 제2 용매를 제공하여 상기 보호층을 제거하는 단계;를 포함하는, 방법이 제공될 수 있다. 그 밖의 다양한 실시예가 가능하다.

대 표 도 - 도11a



(52) CPC특허분류
B33Y 80/00 (2013.01)
H01L 23/5384 (2013.01)
H01L 23/66 (2013.01)

이 발명을 지원한 국가연구개발사업

과제고유번호	1711199386
과제번호	RS-2023-00281195
부처명	과학기술정보통신부
과제관리(전문)기관명	한국연구재단
연구사업명	국가반도체연구실핵심기술개발사업
연구과제명	3D 프린팅 기반 반도체 패키징 핵심 기술 개발
기 여 율	1/1
과제수행기관명	울산과학기술원
연구기간	2023.08.01 ~ 2023.12.31

명 세 서

청구범위

청구항 1

특정 소재를 이용하여 3D 프린팅에 기초하여 기판을 생성하는 단계;를 포함하고, 상기 기판은 베이스층 및 상기 베이스층 상에 배치되는 전도성층을 포함하고, 상기 전도성층 상에 적어도 하나의 외부 구조가 형성되고,

상기 적어도 하나의 외부 구조 사이에 보호층을 형성하는 단계;

제1 용매를 제공하여 상기 적어도 하나의 외부 구조를 제거하는 단계;

상기 적어도 하나의 외부 구조가 제거됨에 따라 외부로 노출되는 상기 전도성층의 일부 영역을 식각하는 단계; 및

제2 용매를 제공하여 상기 보호층을 제거하는 단계;를 포함하는,

방법.

청구항 2

제1 항에 있어서,

상기 적어도 하나의 외부 구조의 소재는 테플론을 포함하는,

상기 제1 용매는 소수성 용매인,

방법.

청구항 3

제2 항에 있어서,

상기 적어도 하나의 외부 구조는 ㎛ 단위의 해상도로 3D 프린팅 공정을 수행함에 따라 형성되는,

방법.

청구항 4

제3 항에 있어서,

상기 전도성층의 식각된 일부 영역은 ㎛ 단위의 해상도를 갖는,

방법.

청구항 5

제1 항에 있어서,

상기 보호층의 소재는 친수성을 갖는 소재를 포함하고,

상기 제2 용매는 친수성 용매인,

방법.

청구항 6

제1 항에 있어서, 상기 기판은 적어도 하나의 홀을 더 포함하는,

방법.

청구항 7

제6 항에 있어서,

상기 기판의 적어도 하나의 홀의 내부 공간에 금속이 형성되도록, 상기 적어도 하나의 홀의 상기 내부 공간으로 금속 소재가 제공된 상태에서 정방향의 펄스 전압이 제1 기간 동안 인가되고 역방향의 펄스 전압이 상기 제1 기간과 다른 제2 기간에 인가되는 동작이 반복됨에 따라, 금속이 형성되는,

방법.

발명의 설명

기 술 분 야

[0001] 본 발명의 다양한 실시예는, 3D 프린팅에 기반하여 패턴 형성을 위한 전자 장치, 및 그 동작 방법에 관한 것이다.

배 경 기 술

[0003] 반도체 산업은 저렴한 가격에 더욱 경량화, 소형화, 다기능화 및 고성능화 추세에 있다.

[0004] 반도체 공정은, 웨이퍼 제조와 칩을 생성하는 전공정과 칩을 패키징하는 후공정을 포함하며, 무어(Moore)의 법칙에 기반한 반도체 미세화 기술을 통한 시스템 향상 속도에 제동이 걸리고 있으며, 후공정인 반도체 패키징이 새로운 부가가치를 만들 수 있는 핵심기술로서 주목 받고 있다.

[0005] 반도체 패키징은, 반도체 부품 간 전기적 연결 및 보호를 위한 기술로서, 반도체 부품 간 전기적 연결 거리와 수를 증가시킴으로써 칩 성능을 대폭 향상시킬 수 있다.

[0006] 근래에는, 다양한 종류의 응용 제품이 개발됨에 따라, 다양화되는 반도체 고객의 요구에 맞춤형 패키징 구조물을 제공하기 위한, 패키징 기술에 대한 개발 니즈가 증대되는 실정이다.

발명의 내용

해결하려는 과제

[0008] 반도체 패키징은, 반도체 부품 간 전기적 연결 및 보호를 위한 기술로서, 반도체 부품 간 전기적 연결 거리와 수를 증가시킴으로써 칩 성능을 대폭 향상시킬 수 있는 기술이다. 다만, 종래에는, 반도체 패키징 비용 중 인터커넥션 공정의 비용이 대부분의 비용을 차지할 정도로, 큰 비용이 소요되며, 다양한 패턴의 인터커넥션 구조의 설계가 비용이하며, 구조가 복잡해질수록 비용이 급격하게 증가되는 문제점이 있다. 아울러, 도체 수요가 종래 IT 제품뿐만 아니라, AI/자동차/스마트 팩토리에도 이용되면서, 다양한 종류의 고객 맞춤형의 반도체 칩이 필요하나, 종래의 구축된 반도체 생산 시설로는 이를 해소하기에 어려움이 있었다.

[0009] 다양한 실시예들에 따르면, 3D 프린팅 기반 소비자 맞춤형 반도체 패키징을 위한 장치, 서버, 시스템, 및 그 동작 방법은, 3D 프림팅을 이용한 인터커넥션션 구조 형성을 통해, 인터커넥션 공정을 단순화하고, 인터커넥션 공정의 비용을 절감할 수 있다. 또, 3D 프린팅 기반 소비자 맞춤형 반도체 패키징을 위한 장치, 서버, 시스템, 및 그 동작 방법은, 목적에 맞는 형상의(예: 제품 내부 빈 공간의 형상에 맞는) 기판을 생성하며 동시에 다양한 패턴의 인터커넥션 구조를 형성으로써, 이에 따라, 종래의 별도의 인터커넥션 공정을 반도체 패키지 공정으로부터 제외하여 공정 비용 항목을 최적화할 수 있다.

[0010] 본 발명이 해결하고자 하는 과제는 이상에서 언급한 과제로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0012] 다양한 실시예들에 따르면, 전자 부품 간의 전기적 연결을 위한 기판으로서, 단일 층 구조의 몸체; 및 상기 몸체 내부에 형성되는 전도성을 갖는 적어도 하나의 인터커넥트;를 포함하고, 상기 적어도 하나의 인터커넥트는 상기 몸체의 외부로 노출되는 일측과 타측, 및 상기 일측과 타측을 연결하는 라인을 포함하고, 상기 라인은, 상기 단일 층 구조의 상기 몸체의 내부를 통해 횡방향 또는 종방향으로 가로지르며, 일부 구간에서 특정 곡률을 가지는 것이 가능하도록 구현되는, 기판이 제공될 수 있다.

[0013] 다양한 실시예들에 따르면, 전자 장치로서, 복수의 전자 부품들; 및 단일층 구조의 몸체, 및 상기 몸체 내부에 형성되는 전도성을 갖는 적어도 하나의 인터커넥트를 포함하는 기판;을 포함하고, 상기 적어도 하나의 인터커넥트는 상기 몸체의 외부로 노출되는 일측과 타측, 및 상기 일측과 타측을 연결하는 라인을 포함하고, 상기 라인은, 상기 단일 층 구조의 상기 몸체의 내부를 통해 횡방향 또는 종방향으로 가로지르며, 일부 구간에서 특정 곡률을 가지고, 상기 복수의 전자 부품들 중 제1 전자 부품과 상기 제2 전자 부품은, 상기 적어도 하나의 인터커넥트에 의해 전기적으로 연결되는, 전자 장치가 제공될 수 있다.

[0014] 다양한 실시예들에 따른, 과제의 해결 수단이 상술한 해결 수단들로 제한되는 것은 아니며, 언급되지 아니한 해결 수단들은 본 명세서 및 첨부된 도면으로부터 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 명확하게 이해될 수 있을 것이다.

발명의 효과

[0016] 다양한 실시예들에 따르면, 3D 프린팅 기반 소비자 맞춤형 반도체 패키징을 위한 장치, 서버, 시스템, 및 그 동작 방법은, 3D 프림팅을 이용한 인터커넥션션 구조 형성을 통해, 인터커넥션 공정을 단순화하고, 인터커넥션 공정의 비용을 절감할 수 있다.

[0017] 또, 다양한 실시예들에 따르면, 3D 프린팅 기반 소비자 맞춤형 반도체 패키징을 위한 장치, 서버, 시스템, 및 그 동작 방법은, 목적에 맞는 형상의(예: 제품 내부 빈 공간의 형상에 맞는) 기판을 생성하며 동시에 다양한 패턴의 인터커넥션 구조를 형성으로써, 이에 따라, 종래의 별도의 인터커넥션 공정을 반도체 패키지 공정으로부터 제외하여 공정 비용 항목을 최적화할 수 있다.

도면의 간단한 설명

[0019] 도 1은, 다양한 실시예들에 따른, 맞춤형 프린팅 시스템의 구성 요소의 예를 나타내는 도면이다.

도 2는, 다양한 실시예들에 따른, 맞춤형 프린팅 시스템에 의해 생산되는 구조물의 적용 제품의 예를 설명하기 위한 도면이다.

도 3은, 다양한 실시예들에 따른, 서버 및 사용자 장치의 구성의 예를 설명하기 위한 도면이다.

도 4는, 다양한 실시예들에 따른, 설계 프로그램의 예를 설명하기 위한 도면이다.

도 5는, 다양한 실시예들에 따른, 변환 프로그램의 예를 설명하기 위한 도면이다.

도 6은, 다양한 실시예들에 따른, 패키지 장치의 구성의 예를 설명하기 위한 도면이다.

도 7은, 다양한 실시예들에 따른, 패키징 장치의 구현 예를 설명하기 위한 도면이다.

도 8은, 다양한 실시예들에 따른, 공정의 예를 나타내는 흐름도이다.

도 9는, 다양한 실시예들에 따른, 기판 생성 공정, 금속화 공정, 범프 형성 공정, 및 본딩 공정의 예를 설명하기 위한 도면이다.

도 10a는, 다양한 실시예들에 따른, 3DP 기반 기판의 형성 공정의 예를 나타내는 흐름도이다.

도 10b는, 다양한 실시예들에 따른, 기판의 소재의 예를 설명하기 위한 도면이다.

도 11a는, 다양한 실시예들에 따른, 3DP 기반 기판의 형성 공정의 예를 나타내는 흐름도이다.

도 11b는, 다양한 실시예들에 따른, 기판의 외부 구조를 형성하는 공정의 예를 설명하기 위한 도면이다.

도 11c는, 다양한 실시예들에 따른, 기판의 외부 구조를 형성하는 공정의 예를 설명하기 위한 도면이다.

도 12는, 다양한 실시예들에 따른, 사용자 장치들로부터 수신되는 도면 파일에 기반하여, 기판의 생성을 위한 동작의 예를 설명하기 위한 흐름도이다.

도 13은, 다양한 실시예들에 따른, 사용자 장치들로부터 수신되는 도면 파일에 따라서 서로 다른 기판을 생성하는 동작의 예를 설명하기 위한 도면이다.

도 14는, 다양한 실시예들에 따른, 3DP 기반 기판 형성 동작 중 적어도 일부로 기판의 크기를 보정하는 동작의 예를 설명하기 위한 흐름도이다.

도 15는, 다양한 실시예들에 따른, 크기를 보정하는 동작의 예를 설명하기 위한 도면이다.

도 16은, 다양한 실시예들에 따른, 서버의 크기를 보정하는 동작의 예들을 설명하기 위한 도면이다.

도 17은, 다양한 실시예들에 따른, 금속화 공정의 예를 설명하기 위한 흐름도이다.

도 18은, 다양한 실시예들에 따른, 금속화 공정을 위한 금속화 장치의 예를 설명하기 위한 도면이다.

도 19는, 다양한 실시예들에 따른, 금속화 공정 시 기판 내부의 관통 구조에 형성되는 내부 결함을 제거하는 동작의 예를 설명하기 위한 도면이다.

도 20은, 다양한 실시예들에 따른, 패키징 구조물 및 응용 제품의 예를 설명하기 위한 도면이다.

도 21은, 다양한 실시예들에 따른, 제1 타입의 패키징 구조물의 일 예를 설명하기 위한 도면이다.

도 22는, 다양한 실시예들에 따른, 제1 타입의 패키징 구조물의 일 예의 분해 사시도이다.

도 23은, 다양한 실시예들에 따른, 제1 타입의 패키징 구조물의 다양한 예들을 설명하기 위한 도면이다.

도 24는, 다양한 실시예들에 따른, 제2 타입의 패키징 구조물의 다양한 예들을 설명하기 위한 도면이다.

도 25는, 다양한 실시예들에 따른, 응용 제품에 이용되는 패키징 구조물의 예를 설명하기 위한 도면이다.

도 26은, 다양한 실시예들에 따른, 칩 패키지에 이용되는 제1 타입의 패키징 구조물의 예를 설명하기 위한 도면이다.

도 27은, 다양한 실시예들에 따른, 제2 타입의 패키징 구조물의 예를 설명하기 위한 도면이다.

도 28은, 다양한 실시예들에 따른, 안테나 인 패키지에 이용되는 패키징 구조물의 예를 설명하기 위한 도면이다.

도 29는, 다양한 실시예들에 따른, 안테나 인 패키지에 이용되는 패키징 구조물의 예를 설명하기 위한 도면이다.

발명을 실시하기 위한 구체적인 내용

[0020] 본 문서에 개시된 다양한 실시예들에 따른 전자 장치는 다양한 형태의 장치가 될 수 있다. 전자 장치는, 예를 들면, 휴대용 통신 장치(예: 스마트폰), 컴퓨터 장치, 휴대용 멀티미디어 장치, 휴대용 의료 기기, 카메라, 웨어러블 장치, 또는 가전 장치를 포함할 수 있다. 본 문서의 실시예에 따른 전자 장치는 전술한 기기들에 한정되지 않는다.

[0021] 본 문서의 다양한 실시예들 및 이에 사용된 용어들은 본 문서에 기재된 기술적 특징들을 특정한 실시예들로 한정하려는 것이 아니며, 해당 실시예의 다양한 변경, 균등물, 또는 대체물을 포함하는 것으로 이해되어야 한다. 도면의 설명과 관련하여, 유사한 또는 관련된 구성요소에 대해서는 유사한 참조 부호가 사용될 수 있다. 아이템에 대응하는 명사의 단수 형은 관련된 문맥상 명백하게 다르게 지시하지 않는 한, 상기 아이템 한 개 또는 복수 개를 포함할 수 있다. 본 문서에서, "A 또는 B", "A 및 B 중 적어도 하나", "A 또는 B 중 적어도 하나", "A, B

또는 C", "A, B 및 C 중 적어도 하나", 및 "A, B, 또는 C 중 적어도 하나"와 같은 문구들 각각은 그 문구들 중 해당하는 문구에 함께 나열된 항목들 중 어느 하나, 또는 그들의 모든 가능한 조합을 포함할 수 있다. "제1", "제2", 또는 "첫째" 또는 "둘째"와 같은 용어들은 단순히 해당 구성요소를 다른 해당 구성요소와 구분하기 위해 사용될 수 있으며, 해당 구성요소들을 다른 측면(예: 중요성 또는 순서)에서 한정하지 않는다. 어떤(예: 제1) 구성요소가 다른(예: 제2) 구성요소에, "기능적으로" 또는 "통신적으로"라는 용어와 함께 또는 이런 용어 없이, "커플드" 또는 "커넥티드"라고 언급된 경우, 그것은 상기 어떤 구성요소가 상기 다른 구성요소에 직접적으로(예: 유선으로), 무선으로, 또는 제3 구성요소를 통하여 연결될 수 있다는 것을 의미한다.

[0022] 본 문서의 다양한 실시예들에서 사용된 용어 "모듈"은 하드웨어, 소프트웨어 또는 펌웨어로 구현된 유닛을 포함할 수 있으며, 예를 들면, 로직, 논리 블록, 부품, 또는 회로와 같은 용어와 상호 호환적으로 사용될 수 있다. 모듈은, 일체로 구성된 부품 또는 하나 또는 그 이상의 기능을 수행하는, 상기 부품의 최소 단위 또는 그 일부가 될 수 있다. 예를 들면, 일 실시예에 따르면, 모듈은 ASIC(application-specific integrated circuit)의 형태로 구현될 수 있다.

[0023] 본 문서의 다양한 실시예들은 기기(machine)(예: 전자 장치) 의해 읽을 수 있는 저장 매체(storage medium)(예: 내장 메모리) 또는 외장 메모리)에 저장된 하나 이상의 명령어들을 포함하는 소프트웨어(예: 프로그램))로서 구현될 수 있다. 예를 들면, 기기(예: 전자 장치)의 프로세서(예: 프로세서)는, 저장 매체로부터 저장된 하나 이상의 명령어들 중 적어도 하나의 명령을 호출하고, 그것을 실행할 수 있다. 이것은 기기가 상기 호출된 적어도 하나의 명령어에 따라 적어도 하나의 기능을 수행하도록 운영되는 것을 가능하게 한다. 상기 하나 이상의 명령어들은 컴파일러에 의해 생성된 코드 또는 인터프리터에 의해 실행될 수 있는 코드를 포함할 수 있다. 기기로 읽을 수 있는 저장 매체는, 비일시적(non-transitory) 저장 매체의 형태로 제공될 수 있다. 여기서, '비일시적'은 저장 매체가 실재(tangible)하는 장치이고, 신호(signal)(예: 전자기파)를 포함하지 않는다는 것을 의미할 뿐이며, 이 용어는 데이터가 저장 매체에 반영구적으로 저장되는 경우와 임시적으로 저장되는 경우를 구분하지 않는다.

[0024] 일 실시예에 따르면, 본 문서에 개시된 다양한 실시예들에 따른 방법은 컴퓨터 프로그램 제품(computer program product)에 포함되어 제공될 수 있다. 컴퓨터 프로그램 제품은 상품으로서 판매자 및 구매자 간에 거래될 수 있다. 컴퓨터 프로그램 제품은 기기로 읽을 수 있는 저장 매체(예: compact disc read only memory(CD-ROM))의 형태로 배포되거나, 또는 어플리케이션 스토어(예: 플레이 스토어™)를 통해 또는 두 개의 사용자 장치들(예: 스마트 폰들) 간에 직접, 온라인으로 배포(예: 다운로드 또는 업로드)될 수 있다. 온라인 배포의 경우에, 컴퓨터 프로그램 제품의 적어도 일부는 제조사의 서버, 어플리케이션 스토어의 서버, 또는 중계 서버의 메모리와 같은 기기로 읽을 수 있는 저장 매체에 적어도 일시 저장되거나, 임시적으로 생성될 수 있다.

[0025] 다양한 실시예들에 따르면, 상기 기술한 구성요소들의 각각의 구성요소(예: 모듈 또는 프로그램)는 단수 또는 복수의 개체를 포함할 수 있으며, 복수의 개체 중 일부는 다른 구성요소에 분리 배치될 수도 있다. 다양한 실시예들에 따르면, 전술한 해당 구성요소들 중 하나 이상의 구성요소들 또는 동작들이 생략되거나, 또는 하나 이상의 다른 구성요소들 또는 동작들이 추가될 수 있다. 대체적으로 또는 추가적으로, 복수의 구성요소들(예: 모듈 또는 프로그램)은 하나의 구성요소로 통합될 수 있다. 이런 경우, 통합된 구성요소는 상기 복수의 구성요소들 각각의 구성요소의 하나 이상의 기능들을 상기 통합 이전에 상기 복수의 구성요소들 중 해당 구성요소에 의해 수행되는 것과 동일 또는 유사하게 수행할 수 있다. 다양한 실시예들에 따르면, 모듈, 프로그램 또는 다른 구성요소에 의해 수행되는 동작들은 순차적으로, 병렬적으로, 반복적으로, 또는 휴리스틱하게 실행되거나, 상기 동작들 중 하나 이상이 다른 순서로 실행되거나, 생략되거나, 또는 하나 이상의 다른 동작들이 추가될 수 있다.

[0026] 다양한 실시예들에 따르면, 전자 부품 간의 전기적 연결을 위한 기판으로서, 단일 층 구조의 몸체; 및 상기 몸체 내부에 형성되는 전도성을 갖는 적어도 하나의 인터커넥트;를 포함하고, 상기 적어도 하나의 인터커넥트는 상기 몸체의 외부로 노출되는 일측과 타측, 및 상기 일측과 타측을 연결하는 라인을 포함하고, 상기 라인은, 상기 단일 층 구조의 상기 몸체의 내부를 통해 횡방향 또는 종방향으로 가로지르며, 일부 구간에서 특정 곡률을 가지는 것이 가능하도록 구현되는, 기판이 제공될 수 있다.

[0027] 다양한 실시예들에 따르면, 상기 적어도 하나의 인터커넥트는, 제1 인터커넥트 및 제2 인터커넥트를 포함하고, 상기 제1 인터커넥트의 상기 특정 기울기는 제1 기울기이고, 상기 제2 인터커넥트의 상기 특정 기울기는 상기 제1 기울기와는 다른 제2 기울기인, 기판이 제공될 수 있다.

[0028] 다양한 실시예들에 따르면, 상기 몸체는, 3D 프린팅 공정에 기반하여, 상기 기판이 배치되는 전자 제품의 내부

의 빈공간의 형상에 대응하도록 구현되는, 기판이 제공될 수 있다.

[0029] 다양한 실시예들에 따르면, 상기 적어도 하나의 인터커넥트의 상기 일측은 상기 전자 장치의 제1 전자 부품에 연결되고, 상기 타측은 상기 전자 장치의 제2 전자 부품에 연결되도록 구현되는, 기판이 제공될 수 있다.

[0030] 다양한 실시예들에 따르면, 상기 적어도 하나의 인터커넥트는, 복수의 도전성 부재들을 포함하고, 상기 기판의 상기 제1 전자 부품에 인접한 제1 영역의 상기 복수의 도전성 부재들의 제1 밀도는, 상기 기판의 상기 제2 전자 부품에 인접한 제2 영역의 상기 복수의 도전성 부재들의 제2 밀도와 상이하도록 구현되는, 기판이 제공될 수 있다.

[0031] 다양한 실시예들에 따르면, 상기 몸체는: 상기 적어도 하나의 인터커넥트가 배치되는 부분 이외의 부분에 다른 적어도 하나의 구조 및/또는 적어도 하나의 부재;를 포함하도록 구현되는, 기판이 제공될 수 있다.

[0032] 다양한 실시예들에 따르면, 상기 적어도 하나의 구조는, 상기 기판으로부터 발생되는 열을 방출하기 위한 빈공간 구조를 포함하는, 기판이 제공될 수 있다.

[0033] 다양한 실시예들에 따르면, 상기 기판은 다른 적어도 하나의 인터커넥트를 포함하는 부가 구조물과 연결되는, 기판이 제공될 수 있다.

[0034] 다양한 실시예들에 따르면, 상기 기판의 상기 적어도 하나의 인터커넥트의 밀도는, 상기 부가 구조물의 상기 다른 적어도 하나의 인터커넥트의 밀도 보다 낮도록 구현되는, 기판이 제공될 수 있다.

[0035] 다양한 실시예들에 따르면, 상기 기판과 상기 부가 기판은 서로 접합되는 방식으로 상기 기판과 상기 부가 기판이 연결되거나, 또는 상기 기판 상에 상기 부가 기판이 적층 되는 방식으로 상기 기판과 상기 부가 기판이 연결되는, 기판이 제공될 수 있다.

[0036] 다양한 실시예들에 따르면, 전자 장치로서, 복수의 전자 부품들; 및 단일층 구조의 몸체, 및 상기 몸체 내부에 형성되는 전도성을 갖는 적어도 하나의 인터커넥트를 포함하는 기판;을 포함하고, 상기 적어도 하나의 인터커넥트는 상기 몸체의 외부로 노출되는 일측과 타측, 및 상기 일측과 타측을 연결하는 라인을 포함하고, 상기 라인은, 상기 단일 층 구조의 상기 몸체의 내부를 통해 횡방향 또는 종방향으로 가로지르며, 일부 구간에서 특정 곡률을 가지고, 상기 복수의 전자 부품들 중 제1 전자 부품과 상기 제2 전자 부품은, 상기 적어도 하나의 인터커넥트에 의해 전기적으로 연결되는, 전자 장치가 제공될 수 있다.

[0037] 다양한 실시예들에 따르면, 상기 적어도 하나의 인터커넥트는, 제1 인터커넥트 및 제2 인터커넥트를 포함하고, 상기 제1 인터커넥트의 상기 특정 기울기는 제1 기울기이고, 상기 제2 인터커넥트의 상기 특정 기울기는 상기 제1 기울기와는 다른 제2 기울기인, 전자 장치가 제공될 수 있다.

[0038] 다양한 실시예들에 따르면, 상기 몸체는, 3D 프린팅 공정에 기반하여, 상기 기판이 배치되는 전자 제품의 내부의 빈공간의 형상에 대응하도록 구현되는, 전자 장치가 제공될 수 있다.

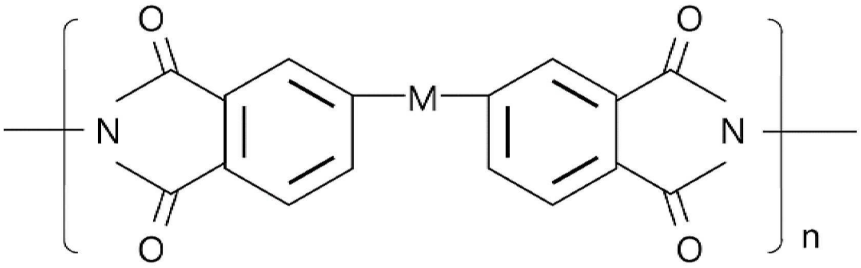
[0039] 다양한 실시예들에 따르면, 상기 적어도 하나의 인터커넥트의 상기 일측은 상기 전자 장치의 제1 전자 부품에 연결되고, 상기 타측은 상기 전자 장치의 제2 전자 부품에 연결되도록 구현되는, 전자 장치가 제공될 수 있다.

[0040] 다양한 실시예들에 따르면, 상기 적어도 하나의 인터커넥트는, 복수의 도전성 부재들을 포함하고, 상기 기판의 상기 제1 전자 부품에 인접한 제1 영역의 상기 복수의 도전성 부재들의 제1 밀도는, 상기 기판의 상기 제2 전자 부품에 인접한 제2 영역의 상기 복수의 도전성 부재들의 제2 밀도와 상이하도록 구현되는, 전자 장치가 제공될 수 있다.

[0041] 다양한 실시예들에 따르면, 기판 용 소재로서, 3차원 인쇄 공정에 의해 경화 가능한 적어도 하나의 단량체;를 포함하고, 상기 적어도 하나의 단량체는, 3차원 인쇄 공정에 의한 um 단위의 해상도를 가지는, 기판용 소재가 제공 될 수 있다.

[0042] 다양한 실시예들에 따르면, 상기 적어도 하나의 단량체는 하기의 화학식 1로 표현되는 화합물을 포함하는, 기판용 소재가 제공 될 수 있다.

화학식 1



[0043]

[0044] 다양한 실시예들에 따르면, 상기 적어도 하나의 단량체는, 경화되는 경우: 표면 거칠기가 0.5 um이하로 구현되는, 기판용 소재가 제공 될 수 있다.

[0045] 다양한 실시예들에 따르면, 상기 적어도 하나의 단량체가 경화됨에 기반하여 형성된 기판 내에 홀이 형성되는 경우: 상기 홀의 내부 표면 거칠기가 0.5 um이하로 구현되는, 기판용 소재가 제공 될 수 있다.

[0046] 다양한 실시예들에 따르면, 서버의 동작 방법으로서, 서로 다른 복수의 사용자들의 복수의 전자 장치들 각각으로부터 반도체 패키징 용 기판에 대한 도면에 대한 제1 파일을 수신하는 동작; 상기 수신된 제1 파일에 기반하여, 3D 프린팅 공정을 위한 제2 파일을 획득하는 동작; 및 상기 제2 파일에 기반하여 적어도 하나의 3D 프린터로, 상기 제2 파일에 대응하는 상기 기판을 생성하기 위한 적어도 하나의 제어 신호를 제공하는 동작;을 포함하고, 상기 기판은 상기 제1 파일 별로 서로 다른 적어도 하나의 전도성 부재를 포함하도록 구현되는, 동작 방법이 제공될 수 있다.

[0047] 다양한 실시예들에 따르면, 상기 제2 파일을 획득하는 동작은: 상기 제1 파일 내의 상기 기판에 대한 크기를 조정하는 동작;을 포함하는, 동작 방법이 제공될 수 있다.

[0048] 다양한 실시예들에 따르면, 상기 기판의 크기를 조정하는 동작은: 상기 생성된 기판의 실제 크기와 상기 도면 파일 및/또는 상기 인쇄 파일 내의 상기 기판의 크기를 비교하는 동작; 및 차이 값에 기반하여 상기 기판의 상기 크기를 조정하는 동작;을 포함하는, 동작 방법이 제공될 수 있다.

[0049] 다양한 실시예들에 따르면, 공정 방법으로서, 3D 프린팅에 기반하여 생성된 적어도 하나의 인터커넥션 구조를 내부에 포함하는 기판을 제공하는 단계; 상기 기판의 내부의 적어도 하나의 인터커넥션 구조의 표면을 친수화하는 단계;

[0050] 상기 기판의 내부의 상기 적어도 하나의 인터커넥션 구조의 상기 친수화된 표면 상에 유체 금속을 제공하는 단계; 및 상기 유체 금속에 기반하여 상기 인터커넥션에 금속을 성장 시키는 단계;를 포함하는, 공정 방법이 제공될 수 있다.

[0051] 다양한 실시예들에 따르면, 상기 적어도 하나의 인터커넥션 구조 중 제1 홀로 상기 유체 금속을 주입하고, 상기 제1 홀에 대응하는 제2 홀로부터 상기 유체 금속을 배출하는 단계;를 더 포함하는, 공정 방법이 제공될 수 있다.

[0052] 다양한 실시예들에 따르면, 반도체 패키징 모듈로서, 단일의 제1 반도체 칩; 및 상기 제1 반도체 칩의 하부면에 대향하는 제1 면, 상기 제1 면의 반댓면인 제2 면, 및 상기 제1 면과 상기 제2 면 사이의 내부에 적어도 하나의 제1 전도성 부재를 포함하는 기판;을 포함하고, 상기 적어도 하나의 제1 전도성 부재는 상기 제1 면을 통해 노출되는 제1 부분, 상기 제2 면을 통해 노출되는 제2 부분, 상기 제1 부분과 상기 제2 부분 사이를 연결하는 라인을 포함하고, 상기 제1 부분은 상기 제1 반도체 칩과 전기적으로 연결되고, 상기 제2 부분은 다른 전자 부품과 전기적으로 연결 가능하도록 구현되며, 상기 라인은, 상기 단일 층 구조의 상기 몸체를 가로지르며, 적어도 일부 구간에서 특정 기울기를 가지도록 구현되는, 반도체 패키징 모듈이 제공될 수 있다.

[0053] 다양한 실시예들에 따르면, 제2 반도체 칩;을 더 포함하고, 상기 기판은, 상기 적어도 하나의 제2 전도성 부재를 더 포함하고, 상기 적어도 하나의 제2 전도성 부재는, 상기 기판을 통해 노출되는 제3 부분과 제4 부분, 및 상기 제3 부분과 상기 제4 부분을 연결하는 제2 라인을 더 포함하고, 상기 제3 부분은 제1 반도체 칩에 연결되

고, 상기 제4 부분은 제2 반도체 칩에 연결되는, 반도체 패키징 모듈이 제공될 수 있다.

[0054] 다양한 실시예들에 따르면, 제2 반도체 칩; 및 적어도 하나의 제2 전도성 부재를 포함하는 제2 기판;을 더 포함하고, 상기 적어도 하나의 제2 전도성 부재에 의해 상기 제1 반도체 칩과 상기 제2 반도체 칩이 전기적으로 연결되고, 상기 제2 기판은 상기 제1 기판과 전기적으로 연결되는, 반도체 패키징 모듈이 제공될 수 있다.

[0055] 다양한 실시예들에 따르면, 안테나 패키징 모듈로서, 복수의 안테나들; 및 서로 다른 기울기를 갖는 제1 면과 제2 면, 상기 제1 면을 통해 노출되는 적어도 하나의 제1 전도성 부재, 및 상기 제2 면을 통해 노출되는 적어도 하나의 제2 전도성 부재를 포함하는 기판;을 포함하고, 상기 제1 면과 상기 제2 면은 서로 다른 방향을 바라보고, 상기 적어도 하나의 제1 전도성 부재는, 상기 복수의 안테나들 중 상기 제1 면에 배치되는 제1 안테나 그룹에 전기적으로 연결되고, 상기 적어도 하나의 제2 전도성 부재는, 상기 복수의 안테나들 중 상기 제2 면에 배치되는 제2 안테나 그룹에 전기적으로 연결되는, 안테나 패키징 모듈이 제공될 수 있다.

[0057] **1. 맞춤형 3D 프린팅 시스템**

[0058] 다양한 실시예들에 따른, 맞춤형 3D 프린팅 시스템(1)은, 3D 프린팅 기술에 기반하여 최적화된(또는 효율화된) 공정으로, 소비자가 요구하는 다양한 종류의 장치(또는 기기)에 적합한 제품을 생산하도록 구현된 시스템일 수 있다.

[0059] 예를 들어, 맞춤형 3D 프린팅 시스템(1)은, 반도체 칩(예: 프로세서, 안테나 칩 등)에 대한 초미세 인터커넥트 구조(또는 금속 라인 구조, 또는 파이프라인 구조, 또는 전도성 부재)를 포함하는 패키징 구조물을 생산하도록 구현될 수 있다. 상기 초미세 인터커넥트 구조는, 3D 프린팅에 기반하여, 다양한 종류의 장치에 적합하게 형성될 수 있다. 맞춤형 3D 프린팅 시스템(1)은, 3D 프린팅 기술에 기반하여, 전자 장치 별로 구비되는 고성능 반도체를 구현하기 위한 패키징 공정의 운용 부담을 경감할 수 있다.

[0060] 또 예를 들어, 맞춤형 3D 프린팅 시스템(1)은, 전자 장치 내의 협소한 내부 공간의 형상에 대응하는 형상을 가지며, 다른 전자 부품 간의 전기적 연결을 제공하기 위한 구조물을 생산하도록 구현될 수 있다. 예를 들어, 상기 전기적 연결을 제공하기 위한 구조물은 소켓을 포함할 수 있다.

[0061] 기재된 예 이외에도, 맞춤형 3D 프린팅 시스템(1)은, 다양한 종류의 전자 장치(또는 다양한 소비자의 요구)에 대응하는 제품을, 최적의 공정에 기반하여 생산하는 서비스를 제공할 수 있다.

[0062] 이하에서는, 설명의 편의를 위해, 패키징 구조물에 대한 생산 서비스를 제공하는 맞춤형 3D 프린팅 시스템(1)을 예로 들어 설명한다. 다만, 기재된 다양한 실시예는, 다른 다양한 구조물의 생산을 위한 맞춤형 3D 프린팅 시스템(1)에 준용될 수 있음은, 당업자에게 자명하다.

[0064] **2. 맞춤형 3D 프린팅 시스템의 구성 요소**

[0065] 이하에서는, 다양한 실시예들에 따른, 전술한 맞춤형 3D 프린팅 시스템(1)의 구성 요소의 예에 대해서 설명한다.

[0066] 도 1은, 다양한 실시예들에 따른, 맞춤형 프린팅 시스템(1)의 구성 요소의 예를 나타내는 도면이다. 이하에서는, 도 2를 참조하여, 도 1에 대해서 더 설명한다.

[0067] 도 2는, 다양한 실시예들에 따른, 맞춤형 프린팅 시스템(1)에 의해 생산되는 구조물의 적용 제품의 예를 설명하기 위한 도면이다.

[0068] 다양한 실시예들에 따르면, 도 1을 참조하면, 맞춤형 3D 프린팅 시스템(1)은, 서버(10), 패키징 장치(20), 및 사용자 장치(30)을 포함할 수 있다. 한편, 기재된 및/또는 도시된 예에 제한되지 않고, 맞춤형 3D 프린팅 시스템(1)은, 더 많은 구성 요소 및/또는 더 적은 구성 요소를 포함하도록 구현될 수도 있다. 예를 들어, 상기 서버(10)가 구현되지 않고, 패키징 장치(20)가 서버(10)의 기능을 모두 수행하도록 구현될 수도 있다. 또, 상기 서버(10)는, 애드온 형태의 장치로서, 상기 패키징 장치(20)에 접속되는 형태로 제공될 수도 있다.

[0069] 다양한 실시예들에 따르면, 상기 서버(10)는, 패키징 구조물에 대한 생산 서비스를 제공하기 위한 관리자의 적어도 하나의 전자 장치로서, 구조물 생산 서비스의 전반을 관리하도록 구현될 수 있다. 예를 들어, 상기 서버(10)는, 소비자의 사용자 장치(30)로부터 정보를 수신하거나, 및/또는 사용자 장치(30)로 정보를 송신 할 수 있

다. 일 예로, 상기 서버(10)는, 생산될 구조물에 대한 도면 파일을 사용자 장치(30)로 수신할 수 있다. 또 일 예로, 상기 서버(10)는 패키징 장치(20)에 의해 생산된 구조물에 대한 정보를 사용자 장치(30)로 송신할 수 있다. 또 예를 들어, 상기 서버(10)는, 패키징 장치(20)를 제어할 수 있다. 일 예로, 상기 서버(10)는, 상기 사용자 장치(30)로부터 수신되는 도면 파일을 인쇄 파일로 변환하고, 인쇄 파일에 기반하여 상기 패키징 장치(20)를 제어함으로써, 패키징 장치(20)에 의해 패키징 구조물이 생산되도록 할 수 잇다.

[0070] 다양한 실시예들에 따르면, 패키징 장치(20)는, 도 2에 도시된 바와 같이, 미세 인터커넥션 구조를 포함하는 패키징 구조물(100)을 생산하고, 상기 패키징 구조물과 적어도 하나의 반도체 칩(또는, 적어도 하나의 전자 부품)을 연결하기 위한 적어도 하나의 장치(또는 설비)를 포함할 수 있다. 상기 패키징 장치(20)의 에에 대해서는, 도 6 내지 도 7을 참조하여 더 구체적으로 후술한다. 도 2를 참조하면, 패키징 구조물(100)은, 3D 프린팅 기술에 기반하여, 다양한 종류의 장치(201, 202, 203, 204, 205)에 구비 가능하도록 구현될 수 있다.

[0071] 다양한 실시예들에 따르면, 사용자 장치(30)는, 패키징 구조물에 대한 생산 서비스를 요청하는 소비자의 장치일 수 있다. 상기 사용자 장치(30)는, 적어도 하나의 PC, 태블릿, 스마트 폰, HMD(head mounted display) 장치, 등 소비자(또는 사용자)가 이용 가능한 다양한 종류의 전자 장치일 수 있다. 상기 사용자 장치(30)는, 소비자에 의해 생성된 도면 파일을 획득하고, 전술한 바와 같이 서버(10)로 전송할 수 있다.

[0073] ### 2.1 구성 요소 별 상세 내용

[0074] 이하에서는, 다양한 실시예들에 따른, 전술한 맞춤형 3D 프린팅 시스템(1)의 구성 요소의 예에 대해서 더 설명한다.

[0076] #### 2.1.1 서버(10) 및 사용자 장치(30)

[0077] 도 3은, 다양한 실시예들에 따른, 서버(10) 및 사용자 장치(20)의 구성의 예를 설명하기 위한 도면이다. 이하에서는, 도 4 내지 도 5를 참조하여, 도 3에 대해서 설명한다.

[0078] 도 4는, 다양한 실시예들에 따른, 설계 프로그램(361)의 예를 설명하기 위한 도면이다. 도 5는, 다양한 실시예들에 따른, 변환 프로그램(331)의 예를 설명하기 위한 도면이다.

[0079] 다양한 실시예들에 따르면, 도 3을 참조하면, 서버(10)는, 제1 프로세서(310), 제1 통신 회로(320), 및 변환 프로그램(331)을 저장하는 제1 메모리(330)를 포함하고, 사용자 장치(30)는, 제2 프로세서(340), 제2 통신 회로(350), 및 설계 프로그램(361)을 저장하는 제2 메모리(360)를 포함할 수 있다. 한편, 기재된 및/또는 도시된 예에 제한되지 않고, 서버(10) 및/또는 사용자 장치(30)는, 더 많은 장치를 포함하거나, 및/또는 더 적은 장치를 포함하도록 구현될 수 있다. 예를 들어, 서버(10) 및/또는 사용자 장치(30)는, 스피커(미도시), 마이크(미도시), 터치스크린(미도시), 디스플레이(미도시) 등을 더 포함할 수 있다.

[0080] 다양한 실시예들에 따르면, 제1 프로세서(310), 및 제2 프로세서(340)는, 소프트웨어(또는 컴퓨터 코드, 또는 프로그램, 또는 인스트럭션들, 또는 모듈)를 실행하여 제1 프로세서(310), 및 제2 프로세서(340)에 연결된 적어도 하나의 다른 구성요소(예: 하드웨어 또는 소프트웨어 구성요소)를 제어할 수 있고, 다양한 데이터 처리 또는 연산을 수행하도록 구현될 수 있다. 일 실시예에 따르면, 데이터 처리 또는 연산의 적어도 일부로서, 제1 프로세서(310), 및 제2 프로세서(340)는 다른 구성요소로부터 수신된 명령 또는 데이터를 휘발성 메모리에 로드하고, 휘발성 메모리에 저장된 명령 또는 데이터를 처리하고, 결과 데이터를 비휘발성 메모리에 저장할 수 있다. 일 실시예에 따르면, 제1 프로세서(310), 및 제2 프로세서(340)는 메인 프로세서(예: 중앙 처리 장치 또는 어플리케이션 프로세서), 및 이와는 독립적으로 또는 함께 운영 가능한 보조 프로세서 (예: 그래픽 처리 장치, 이미지 시그널 프로세서, 센서 허브 프로세서, 또는 커뮤니케이션 프로세서)를 포함할 수 있다. 추가적으로 또는 대체적으로, 보조 프로세서는 메인 프로세서보다 저전력을 사용하거나, 또는 지정된 기능에 특화되도록 설정될 수 있다. 보조 프로세서는 메인 프로세서와 별개로, 또는 그 일부로서 구현될 수 있다.

[0081] 다양한 실시예들에 따르면, 제1 통신 회로(320), 및 제2 통신 회로(330)는, 장치들 간의 무선 통신 채널의 수립 및 수립된 통신 채널을 통한 통신 수행을 지원할 수 있다. 통신 회로(예: 제1 통신 회로(320), 및/또는 제2 통신 회로(330))는 프로세서(예: 제1 프로세서(310), 및/또는 제2 프로세서(340))와 독립적으로 운영되고, 무선 통신을 지원하는 하나 이상의 커뮤니케이션 프로세서를 포함하도록 구현될 수 있으나, 기재된 예에 제한되지 않

는다.

[0082] 다양한 실시예들에 따르면, 제1 메모리(330), 및 제2 메모리(360)는, 서버(10) 및 사용자 장치(20)의 적어도 하나의 구성요소(예: 제1 프로세서(310), 및 제2 프로세서(340))에 의해 사용되는 다양한 데이터를 저장할 수 있다. 예를 들어, 제1 메모리(330)는 변환 프로그램(331)을 저장하고, 및 제2 메모리(360)는 설계 프로그램(361)을 저장하도록 구현될 수 있다. 전술한 프로세서(예: 제1 프로세서(310), 및 제2 프로세서(340))에 의해 프로그램(예: 변환 프로그램(331) 및 설계 프로그램(361))이 실행됨에 기반하여, 서버(10), 및 사용자 장치(30)는, 각각의 장치들(예: 서버(10), 및 사용자 장치(20))는 프로그램에 대응하는 기능을 제공할 수 있다.

[0083] 다양한 실시예들에 따르면, 설계 프로그램(361)은, 패키징 구조물에 대한 도면 파일을 생성하도록 구현될 수 있다. 일 예로, 상기 도면 파일은, 패키징 구조물의 설계를 포함하는 CAD 파일일 수 있으나, 기재된 예에 제한되지 않고 구조물의 설계를 위한 3차원 형태의 구조물의 설계를 포함하기 위한 다양한 종류의 형식을 가질 수 있다.. 예를 들어, 설계 프로그램(361)은, 도 4에 도시된 바와 같이, 칩의 설계와 패키지의 설계가 모두 가능하도록 기능을 제공하도록 구현될 수 있다. 예를 들어, 종래에는 칩의 설계를 위한 칩 설계 프로그램과 패키지의 설계를 위한 패키지 설계 프로그램이 별도로 구현됨에 따라, 칩과 패키지 각각을 서로 고려한 형태로 설계 불가능하여, 설계를 위한 리소스 부담이 발생되었다. 다양한 실시예들에 따른, 설계 프로그램(361)은, 칩과 패키징 구조물의 통합 설계를 위한 통합 인터페이스, 칩과 패키지의 설계를 위한 통합 규칙(또는 통합 파라미터), 및 통합 툴을 제공하도록 구현될 수 있다. 상기 통합 인터페이스는, 통합 툴(예: 그리기 도구 등) 소비자(또는 사용자)가 칩과 패키지를 도면화하기 위한 그래픽 유저 인터페이스를 의미할 수 있다. 상기 통합 규칙(또는 통합 파라미터)는, 설계 프로그램(361)에 기반하여 설계되는 칩과 패키징에 적용될, 크기 등과 같은 물리적 특성, 소재 특성, 및 전기적 특성을 의미할 수 있다. 예를 들어, 설계 프로그램(361)은 칩에 대한 마스크 도면 파일, 및 패키징 구조물에 대한 3D 도면 파일을 생성하도록 구현될 수 있다. 소비자는 사용자 장치(30)에 설치된 설계 프로그램을 이용하여, 통합 인터페이스 상에서, 통합 규칙에 기반하여 칩 및 칩에 대응하는 패키징 구조물을 설계 가능하게 될 수 있다. 이에 따라, 칩과 패키지 각각을 서로 고려한 설계가 가능해짐에 따라, 설계를 위한 리소스가 경감되며, 생산된 칩과 생산된 패키징 구조물 간에 연결성(예: 전기적 연결성, 물리적 연결성)이 향상되어, 질 높은 반도체 패키징이 수행될 수 있다.

[0084] 다양한 실시예들에 따르면, 변환 프로그램(331)은, 도면 파일에 대응하는 인쇄 파일을 생성하도록 구현될 수 있다. 일 예로, 상기 인쇄 파일은, 패키징 구조물의 설계를 포함하는 STL 파일일 수 있으나, 기재된 예에 제한되지 않고 3D 프린팅을 위한 다양한 종류의 형식을 갖는 파일일 수 있다. 상기 인쇄 파일에 기반하여, 후술하는 패키징 장치(20)가 패키징 구조물을 생산할 수 있다. 도 5를 참조하면, 일 실시예에 따르면, 변환 프로그램(331)은 도면 파일에 포함된 패키징 구조물(401)에 기반하여, 복수의 패키징 구조물들(403)을 포함하는 인쇄 파일을 생성하도록 구현될 수 있다. 이때, 변환 프로그램(331)은, 소비자가 요구하는 패키징 구조물의 수에 기반하여, 상기 인쇄 파일에 포함되는 복수의 패키징 구조물들의 수를 결정하도록 구현될 수 있다. 이에 따라, 패키징 장치(20)의 공정 수행 시 생산되는 패키징 구조물(100)의 생산성이 향상되며, 이에 따라 소비자의 생산 요구량에 최적의 공정으로 수행되어 공정 운용 부담이 경감될 수 있다.

[0085] 다양한 실시예들에 따르면, 변환 프로그램(331)은, 도면 파일에 포함된 인터커넥트를 포함하는 패키징 구조물에 기반하여, 적어도 하나의 관통 구조(또는 홀 구조)를 포함하는 패키징 구조물에 대응하는 인쇄 파일을 생성할 수 있다. 즉, 변환 프로그램(331)은 금속 소재의 인터커넥트를 제외한, 구조물의 외형에 대한 인쇄 파일을 생성할 수 있다. 이는, 후술되는 3D 프린팅 장치(610)에 의해,

[0086] 한편 기재된 및/또는 도시된 예에 제한되지 않고, 전술한 변환 프로그램(331)은 상기 사용자 장치(30)에 저장되어 사용자 장치(30)에서 변환된 인쇄 파일이 서버(10)로 제공되거나, 또는 설계 프로그램(361)이 서버(10)에 저장되어 사용자 장치(30)가 서버(10)로 접속함으로써 설계 프로그램(361)을 이용하는 형태로 맞춤형 3D 프린팅 시스템(1)이 구현될 수도 있다.

[0088] **2.1.1 패키징 장치(20)**

[0089] 도 6은, 다양한 실시예들에 따른, 패키지 장치(20)의 구성의 예를 설명하기 위한 도면이다. 이하에서는, 도 7을 참조하여, 도 6에 대해서 더 설명한다.

[0090] 도 7은, 다양한 실시예들에 따른, 패키징 장치(20)의 구현 예를 설명하기 위한 도면이다.

[0091] 다양한 실시예들에 따르면, 도 6을 참조하면, 패키징 장치(20)는, 패키징 구조물의 생성을 위해 프린팅 장치

(610), 금속화 공정 장치(620), 범프 생성 장치(630), 본딩 장치(640), 및 시험 분석 장치(650)를 포함할 수 있다. 도 7을 참조하면, 전술한 패키징 장치(20)의 장치(또는 설비)들은 서로 연속적인 공정이 가능한 형태로 구비될 수 있다. 예를 들어, 적어도 하나의 트레일러를 기반으로 각 장치가 공정적으로 연결된 형태로 구현되며, 상기 트레일러 상에서 이동되는 패키징 구조물에 대한 공정이 전술한 장치들(610, 620, 630, 640, 650)에 의해 수행 될 수 있다. 상기 패키징 구조물은, 프린팅 장치(610)에 의해 생성된 기판(또는 유전체 층), 금속화 공정 장치(620)에 의해 생성된 인터커넥트를 포함하는 기판, 범프 생성 장치(630)에 의해 범프가 형성된 기판, 또는 본딩 장치(640)에 의해 다른 전자 부품(예: 칩, 및/또는 패키징 기판) 및 다른 전자 부품과 물리적으로 연결된 기판을 포함하는 구조물 중 적어도 하나를 의미할 수 있다. 한편, 기재된 및/또는 도시된 예에 제한되지 않고, 패키징 장치(20)는 더 많은 장치(또는 설비), 또는 더 적은 장치(또는 설비)를 포함하도록 구현될 수 있다. 예를 들어, 상기 패키징 장치(20)는, 3D 프린팅 장치(610) 및 금속화 공정 장치(620) 만을 포함하도록 구현되어, 다양한 종류의 미세 인터커넥트를 포함하는 구조물(또는 기판)을 생성하도록 구현될 수도 있으나, 기재된 예에 제한되지 않는다.

[0092] 다양한 실시예들에 따르면, 상기 3D 프린팅 장치(610)는, 3D 프린팅 공정 및 인쇄 파일에 기반하여 적어도 하나의 빈 공간 구조(또는 홀 구조)를 포함하는 기판을 형성하도록 구현될 수 있다. 상기 3D 프린팅 장치는, FDM(fused deposition modeling), 및 FFF(fused filament fabrication) 등과 같은 재료 압출형 방식, SLA(stereolithography), DLP(digital light processing), CLIP(continuous liquid interface production technology), LCD(liquid crystal display), 및 PuSL(projection micro streolithopraphy) 등과 같은 광중합형 방식, SLS(stereolithography), SLM(selective laser melting), DMLS(direct metal laser sintering), 및 MJP(multi-jet printing) 등과 같은 분말 소결 방식, CJP(color jet printer), 및 IJP(ink jet printer) 등과 같은 결합제 분사 방식, LOM(laminated object manufacturing), SDL(selective deposition lamination), 및 VLM(viscous lithography manufacturing) 등과 같은 Sheet Lamination 방식, 또는 DMT(laser-aided direct metal tooling), LMD(laser metal deposition), 및 LENS(laser engineered net shaping), 등과 같은 지향성 에너지 퇴적 방식 중 적어도 하나의 방식에 기반한 3D 프린팅 공정을 수행하는 장치로 구현될 수 있으며, 3D 프린팅 방시은 주지의 기술이므로 구체적인 설명은 생략한다. 이에 따라, 3D 프린팅 장치(610)에 의해 생성되는 기판의 소재는, 전술한 3D 프린팅 방식에 기반하여, 광(예: 자외선, 적외선, 가시광선) 경화성 소재, 또는 열 경화성 소재 중 적어도 하나로 선택될 수 있다.

[0093] 다양한 실시예들에 따르면, 상기 3D 프린팅 장치(610)는, ㎛ 단위의 해상도(또는 분해도)로 기판을 생성하도록 구현될 수 있다. 상기 해상도는 2㎛, 10㎛, 및 25㎛를 포함할 수 있으나 기재된 예에 제한되지 않는다.

[0094] 다양한 실시예들에 따르면, 상기 금속화 공정 장치(620)는, 상기 3D 프린팅 장치(610)에 의해 생성된 기판의 내부에 적어도 하나의 인터커넥트(또는, 적어도 하나의 금속 라인)을 생성하도록 구현될 수 있다. 예를 들어, 도 7에 도시된 바와 같이, 상기 금속화 공정 장치(620)는, 상기 기판의 내부의 적어도 하나의 관통 구조에 도전성 물질(예: 금속)을 충진하고 성장시킬 수 있다(또는, 금속으로 채울 수 있다).

[0095] 다양한 실시예들에 따르면, 상기 범프 생성 장치(630)는, 상기 기판의 면에, 다른 전자 부품(예: 칩, 패키징 기판 등)에 전기적으로 연결하기 위한, 범프를 생성할 수 있다. 상기 범프의 종류는, 구리 소재의 기둥 및 상기 기둥 상에 배치되는 납 소재의 범프(Cu pillar + Solder bump), 스터드 형상의 납 소재의 범프, 또는 볼 형상의 납 소재의 범프 중 적어도 하나를 포함할 수 있으나, 기재된 예에 제한되지 않고, 다양한 소재 및 다양한 형상으로 범프가 형성될 수 있으며, 주지의 기술이므로 구체적인 설명은 생략한다. 한편, 상기 범프 생성 장치(630)는, 범프의 형성 전에, 인터커넥트가 노출되는 부분에 UBM(under bump metallurgy)을 형성할 수 있다.

[0096] 다양한 실시예들에 따르면, 상기 본딩 장치(640)는, 범프가 생성된 기판과 다른 전자 부품(예: 칩, 패키징 기판 등)을 물리적으로 연결할 수 있으며, 주지의 기술이므로 구체적인 설명은 생략한다.

[0097] 다양한 실시예들에 따르면, 상기 시험 분석 장치(650)는, 상기 패키징 장치(20)에 의해 생성된 패키징 구조물에 대한 시험 분석을 수행하도록 구현될 수 있다. 상기 시험 분석의 종류는, 전자기 시뮬레이션, 열 내구성, 펄스 응답, 광학 비파괴 검사 등을 이용한 상호 연결성 시험 분석, 및 공정 간 결함 탐지를 위한 시험 분석을 포함할 수 있다.

[0099] **3. 공정**

[0100] 이하에서는, 다양한 실시예들에 따른, 패키징 장치(20)에 기반한 공정의 예에 대해서 설명한다.

[0101] 도 8은, 다양한 실시예들에 따른, 공정의 예를 나타내는 흐름도이다. 도시된 및/또는 기재된 동작들의 순서와 무관하게 동작들이 수행될 수 있으며, 더 많은 동작들이 수행되거나 및/또는 더 적은 동작들이 수행될 수도 있다. 이하에서는, 도 9를 참조하여, 도 8에 대해서 더 설명한다.

[0102] 도 9는, 다양한 실시예들에 따른, 기판 생성 공정, 금속화 공정, 범프 형성 공정, 및 본딩 공정의 예를 설명하기 위한 도면이다.

[0103] 다양한 실시예들에 따르면, 패키징 장치(20)(예: 3D 프린팅 장치(610))는, 801 동작에서, 3DP(3D 프린팅) 기반 기판을 형성할 수 있다. 예를 들어, 패키징 장치(20)는 3DP에 기반하여, 적어도 하나의 내부 구조를 포함하는 기판을 형성할 수 있다. 예를 들어, 상기 적어도 하나의 내부 구조는, 관통 구조를 포함할 수 있다. 도 9의 901에 도시된 바와 같이, 패키징 장치(20)(예: 3D 프린팅 장치(610))는, 3D 프린팅에 기반하여 인쇄 파일에 대응하는 내부에 적어도 하나의 관통 구조(913)가 형성된 기판(911)을 생성할 수 있다. 이때, 3DP에 기반하여, 소비자의 요구에 적합한(또는, 다양한 종류의 전자 장치에 적합한) 형상으로 기판(911)이 형성됨에 따라, 전자 장치 내부의 공간이 최적화되어, 전자 장치의 폼팩터의 품질이 향상될 수 있다.

[0104] 또 예를 들어, 패키징 장치(20)는 3DP에 기반하여, 적어도 하나의 외부 구조를 포함하는 기판을 형성할 수 있다.

[0105] 다양한 실시예들에 따르면, 패키징 장치(20)(예: 금속화 공정 장치(620))는, 803 동작에서, 금속화 공정을 수행할 수 있다. 예를 들어, 도 9의 903에 도시된 바와 같이, 패키징 장치(20)(예: 금속화 공정 장치(620))는, 기판(911)의 내부의 적어도 하나의 관통 구조(913)를 금속화함으로써, 기판(911)의 내부에 적어도 하나의 인터커넥트(931)(또는 금속 라인)을 형성할 수 있다.

[0106] 다양한 실시예들에 따르면, 패키징 장치(20)(예: 범프 생성 장치(630))는, 805 동작에서, 금속화 공정을 수행할 수 있다. 예를 들어, 도 9의 905에 도시된 바와 같이, 패키징 장치(20)(예: 범프 생성 장치(630))는, 기판(911) 상에 범프(951)를 형성할 수 있다. 각 범프(951)는, 기판(911)의 외부 면으로 노출되는 적어도 하나의 인터커넥트(931)의 부분 상에 형성되어, 전기적으로 연결될 수 있다.

[0107] 다양한 실시예들에 따르면, 패키징 장치(20)(예: 본딩 장치(640))는, 807 동작에서, 본딩 공정을 수행할 수 있다. 예를 들어, 도 9의 907에 도시된 바와 같이, 패키징 장치(20)(예: 본딩 장치(640)는, 기판(911) 상에 형성된 범프(951)와 다른 적어도 하나의 전자 부품(예: 칩(973))을 물리적으로 연결하여, 기판(911)과 다른 적어도 하나의 전자 부품(예: 칩(973))을 전기적으로 연결할 수 있다. 상기 기판(911) 내부에 형성되는 적어도 하나의 인커터넥트(931)를 기반으로, 상기 기판(911)에 물리적(또는 전기적)으로 연결되는 전자 부품들 간에 전기적 연결이 형성될 수 있다. 이때, 인터커넥트(931)는, 전술한 3DP 기판 형성 공정(801)에 의해, 다양한 형태로 구현 가능하기 때문에, 종래의 패키징을 위한 부재(예: 재분배층(redistribution layer, RDL), 실리콘 관통 전극(through silicon via, TSV)) 등과 비교하여, 복잡한 전기 연결 구조 없이 더 간단하고 효율적인 전기 연결 구조로 형성됨에 따라, 제품 품질도 향상되며, 전기적 에너지 손실 또한 경감될 수 있다.

[0108] 다양한 실시예들에 따르면, 전술한 공정들(801, 803, 805, 807)에 기반하여 반도체 패키징 공정이 간소화될 수 있다. 예를 들어, 기존의 인터커넥트 구조(예: 재분배층(redistribution layer, RDL), 실리콘 관통 전극(through silicon via, TSV))를 형성하기 위한 공정은, 유전체 층(예: 기판) 형성, 포토마스크 공정(홀 형성 공정), 도전성 물질 충진, 금속 시드레이어 형성, 포토 레지스트 형성, 재배선층 형성, 및 식각을 포함할 수 있다. 다양한 실시예들에 따른, 패키징 장치(20)는, 유전체 층을 형성 후 포토 마스크에 기반하여 홀을 형성하는 다단계의 공정 대신에, 3DP 기반 기판을 형성(801)하는 단일의 공정만을 수행함으로써, 공정 단계를 경감하여 패키징 공정을 효율화할 수 있다. 또한, 패키징 장치(20)는, 금속 시드레이어 형성, 포토 레지스트 형성, 재배선층 형성, 및 식각을 포함하는 다단계의 공정 대신에, 포토 관통 구조가 형성된 기판(801)에 미세 유체 금속 기반 금속화 공정을 수행함으로써, 공정 단계를 경감하여 패키징 공정을 효율화할 수 있다.

[0109] 이하에서는, 다양한 실시예들에 따른, 각 공정의 예에 대해서 구체적으로 설명한다.

[0111] **3.1 3DP 기반 기판(911) 형성 공정**

[0112] **3.1.1 기판(911) 형성 공정 및 기판(911)의 소재**

[0113] 도 10a는, 다양한 실시예들에 따른, 3DP 기반 기판(911)의 형성 공정의 예를 나타내는 흐름도이다. 도시된 및/또는 기재된 동작들의 순서와 무관하게 동작들이 수행될 수 있으며, 더 많은 동작들이 수행되거나 및/또는 더

적은 동작들이 수행될 수도 있다. 이하에서는, 도 11을 참조하여, 도 10에 대해서 더 설명한다.

[0114] 도 10b는, 다양한 실시예들에 따른, 기판(911)의 소재의 예를 설명하기 위한 도면이다.

[0115] 다양한 실시예들에 따르면, 패키징 장치(20)(예: 3D 프린팅 장치(610))는, 동작 1001에서, 기판(911)(또는, 유전체 층) 생성을 위한 소재를 제공할 수 있다.

[0116] 다양한 실시예들에 따르면, 상기 소재는, 3D 프린팅에 기반하여 공정 가능한 특성 또는 반도체 패키징을 위한 특성 중 적어도 하나를 갖는 소재일 수 있다. 이하에서 예시적으로 기술되는, 공정 가능한 특성 또는 반도체 패키징을 위한 특성 중 적어도 하나를 갖도록 소재가 구현될 수 있다.

[0117] 예를 들어, 상기 공정 가능한 특성으로서, 상기 소재는, 전술한 다야한 종류의 3D 프린팅 방식에 기반하여, 경화 가능한 특성을 가질 수 있다. 일 예로, 상기 소재는, 열 경화, 및/또는 광경화 특성을 가질 수 있다.

[0118] 예를 들어, 상기 반도체 패키징을 위한 특성으로서, 상기 소재는, 반도체 패키징에 기반하여 ㎛ 단위의 공정이 가능한 특성(또는 경화가 가능한 특성)을 가질 수 있다. 달리 말해, 상기 소재는, ㎛ 단위의 해상도를 가질 수 있다. 상기 ㎛ 단위는, 2㎛ 이상, 그리고 25㎛ 이하의 범위를 포함하며, 바람직하게는 2㎛, 10㎛, 및 25㎛일 수 있다. 이에 따라, 상기 기판(911)의 내부에 형성되는 관통 구조의 폭의 ㎛ 단위로 형성되며, 이후 금속화 공정에 의해 형성되는 인터커넥트(또는, 금속 라인)의 폭이 ㎛ 단위의 미세 인터커넥트로 형성됨에 따라, 전자 부품(예: 칩) 간의 최적의 전기적 연결이 제공될 수 있다.

[0120] 한편, 기재된 예에 제한되지 않고, 상기 반도체 패키징을 위한 특성으로서, 상기 소재는, nm 단위의 공정이 가능한 특성을 가지도록 구현될 수 있다. 달리 말해, 상기 소재는, nm 단위의 해상도를 가질 수 있다.

[0121] 예를 들어, 상기 반도체 패키징을 위한 특성으로서, 상기 소재는, 3D 인쇄 공정에 기반하여 경화된 이후, 상기 기판(911)이 제공되는(또는, 물리적으로 연결되는) 전자 제품(예: 기판)의 종류에 따라서, 아래의 [표 1]과 같은 유전율 특성을 가질 수 있으나, 기재된 예에 제한되지 않으며, 제품의 종류에 따라 기재된 범위를 초과하는 유전율을 갖도록 구현될 수도 있다.

표 1

[0122]

기판의 종류	유전율
일반적 기판(또는 칩 렛 패키기 기판)	2.4GHz 내지 3.6GHz 범위에서 3.9 이하, 또는 바람직하게, 3GHz에서 3.3 이하
안테나 Coaxial 구조 용 기판	2.4GHz 내지 3.6GHz 범위에서 4.9 이하, 또는 바람직하게 3GHz에서 3.9 이하

[0123] 이에 따라, 인터커넥트를 통한 전기 연결 신호의 손실율이 저감될 수 있다.또 예를 들어, 상기 반도체 패키징을 위한 특성으로서, 상기 소재는, 3D 인쇄 공정에 기반하여 경화된 이후, 0.01 이하의 손실 탄젠트를 갖도록 구현될 수 있으나, 기재된 예에 제한되지 않고, 전술한 유전율과 같이 제품의 종류에 따라 기재된 범위를 초과하는 손실 탄젠트를 갖도록 구현될 수도 있다.

[0124] 또 예를 들어, 상기 반도체 패키징을 위한 특성으로서, 상기 소재는, 3D 인쇄 공정에 기반하여 경화된 이후, 표면의 거칠기가 0.7 ㎛ 이하로 구현되거나, 또는 바람직하게는 0.5 ㎛ 이하로 구현될 수 있으나, 기재된 예에 제한되지 않고, 전술한 제품의 종류에 따라 기재된 범위를 초과하는 거칠기를 갖도록 구현될 수도 있다. 이에 따라, 상기 기판(911)의 내부에 형성되는 관통 구조(예: 홀)의 내부 면의 거칠기가 전술한, 0.7 ㎛ 이하로 구현되거나, 또는 바람직하게는 0.5 ㎛ 이하로 구현될 수 있다. 상기 관통 구조의 내부의 거칠기가 전술한 범위로 구현됨에 따라, 이후 금속화 공정에 기반한 금속의 성장이 원활하게 되어, 전기적 연결성이 향상될 수 있다. 또 예를 들어, 상기 반도체 패키징을 위한 특성으로서, 41ppm/℃ 이하, 또는 바람직하게는 35ppm/℃ 이하의 열팽창 계수를 가질 수 있으나, 기재된 예에 제한되지 않으며, 제품의 종류에 따라 기재된 범위를 초과하는 열팽창 계수를 갖도록 구현될 수도 있다. 기판(911)이 전술한 범위의 열팽창 계수를 가지도록 구현됨에 따라, 상기 기판(911)이 구비되는 전자 제품에 열이 가해짐에도, 열에 의한 변형율이 제한되어, 상기 기판(911)에 물리적으로 연결된 다른 전자 제품(예: 기판, 칩)과의 물리적 연결 품질이 제고될 수 있다.

[0125] 다양한 실시예들에 따르면, 상기 소재는, 도 10b에 도시된 바와 같은, 적어도 하나의 단량체를 포함하도록 구현될 수 있다. 상기 적어도 하나의 단량체는, 전술한 3DP 방식들에 기반하여, 경화되는 특성을 가지도록 구현될

수 있다. 한편, 도시된 및/또는 기재된 예에 제한되지 않고, 상기 소재는 글래스(glass), 세라믹(ceramic), 플라스틱, 등의 소재일 수 있다.

[0126] 다양한 실시예들에 따르면, 패키징 장치(20)(예: 3D 프린팅 장치(610))는, 동작 1003에서, 3D 프린팅을 수행하고, 동작 1005에서, 적어도 하나의 내부 구조(예: 관통 구조)를 갖는 기판을 생성할 수 있다. 예를 들어, 패키징 장치(20)(예: 3D 프린팅 장치(610))은, 3D 프린팅 방식이 PuSL 방식인 경우, CNC 수준의 정밀도로, 층 단위로 소재를 경화시켜, 공정 결과로서 적어도 하나의 관통 구조를 갖는 기판(911)(또는 유전체층)을 생성할 수 있다.

[0127] 다양한 실시예들에 따르면, 적어도 하나의 내부 구조(예: 관통 구조)의 폭의 단위는, ㎛ 단위일 수 있다.

[0128] 다양한 실시예들에 따르면, 적어도 하나의 내부 구조(예: 관통 구조)의 종횡비(aspect ratio)는 10 이상으로 구현될 수 있으나, 기재된 예에 제한되지 않는다.

[0129] 다양한 실시예들에 따르면, 패키징 장치(20)(예: 3D 프린팅 장치(610))는, 적어도 하나의 내부 구조를 생성하는 동작의 적어도 일부로, 전술한 관통 구조 이외에, 상기 관통 구조가 형성되는 위치와는 다른 위치에 형성되는 적어도 하나의 구조를 생성할 수 있다. 예를 들어, 패키징 장치(20)(예: 3D 프린팅 장치(610))는 기판(911)의 내부에 다양한 형상의 빈 공간을 형성할 수 있다. 상기 빈 공간은, 상기 적어도 하나의 관통 구조가 형성된 위치와는, 다른 위치에 형성되어, 상기 기판(911)으로부터 발생되는 방열 성능을 향상시키거나, 및/또는 상기 기판(911)에 가해지는 물리적 스트레스를 경감할 수 있다. 또 예를 들어, 상기 패키징 장치(20)(예: 3D 프린팅 장치(610))는, 수로 구조를 생성할 수 있다. 상기 수로 구조를 통해, 상기 기판(911)의 폐열을 방출시키기 위한, 유체가 제공될 수 있다. 또 예를 들어, 상기 패키징 장치(예: 3D 프린팅 장치(610))는, 전술한 구조들 이외에, 종래의 반도체 패키지 주변에 구현 가능한 다양한 구성들의 기능을 제공하기 위한 구조, 또는 구성을 포함하도록, 상기 기판(911)을 구현할 수 있다. 상기 기판(911) 내에 종래의 다양한 기능을 구현하는 구성, 및/또는 구조가 직접화됨에 따라, 패키징 구조물의 크기가 감소되어, 더 효율적인 전자 제품의 구현이 가능해질 수 있다.

[0131] **3.1.2 기판(911) 외부 구조 형성 공정**

[0132] 도 11a는, 다양한 실시예들에 따른, 3DP 기반 기판(911)의 형성 공정의 예를 나타내는 흐름도이다. 도시된 및/또는 기재된 동작들의 순서와 무관하게 동작들이 수행될 수 있으며, 더 많은 동작들이 수행되거나 및/또는 더 적은 동작들이 수행될 수도 있다. 이하에서는, 도 11b 및 도 11c를 참조하여, 도 11a에 대해서 더 설명한다.

[0133] 도 11b는, 다양한 실시예들에 따른, 기판(911)의 외부 구조를 형성하는 공정의 예를 설명하기 위한 도면이다. 도 11c는, 다양한 실시예들에 따른, 기판(911)의 외부 구조를 형성하는 공정의 예를 설명하기 위한 도면이다.

[0134] 다양한 실시예들에 따르면, 패키징 장치(20)(예: 3D 프린팅 장치(610))는, 동작 1101에서, 기판 생성을 위한 소재를 제공하며, 동작 1103에서 3D 프린팅을 수행할 수 있다.

[0135] 다양한 실시예들에 따르면, 패키징 장치(20)(예: 3D 프린팅 장치(610))는, 동작 1105에서, 적어도 하나의 외부 구조를 갖는 기판을 생성할 수 있다. 예를 들어, 도 11b의 1101S 내지 1103S를 참조하면, 패키징 장치(20)(예: 3D 프린팅 장치(610))는, 3DP에 기반하여, 베이스 층(1100a), 상기 베이스 층(1100a) 상에 배치되는 전도성 층(1100b), 상기 전도성 층(1100b) 상에 배치되는 특정 두께의 외부 돌출 구조(1100c), 또는 상기 전도성층(1100b) 상에 배치되는 보호층(1100d) 중 적어도 하나를 형성할 수 있다. 예를 들어, 상기 패키징 장치(20)(예: 3D 프린팅 장치(610))는 상기 베이스 층(1100a)와 상기 전도성 층(1100b)이 형성된 구조물에 대해서, 3DP에 기반하여 상기 외부 돌출 구조(1100c)와 상기 보호층(1100d)을 형성할 수 있다. 다만, 기재된 예에 제한되지 않고, 상기 패키징 장치(20)(예: 3D 프린팅 장치(610))는 3DP에 기반하여, 상기 베이스 층(1100a), 상기 전도성 층(1100b), 상기 외부 돌출 구조(1100c), 및 상기 보호층(1100d)을 모두 형성하는 공정을 수행할 수도 있다.

[0136] 다양한 실시예들에 따르면, 상기 베이스 층(1100a)의 소재는 세라믹 등의 유전 소재일 수 있다.

[0137] 다양한 실시예들에 따르면, 상기 전도성 층(1100b)의 소재는 구리와 같은 금속 소재일 수 있다.

[0138] 다양한 실시예들에 따르면, 상기 외부 돌출 구조(1100c)의 소재는, 소수성을 갖는 물질로서 불소계의 테플론(teflon) 등일 수 있고, 상기 보호층(1100d)의 소재는 친수성을 갖는 물질로서 PMMA 등일 수 있다. 다만 기재된 예에 제한되지 않고, 상기 외부 돌출 구조(1100c)의 소재와 상기 보호층(1100d)의 소재는, 특정 용매에 의해 제거 가능한 다양한 소재로 구현될 수 있다. 이때, 상기 외부 돌출 구조(1100c)는, 후술되는 보호 층(1100d)과는

다른 성질을 갖도록 구현될 수 있다. 일 예로, 상기 외부 돌출 구조(1100c)의 소재는, 소수성을 갖되, 보호 층(1100d)의 소재는 친수성을 가질 수 있으나, 기재된 예와는, 반대의 성질을 가지도록 각각의 상기 외부 돌출 구조(1100c)의 소재와 보호층(1100d)의 소재가 구현될 수도 있다. 이에 따라, 특정 용매에 의해 상기 외부 돌출 구조(1100c)와 상기 보호 층(1100d) 중 하나만이 제거되도록 구현될 수 있다.

[0139] 다양한 실시예들에 따르면, 상기 외부 돌출 구조(1100c)의 소재는, 제1 해상도를 갖는 소재(예: 테플론(teflon) 등)일 수 있고, 상기 보호층(1100d)의 소재는 상기 제1 해상도 보다 낮은 제2 해상도를 갖는 소재(예: PMMA 등)일 수 있다. 도 11b에 도시된 바와 같이, 상기 외부 돌출 구조(1100c)와 상기 보호층(1000d)는 서로 접촉된 형태로 구현될 수 있는데, 상기 해상도가 더 높은 외부 돌출 구조(1100c)에 의해서, 상기 외부 돌출 구조(1100c)와 접촉된 상기 보호층(1100d)의 아웃라인(외곽)의 러프니스(또는, 해상도)가 특정 수준 이상(예: 외부 돌출 구조(1100c)의 해상도 수준 이상)으로 담보될 수 있다.

[0140] 다양한 실시예들에 따르면, 상기 테플론 소재의 상기 외부 돌출 구조(1100c)가 형성되는 공정이 수행됨에 따라, 3DP에 기반하여 형성되는 보호층(1100d)의 해상도가 특정 수준 이상으로 보장될 수 있다. 예를 들어, 보호층(10100D)를 테플론 소재를 이용하여

[0141] 다양한 실시예들에 따르면, 패키징 장치(20)는, 동작 1107에서, 추가 공정을 수행할 수 있다. 예를 들어, 패키징 장치(20)는 도 11b의 1105S, 도 11c의 1107S, 및 1109S를 참조하면, 제1 용매(예: 소수성 용매)를 제공하여 상기 외부 돌출 구조(1100c)를 제거하고, 돌출 구조(1100c)가 제거됨에 따라 노출되는 전도성 층(1100b)을 식각하고, 제1 용매와는 다른 성질을 갖는 제2 용매(예: 친수성 용매)를 제공하여 보호층(1100d)을 제거하는 추가 공정을 수행할 수 있다. 결과적으로, 베이스 층(1100a) 상에는 특정 외부 구조(또는 패턴)(P)를 갖는 전도성 층이 형성될 수 있다. 상기 특정 외부 구조(P)의 너비(W)는, 전술한 3DP 기판의 소재의 해상도에 대응하는 um 단위의 해상도로 구현될 수 있다. 이에 따라, 종래의 노광 공정을 이용하여 식각을 수행하는 공정과 비교하여, 노광 공정을 위한 설비 없이 3DP에 기반하여 식각 공정이 수행될 수 있기 때문에, 공정의 편의성이 향상되고 운용 부담이 절감될 수 있다.

[0142] 다양한 실시예들에 따르면, 패키징 장치(20)에 의해 생산된 상기 구조물(1100)은, 전기 회로를 형성하는 데에 이용될 수 있다. 이때, 패턴(P)에 의해 구조물(1100)에 발생되는 열이 우수한 성능으로 방출될 수 있다.

[0144] **3.1.2 기판(911)의 생성 방법**

[0145] 도 12는, 다양한 실시예들에 따른, 사용자 장치들로부터 수신되는 도면 파일에 기반하여, 기판(911)의 생성을 위한 동작의 예를 설명하기 위한 흐름도이다. 도시된 및/또는 기재된 동작들의 순서와 무관하게 동작들이 수행될 수 있으며, 더 많은 동작들이 수행되거나 및/또는 더 적은 동작들이 수행될 수도 있다. 이하에서는, 도 13을 참조하여, 도 12에 대해서 더 설명한다.

[0146] 도 13은, 다양한 실시예들에 따른, 사용자 장치들로부터 수신되는 도면 파일에 따라서 서로 다른 기판(911)을 생성하는 동작의 예를 설명하기 위한 도면이다.

[0147] 다양한 실시예들에 따르면, 맞춤형 3D 프린팅 시스템(1)(예: 서버(10))는, 동작 1201에서, 복수의 사용자 장치들 각각으로부터 도면 파일을 획득하고, 동작 1203에서, 도면 파일에 기반하여 프린팅 파일을 획득할 수 있다. 예를 들어, 도 13을 참조하면, 맞춤형 3D 프린팅 시스템(1)을 이용하고자 하는 다양한 소비자들 각각은, 서로 다른 사용자 장치(예: 제1 사용자 장치(1301), 제2 사용자 장치(1302))를 운용할 수 있다. 서로 다른 사용자 장치(예: 제1 사용자 장치(1301), 제2 사용자 장치(1302))는 설계 프로그램(361)을 저장하도록 구현되고, 상기 설계 프로그램(361)에 기반하여 도면 파일(예: 제1 도면 파일, 및 제2 도면 파일)을 생성할 수 있다. 서버(10)는, 상기 복수의 사용자 장치들(예: 제1 사용자 장치(1301), 제2 사용자 장치(1302)) 각각으로부터 도면 파일(예: 제1 도면 파일, 및 제2 도면 파일)을 수신하고, 변환 프로그램(331)에 기반하여, 서로 다른 인쇄 파일(예: 제1 인쇄 파일, 및 제2 인쇄 파일)을 획득할 수 있다.

[0148] 다양한 실시예들에 따르면, 맞춤형 3D 프린팅 시스템(1)(예: 패키징 장치(20))는, 동작 1205에서, 기판 생성을 위한 소재를 제공하고, 동작 1207에서, 3D 프린팅을 수행하고, 동작 1209에서, 상기 도면 파일에 대응하는 종류의 적어도 하나의 내부 구조(예: 관통 구조)를 갖는 기판을 생성할 수 있다. 맞춤형 3D 프린팅 시스템(1)(예: 패키징 장치(20))의 1205 동작 내지 1290 동작은, 전술한 패키징 장치(20)(예: 3D 프린팅 장치(610))의 1001 동작 내지 1005 동작과 같이 수행될 수 있으므로, 중복되는 설명은 생략한다. 도 13을 참조하면, 서버(10)는, 인쇄 파일들(예: 제1 인쇄 파일, 및 제2 인쇄 파일)에 기반하여, 패키징 장치(20)(예: 3D 프린팅 장치(610))가

인쇄 파일에 대응하는 기판을 생성하도록 제어하기 위한 제어 신호를 패키징 장치(20)(예: 3D 프린팅 장치(610))로 전송할 수 있다. 또는, 기재된 예에 제한되지 않고, 서버(10)는, 상기 인쇄 파일을 패키징 장치(20)로 제공하여, 패키지 장치(20)가 직접 인쇄 파일에 기반하여 3D 프린팅 공정을 수행하도록 할 수도 있다. 패키징 장치(20)(예: 3D 프린팅 장치(610))는, 서버(10)로부터 수신되는 인쇄 파일들(예: 제1 인쇄 파일, 및 제2 인쇄 파일)에 기반하여, 서로 다른 기판(또는, 유전체 층)(1300a, 1300b)을 생성할 수 있다. 상기 서로 다른 기판(1300a, 1300b)는, 도 13에 도시된 바와 같이, 서로 다른 관통 구조를 포함하도록 구현될 수 있다.

[0150] **3.1.3 기판(911) 생성 보정 동작**

[0151] 도 14는, 다양한 실시예들에 따른, 3DP 기반 기판 형성 동작 중 적어도 일부로 기판(911)의 크기를 보정하는 동작의 예를 설명하기 위한 흐름도이다. 도시된 및/또는 기재된 동작들의 순서와 무관하게 동작들이 수행될 수 있으며, 더 많은 동작들이 수행되거나 및/또는 더 적은 동작들이 수행될 수도 있다. 이하에서는, 도 15 및 도 16을 참조하여, 도 13에 대해서 더 설명한다.

[0152] 도 15는, 다양한 실시예들에 따른, 크기를 보정하는 동작의 예를 설명하기 위한 도면이다. 도 16은, 다양한 실시예들에 따른, 서버(10)의 크기를 보정하는 동작의 예들을 설명하기 위한 도면이다.

[0153] 다양한 실시예들에 따르면, 맞춤형 3D 프린팅 시스템(1)(예: 서버(10))는, 동작 1401에서, 복수의 사용자 장치들 각각으로부터 도면 파일을 획득하고, 동작 1403에서, 도면 파일에 기반하여 프린팅 파일을 획득할 수 있다. 상기 맞춤형 3D 프린팅 시스템(1)(예: 서버(10))의 동작 1401 내지 동작 1403은, 전술한 맞춤형 3D 프린팅 시스템(1)(예: 서버(10))의 동작 1201 내지 동작 1203과 같이 수행될 수 있으므로, 중복되는 설명은 생략한다.

[0154] 다양한 실시예들에 따르면, 맞춤형 3D 프린팅 시스템(1)(예: 패키징 장치(20))는, 동작 1405에서, 기판 생성을 위한 소재를 제공하고, 동작 1407에서, 3D 프린팅을 수행하고, 동작 1409에서, 상기 도면 파일에 대응하는 종류의 적어도 하나의 내부 구조(예: 관통 구조)를 갖는 기판을 생성할 수 있다. 맞춤형 3D 프린팅 시스템(1)(예: 패키징 장치(20))의 1405 동작 내지 1409 동작은, 전술한 맞춤형 3D 프린팅 시스템(1)(예: 패키징 장치(20))의 1205 동작 내지 1009 동작과 같이 수행될 수 있으므로, 중복되는 설명은 생략한다.

[0155] 다양한 실시예들에 따르면, 맞춤형 3D 프린팅 시스템(1)(예: 패키징 장치(20))는, 동작 1411에서, 생성된 기판의 크기 특성과 파일 내의 디자인의 크기 특성을 비교한 것에 기반하여, 기판의 크기 특성을 수정할 수 있다. 예를 들어, 상기 크기 특성은, 기판(911)을 구성하는 구성 요소의 크기를 의미하며, 일 예로, 기판(911)의 몸체의 너비 및/또는 길이, 기판(911)의 내부에 형성되는 관통 구조(또는 홀)의 직경 및/또는 너비, 또는 기타 형성되는 물리적 구조의 크기를 의미할 수 있다.

[0156] 도 15를 참조하면, 입력 디자인(예: 인쇄 파일에 포함된 디자인)의 크기 특성과 출력 스케일(예: 상기 패키징 장치(20)에 의해 생산된 기판(911))의 크기 특성이 서로 다를 수 있다. 상기 크기 특성의 차이를 제거 및/또는 감소시키기 위해, 상기 서버(10)는, 인쇄 파일에 포함된 디자인의 크기 특성을 보정(또는 수정, 또는 변경)하는 동작을 수행할 수 있다.

[0157] 일 실시예에서, 도 16의 (a)에 도시된 바와 같이, 상기 서버(10)는, 보정 프로그램(1610)을 더 포함하도록 구현되고, 상기 보정 프로그램(1610)에 기반하여, 인쇄 파일에 포함된 디자인의 크기 특성과 생산된 기판(911)의 크기 특성을 비교하고, 상기 비교 결과에 기반하여 인쇄 파일 내의 기판(911)의 크기 특성을 수정할 수 있다. 예를 들어, 서버(10)는, 상기 기판(911)의 크기 특성이 상기 인쇄 파일 내의 기판(911)의 크기 특성 보다 큰 경우 상기 인쇄 파일 내의 상기 기판(911)의 크기 특성을 감소시키고, 상기 기판(911)의 크기 특성이 상기 인쇄 파일 내의 기판(911)의 크기 특성 보다 작은 경우 상기 인쇄 파일 내의 상기 기판(911)의 크기 특성을 증가시킬 수 있다. 이에 따라, 상기 서버(10)는, 상기 크기 특성이 변경된 인쇄 파일에 기반하여, 다시 3DP 기반 기판 생성을 수행함으로써, 도면 파일에 대응하는(즉, 소비자의 요구에 맞는) 크기 특성을 갖는 기판(911)을 생성할 수 있다.

[0158] 또 일 실시예에서, 도 16의 (b)에 도시된 바와 같이, 상기 서버(10)는, 변환 AI 모듈(1620)을 더 포함하도록 구현되고, 상기 변환 AI 모듈(1620)에 기반하여 도면 파일을 최적화된 크기 특성을 갖는 인쇄 파일로 변환할 수 있다. 예를 들어, 상기 변환 AI 모듈(1620)은, 사용자 장치로부터 수신된 도면 파일 및 최종 보정된 인쇄 파일을 트레이닝 데이터로 하여 학습되는 인공지능 모델일 수 있다. 상기 학습은, 회귀 및 분류에 의한 지도 학습 방식(예: SVM(support vector machine) 등), 군집화 등과 같은 비지도 학습 방식, 딥러닝 등과 같은 강화 학습 방식에 기반하며, 주지의 기술이므로, 구체적인 설명은 생략한다. 예를 들어, 서버(10)는, 전술한 바와 같이,

도면 파일 및 보정 프로그램(1610)에 기반하여 수정된 인쇄 파일을 획득하고, 상기 도면 파일을 인풋 데이터로 하고, 상기 수정된 인쇄 파일을 아웃풋 데이터로 하여, 러닝을 수행함으로써, 도면 파일이 입력되는 경우 인쇄 파일을 출력하도록 구현되는 변환 AI 모듈(1620)을 생상할 수 있다. 상기 변환 AI 모듈(1620)로부터 출력되는, 인쇄 파일은, 보정 오차를 고려하여 수정된 인쇄 파일이기 때문에, 보정 프로그램(1610)을 이용한 번거로운 수정 동작 없이, 효율적으로 공정이 수행될 수 있도록 한다.

[0159] 한편 기재된, 및/또는 도시된 예에 제한되지 않고, 상기 보정 프로그램(1610) 및 상기 변환 AI 모듈(1620)은, 서버(10)가 아닌 3D 프린팅 장치(610)에 구현되어, 전술한 동작을 수행하도록 구현될 수 있다.

[0161] **3.2 금속화 공정**

[0162] 도 17은, 다양한 실시예들에 따른, 금속화 공정의 예를 설명하기 위한 흐름도이다. 도시된 및/또는 기재된 동작들의 순서와 무관하게 동작들이 수행될 수 있으며, 더 많은 동작들이 수행되거나 및/또는 더 적은 동작들이 수행될 수도 있다. 이하에서는, 도 18 및 도 19을 참조하여, 도 17에 대해서 더 설명한다.

[0163] 도 18은, 다양한 실시예들에 따른, 금속화 공정을 위한 금속화 장치(620)의 예를 설명하기 위한 도면이다. 도 19는, 다양한 실시예들에 따른, 금속화 공정 시 기판(911) 내부의 관통 구조에 형성되는 내부 결함을 제거하는 동작의 예를 설명하기 위한 도면이다.

[0164] 다양한 실시예들에 따르면, 맞춤형 3D 프린팅 시스템(1)(예: 패키징 장치(20))는, 동작 1701에서, 기판(1800)을 생성할 수 있다. 상기 맞춤형 3D 프린팅 시스템(1)(예: 패키징 장치(610))의 동작 1701은, 전술한 "3. 3DP 기반 기판 형성 공정"에서 전술한 바와 같이, 수행될 수 있으므로, 중복되는 설명은 생략한다. 상기 금속화 장치(620)는 상기 3D 프린팅 장치(610)에 의해 생성된 기판(1800)을, 트레일러를 통해서, 수신하고(또는, 제공받고), 상기 수신된 기판(1800)에 대해서 계속해서 유체 도전성 물질(예: 유체 금속)에 기반하여, 금속화 공정을 수행할 수 있다. 상기 유체 도전성 물질은, 유체의 구리를 포함할 수 있으나, 기재된 예에 제한되지 않고, 도전 성질을 갖는 다양한 소재가 될 수 있다.

[0165] 다양한 실시예들에 따르면, 상기 금속화 장치(620)는, 도 18의 (a)에 도시된 바와 같이, 내부에 적어도 하나의 관통 구조(1800a, 1800b)가 형성된 기판(1800)이 놓이는 베이스(1820), 유체 도전성 물질(예: 유체 금속)을 제공하기 위한 제공 부재(1830)(예: 관), 유체 도전성 물질(예: 유체 금속)을 저장하는 저장 구조물(1810), 및 상기 저장 구조물(1810)로부터 유체 도전성 물질을 상기 제공 부재(1830)를 통해서 기판(1800)으로 전달하기 위한 펌프(미도시)를 포함할 수 있다. 다만, 기재된 및/또는 도시된 예에 제한되지 않고, 상기 금속화 장치(620)는, 더 많은 구성을 포함하거나, 더 적은 구성을 포함하도록 구현될 수 있다.

[0166] 다양한 실시예들에 따르면, 상기 금속화 장치(620)의 베이스(1820)는, 도 18의 (b)에 도시된 바와 같이, 상기 기판(1800)이 놓이는 몸통(1821), 및 유체 금속 물질을 회수하기 위한 회수 구조물(1822)을 포함할 수 있다. 상기 몸통(1821)에는 상기 기판(1800)이 안착될 수 있는 돌출부가 형성될 수 있으며, 일 예로 도 18의 (b)에 도시된 바와 같이 몸통(1821)의 측면의 내부면에 돌출부가 형성될 수 있다. 상기 기판(1800)이 안착된 상태에서, 상기 기판(1800)의 상면의 위치 보다 상기 몸통(1821)의 측면의 높이가 높도록, 상기 몸통(1821)이 설계될 수 있다. 이에 따라, 상기 기판(1800) 상에 제공 부재(1830)에 의한 유체 도전성 물질(FM)이 원활하게 제공될 수 있다. 또, 상기 몸통(1821)의 적어도 일부면에는 금속화 공정이 완료된 이후에 남은 유체 도전성 물질(FM)을 제거, 및/또는 회수하기 위한 관통홀이 형성될 수 있으며, 일 예로, 도 18의 (b)에 도시된 바와 같이, 몸통(1821)의 하부 면에 관통홀이 형성될 수 있다. 상기 회수 구조물(1822)은, 상기 관통홀로부터 제공되는 공정 후 나머지 유체 도전성 물질(FM)을 회수하기 위한 위치에 배치되며, 상기 유체 도전성 물질(FM)을 관(1823)을 통해서 다시 저장 구조물(1810)로 제공할 수 있다. 상기 회수는 전술한 펌프(미도시)에 의해 수행될 수 있다.

[0167] 다양한 실시예들에 따르면, 맞춤형 3D 프린팅 시스템(1)(예: 금속화 장치(620))는, 동작 1703에서, 표면 친수화 공정을 수행할 수 있다. 예를 들어, 도 19의 (a)를 참조하면, 금속화 장치(620)는, 기판(1800)의 내부에 형성된 관통 구조(1900)(예: 홀)의 내부의 면을 친수화(1901)할 수 있다. 일 예로, 금속화 장치(620)는, 플라즈마 처리, 원자층 증착, 또는 화상 기상 증착 중 적어도 하나의 방법에 기반하여, 친수화를 수행할 수 있다. 이에 따라, 상기 관통 구조(1900)의 내부면에는, 원자 단위의 산화막(MO_X)이 형성될 수 있다. 상기 관통 구조(1900)의 내부의 면이 친수화됨에 따라, 이후 금속 성장이 원활하게 수행될 수 있다.

[0168] 다양한 실시예들에 따르면, 맞춤형 3D 프린팅 시스템(1)(예: 금속화 장치(620))는, 동작 1705에서, 금속 성장

공정을 수행할 수 있다. 예를 들어, 도 19의 (a)를 참조하면, 금속화 장치(620)는, 상기 친수화된 관통 구조(1900)의 내부 면 상에 금속(1905)을 성장시켜, 결과적으로 기판(1800)의 내부에 미세 인터커넥트(또는, 금속 라인)을 형성할 수 있다.

[0169] 다양한 실시예들에 따르면, 금속화 장치(620)는, 무전해 도금 또는 전해 도금 중 적어도 하나에 기반하여, 금속 시드 레이어(1903) 형성 및 금속 성장(1905)을 수행할 수 있다. 예를 들어, 상기 무전해 도금은, 모세관 현상 및/또는 미세 유체 조절에 기반할 수 있다. 예를 들어, 상기 금속화 장치(620)는 상기 모세관 현상을 이용하여 무전해 도금을 수행하는 동작의 적어도 일부로, 상기 제공 부재(830)를 통해 유체 도전성 물질(FM)을 상기 기판(1800) 상에 제공하고, 상기 기판(1800) 상의 유체 도전성 물질(FM)이 모세관 현상에 의해 기판(1800) 내부의 ㎛ 단위의 관통 구조(1900)로 침투하도록 제어할 수 있다. 또 예를 들어, 상기 금속화 장치(620)는 ㎛ 단위로 형성된 미세 제공 부재(830)를 상기 기판(1800)의 ㎛ 단위의 관통 구조(1900)에 삽입한 상태에서, 유체 도전성 물질(FM)을 제공하고, 유속을 제어할 수 있다. 예를 들어, 상기 전해 도금은, 양극과 음극을 배치하고, 양극과 음극 중 적어도 하나에 전원을 인가하여 기판(1800) 내부의 관통 구조(1900)의 면에 유체 도전성 물질(FM)을 제공할 수 있다. 상기 금속화 장치(1820)는, 전해 도금을 수행하는 동작의 적어도 일부로, 고 종횡비를 갖는(예: 10 이상의 종횡비를 갖는) 미세 관통 구조를 위해, 정펄스 및 역펄스 전압을 인가하는 동작을 수행할 수 있다. 예를 들어, 상기 금속화 장치(1820)는, 펄스 전압(또는 전류) 인가를 이용한 금속 성장, 및 역펄스 전압(또는 전류) 인가를 이용한 용해(dissolve)를 반복하며, 이온 분포의 농도 조절을 통한 균일한 도금 공정을 진행할 수 있다. 이때, 상기 펄스 전압을 인가하는 제1 기간과 상기 역펄스 전압을 인가하는 제2 기간은 서로 상이하도록 설정될 수 있다. 예를 들어, 상기 제1 기간이 상기 제2 기간 보다 길도록 설정될 수 있으나, 기재된 예에 제한되지 않고 반대로 설정될 수도 있다.

[0170] 일 실시예에서, 금속화 장치(620)는, 금속 시드 레이어(1903)의 형성 및 금속(1905)의 성장에 모두 무전해 도금을 이용할 수 있다.

[0171] 예를 들어, 금속화 장치(620)는, 모두 모세관 현상에 기반하여, 금속 시드 레이어(1903)의 형성 및 금속(1905)의 성장을 수행할 수 있다. 상기 금속화 장치(620)는, 전술한 바와 같이 제공 부재(1830)를 이용하여 기판(1800) 상부에 제공된 유체 도전성 물질(FM)의 양을 조절하여 모세관 현상에 의해서 관통 구조(1900)로 제공되는 유체 도전성 물질(FM)의 양을 조절함으로써, 금속 시드 레이어(1903)의 형성 및 금속(1905)의 성장을 수행할 수 있다. 일 예로, 금속화 장치(620)는, 금속 시드 레이어(1903)의 형성을 위해서 제1 양의 유체 도전성 물질(FM)을 제공하고, 금속 시드 레이어(1903)가 형성된 이후 제1 양 보다 많은 제2 양의 유체 도전성 물질(FM)을 제공하여 금속(1905)이 성장되도록 할 수 있으나, 기재된 예에 제한되지 않고 유체 도전성 물질(FM)의 양은 반대로 설정될 수 있다. 이때, 금속화 장치(620)는 금속 시드 레이어(1903)가 형성되는 제1 기간과 금속(1905)이 성장되는 제2 기간의 공정 조건(예: 온도)을 달리할 수 있다. 예를 들어, 제2 기간의 온도를 제1 기간의 온도보다 빠르게 금속이 성장되도록 할 수 있으나, 기재된 예에 제한되지 않고, 온도는 반대로 설정될 수도 있다.

[0172] 또 예를 들어, 금속화 장치(620)는, 모세관 현상에 기반하여 금속 시드 레이어(1903)를 형성하고, 미세 유체 조절에 기반하여 금속(1905)의 성장을 수행할 수 있다. 금속화 장치(620)는, 모세관 현상에 기반하여 금속 시드 레이어(1903)가 형성된 이후에, ㎛ 단위로 형성된 미세 제공 부재(830)를 상기 기판(1800)의 ㎛ 단위의 관통 구조(1900)에 삽입한 상태에서, 유체 도전성 물질(FM)을 제공하여 금속 성장을 수행할 수 있다. 일 예로, 금속화 장치(620)는, 금속 시드 레이어(1903)의 형성을 위해서 제1 유속으로 유체 도전성 물질(FM)을 제공하고, 금속 시드 레이어(1903)가 형성된 이후 제1 유속 보다 느린 제2 유속으로 유체 도전성 물질(FM)을 제공하여 금속(1905)이 성장되도록 할 수 있으나, 유체 도전성 물질(FM)의 유속은 반대로 설정될 수도 있다.

[0173] 또 예를 들어, 금속화 장치(620)는, 모두 미세 유체 조절에 기반하여 금속 시드 레이어(1903)의 형성 및 금속(1905)의 성장을 수행할 수 있다. 금속화 장치(620)는, ㎛ 단위로 형성된 미세 제공 부재(830)를 상기 기판(1800)의 ㎛ 단위의 관통 구조(1900)에 삽입한 상태에서, 유체 도전성 물질(FM)의 유속을 조절함에 기반하여 금속 시드 레이어(1903)의 형성 및 금속(1905)의 성장을 수행할 수 있다.

[0174] 또 일 실시예에서, 금속화 장치(620)는, 무전해 도금에 기반하여 금속 시드 레이어(1903)를 형성하고, 전해 도금에 기반하여 금속(1905)을 성장시킬 수 있다.

[0175] 또 일 실시예에서, 금속화 장치(620)는, 전해 도금에 기반하여 금속 시드 레이어(1903)를 형성하고, 무전해 도금에 기반하여 금속(1905)을 성장시킬 수 있다.

[0176] 또 일 실시예에서, 금속화 장치(620)는, 모두 전해 도금에 기반하여 금속 시드 레이어(1903)를 형성하고, 금속

(1905)을 성장시킬 수 있다.

[0177] 다양한 실시예들에 따르면, 상기 금속화 장치(1820)는, 금속화 공정 중의 적어도 일부로, 도 19의 (b)에 도시된 바와 같이, 관통 구조(1900) 내에 형성되는 내부 결함(V)을 제거 및/또는 감소시키기 위한 동작을 수행할 수 있다. 상기 내부 결함은 보이드로서, 유체 도전성 물질(FM)이 채우지 못한 빈 공간을 의미할 수 있으나, 기재된 예에 제한되지 않고, 유체 도전성 물질(FM) 이외의 이물질을 의미할 수도 있다. 상기 내부 결함(V)의 탐지는, 전술한 시험 분석 장치(650)를 이용한 연결성 시험을 통해 탐지될 수 있으나, 기재된 예에 제한되지 않는다.

[0178] 예를 들어, 상기 금속화 장치(1820)는, 내부 결함(V)을 제거하는 동작의 적어도 일부로, 무전해 도금을 이용하는 경우, 유체 도전성 물질(FM)의 양이나 유속을 제어하여, 내부 결함(V)을 제거 및/또는 감소시킬 수 있다. 일 예로, 상기 금속화 장치(1820)는, 내부 결함(V)이 발생되는 경우, 유체 도전성 물질(FM)의 양을 증가시키거나, 또는 유속을 다이나믹하게 변경하는 방식으로, 상기 유체 도전성 물질(FM)이 상기 내부 결함(V)으로 제공되도록 함으로써, 내부 결함(V)을 제거 및/또는 감소시킬 수 있다.

[0179] 또 예를 들어, 상기 금속화 장치(1820)는, 상기 기판(1800)이 배치되는 상기 베이스(1820)에 진동 장치(미도시)(또는 초음파 장치)를 더 포함하고, 내부 결함(V)을 제거하는 동작의 적어도 일부로, 상기 진동 장치(또는 초음파 장치)를 이용하여 기판(1800)에 진동을 제공함으로써, 상기 유체 도전성 물질(FM)이 상기 내부 결함(V)으로 제공되도록 함으로써, 내부 결함(V)을 제거 및/또는 감소시킬 수 있다.

[0180]

[0181] **3.3 범프 형성 및 본딩 공정**

[0182] 다양한 실시예들에 따르면, 패키징 장치(20)는, 전술한 바와 같이 인터커넥트를 포함하는 기판(910)에 범프를 형성하고, 다른 전자 부품(예: 칩, 패키징 기판)과 물리적 및/또는 전기적으로 연결하는 공정을 수행할 수 있으며, 구체적인 설명은 생략한다.

[0184] **3.4 기타 공정**

[0185] 다양한 실시예들에 따르면, 패키징 장치(20)는, 패키징 구조물(예: 범프가 형성된 기판)을 종래의 인터커넥트 구조물과 물리적 및/또는 전기적으로 연결된 형태로 생성할 수 있다. 예를 들어, 패키징 장치(20)(예: 본딩 장치(640))는, 패키징 구조물(예: 범프가 형성된 기판)을 종래의 인터커넥트 구조물(예: 재분배층(RDL), 실리콘 관통 전극(TSV))을 본딩할 수 있다. 또 예를 들어, 패키징 장치(20)는 종래의 인터커넥트 구조물을 생성하기 위한 설비(미도시)를 추가적으로 더 포함하고, 상기 패키징 구조물(예: 범프가 형성된 기판) 상에 종래의 인터커넥트 구조물을 형성할 수도 있다.

[0187] **4. 패키징 구조물 및 응용 제품**

[0188] 이하에서는, 다양한 실시예들에 따른, 전술한 맞춤형 3DP 시스템(1)에 의해 생성된 패키징 구조물 및 패키징 구조물이 적용되는 응용 제품의 예에 대해서 설명한다.

[0189] 도 20은, 다양한 실시예들에 따른, 패키징 구조물 및 응용 제품의 예를 설명하기 위한 도면이다.

[0190] 다양한 실시예들에 따르면, 도 20을 참조하면, 패키징 장치(20)(예: 3D 프린팅 장치(610), 금속화 장치(620), 범프 생성 장치(630), 및 본딩 장치(640))에 의해 패키징 구조물(2000)이 형성되고, 상기 패키징 구조물(2000)은 다른 응용 제품(3000)에 구비되어 이용될 수 있다.

[0191] 다양한 실시예들에 따르면, 상기 패키징 구조물(2000)은, 3D 프린팅 인터커넥트 구조물(2001a)(예: 전술한 패키징 장치(20)의 공정들에 기반하여 형성된 구조물)만을 포함하는 제1 타입의 패키징 구조물(2001)과 상기 3D 프린팅 인터커넥트 구조물(2001a)과 종래의 고해상도 구조물(2003a)(예: 재분배층(RDL), 실리콘 관통 전극(TSV))이 물리적 및/또는 전기적으로 연결되는 제2 타입의 패키징 구조물(2003)로 구현될 수 있는데, 각각의 구조물의 예에 대해서는 구체적으로 설명한다.

[0192] 다양한 실시예들에 다르면, 상기 응용 제품(3000)은, 패키징 구조물(2000) 및 상기 패키징 구조물(2000)에 연결되는 복수의 전자 부품들(예: 제1 전자 부품(3000a), 및 제2 전자 부품(3000b))을 포함하는 제품으로서, 도 2에서 전술한 바와 같은 다양한 종류의 장치를 포함할 수 있다.

[0194] **4.1 패키징 구조물**

[0195] **4.1.1 제1 타입 구조물(2001)**

[0196] 도 21은, 다양한 실시예들에 따른, 제1 타입의 패키징 구조물의 일 예를 설명하기 위한 도면이다. 도 22는, 다양한 실시예들에 따른, 제1 타입의 패키징 구조물의 일 예의 분해 사시도이다.

[0197] 다양한 실시예들에 따르면, 도 21을 참조하면, 제1 타입의 패키징 구조물(2001)은, 기판(2101)(또는, 유전체 층), 내부에 포함되는 적어도 하나의 인터커넥트(2103)(또는, 금속 라인), 상기 적어도 하나의 인터커넥트(2103)에 연결되는 적어도 하나의 범프(2015), 및 기타 내부 구조(구성)(2107)을 포함할 수 있다. 이때, 도 22를 참조하면, 범프(2015)는, 인터커넥트의 상부와 하부 각각에 연결되는 인터커넥트(2105a, 2105b)를 포함하며, 상기 인터커넥트(2105a, 2105b)의 종류는 도시된 바와 같이 다를 수 있으나, 같을 수도 있다. 한편, 기재된 및/또는 도시된 예에 제한되지 않고, 상기 제1 타입의 패키징 구조물(2001)은, 더 많은 구성을 포함하거나, 및/또는 더 적은 구성을 포함하도록 구현될 수 있다.

[0198] 다양한 실시예들에 따르면, 상기 기판(2101)(또는, 유전체 층)은, 전술한 바와 같이, 3D 프린팅 장치(610)에 의해 구현될 수 있다. 상기 기판(2101)(또는, 유전체 층)은 복수의 층들로 구현되는 종래의 고해상도 구조물(2003a)와는 다르게 단일의 층으로 구현될 수 있다. 예를 들어, 상기 층은, 유전체 층을 물리적으로 분리하는 구성 요소로서, 일 예로, 유전체 층의 소재와는 다른 전도성 소재의 층으로 상기 층을 기준으로 유전체 층의 상부 부분과 하부 부분으로 분리될 수 있다.

[0199] 다양한 실시예들에 따르면, 상기 기판(2101)(또는, 유전체 층)은 3D 프린팅 장치(610)에 의해 다양한 형상을 가지도록 구현될 수 있다. 예를 들어, 상기 기판(2101)은, 응용 제품(3000) 내에 상기 패키징 구조물(2001)이 배치될 내부 공간의 형상에 대응하는 형상으로 구현될 수 있다. 상기 형상은, 직육면체 형상 뿐만 아니라, 삼각기둥 등 다각형 기둥, 원형 기둥, 구 형상, 등 기재된 예에 제한되지 않는 다양한 형상을 포함할 수 있다.

[0200] 다양한 실시예들에 따르면, 상기 적어도 하나의 인터커넥트(2103)는 다양한 방향으로 형성될 수 있다. 예를 들어, 적어도 하나의 인터커넥트(2103)는 기판(2101)의 상부면을 통해 노출되는 제1 부분, 하부면을 통해 노출되는 제2 부분, 및 상기 제1 부분과 상기 제2 부분 사이를 연결하는 라인을 포함할 수 있다. 상기 라인은, 전술한 상기 단일 층 구조의 상기 기판(2101)의 내부를 횡방향 및/또는 종방향으로 가로 지르며, 일부 구간에서 특정 곡률(또는 각도, 또는 기울기)을 갖는 것이 가능하도록 구현될 수 있다. 복수의 인터커넥트들이 구현되는 경우, 도 21에 도시된 바와 같이, 복수의 인터커넥트들 중 적어도 두 인터커넥트들 간 곡률이 형성되는 부분, 곡률이 형성되는 부분의 개수, 또는 곡률의 수치 중 적어도 하나가 서로 다르도록 구현될 수 있다. 상기 기판(2101)에 구현되는 적어도 하나의 인터커넥트(2103)가 다양한 형상으로 구현 가능해짐에 따라, 전술한 다양한 종류의 응용 제품(3000)에 적용되는 경우, 응용 제품(3000)에 적합한 형태로 인터커넥트(2101)이 최적으로 형성되어, 응용 제품(3000)에 포함되는 전자 부품들 간의 효율적인 전기적 연결성을 제공할 수 있다.

[0201] 다양한 실시예들에 따르면, 상기 적어도 하나의 인터커넥트(2103)는, 서로 다른 면을 통해 외부로 노출되는 제1 종류의 인터커넥트(2103a) 및 동일한 면을 통해 외부로 노출되는 제2 종류의 인터넥트(2103b)를 포함할 수 있다. 상기 제1 종류의 인터커넥트(2103a)는, 상면에 배치되는 전자 부품(예: 칩)과, 하면에 배치되는 전자 부품(예: 패키징 기판)을 전기적으로 연결하도록 구현되는 종류의 인커터넥트로서, 일 예로 팬-아웃(fan-out)을 위한 인터커넥트일 수 있다. 상기 제1 종류의 인터커넥트(2103a)는 종래의 실리콘 관통 전극(TSV)의 기능을 제공하도록 구현될 수 있다. 상기 제2 종류의 인터커넥트(2103b)는, 상면에 배치되는 복수의 전자 부품들(예: 복수의 칩들)을 전기적으로 연결하도록 구현되는 종류의 인터커넥트일 수 있다. 상기 제2 종류의 인터커넥트(2103b)는 종래의 재분배층(RDL)의 기능을 제공하도록 구현될 수 있다.

[0202] 이에 따라, 기판(2101)의 제1 부분(2101a)에 포함되는 상기 제1 종류의 인터커넥트(2103a)는 종래의 실리콘 관통 전극(TSV)의 기능을 수행하고, 제2 부분(2101b)에 포함되는 상기 제2 종류의 인터커넥트(2103b)은 재분배층(RDL)의 기능을 수행하도록 구현됨에 따라, 제1 타입의 패키징 구조물(2001)은 종래의 복수의 인터커넥트 구조물들(TSV, RDL)의 모든 기능을 수행하도록 효율성을 제공할 수 있다.

[0203] 한편, 기재된 및/또는 도시된 예에 제한되지 않고, 전술한 바와 같이 소비자의 요구에 적합하게, 인터커넥트(2103)는 다양하게 구현 가능하므로, 제1 종류의 인터커넥트(2103a)만을 포함하거나, 또는 상기 제2 종류의 인터커넥트(2103b)만을 포함하는 패키징 구조물(2101)이 형성될 수도 있다.

[0204] 다양한 실시예들에 따르면, 기타 내부 구조(구성)(2107)는 전술한 인터커넥트(2103)가 형성되는 위치와는 다른 위치에 형성되는 형성될 수 있다. 예를 들어, 기타 내부 구조(구성)(2107)는 기판(2101)의 내부에 다양한 형상의 빈 공간을 포함할 수 있다. 상기 빈 공간은, 상기 인터커넥트(2103)가 형성된 위치와는, 다른 위치에 형성되어, 상기 기판(2101)으로부터 발생되는 방열 성능을 향상시키거나, 및/또는 상기 기판(2101)에 가해지는 물리적 스트레스를 경감할 수 있다. 또 예를 들어, 상기 기타 내부 구조(구성)(2107)는, 수로 구조를 생성할 수 있다. 상기 수로 구조를 통해, 상기 기판(2101)의 폐열을 방출시키기 위한, 유체가 제공될 수 있다. 또 예를 들어, 기타 내부 구조(구성)(2107)는, 전술한 구조들 이외에, 종래의 반도체 패키지 주변에 구현 가능한 다양한 구성들의 기능을 제공하기 위한 구조, 또는 구성을 포함할 수 있다. 이에 따라, 상기 기판(2101) 내에 종래의 다양한 기능을 구현하는 구성, 및/또는 구조가 직접화됨에 따라, 패키징 구조물의 크기가 감소되어, 더 효율적인 전자 제품의 구현이 가능해질 수 있다.

[0206] **4.1.1.1 제1 타입의 패키징 구조물(2001)의 다양한 예시**

[0207] 도 23은, 다양한 실시예들에 따른, 제1 타입의 패키징 구조물의 다양한 예들을 설명하기 위한 도면이다.

[0208] 도 23을 참조하면, 다양한 실시예들에 따른, 제1 타입의 패키징 구조물(2001)이 다양한 형상으로 제공될 수 있다.

[0209] 예를 들어, 도 23의 (a)에 도시된 바와 같이, 기판(2101)은, 복수의 칩들(2301a, 2303a, 2305a, 2307a)을 연결하기 위한 적어도 하나의 인터커넥트(2103)를 포함할 수 있다. 상기 적어도 하나의 인터커넥트(2103)는, 서로 인접한 칩들(예: 제1 칩(2301a)과 제2 칩(2303a), 제2 칩(2303a)과 제3 칩(2305a), 제3 칩(2305a)과 제4 칩(2307a))을 연결하기 위한 종류의 인터커넥트, 및 서로 이격된 칩(예: 제1 칩(2301a)과 제4 칩(2307a))을 연결하기 위한 종류의 인터커넥트를 포함할 수 있다.

[0210] 또 예를 들어, 도 23의 (b)에 도시된 바와 같이, 기판(2101)은, 각각이 복수의 칩들(2301b, 2303b, 2305b, 2307b, 2309b)가 배치되는 복수의 돌출 부분들을 포함하도록 구현되고, 상기 복수의 돌출 부분들 각각의 측면을 통해서 제1 부분이 노출되고, 하면을 통해서 제2 부분이 노출되는 적어도 하나의 인터커넥트(2103)를 포함하도록 구현될 수 있다.

[0211] 또 예를 들어, 도 23의 (c)에 도시된 바와 같이, 기판(2101)은 복수의 측면들에 배치되는 복수의 칩들(2301c, 2303c, 2305c, 2307c)을 전기적으로 연결하기 위한, 적어도 하나의 인터커넥트(2103)를 포함하도록 구현될 수 있다.

[0213] **4.1.2 제2 타입 구조물(2003)**

[0214] 도 24는, 다양한 실시예들에 따른, 제2 타입의 패키징 구조물(2003)의 다양한 예들을 설명하기 위한 도면이다.

[0215] 다양한 실시예들에 따르면, 제2 타입의 패키징 구조물(2003)은, 도 24의 (a)에 도시된 바와 같이 제1 타입의 패키징 구조물(2001a)과 종래의 인터커넥트 구조물(2401a)(예: 재분배층(RDL))을 물리적(또는 전기적)으로 연결하는 형태로 구현되고, 도 24의 (b)에 도시된 바와 같이 제1 타입의 패키징 구조물(2001a) 상에 종래의 인터커넥트 구조물(2401b)(예: 재분배층(RDL))를 형성하는 공정(예: 증착 공정)을 수행함에 기반하여 구현될 수 있다.

[0216] 다양한 실시예들에 따르면, 제1 타입의 패키징 구조물(2001a)의 적어도 하나의 인터커넥트(2103)와 제2 타입의 패키징 구조물(2401a, 2401b)의 적어도 하나의 인터커넥트는 서로 전기적으로 연결될 수 있다.

[0217] 다양한 실시예들에 따르면, 제1 타입의 패키징 구조물(2001a)에 포함된 인터커넥트의 제1 밀도(예: 단위 부피당 인터커넥트의 질량, 및/또는 인터커넥트의 개수)와 상기 종래의 인터커넥트 구조물(2401a, 2401b)에 포함된 인터커넥트의 제2 밀도는 서로 상이할 수 있다. 예를 들어, 제1 타입의 패키징 구조물(2001a)의 인터커넥트의 제1 밀도는, 종래의 인터커넥트 구조물(2401a, 2401b)의 인터커넥트의 제2 밀도 보다 작도록 구현될 수 있다. 즉, 인터커넥트의 밀도가 높은, 종래의 인터커넥트 구조물(2401a, 2401b)을 추가적으로 배치함으로써, 전기 접속의 해상도가 제고될 수 있다.

[0219] **4.2 응용 제품**

[0220] 다양한 실시예들에 따르면, 응용 제품(또는, 전자 장치)는, 다양한 종류의 전자 부품(또는, 반도체 소자)를 포함하도록 구현될 수 있다. 이때, 다양한 종류의 전자 부품(또는 반도체 소자, 또는 전자 소자)는 서로 전기적으로 연결(또는, 동작적으로 연결)됨에 따라, 적어도 하나의 기능을 제공하도록 설정될 수 있다. 전술한 패키징 구조물(2000)(예: 제1 타입의 패키징 구조물(2001), 제2 타입의 패키징 구조물(2003))은, 응용 제품(또는, 전자 장치) 별로 다양하게 탑재되는, 전자 부품(또는, 반도체 소자)들을 전기적으로(또는, 동작적으로) 연결하기 위해 이용될 수 있다.

[0222] **4.2.1 칩 패키징**

[0223] 도 25는, 다양한 실시예들에 따른, 응용 제품에 이용되는 패키징 구조물의 예를 설명하기 위한 도면이다. 이하에서는, 도 26 내지 도 27을 참조하여, 도 25에 대해서 더 설명한다.

[0224] 도 26은, 다양한 실시예들에 따른, 칩 패키지에 이용되는 제1 타입의 패키징 구조물(2001)의 예를 설명하기 위한 도면이다. 도 27은, 다양한 실시예들에 따른, 제2 타입의 패키징 구조물(2003)의 예를 설명하기 위한 도면이다.

[0225] 다양한 실시예들에 따르면, 전술한 패키징 구조물(2000)(예: 제1 타입의 패키징 구조물(2001), 제2 타입의 패키징 구조물(2003))은, 다양한 종류의 응용 제품(또는, 전자 장치)에 포함되는, 적어도 하나의 칩에 대한 패키지(chip package)를 위해 이용될 수 있다. 예를 들어, 도 25를 참조하면, 패키징 구조물(2000)은, 적어도 하나의 칩(2501)과 전자 부품(2503)를 전기적으로(또는, 동작적으로)으로 연결하도록 이용될 수 있다. 상기 칩(2501)은, 각각이 기능을 수행하는 두 개 이상의 반도체 소자들이 전기적으로(또는, 동작적으로) 연결된 전자 회로(예: 메모리 칩, CPU, AP, GPU, NPU 등의 집적 회로(integrated circuit, IC) 뿐만 아니라, 개별 전자 소자(예: 다이오드, 트랜지스터, 모스펫 등의 반도체 소자, 및 저항 등)를 포함하는 광의의 개념으로 이해될 수 있다.

[0226] 다양한 실시예들에 따르면, 상기 적어도 하나의 칩에 대한 패키지는, 반도체 소자들을 단일의 칩으로 생성하는 시스템 온 칩(system on chip, SOC) 형태 등의 패키지, 이종의 칩들을 하나의 단위의 구조물로 생성하는 시스템인 패키지(system in package) 형태, 및 칩-렛(chip-let) 형태 등의 패키지, Fan-out WLP 형태, Fan-out PLP 형태, 및 Fan-in WLP 형태 등의 웨이퍼 레벨의 패키지(wafer-level package, WLP), 및 3D Fan-out 등의 모바일 프로세서 용 패키지 등을 포함할 수 있으나, 기재된 예에 제한되지 않고, 더 많은 종류의 패키지를 포함할 수 있다.

[0228] **4.2.1.1 싱글 칩 패키지**

[0229] 다양한 실시예들에 따르면, 도 26의 (a)를 참조하면, 제1 타입의 패키징 구조물(2001)은 칩(2601a)과 기판(S)을 전기적으로 연결하도록 구현될 수 있다. 기판(2001a)의 상부면으로부터 노출되는 적어도 하나의 인터커넥트(2103)의 제1 부분은 칩(2601a)과 전기적으로 연결되고, 기판(2001a)의 하부면으로부터 노출되는 적어도 하나의 인터커넥트(2103)의 제2 부분은 기판(S)과 전기적으로 연결될 수 있다. 이에 따라, 칩(2601a)에서 발생되는 전기적 신호가 기판(S)으로 제공되며, 기판(S)을 통해 다른 구성으로 상기 전기적 신호가 제공될 수 있다.

[0230] 다양한 실시예들에 따르면, 기판(2001a)의 부분 별로 적어도 하나의 인터커넥트(2103) 간의 거리가 상이할 수 있다. 예를 들어, 도 26의 (a)에 도시된 바와 같이, 칩(2601a)에 가까운 부분의 인터커넥트(2103) 간의 거리가 기판(S)에 가까운 부분의 인터커넥트(2103) 간의 거리 보다 작을 수 있다. 달리 말해, 상기 칩(2601a)에 가까운 부분의 인터커넥트(2103)의 밀도는, 기판(S)에 가까운 부분의 인터커넥트(2103)의 밀도 보다 작도록 구현될 수 있다.

[0231] 다양한 실시예들에 따르면, 상기 싱글 칩 패키지를 위해 이용되는, 1 타입의 패키징 구조물(2001)은, 실리콘 관통 전극(TSV) 용도로 이용될 수 있다.

[0233] **4.2.1.2 멀티 칩 패키지**

[0234] 다양한 실시예들에 따르면, 도 26의 (b)를 참조하면, 제1 타입의 패키징 구조물(2001)은 복수의 칩들(2601b, 2603b)을 서로 전기적으로 연결하고, 복수의 칩들(2601b, 2603b)가 기판(S)을 전기적으로 연결하도록 구현될 수

있다. 예를 들어, 도 26의 (b)에 도시된 바와 같이, 기판(2001a)의 적어도 하나의 인터커넥트는 전술한 제1 종류의 인터커넥트(2103a) 및 제2 종류의 인터커넥트(2103b)를 포함하도록 구현될 수 있다. 이에 따라, 복수의 칩들(2601b, 2603b)은 상기 제1 종류의 인터커넥트(2103a)를 통해서 기판(S)과 연결되고, 복수의 칩들(2601b, 2603b)은 서로 상기 제2 종류의 인터커넥트(2103b)를 통해서 전기적으로 연결될 수 있다. 상기 제1 종류의 인터커넥트(2103a)는 전술한, 싱글 칩 패키지에서의 인터커넥트(2103)와 같이, 기판(2001a)의 영역 별로 거리가 상이하게 구현될 수 있다.

[0236] #### 4.2.1.3 하이브리드 패키지

[0237] 다양한 실시예들에 따르면, 도 27에 도시된 바와 같이, 제2 타입의 패키징 구조물(2003)이 칩 패키지에 이용될 수 있다.

[0238] 일 실시예에서, 도 27의 (a)에 도시된 바와 같이, 종래의 고해상도 인터커넥트 구조물(2003a)(예: 재분배층(RDL))은 제1 종류의 인터커넥트(2103a)를 포함하는 제1 타입의 구조물(2001a)에 대한 전기적 신호의 더 높은 밀도(또는, 해상도)의 입력 용도로 이용될 수 있다. 제2 타입의 패키징 구조물(2003)은 제1 타입의 패키징 구조물(2001a) 및 상기 제1 타입의 패키징 구조물(2001a) 상에 배치되는 종래의 고해상도 인터커넥트 구조물(2003a)(예: 재분배층(RDL))을 포함할 수 있다. 복수의 칩들(2701a, 2703a) 각각은 종래의 고해상도 인터커넥트 구조물(2003a)(예: 재분배층(RDL))에 전기적으로 연결되고, 종래의 고해상도 인터커넥트 구조물(2003a)(예: 재분배층(RDL))의 인터커넥트는 기판(2001a)의 인터커넥트(2103)에 전기적으로 연결되며, 기판(2001a)의 인터커넥트(2103)은 패키징 기판(미도시)에 전기적으로 연결될 수 있다.

[0239] 또 일 실시예에서, 도 27의 (b)에 도시된 바와 같이, 종래의 고해상도 인터커넥트 구조물(2003a)(예: 재분배층(RDL))은 제1 종류의 인터커넥트(2103a)를 포함하는 제1 타입의 구조물(2001a)에 대한 전기적 신호의 더 높은 밀도(또는, 해상도)의 출력 용도로 이용될 수 있다. 제2 타입의 패키징 구조물(2003)은 제1 타입의 패키징 구조물(2001a) 및 상기 제1 타입의 패키징 구조물(2001a)의 하부에 배치되는 종래의 고해상도 인터커넥트 구조물(2003a)(예: 재분배층(RDL))을 포함할 수 있다. 제1 칩(2701b)는 기판(2001a)의 인터커넥트(2103)에 전기적으로 연결되고, 기판(2001a)의 하부면을 통해 노출된 인터커넥트(2103)에 종래의 고해상도 인터커넥트 구조물(2003a)(예: 재분배층(RDL))이 전기적으로 연결되며, 종래의 고해상도 인터커넥트 구조물(2003a)은 다른 전자 부품들(예: 복수의 칩들(2703b, 2705b)에 전기적으로 연결될 수 있다.

[0240] 또 일 실시예에서, 도 27의 (c)에 도시된 바와 같이, 제1 종류의 인터커넥트(2103a) 및 제2 종류의 인터커넥트(2103b)를 포함하는 제1 타입의 패키징 구조물(2001) 및 종래의 고해상도 인터커넥트 구조물(2003a)(예: 재분배층(RDL))을 포함하는 제2 타입의 패키징 구조물(2003)이 제공될 수 있다. 전기적 연결 관계는, 도 27의 (a) 및 (b)에서 전술한 바와 같이 형성될 수 있으므로, 중복되는 설명은 생략한다.

[0241] 또 일 실시예에서, 도 27의 (d)에 도시된 바와 같이, 종래의 인터커넥트 구조물(2003a)는, 제1 종류의 패키징 구조물(2001)에 포함되는 형태로 구현될 수 있다. 예를 들어, 종래의 고해상도 인터커넥트 구조물(2003a)은 기판(2001a)의 상부 홈에 삽입된 형태로 구현될 수 있다. 즉, 종래의 고해상도 인터커넥트 구조물(2003a)은 전술한 제2 종류의 인터커넥트(2103b)의 기능을 수행하도록, 기판(2001a)에 구현될 수 있다. 기재된 및/또는 도시된 예에 제한되지 않고, 기판(2001a)는 제2 종류의 인터커넥트(2103b)를 포함하되, 측면 부분에 제1 종류의 인터커넥트(2103a)의 기능을 수행하도록 구현되는, 실리콘 관통 전극(TSV)를 포함하도록 구현될 수도 있다.

[0243] ### 4.2.2 안테나 인 패키지(antenna in package, AIP)

[0244] 도 28은, 다양한 실시예들에 따른, 안테나 인 패키지에 이용되는 패키징 구조물의 예를 설명하기 위한 도면이다. 이하에서는, 도 29를 참조하여, 도 28에 대해서 더 설명한다.

[0245] 도 29는, 다양한 실시예들에 따른, 안테나 인 패키지에 이용되는 패키징 구조물의 예를 설명하기 위한 도면이다.

[0246] 다양한 실시예들에 따르면, 도 28을 참조하면, 패키징 구조물(2000)은, 안테나(2801)(또는, 안테나 칩)과 다른 전자 부품(2803)(예: 커뮤니케이션 프로세서, 패키징 기판)을 전기적으로 연결하도록 제공될 수 있다.

[0247] 일 실시예에서, 패키징 구조물(2000)은 다양한 형태(예: 곡면형, 자유형의 안테나 패키징을 위해 이용될 수 있

다. 예를 들어, 도 29의 (a)를 참조하면, 기판(2001a)은 서로 다른 방향을 향하도록(또는 서로 다른 각도, 또는 서로 다른 기울기) 구현되는 복수의 면들(2901a, 2901b)을 포함하며, 응용 제품(예: 핸드폰)의 내부 빈 공간의 형상에 대응하는 형성을 갖도록 구현될 수 있다. 복수의 면들(2901a, 2901b) 각각에는 안테나 칩들(2801a, 2801b, 2801c, 2801d)이 배치될 수 있다. 제1 면(2901a)에는 제1 그룹의 안테나 칩들(2801c, 2801d)이 배치되고, 제2 면(2901b)에는 제2 그룹의 안테나 칩들(2801a, 2801b)이 배치될 수 있다. 기판(2001a)은 각각의 안테나 칩들(2801a, 2801b, 2801c, 2801d)에 전기적으로 연결되는 복수의 인터커넥트(2103)들을 포함하며, 제1 그룹의 인터커넥트는 제1 면(2901a)에 대응하는 영역을 관통하여 제1 그룹의 안테나 칩들(2801c, 2801d)에 전기적으로 연결되고, 제2 그룹의 인터커넥트는 제2 면(2901b)에 대응하는 영역을 관통하여 제2 그룹의 안테나 칩들(2801a, 2801b)에 전기적으로 연결될 수 있다. 기판(2001a)의 하부에는 복수의 범프(2902a)가 형성되며, 복수의 인터커넥트(2103)들과 전기적으로 연결되며, 다른 전자 부품(2803a)와 전기적으로 연결될 수 있다. 이에 따라, 다른 전자 부품(2803)과 전기적으로 연결됨에 따라, 상기 제1 그룹의 안테나 칩들(2801c, 2801d)과 제2 그룹의 안테나 칩들(2801a, 2801b)은 서로 다른 방향으로, 무선 신호를 브로드캐스트 할 수 있다.

[0248] 한편, 도시되지 않았으나, 기판(2001a)은 L자 형태 등 다양한 형상으로 구현되어, 전술한 바와 같이, 안테나 칩들(2801a, 2801b, 2801c, 2801d)이 서로 다른 방향을 향하도록 형성된 면에 배치되는 형태로, 안테나 인 패키지에 이용될 수 있다.

[0249] 또 일 실시예에서, 패키징 구조물(2000)은 동축(coaxial) 구조의 안테나 도파관 패키지를 위해 이용될 수 있다. 예를 들어, 도 29의 (b)를 참조하면, 기판(2001a)은 동축 형태의 인터커넥트(2103)를 포함하도록 구현되고, 상기 동축 형태의 인터커넥트(2103)은 안테나 칩(2801e)와 다른 전자 부품(2803a)을 범퍼(2902b)를 통해 전기적으로 연결될 수 있다. 이때, 상기 동축 형태의 인터커넥트(2103)은, 그라운드(2911), 유전체(2913), 및 금속(2915)을 포함하는 동심원 구조가 됨으로써, 무선 신호의 송신 및/또는 수신 과정에서, 반사 및 방사가 없도록 구현될 수 있다. 종래의 동축 구조의 안테나 도파관 패키지의 경우, 기판 내부에 복수의 층들이 형성됨에 따라서, 층 간의 신호 반사로 인한 손실이 발생되었으나, 다양한 실시예들에 따른 패키징 구조물(2000)에 의해 기판(2001a)이 단일 층으로 형성되며, 동축 형태의 인터커넥트(2103)가 효율적으로 구현됨에 따라, 전술한 문제점이 해소될 수 있다.

[0250] 한편, 전술한 공정 중 적어도 일부로, 인터커넥트(2103)가 금속 뿐만 아니라, 그라운드(2911) 및 유전체(2913)를 포함하도록, 그라운드(2911) 및 유전체(2913)를 형성하는 공정을 더 포함할 수 있다. 예를 들어, 3DP 기반 기판 형성 공정(801) 중에, 관통 구조 내부에 그라운드(2911) 및 유전체(2913)를 형성하는 공정이 추가적으로 수행될 수 있다. 또 예를 들어, 금속화 공정(803) 중에, 관통 구조 내부에 그라운드(2911) 및 유전체(2913)를 형성하는 공정이 추가적으로 수행될 수 있다.

[0252] **4.2.3 기타 응용 제품**

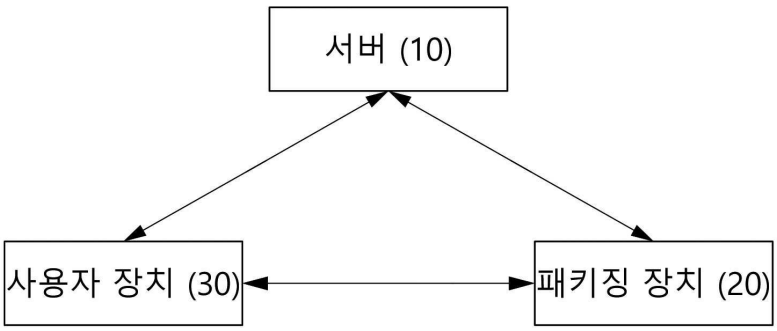
[0253] 다양한 실시예들에 따르면, 패키징 구조물(2000)은, 전술한 바와 같이, 소비자의 요구(또는, 다양한 응용 제품의 종류)에 적합한, 기판의 형상 및 인터커넥트의 구조를 가질 수 있음에 기반하여, 응용 제품 내부에 포함되는 전자 부품들 간의 전기적 연결을 최적화하기 위해 다양하게 이용될 수 있다.

[0254] 예를 들어, 패키징 구조물(2000)은 소켓 용도로 이용될 수 있다. 예를 들어, 상기 소켓은, 칩(예: 메모리, ASIC 등)의 테스트를 위한 테스트 소켓을 의미할 수 있다. 프린팅을 이용하여 칩을 실장할 수 있는 공간 및 쓰루홀을 형성한 기판 출력을 통해 칩의 성능을 파악할 수 있는 테스트 소켓일 수 있다. 결과적으로, 칩의 형태와 개수에 제한 없이 프린팅 공정이 가능하게 될 수 있다.

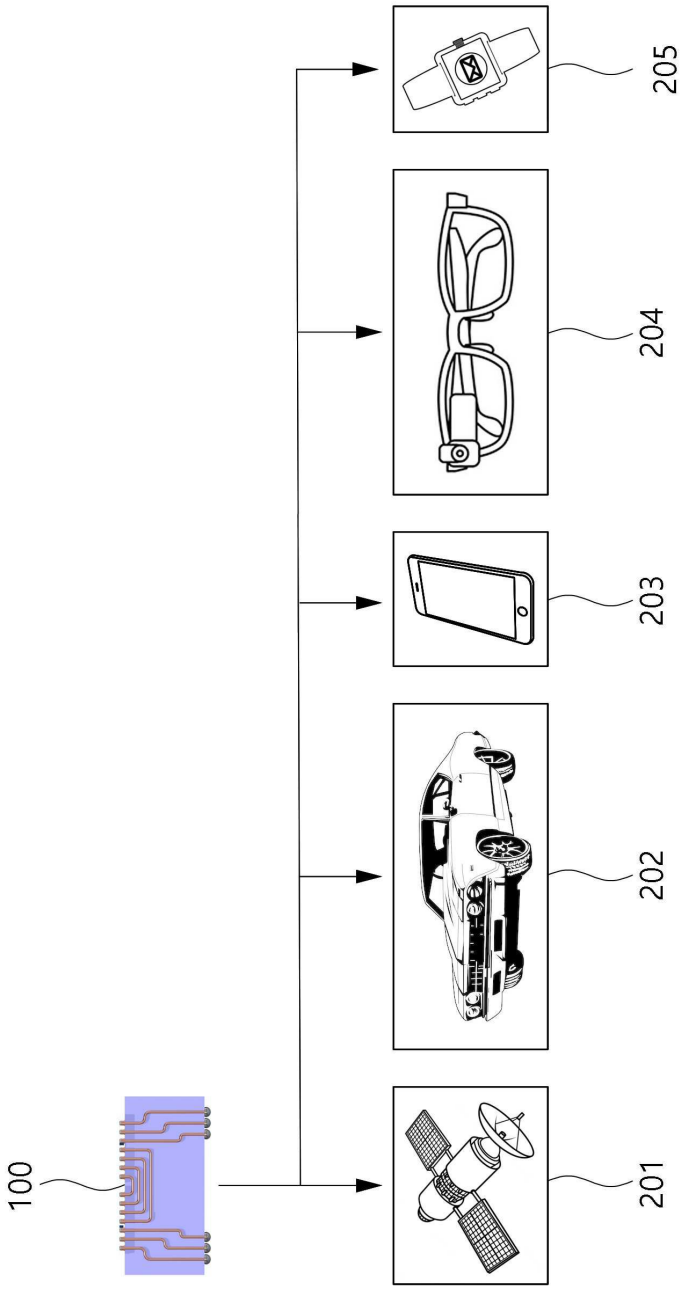
도면

도면1

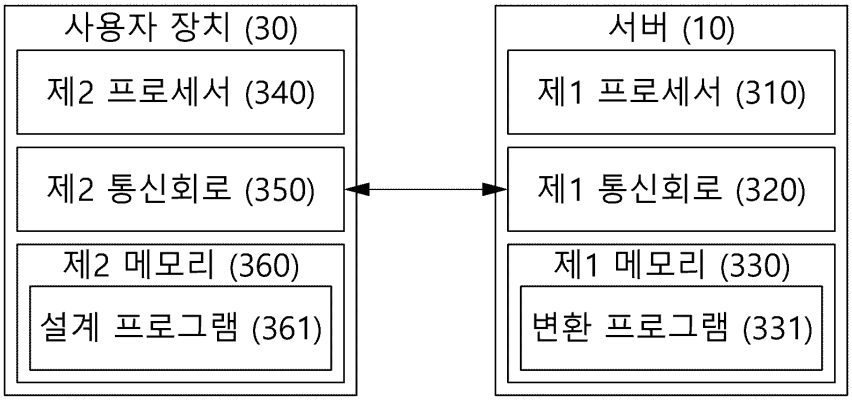
1



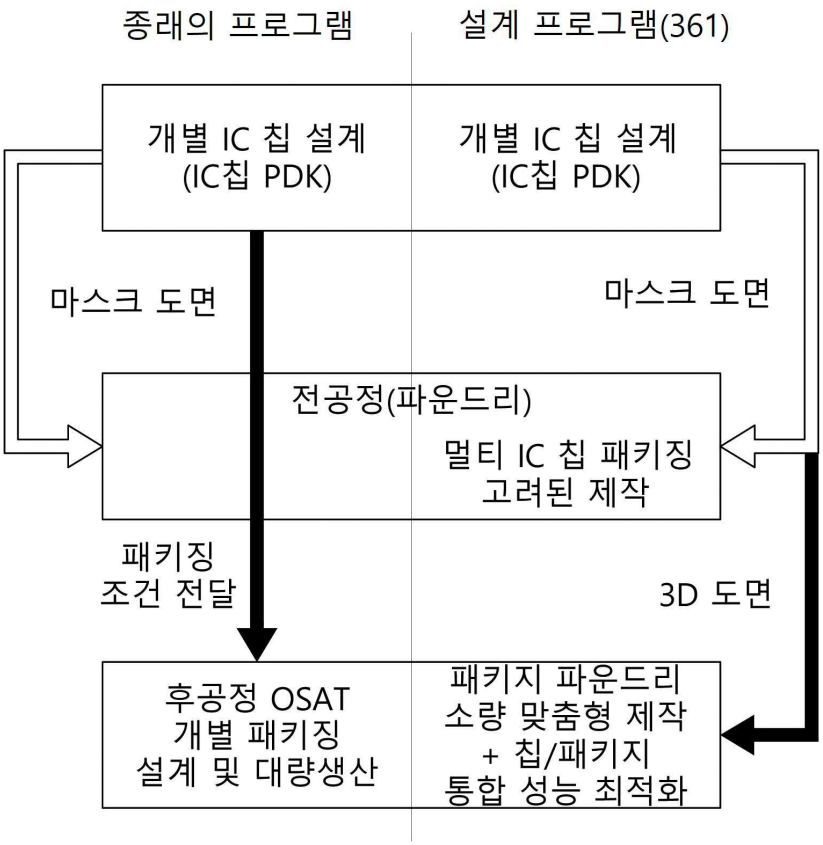
도면2



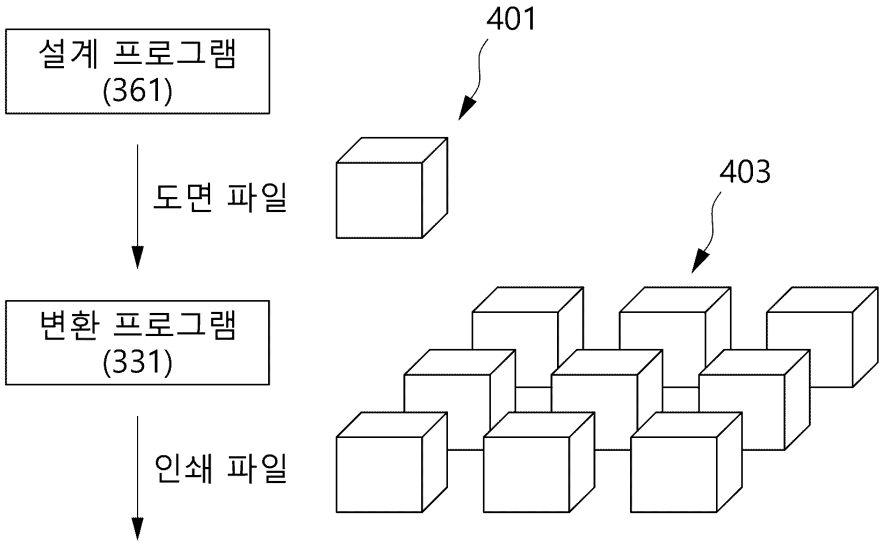
도면3


사용자 장치 (30)
제2 프로세서 (340)
제2 통신회로 (350)
제2 메모리 (360)
설계 프로그램 (361)
서버 (10)
제1 프로세서 (310)
제1 통신회로 (320)
제1 메모리 (330)
변환 프로그램 (331)

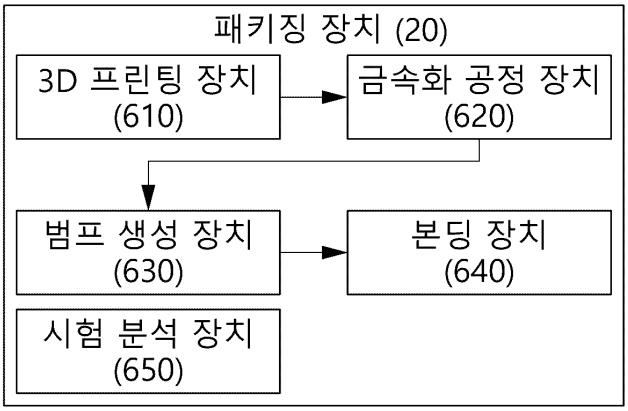
도면4


종래의 프로그램
설계 프로그램(361)
개별 IC 칩 설계
(IC칩 PDK)
개별 IC 칩 설계
(IC칩 PDK)
마스크 도면
마스크 도면
전공정(파운드리)
멀티 IC 칩 패키징
고려된 제작
패키징
조건 전달
3D 도면
후공정 OSAT
개별 패키징
설계 및 대량생산
패키지 파운드리
소량 맞춤형 제작
+ 칩/패키지
통합 성능 최적화

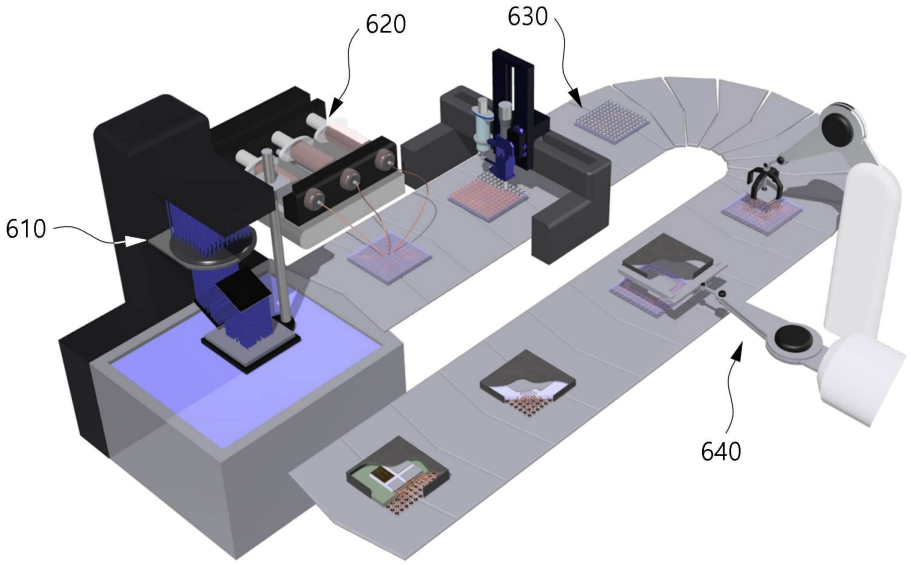
도면5



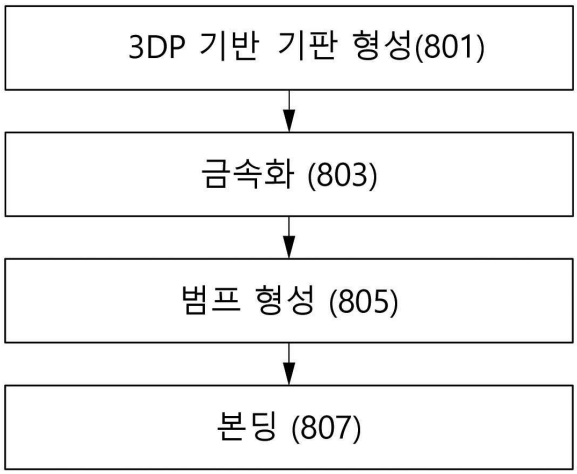
도면6


패키징 장치 (20)
3D 프린팅 장치
(610)
금속화 공정 장치
(620)
범프 생성 장치
(630)
본딩 장치
(640)
시험 분석 장치
(650)

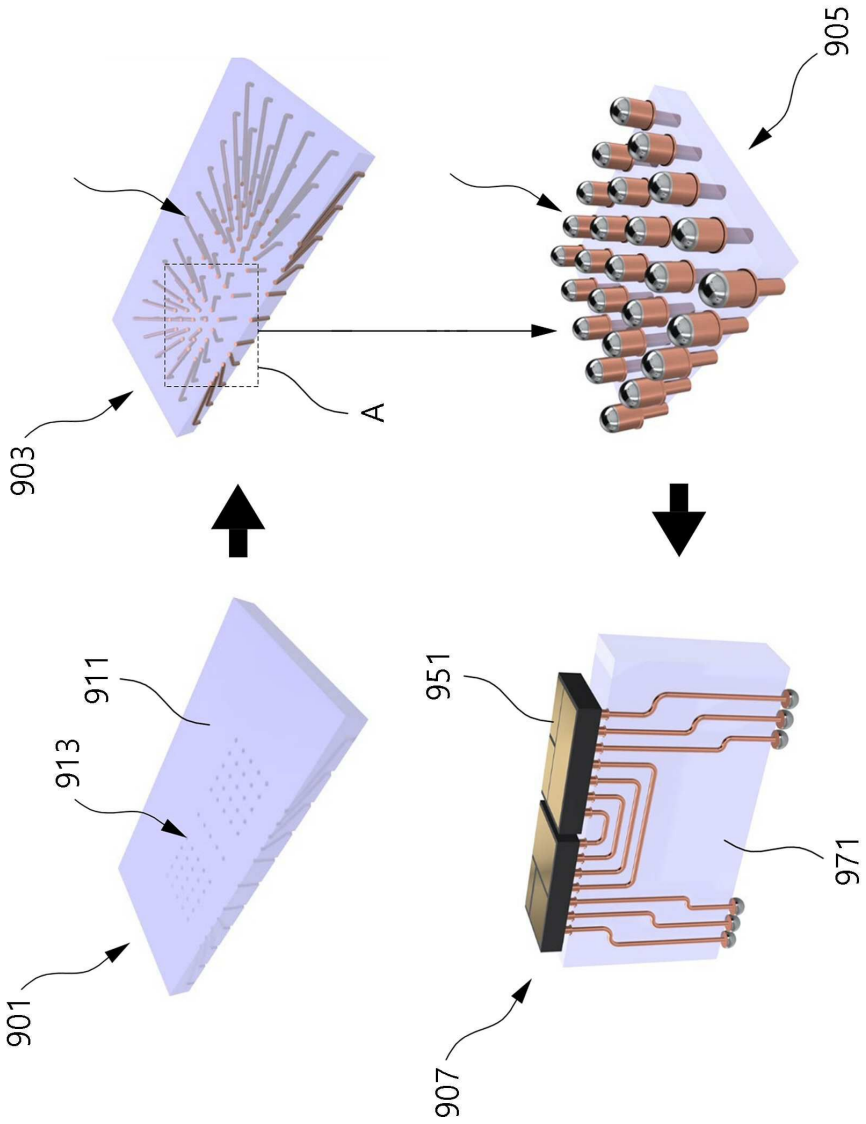
도면7



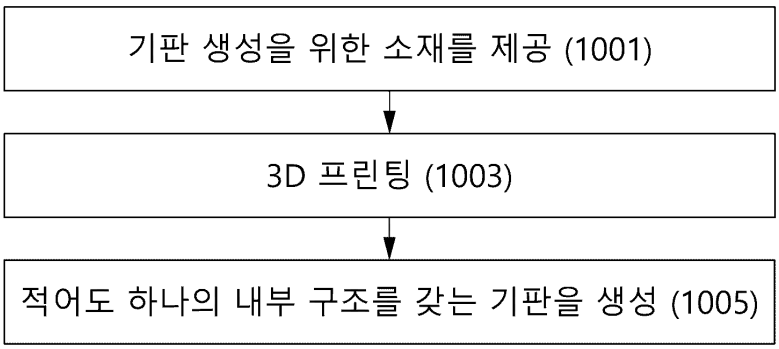
도면8



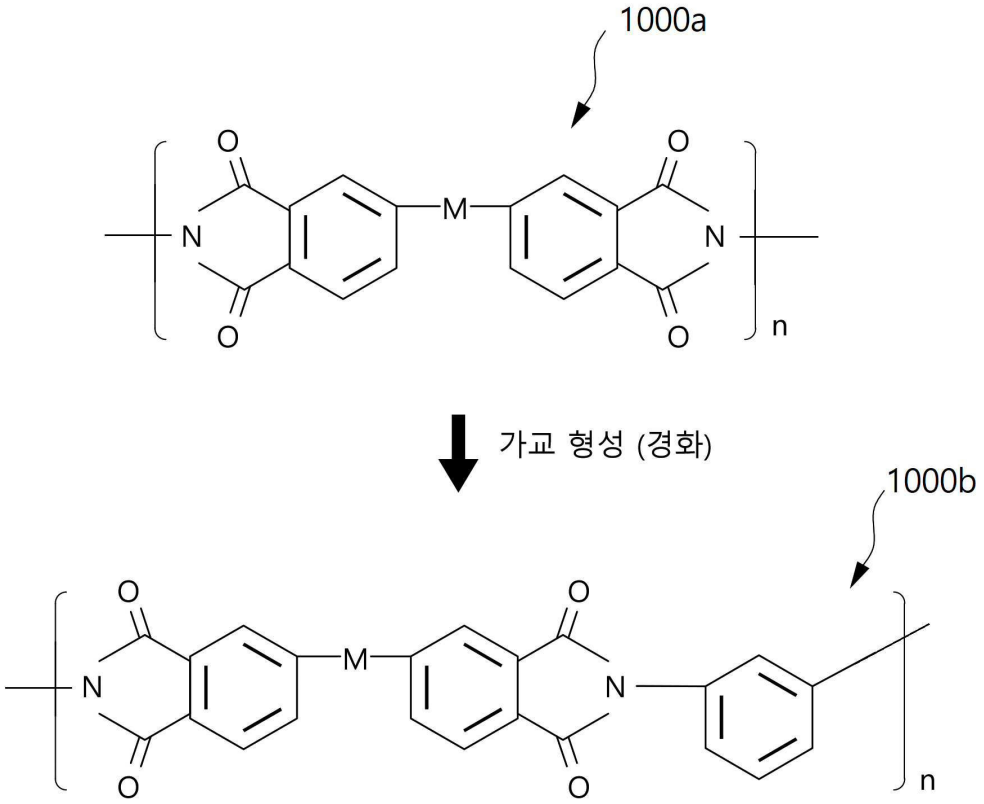
도면9



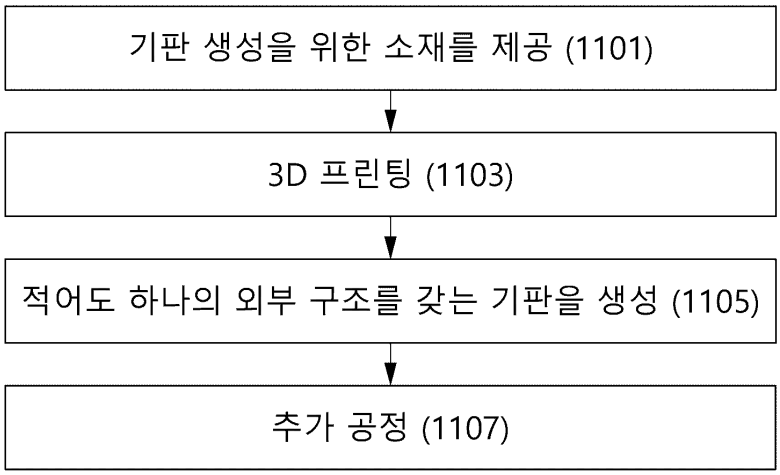
도면10a



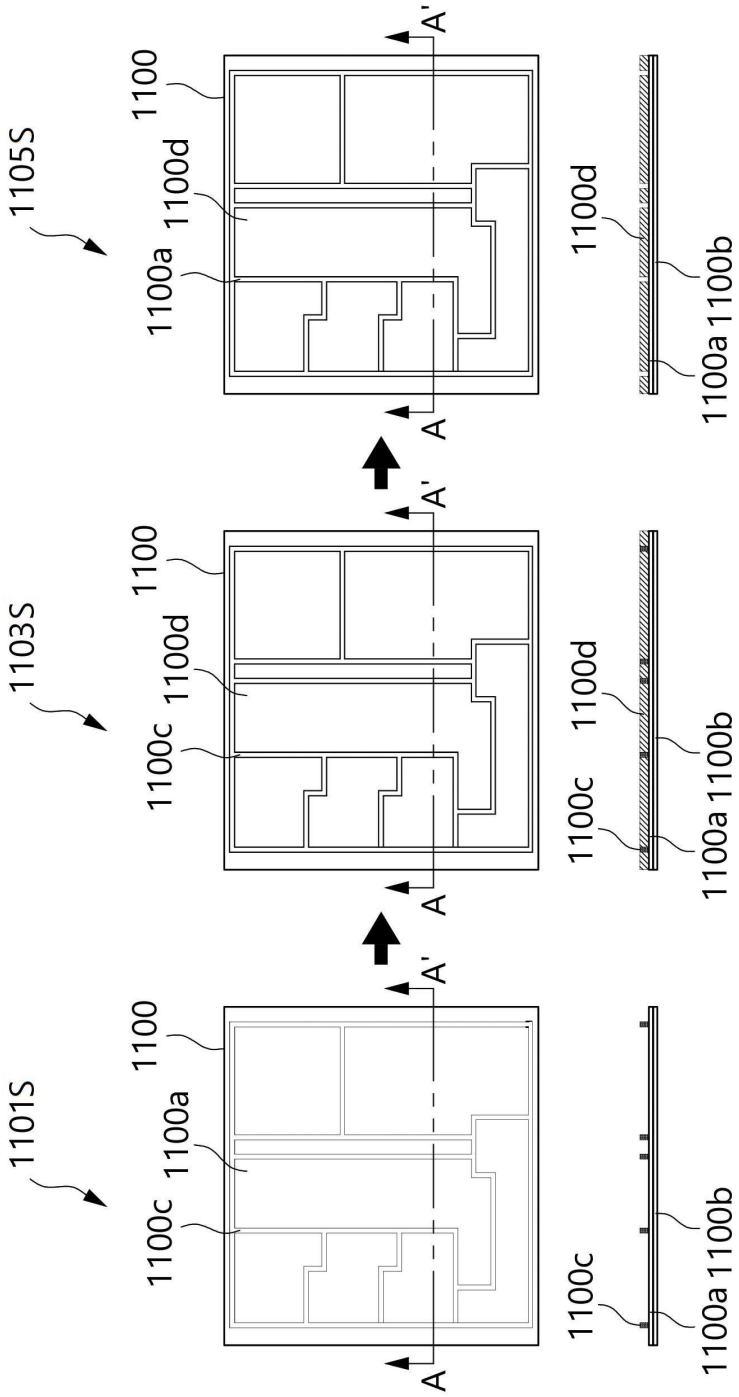
도면10b



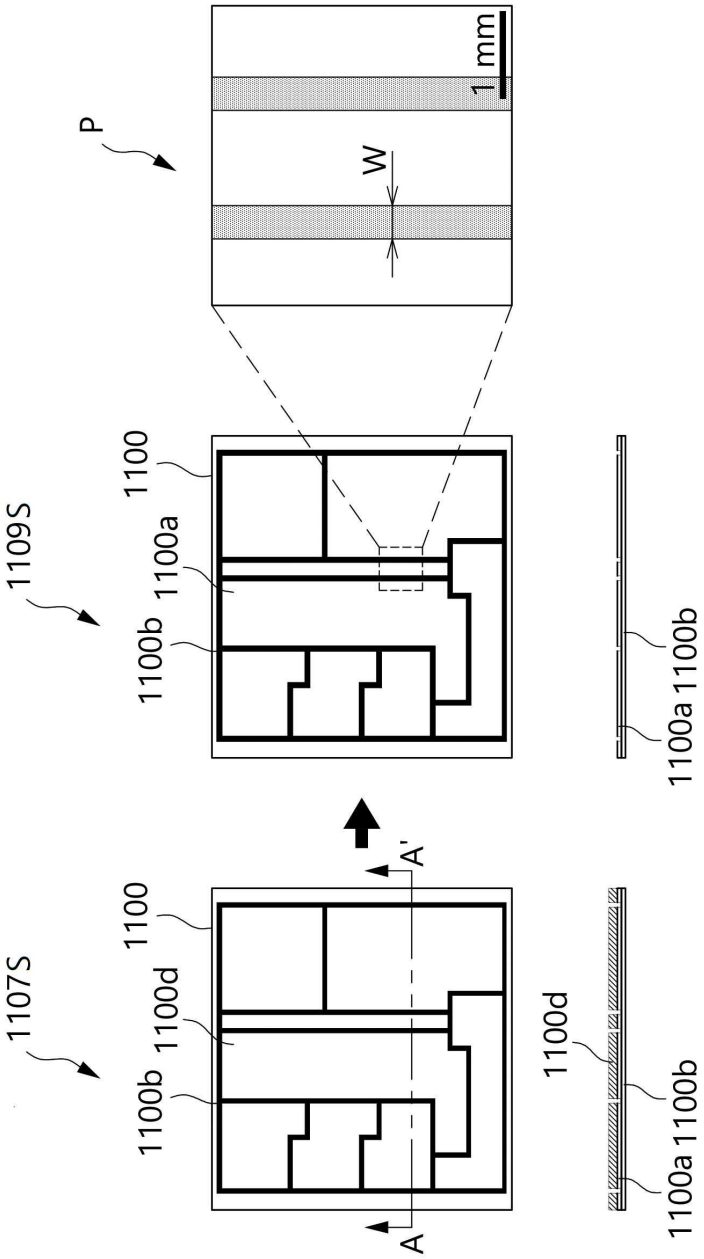
도면11a


기판 생성을 위한 소재를 제공 (1101)
3D 프린팅 (1103)
적어도 하나의 외부 구조를 갖는 기판을 생성 (1105)
추가 공정 (1107)

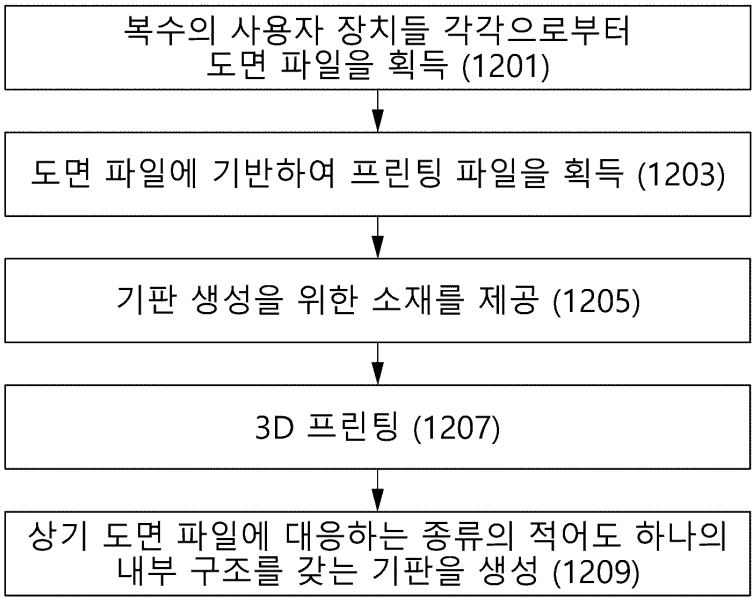
도면11b


1105S
1100
1100d
1100a
A
A'
1100d
1100a
1100b
1103S
1100
1100d
1100c
A
A'
1100d
1100c
1100a
1100b
1101S
1100
1100a
1100c
A
A'
1100c
1100a
1100b

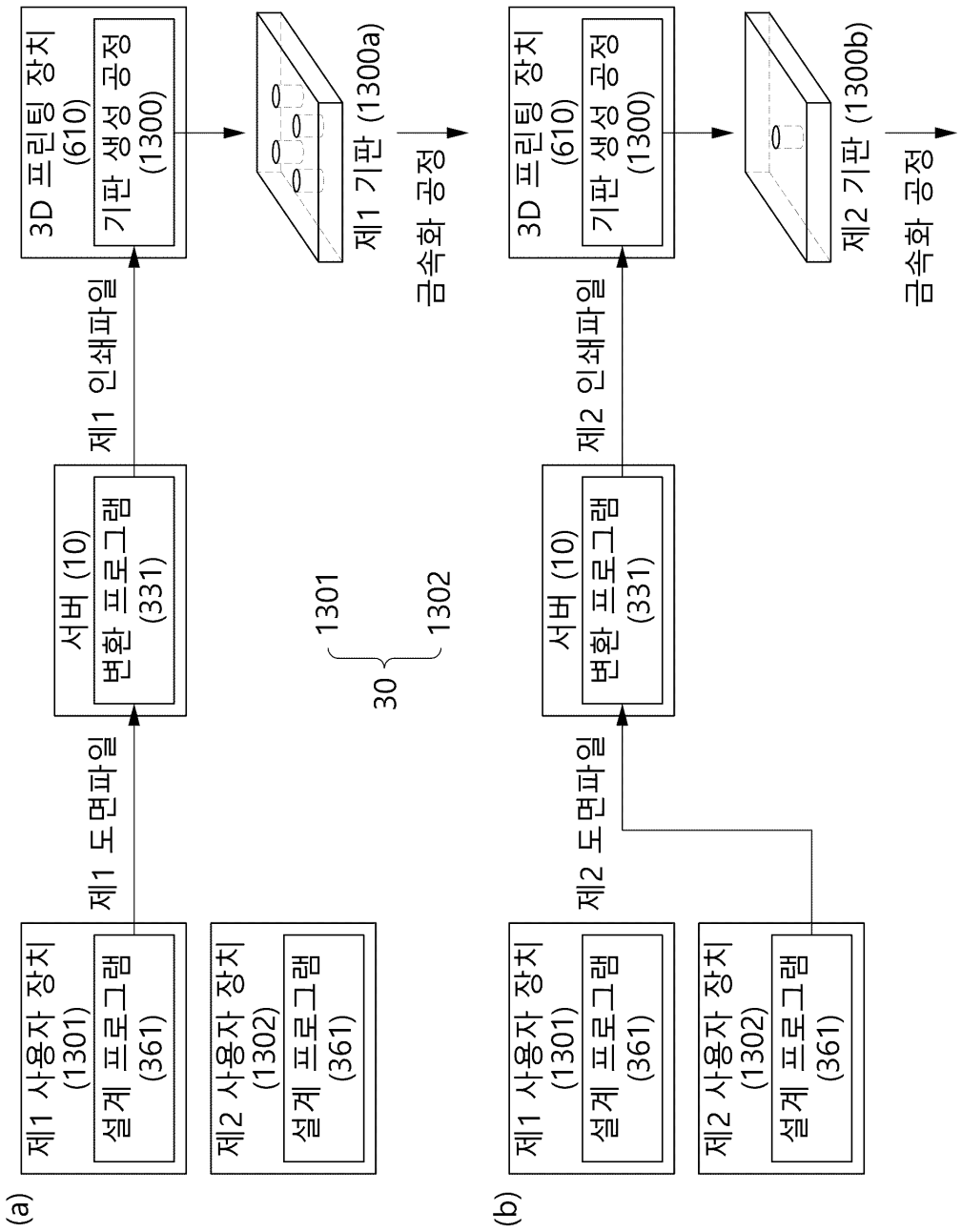
도면11c


P
1 mm
W
1109S
1100
1100a
1100b
1100a 1100b
A'
A
1107S
1100
1100d
1100b
1100d
1100a 1100b

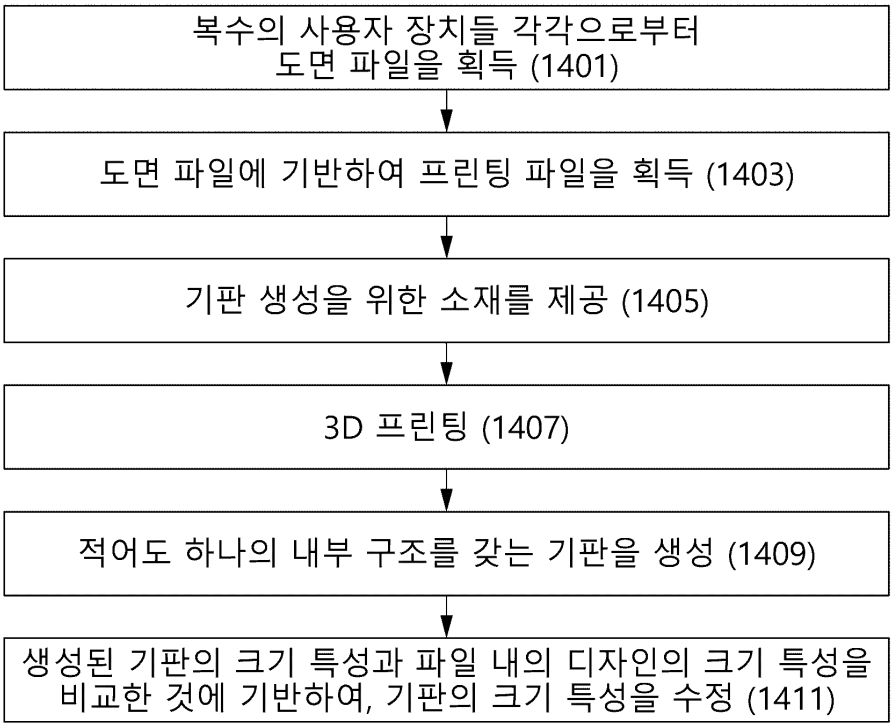
도면12


복수의 사용자 장치들 각각으로부터 도면 파일을 획득 (1201)
도면 파일에 기반하여 프린팅 파일을 획득 (1203)
기판 생성을 위한 소재를 제공 (1205)
3D 프린팅 (1207)
상기 도면 파일에 대응하는 종류의 적어도 하나의 내부 구조를 갖는 기판을 생성 (1209)

도면13


(a)
제1 사용자 장치 (1301)
설계 프로그램 (361)
제2 사용자 장치 (1302)
설계 프로그램 (361)
제1 도면파일
서버 (10)
변환 프로그램 (331)
제1 인쇄파일
3D 프린팅 장치 (610)
기판 생성 공정 (1300)
제1 기판 (1300a)
금속화 공정
30
1301
1302
(b)
제1 사용자 장치 (1301)
설계 프로그램 (361)
제2 사용자 장치 (1302)
설계 프로그램 (361)
제2 도면파일
서버 (10)
변환 프로그램 (331)
제2 인쇄파일
3D 프린팅 장치 (610)
기판 생성 공정 (1300)
제2 기판 (1300b)
금속화 공정

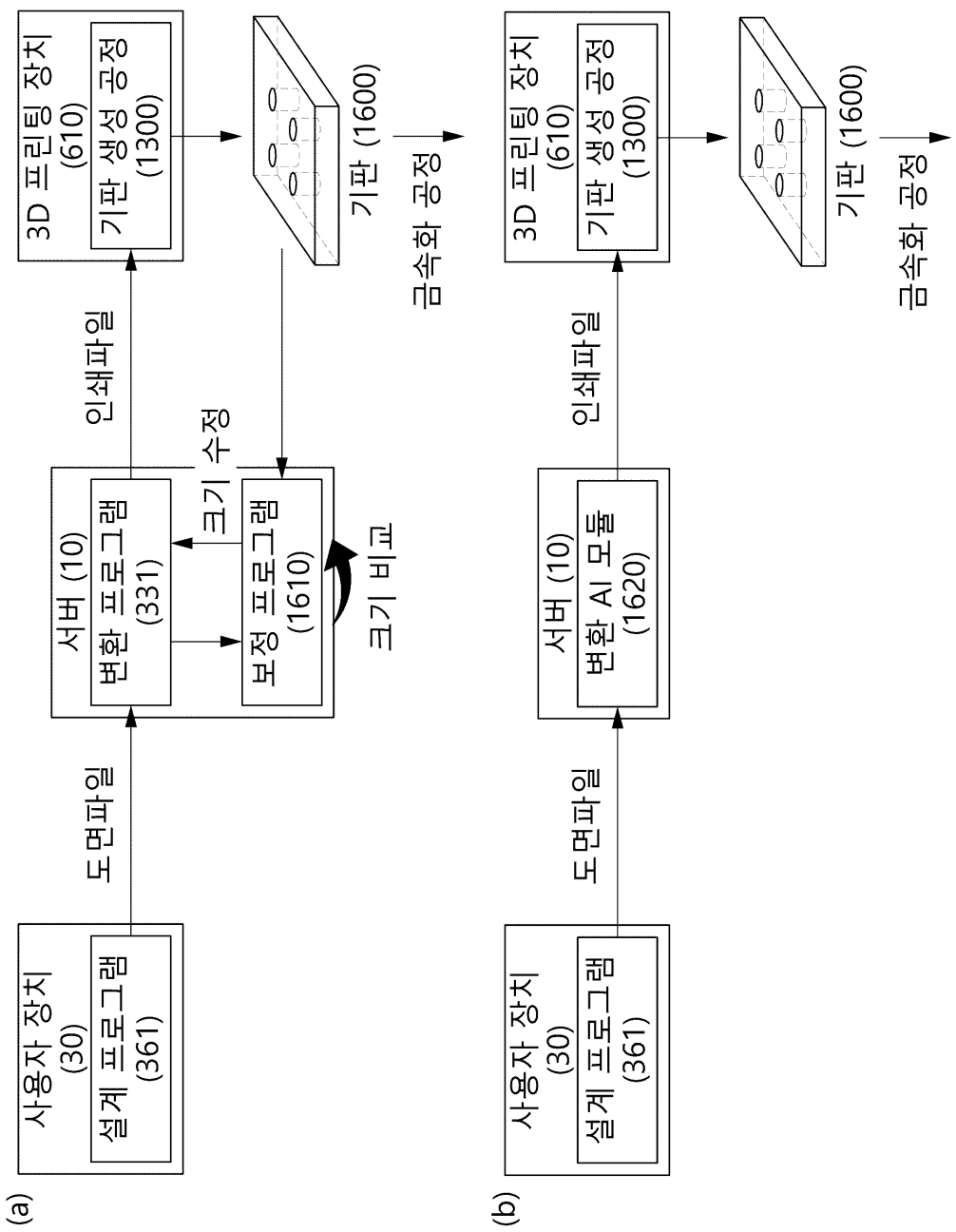
도면14


복수의 사용자 장치들 각각으로부터
도면 파일을 획득 (1401)
도면 파일에 기반하여 프린팅 파일을 획득 (1403)
기판 생성을 위한 소재를 제공 (1405)
3D 프린팅 (1407)
적어도 하나의 내부 구조를 갖는 기판을 생성 (1409)
생성된 기판의 크기 특성과 파일 내의 디자인의 크기 특성을
비교한 것에 기반하여, 기판의 크기 특성을 수정 (1411)

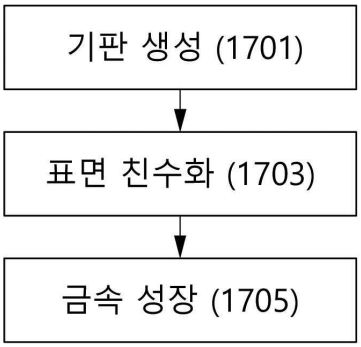
도면15


<입출력 오차 보정 X>
입력 디자인 ≠ 출력 스케일
오차 보정 설계
(출력 마진, 현상 해상도 등)
<입출력 오차 보정 O>
입력 디자인 = 출력 스케일

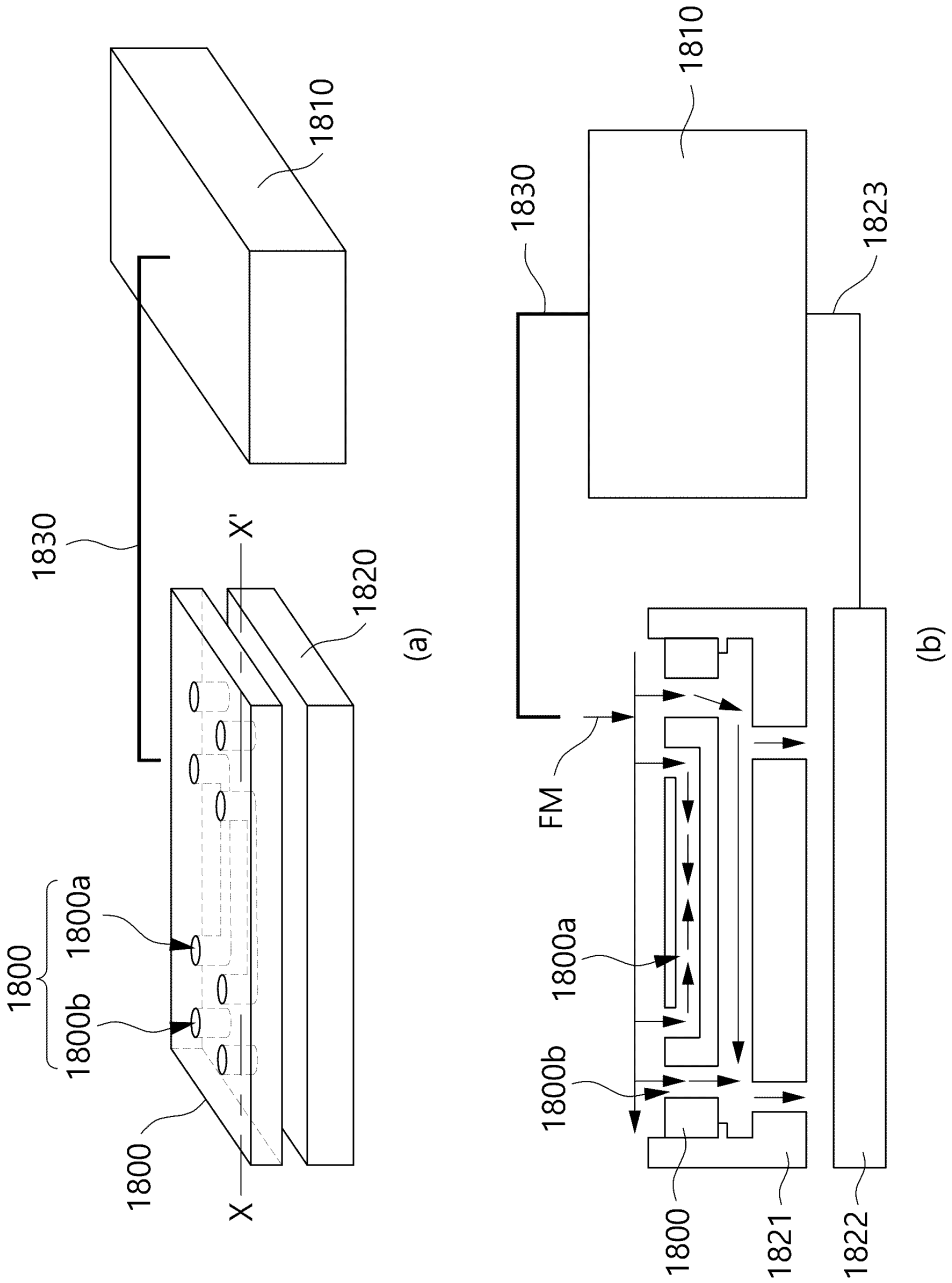
도면16


(a)
사용자 장치 (30)
설계 프로그램 (361)
도면파일
서버 (10)
변환 프로그램 (331)
보정 프로그램 (1610)
크기 수정
크기 비교
인쇄파일
3D 프린팅 장치 (610)
기판 생성 공정 (1300)
기판 (1600)
금속화 공정
(b)
사용자 장치 (30)
설계 프로그램 (361)
도면파일
서버 (10)
변환 AI 모듈 (1620)
인쇄파일
3D 프린팅 장치 (610)
기판 생성 공정 (1300)
기판 (1600)
금속화 공정

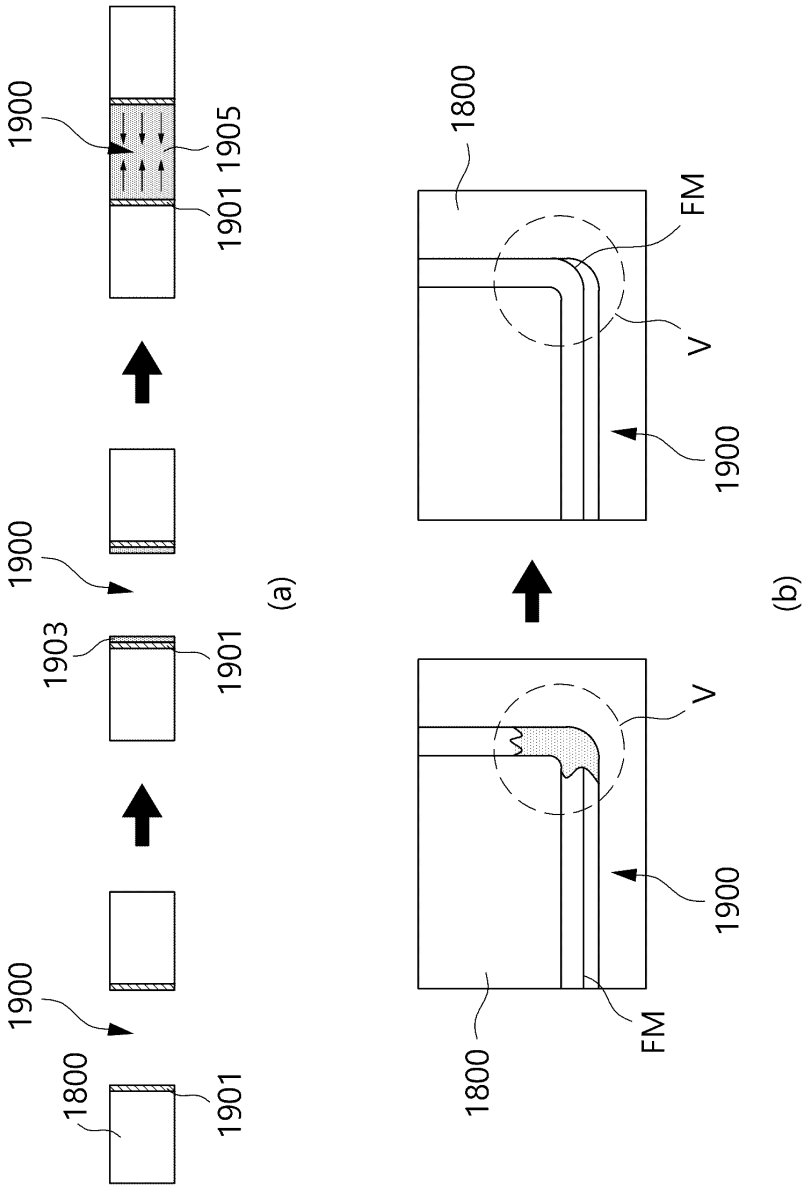
도면17



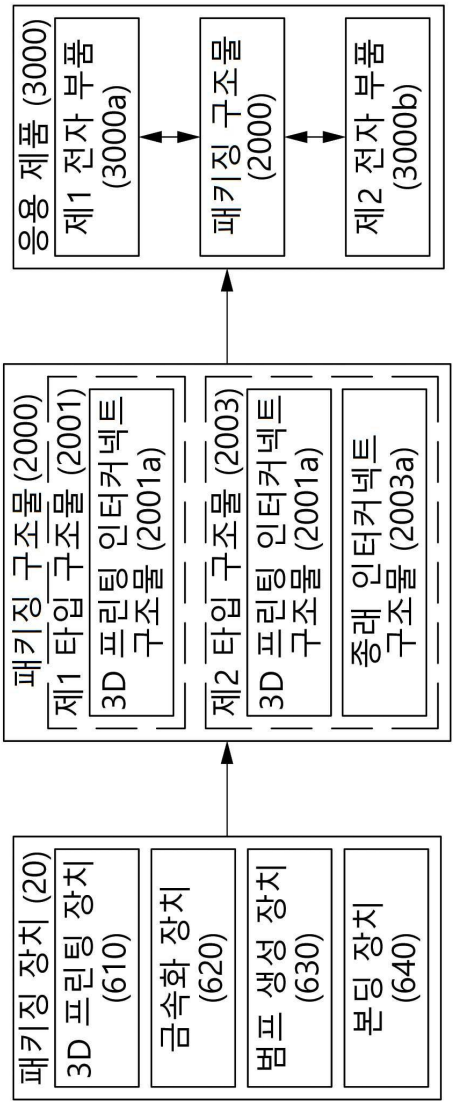
도면18


1810
1830
X'
1820
(a)
1800
1800a
1800b
1800
X
1810
1830
1823
(b)
FM
1800a
1800b
1800
1821
1822

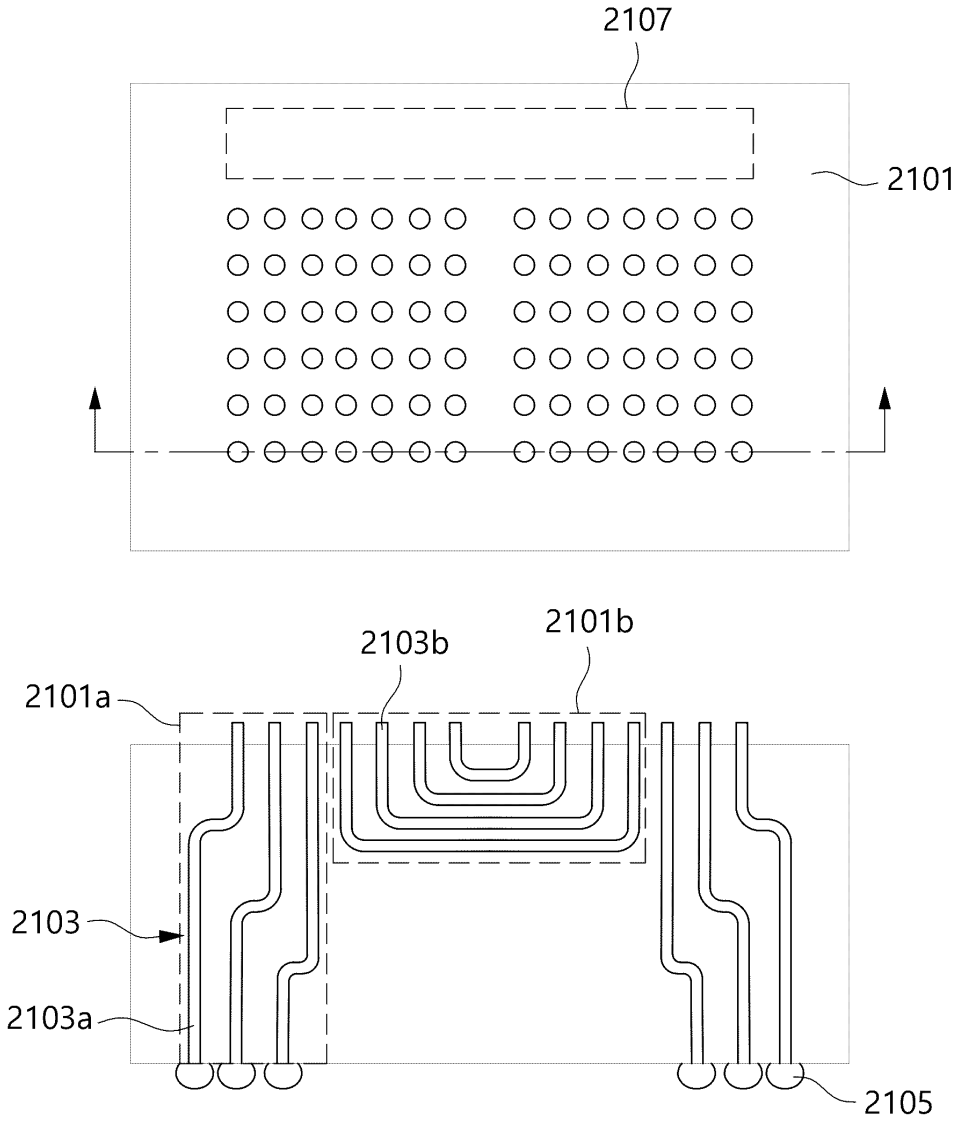
도면19


1900
1905
1901
1900
1903
1901
1900
1800
1901
(a)
1800
FM
V
1900
V
1900
1800
FM
(b)

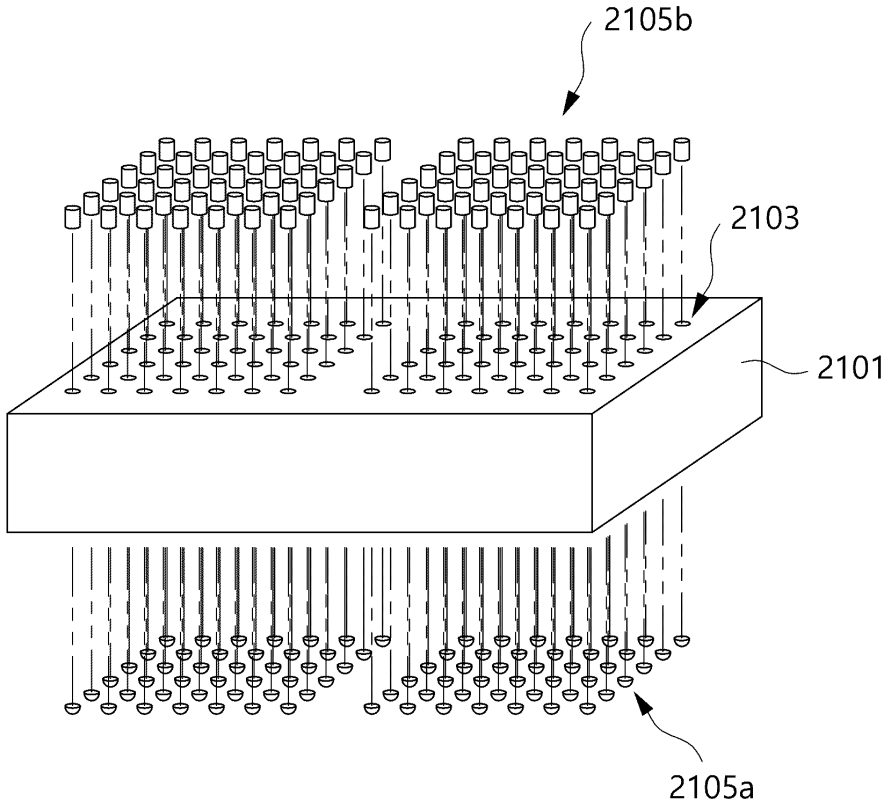
도면20


응용 제품 (3000)
제1 전자 부품 (3000a)
패키징 구조물 (2000)
제2 전자 부품 (3000b)
패키징 구조물 (2000)
제1 타입 구조물 (2001)
3D 프린팅 인터커넥트 구조물 (2001a)
제2 타입 구조물 (2003)
3D 프린팅 인터커넥트 구조물 (2001a)
종래 인터커넥트 구조물 (2003a)
패키징 장치 (20)
3D 프린팅 장치 (610)
금속화 장치 (620)
범프 생성 장치 (630)
본딩 장치 (640)

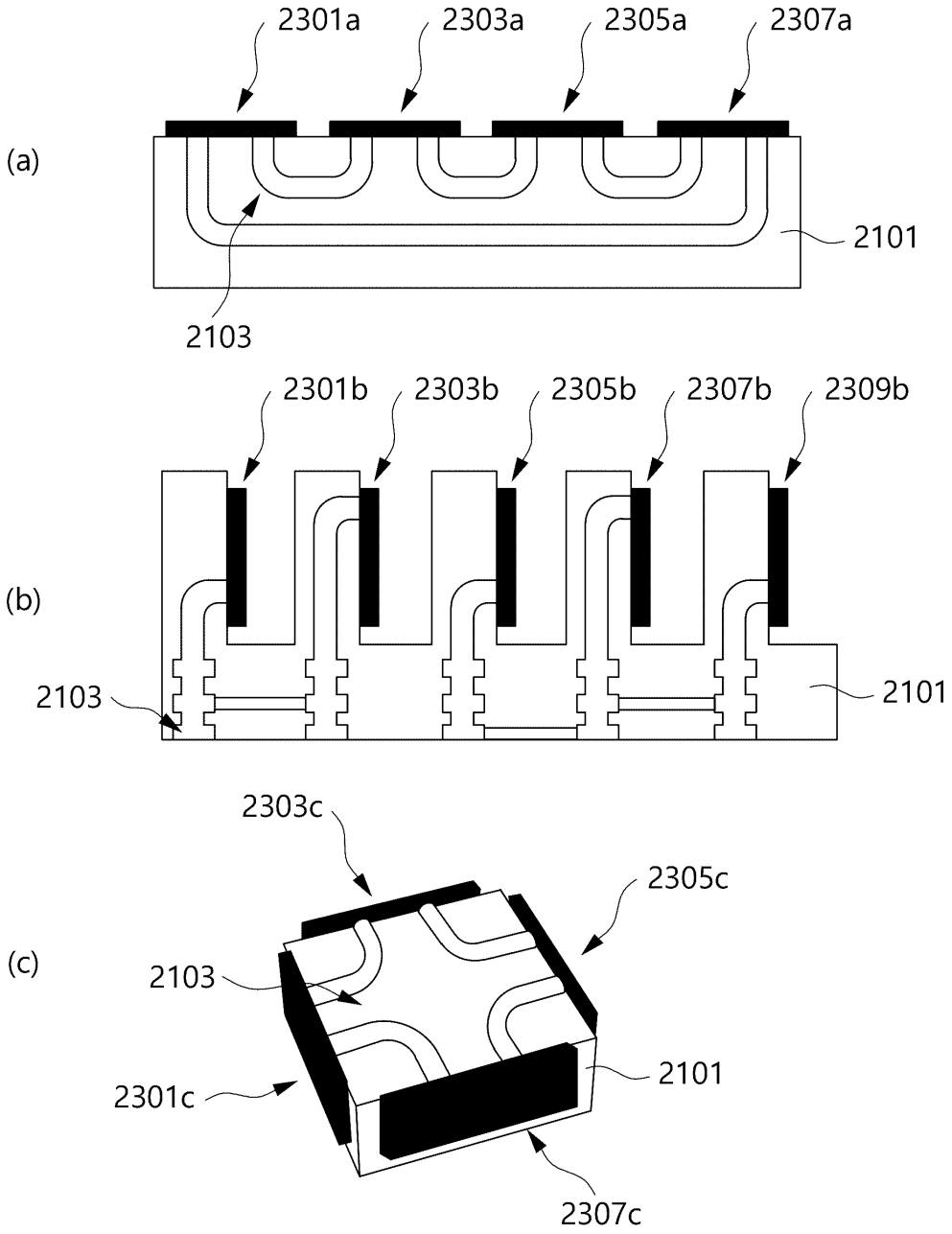
도면21



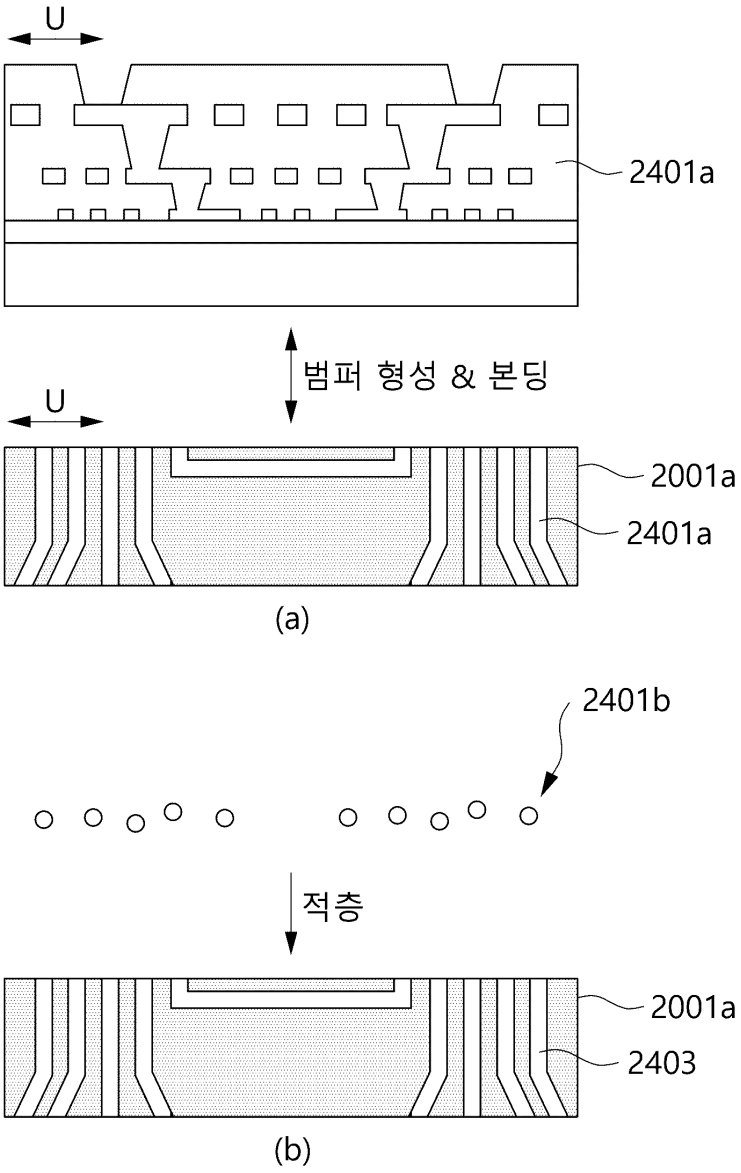
도면22



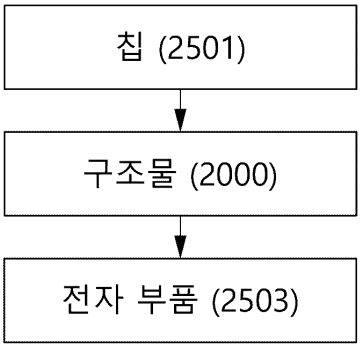
도면23


(a)
2301a
2303a
2305a
2307a
2101
2103
(b)
2301b
2303b
2305b
2307b
2309b
2103
2101
(c)
2303c
2305c
2103
2101
2301c
2307c

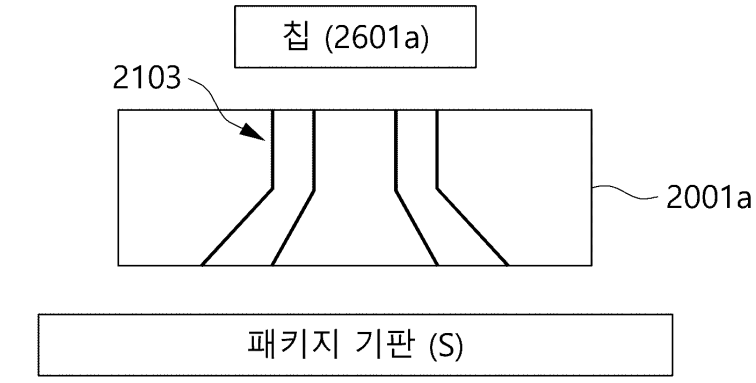
도면24



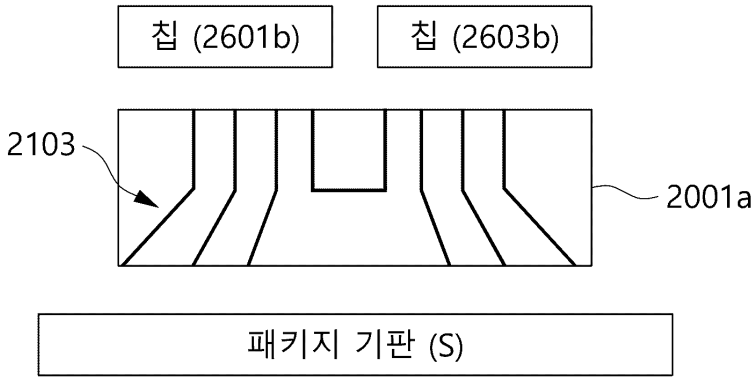
도면25



도면26

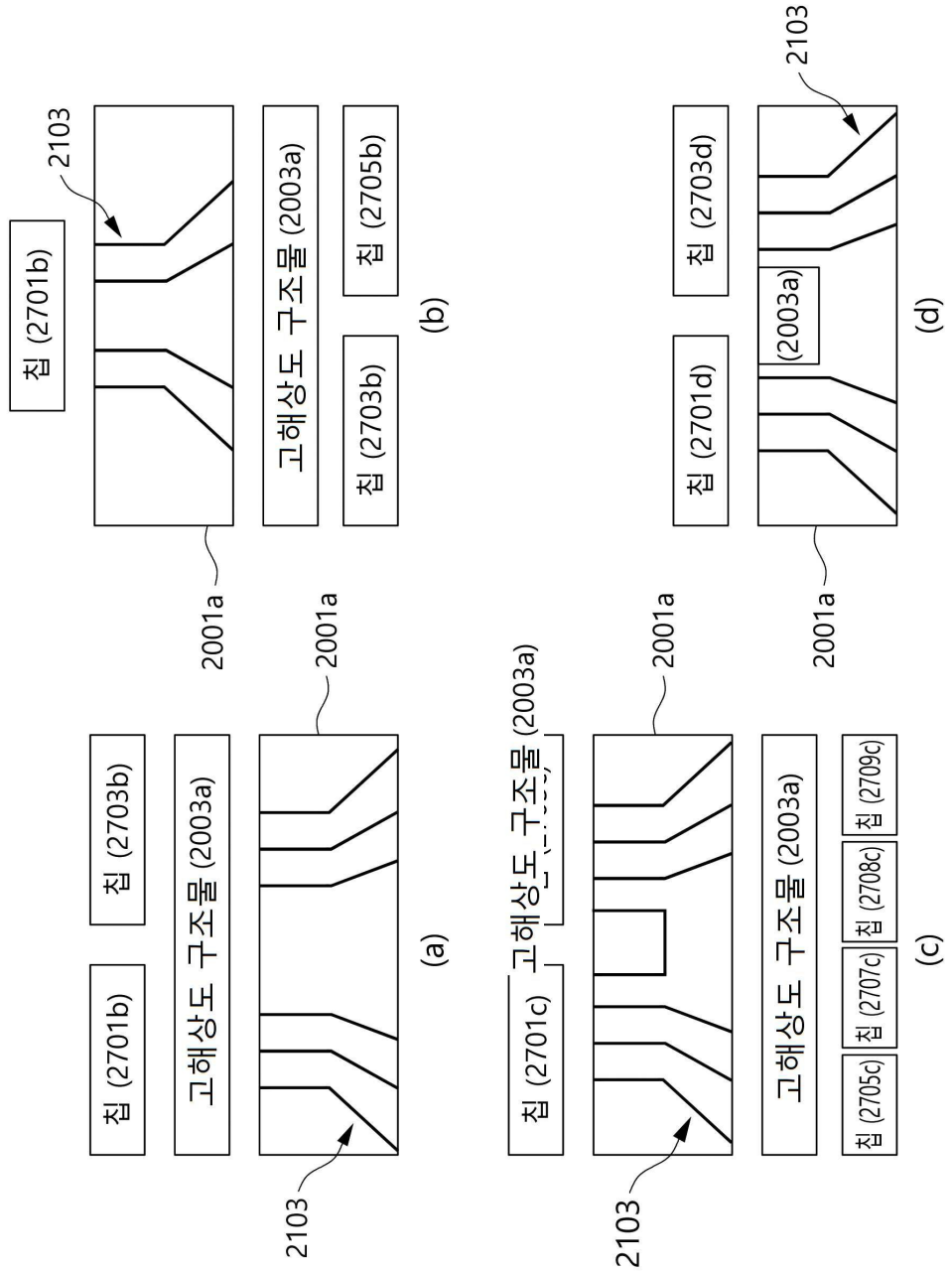


(a)

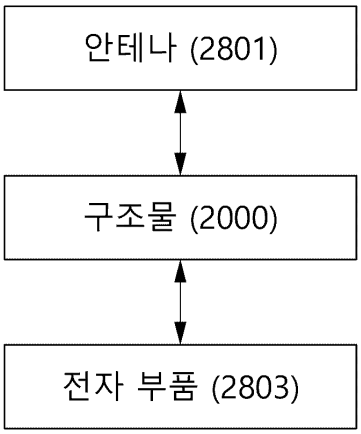


(b)

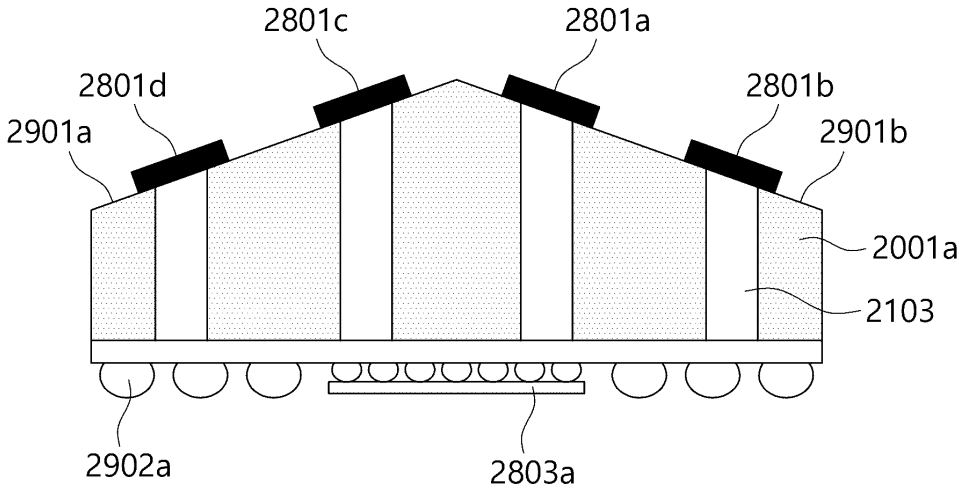
도면27


칩 (2701b)
칩 (2703b)
고해상도 구조물 (2003a)
2103
2001a
(a)
칩 (2701b)
2103
2001a
고해상도 구조물 (2003a)
칩 (2703b)
칩 (2705b)
(b)
칩 (2701c)
고해상도 구조물 (2003a)
2103
2001a
칩 (2705c)
칩 (2707c)
칩 (2708c)
칩 (2709c)
고해상도 구조물 (2003a)
(c)
칩 (2701d)
칩 (2703d)
2103
(2003a)
2001a
(d)

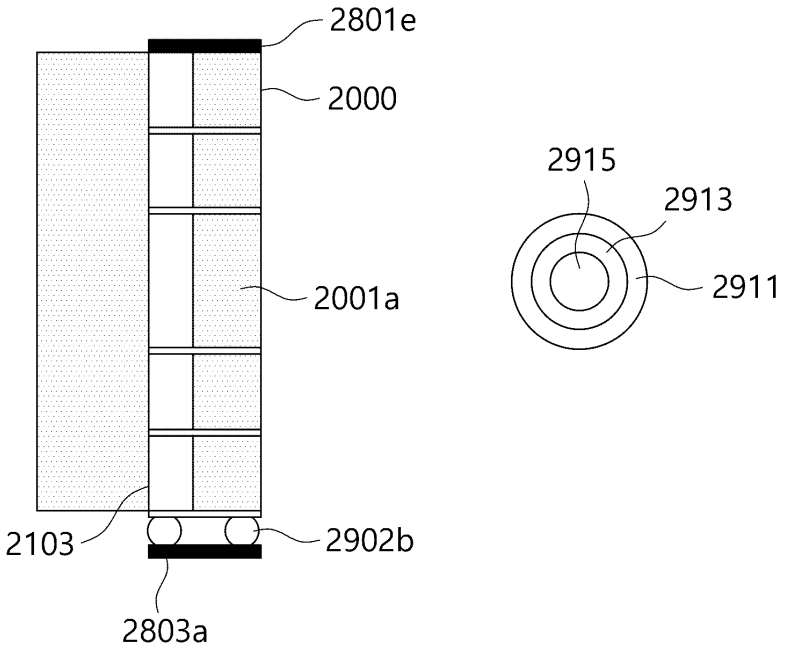
도면28



도면29


2801c
2801a
2801d
2801b
2901a
2901b
2001a
2103
2902a
2803a

(a)


2801e
2000
2001a
2103
2902b
2803a
2915
2913
2911

(b)