

【公報種別】特許法第 17 条の 2 の規定による補正の掲載

【部門区分】第 6 部門第 3 区分

【発行日】平成21年3月26日(2009.3.26)

【公開番号】特開2000-215028(P2000-215028A)

【公開日】平成12年8月4日(2000.8.4)

【出願番号】特願平11-321529

【国際特許分類】

G 0 6 F 7/53 (2006.01)

【F I】

G 0 6 F 7/52 3 1 0 A

【誤訳訂正書】

【提出日】平成21年1月28日(2009.1.28)

【誤訳訂正 1】

【訂正対象書類名】明細書

【訂正対象項目名】0 1 7 5

【訂正方法】変更

【訂正の内容】

【0 1 7 5】

MAC ユニットは、必要により、増加する消費電力要求に対応し、また最小限の（面積及び電力）を得る能力を確保するために、構成可能な方法により二重乗算及び積算動作をサポートすることができる。これは、いくつかの特徴に基づいている。即ち、

- 第 2 の MAC のハードウェアのプラグ・インが、メインのものと同様にオペランド・ソース及び行先に対する接続性により可能とする。
- アルゴリズムの実行中に唯一の MAC / サイクルが必要とされるときは、プラグ・イン・オペレータを停止する。

- 第 2 の MAC の制御は、命令クラス「二重 MAC」を介して行なわれ、これが 2 つのオペレータ上の演算 MPY / MAC / MAS の組み合わせを可能にし、これらをデコードすることで第 2 の MAC の実行クロックのゲート処理に必要な制御信号が生成される。

- スループットの観点から、二重 MAC 実効の最も効果的な使用には、DSP アルゴリズム用に 3 オペランド / サイクルと共に 2 アキュムレータ内容の持続的な送出を必要とする。バス・アーキテクチャ全体を損なうことなく、計算能力の増大を得るために、B バス・システムは、このスループット要求を満足させる最良の柔軟性を与える。従って、「係数」バス及びその関連メモリ・バンクは、図 24 に説明した 2 つのオペレータにより共有される。効果的に、係数バス及びその関連メモリ・バンクを共有することにより、複製された係数構造を有するシステムでの電力消費を減少させる。同様に、電力節減は、MAC 1 と MAC 2 との間で共有される DRXCPU レジスタに MAC 係数を記憶することによって行われる。

【誤訳訂正 2】

【訂正対象書類名】明細書

【訂正対象項目名】0 1 8 8

【訂正方法】変更

【訂正の内容】

【0 1 8 8】

ここで、図 27 を参照すると、二重 MAC 動作に対する太線のデータ・バスを除き、図 26 の DSP が示されているのが解る。例示的な MAC 命令は、図 27 の右上の部分に 27010 により示されている。命令が第 2 の MAC の動作を要求しないときには、DSP による電力消費を削減するために、第 2 の MAC は、そのクロック・ツリーを遮断することによってパワーダウンされる。