

92102760

申請日期：92 1 15	IPC分類
申請案號：92100760	H03L 7/06

(以上各欄由本局填註)

發明專利說明書 200412720

一、 發明名稱	中文	可同步各半導體元件時脈訊號源的方法及系統
	英文	
二、 發明人 (共2人)	姓名 (中文)	1. 李德維 2. 楊武翰
	姓名 (英文)	1. LEE DE-WEI 2. Wu-Han Yang
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中文)	1. 高雄市前金區新盛二街103巷1-3號 2. 高雄市左營區勝利路117之1號
	住居所 (英文)	1. 2.
三、 申請人 (共1人)	名稱或姓名 (中文)	1. 明基電通股份有限公司
	名稱或姓名 (英文)	1.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中文)	1. 桃園縣龜山鄉山鶯路一五七號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英文)	1.
	代表人 (中文)	1. 李焜耀
代表人 (英文)	1.	



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

熟習該項技術者易於獲得,不須寄存。

五、發明說明 (1)

發明所屬之技術領域

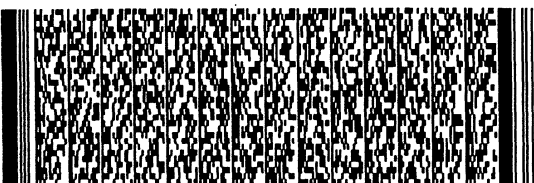
本發明係有關於一種時脈同步機制(clock synchronization mechanism)，特別地，係有關於一種可同步各半導體元件時脈訊號源的方法及系統，其使用主從架構(master-slave configuration)，配合相位檢查器的使用，使得各半導體元件的時脈同步並正確地輸出所需的各倍頻時脈信號，以確保系統操作時的可靠性。

先前技術

目前，在時脈同步上的設計，大多是針對單一晶片的時脈作設計。例如，在美國專利號5999025及美國專利號6304582中，前者係將一外部時脈信號與一晶片內的壓控振盪器時脈信號(voltage controlled oscillator (VCO) clock)同步，而後者則是將一晶片內部的各倍頻時脈信號與一振盪器時脈信號(oscillator clock)同步。因此，缺乏對於多晶片間的時脈同步的處理機制，尤其是針對各半導體元件間的時脈同步的處理機制，其中，時脈信號源係使用延遲鎖定迴路電路(delay locked loop, DLL)或數位式時脈管理器(digital clock manager, DCM)。

發明內容

因此，本發明之一目的為提供一種可同步各半導體元件時脈訊號源的方法及系統，其使用主從架構的配置方式，將延遲鎖定迴路(delay locked loop, DLL)或數位時



五、發明說明 (2)

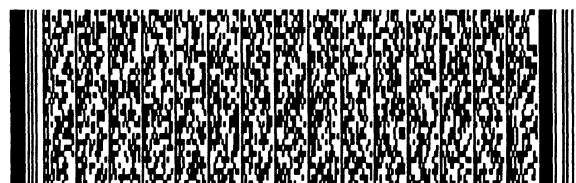
脈管理器(digital clock manager, DCM)所產生的各時脈訊號源準確地對準(align),使得各半導體元件或晶片能夠同時取得同步。

本發明係提供一種可同步各半導體元件時脈訊號源的方法及系統,其使用主從架構(master-slave configuration),指定一具有最低頻率(lowest rate)時脈訊號源的半導體元件做為主要元件(master element),並將其內的時脈信號利用一相位檢查器做校準歸零後,再將已校準歸零的主要元件的最低時脈信號源,輸出至各從屬元件(slave elements)的外部相位檢查器,以取得各半導體元件的時脈訊號源的時脈同步,接著,再利用各從屬元件(slave elements)的內部相位檢查器,取得其內部的各時脈訊號源的時脈同步,以正確地輸出所需的各倍頻時脈信號給各半導體元件內部電路使用。

實施方式

全文中之相同符號係代表相同元件。

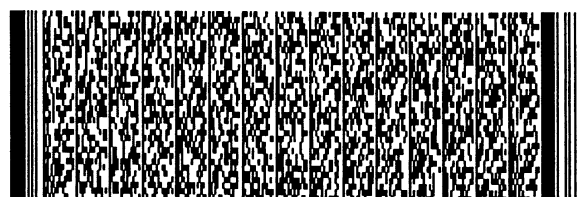
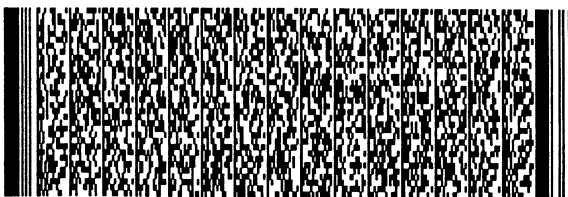
第1圖係本發明具有主從架構的半導體元件時脈同步配置方式的方塊圖。在此,舉用四個場式可程式閘陣列(Field Programmable Gate Array, FPGA)為範例做說明,然而,可應用的半導體元件及數量,並不限於四個場式可程式閘陣列,可為任意數量的其它半導體元件,例如,十個特殊用途積體電路(Application Specific Integrated Circuit, ASIC)。



五、發明說明 (3)

如第1圖所示，每一個FPGA的時脈電路包含二個主要功能性方塊圖，分別為相位檢查器(phase checker)111、121、131、141及時脈產生器(clock generator)112、122、132、142。時脈產生器112、122、132、142內部分別包含一些延遲鎖定迴路(delay locked loop, DLL)或數位時脈管理器(digital clock manager, DCM)，以做為所需的時脈訊號源。又，相位檢查器會檢查上述時脈的上升緣(rising edges)或下降緣(falling edges)是否對準，並在發現時脈未對準(未同步)時，發出重置訊號，在此為reset11-reset14，以重置時脈產生器，重新發出時脈輸出訊號。其中，將包含最低速率時脈訊號源的FPGA會被指定為主要元件，在此為11，其餘FPGA元件則指定成從屬元件，在此為12-14，以利用歸零後的主要元件輸出參考時脈CLKREF，使各半導體元件的時脈同步。現在舉用延遲鎖定迴路(delay locked loop, DLL)，進一步說明於下。

第2圖係本發明第1圖中的主要元件11的內部方塊圖。在第2圖中，本主要元件11的時脈產生器112進一步是由多個DLL元件所構成。如第2圖所示，在主要元件11內，必須先執行歸零動作，也就是，先利用相位檢查器111來確定時脈產生器112的輸出時脈訊號源CLKREF、clkf₁-clkf_n的上升緣或下降緣是否已經對準，若發現沒有對準時，相位檢查器111會發出重置訊號reset11，使得時脈產生器112重新發出各時脈訊號源，以得到相位對準的上升緣或下降緣，完成歸零動作。在主要元件11內的各時脈訊號源已對



五、發明說明 (4)

準後，相位檢查器111會發出一歸零訊號(aligned clock signal)Phase-OK，並將已對準的最低頻率時脈訊號源當做各從屬元件校準用的參考時脈訊號源CLKREF，輸出至各從屬元件12-14的相位檢查器121、131、141，以取得各元件的時脈同步。其餘的各頻率時脈則提供給其相連接的FPGA內部電路10使用。

類似地，第3圖為本發明第1圖中的任一從屬元件內部方塊圖。在第3圖中，任一從屬元件12、13或14的內部皆包含由多個DLL元件所構成的一時脈產生器33及由一外部相位檢查器31及一內部相位檢查器32所構成的一相位檢查器121、131或141。如第3圖所示，從屬元件12、13或14各具有二個檢查器31、32：先利用外部相位檢查器31，取得本地最低頻率時脈訊號源 $clkf_{lowest}$ 與來自主要元件11的最低頻率時脈訊號源CLKREF時脈同步，之後，外部相位檢查器31發出一校準訊號Phase-In-OK至內部相位檢查器32，使得該校準訊號Phase-In-OK對準其它本地時脈訊號源 $clkf_1-clkf_n$ ，產生時脈同步，以正確地提供各DLL所產生的各時脈訊號源給相連接的FPGA內部電路使用。另外，若本地最低頻率時脈訊號源 $clkf_{lowest}$ 與來自主要元件11的最低頻率時脈訊號源CLKREF時脈未同步時，則外部相位檢查器31會發出一重置訊號Reset31至具有本地最低頻率時脈訊號源 $clkf_{lowest}$ 的時脈產生器331，以重新產生時脈訊號，又，若校準訊號Phase-In-OK与其它本地時脈訊號源 f_1-f_n 未產生時脈同步時，則內部檢查器32會發出一重置訊

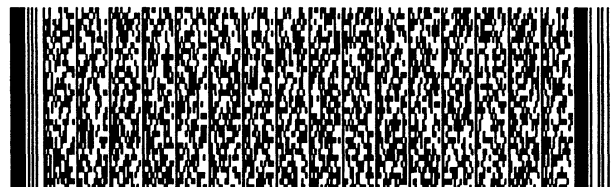
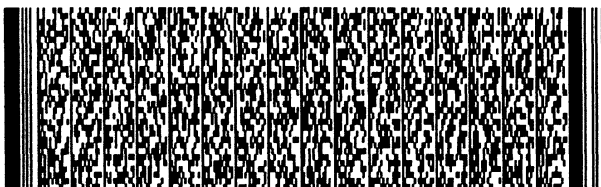


五、發明說明 (5)

號Reset32至其它本地時脈訊號源 $clkf_1-clkf_n$ 的時脈產生器332，以重新產生時脈訊號。

上述於第2及3圖中的DLL元件，其內部方塊圖進一步顯示於第4圖中。如第4圖所示，一個DLL元件基本上是由一可變延遲線路(variable delay line)41、一時脈分佈網路(clock distribution network)43及一控制邏輯電路(control logic)42所構成。可變延遲線路41將一外部輸入時脈CLK延遲一段時間後輸出CLKOUT，時脈分佈網路42將時脈CLKOUT轉換成所需的各頻率時脈訊號源Base-fn，傳送至所需的相關電路並回饋至控制邏輯電路43。控制邏輯電路43比對的訊號CLK及CLKFB的時脈上升緣(rising edge)是否對準，並將比較結果CMP輸出至可變延遲線路41，以調整延遲線路至訊號CLK及CLKFB的時脈上升緣(rising edge)對準而DLL被鎖定(locked)為止。如此，可消除輸入時脈CLK及負載間的時脈延遲現象，進而取得時脈同步。上述可變延遲線路可使用一壓控延遲電路(voltage controlled delay)來配置。

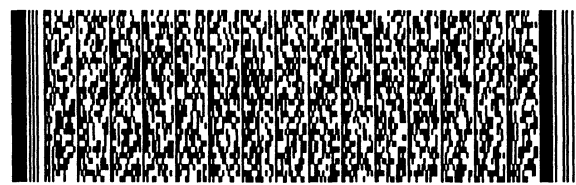
第5圖是一本發明相位檢查器範例。在第5圖中，為了方便說明，本相位檢查器只包含二個D型正反器(D-type flip-flop, D-FF)51、52及一個有限狀態機器(finite state machine, FSM)53。實務上，D型正反器的配置數量視所需的時脈訊號頻率而定，基本上，一種時脈訊號頻率需要一個D型正反器。如第5圖所示，當時脈線(clock line)為邏輯0時，一頻率時脈訊號fn及一最低頻率時脈訊



五、發明說明 (6)

號flowest會分別輸入並傳送至元件51、52的輸出端，以輸出取樣訊號CLKSAMPLE1、CLKSAMPLE2至該元件53進行相位檢查。其中，在主要元件的相位檢查器中，該最低頻率時脈訊號flowest代表該訊號CLKREF，而訊號phase-ok代表歸零訊號Phase-OK；在一從屬元件的外部相位檢查器中，該最低頻率時脈訊號flowest代表該訊號CLKREF，而訊號phase-ok代表校準訊號Phase-In-OK；以及在該從屬元件的內部檢查器中，該最低頻率時脈訊號flowest代表該從屬元件的本地最低頻率時脈訊號 $clkf_{lowest}$ 而訊號phase-ok代表歸零訊號Phase-OK。下列將進一步說明內部及外部相位檢查器的時序。

第6圖為一外部相位檢查器的時序圖。第7圖為一內部相位檢查器的時序圖。如第6圖所示，在每一個本地輸入時脈CLK的下降緣中，該相位檢查器檢查從屬元件及主要元件兩者的最低頻率時脈(劃圈圈標記處)CLKREF、 $clkf_{lowest}$ 是否具有相同值，若發現兩者的值不同時，輸出重置訊號Reset，藉此重新輸入兩者的最低時脈訊號源，以重新校準兩時脈訊號源。當兩最低時脈訊號源的值皆相同時，則代表主要元件11已歸零或相連接的從屬元件的相位已被校準。此時，如第7圖所示，該外部檢查器會將已校準的本地最低時脈訊號源(aligned $clkf_{lowest}$)當做一校準訊號Phase-In-OK，輸入至內部相位檢查器，以執行第6圖所述及的各校準步驟，使得提供給場式可程式閘陣列(Field Programmable Gate Array, FPGA)內部電路所需



五、發明說明 (7)

的各本地頻率時脈訊號源被校準，在此為 $f_1 - f_3$ ，以取得各半導體元件的時脈同步。

第8圖為一本發明操作流程圖。如第8圖所示，複數個半導體元件內部的時脈產生器產生多時脈訊號源 (multi-clock-source)(S1)；當各時脈產生器所產生的多時脈訊號源穩定時，指定該複數個半導體元件中，具有最低頻率時脈訊號源的一半導體元件做為一主要元件，其餘元件則為從屬元件(S2)；指定該主要元件的最低頻率時脈訊號源做為一參考時脈訊號源(reference clock source)(S3)；根據該參考時脈訊號源，對主要元件內部的各時脈訊號源執行相位對準檢查，使得主要元件內部的各時脈訊號源與該參考時脈訊號源產生時脈同步，以產生一歸零訊號(S4)；根據該歸零訊號，對從屬元件內部的最低時脈訊號源執行相位對準檢查，使得主要元件的最低時脈訊號源與各從屬元件的最低時脈訊號源產生時脈同步，以分別產生一對準訊號(S5)；根據各從屬元件的該對準訊號，分別對其內部的各時脈訊號源執行相位對準檢查，使得各從屬元件內部的各時脈訊號源與相對應的各從屬元件內部的最低時脈訊號源產生時脈同步(S6)，因而完成各半導體元件的時脈同步。

在上述步驟S4中，進一步包含第9圖所示的步驟：經由一外部輸入時脈訊號源的上升緣或下降緣觸發(trigger)主要元件的相位檢查器，取樣內部的各時脈訊號源進行對準比對(S41)；若是所有相位皆對準，則發出

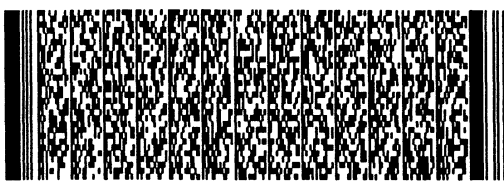


五、發明說明 (8)

該歸零訊號Phase-OK，以通知各從屬元件(S42)；反之，則發出一重置訊號reset，以重新產生多時脈訊號源(re-generate multi-clock-source)並重新執行上述相位對準的步驟(S43)。

在上述步驟S5中，進一步包含第10圖所示的步驟：從屬元件的外部相位檢查器檢查主要元件的最低頻率時脈訊號源是否已發出該歸零訊號(S51)；當接收到該歸零訊號且來自各從屬元件內部相對應的各時脈訊號源已穩定時，外部相位檢查器各自執行相位對準檢查(S52)；若是所有相位皆對準，則分別發出該校準訊號Phase-In-OK，以通知相對應的各從屬元件，其主要元件的最低時脈訊號源與相對應從屬元件的最低時脈訊號源相位已對準，產生時脈同步(S53)；反之，則分別發出一重置訊號reset，以重新產生相對應從屬元件的最低時脈訊號源多時脈訊號源並重新執行上述相位對準的步驟(S54)。

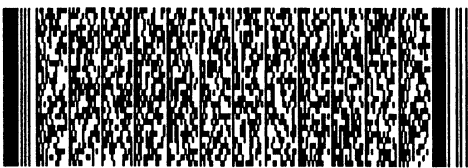
在上述步驟S6中，進一步包含第11圖所示的步驟：當各從屬元件內的內部相位檢查器收到該校準訊號且各時脈訊號源已穩定(S61)時，內部相位檢查器各自執行相位對準檢查(S62)；若是所有相位皆對準，則分別發出該歸零訊號Phase-OK，以各自告知相對應的從屬元件內的各時脈訊號源相位已對準，產生時脈同步，因而達成各半導體元件的時脈同步(S63)；反之，則分別發出一重置訊號reset，以重新產生各從屬元件內最低時脈訊號源外的多時脈訊號源(re-generate multi-clock-source)並重新執



五、發明說明 (9)

行上述相位對準的步驟(S64)。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟知此技術之人士，在不脫離本發明之精神及範圍內，當可做更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

為讓本發明之上述及其它目的、特徵、與優點能更顯而易見，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

第1圖係本發明具有主從架構的半導體元件時脈同步配置方式的方塊圖。

第2圖係本發明第1圖中所指定的主要元件的內部方塊圖。

第3圖係本發明第1圖中任一從屬元件的內部方塊圖。

第4圖係第2及3圖中延遲鎖定迴路(DLL)時脈產生器的內部方塊圖。

第5圖係一本發明相位檢查器範例。

第6圖係一本發明外部相位檢查器的時序圖。

第7圖係一本發明內部相位檢查器的時序圖。

第8圖係一本發明操作流程圖。

第9圖係一根據本發明第8圖中關於主要元件內部各時脈源產生時脈同步的進一步流程圖。

第10圖係一根據本發明第8圖中關於從屬元件與主要元件產生時脈同步的進一步流程圖。

第11圖係一根據本發明第8圖中關於從屬元件內部各時脈源產生時脈同步的進一步流程圖。

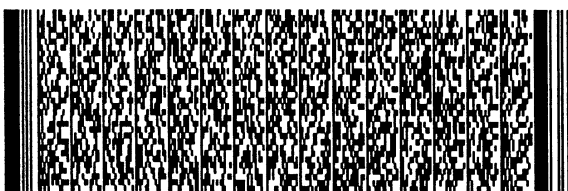
[符號說明]

10：半導體元件內部電路(semiconductor internal circuit)；



圖式簡單說明

- 11-14 : 半導體元件時脈電路(semiconductor clock circuit) ;
- 31 : 外部相位檢查器(external phase checker) ;
- 32 : 內部相位檢查器(internal phase checker) ;
- 41 : 可變延遲線路(variable delay line) ;
- 43 : 控制邏輯電路(control logic) ;
- 42 : 時脈分佈網路(clock distribution network) ;
- 51、52 : D型正反器(D-type flip-flop) ;
- 53 : 狀態機器(state machine) ;
- 111、121、131、141 : 時脈產生電路(clock generator) ;
- 112、122、132、142 : 相位檢查器(phase checker) ;
- 331、332 : 延遲鎖定迴路(delay locked loop , DLL) 。



四、中文發明摘要 (發明名稱：可同步各半導體元件時脈訊號源的方法及系統)

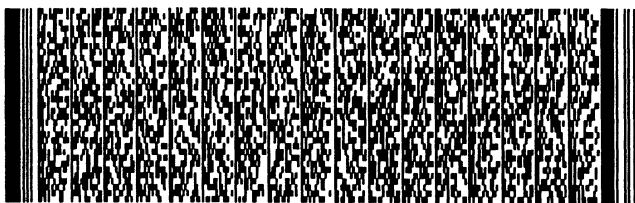
本發明提供一種可同步各半導體元件時脈訊號源的方法及系統，其使用主從架構(master-slave configuration)，指定一具有最低頻率(lowest rate)時脈訊號源的半導體元件做為主要元件(master element)，並將其內的各時脈信號源校準歸零後，再將校準歸零的主要元件的最低時脈信號源，輸出至各從屬元件(slave elements)，以同步各從屬元件時脈訊號源的輸出，並在各半導體元件內設置一相位檢查器，藉以經由該相位檢查器確保各半導體元件之間及各半導體元件內部的時脈同步，因而能夠正確地輸出所需的各倍頻時脈信號，以供各半導體元件內部電路使用。

伍、(一)、本案代表圖為：第__1__圖

(二)、本案代表圖之元件代表符號簡單說明：

10：半導體元件內部電路(semiconductor internal circuit)；

陸、英文發明摘要 (發明名稱：)



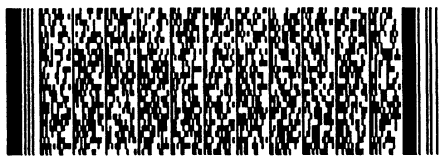
四、中文發明摘要 (發明名稱：可同步各半導體元件時脈訊號源的方法及系統)

11-14：半導體元件時脈電路(semiconductor clock circuit)；

111、121、131、141：時脈產生電路(clock generator)；

112、122、132、142：相位檢查器(phase checker)。

陸、英文發明摘要 (發明名稱：)



六、申請專利範圍

1. 一種可同步各半導體元件時脈訊號源的方法，包括下列步驟：

(a) 複數個半導體元件內部的時脈產生器產生多時脈訊號源(multi-clock-source)；

(b) 當各時脈產生器所產生的多時脈訊號源穩定時，指定該複數個半導體元件中，具有最低頻率時脈訊號源的一半導體元件做為一主要元件，其餘半導體元件則為從屬元件；

(c) 指定該主要元件的最低頻率時脈訊號源做為一參考時脈訊號源(reference clock source)；

(d) 根據該參考時脈訊號源，對主要元件內部的各時脈訊號源執行相位對準檢查，使得主要元件內部的各時脈訊號源與該參考時脈訊號源產生時脈同步，以輸出一歸零訊號；

(e) 根據該歸零訊號，對從屬元件內部的最低時脈訊號源執行相位對準檢查，使得主要元件的最低時脈訊號源與各從屬元件的最低時脈訊號源產生時脈同步，以分別輸出一校準訊號；及

(f) 根據各從屬元件的校準訊號，分別對其內部的各時脈訊號源執行相位對準檢查，使得各從屬元件內部的各時脈訊號源與各從屬元件內部相對應的最低時脈訊號源產生時脈同步，因而完成各半導體元件的時脈同步。

2. 如申請專利範圍第1項之可同步各半導體元件時脈訊號源的方法，其中，該複數個半導體元件使用場式可程



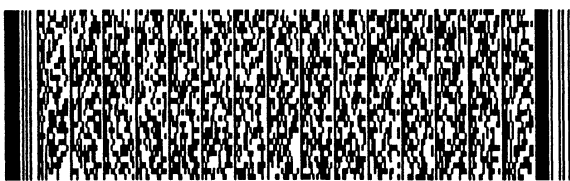
六、申請專利範圍

式開陣列(Field Programmable Gate Array, FPGA)或特殊用途積體電路(Application Specific Integrated Circuit, ASIC)。

3. 如申請專利範圍第1項之可同步各半導體元件時脈訊號源的方法，其中，該時脈產生器使用延遲鎖定迴路(delay locked loop, DLL)或數位時脈管理器(digital clock manager, DCM)。

4. 如申請專利範圍第1項之可同步各半導體元件時脈訊號源的方法，其中，在步驟(d)中，進一步包括下列步驟：(d1)經由一外部輸入時脈訊號源的上升緣或下降緣觸發(trigger)主要元件的相位檢查器，取樣內部的各時脈訊號源進行相位對準；(d2)若是所有相位皆對準，則發出該歸零訊號，以通知各從屬元件；(d3)反之，若有相位未對準，則發出一重置訊號，以重新產生多時脈訊號源(re-generate multi-clock-source)並重新執行上述(d1)的相位對準步驟。

5. 如申請專利範圍第1項之可同步各半導體元件時脈訊號源的方法，其中，在步驟(e)中，進一步包括下列步驟：(e1)各從屬元件內的一外部相位檢查器檢查主要元件的最低頻率時脈訊號源是否已發出該歸零訊號；(e2)當接收到該歸零訊號且來自各從屬元件內部相對應的各時脈訊號源已穩定時，外部相位檢查器各自執行相位對準檢查；(e3)若是所有相位皆對準，則分別發出該校準訊號，以通知相對應的各從屬元件，其主要元件的最低時脈訊號源與



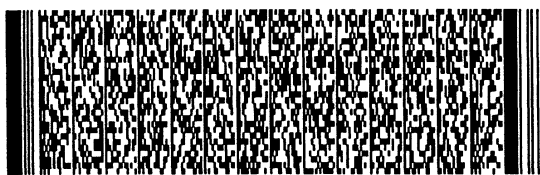
六、申請專利範圍

相對應從屬元件的最低時脈訊號源相位已對準，產生時脈同步；(e4)反之，若有相位未對準，則分別發出一重置訊號reset，以重新產生相對應從屬元件的最低時脈訊號源多時脈訊號源並重新執行上述(e1)的相位對準步驟。

6. 如申請專利範圍第1項之可同步各半導體元件時脈訊號源的方法，其中，在步驟(f)中，進一步包括下列步驟：(f1)各從屬元件內的一內部相位檢查器檢查是否各從屬元件的該外部檢查器已發出該校準訊號；(f2)當收到該校準訊號且來自各從屬元件內部相對應的各時脈訊號源已穩定時，內部相位檢查器各自執行相位對準檢查；(f3)若是所有相位皆對準，則分別發出該歸零訊號，以各自告知相對應的從屬元件內各時脈訊號源相位已對準，產生時脈同步，因而達成各半導體元件的時脈同步；(f4)反之，若有相位未對準，則分別發出一重置訊號reset，以重新產生各從屬元件內最低時脈訊號源外的多時脈訊號源(re-generate multi-clock-source)並重新執行上述(f1)的相位對準步驟。

7. 一種可同步各半導體元件時脈訊號源的系統，包括：

一第一半導體元件，其具有一相位檢查器及一可產生包括最低頻率時脈訊號源在內的多時脈訊號源的時脈產生器，其中，該相位檢查器根據該最低頻率時脈訊號源進行相位對準，使得該第一半導體元件的多時脈訊號源產生時脈同步，因而輸出一歸零訊號；及

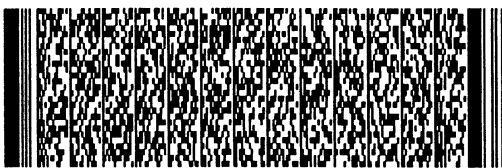


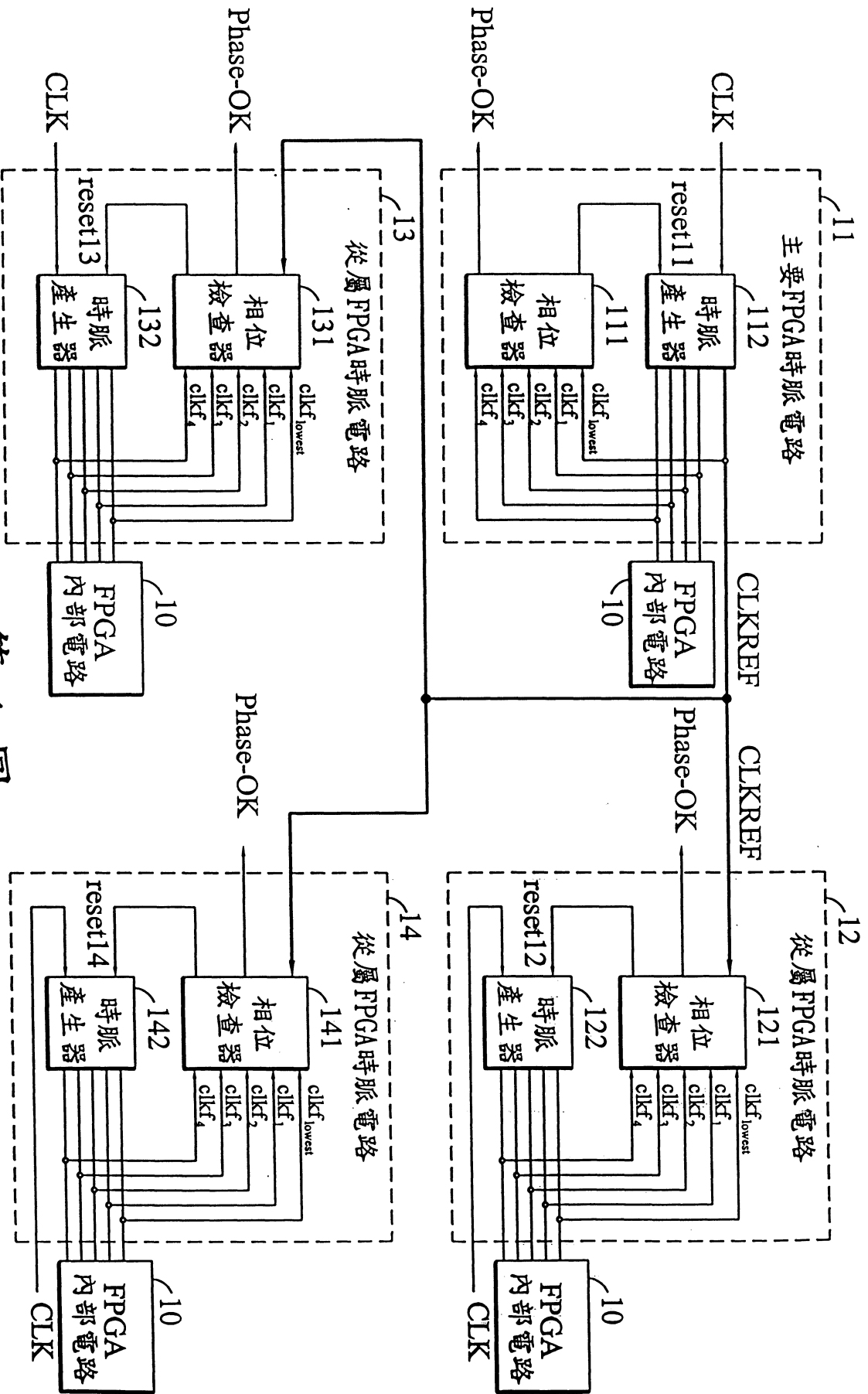
六、申請專利範圍

複數個第二半導體元件，分別具有一外部相位檢查器、一內部相位檢查器及一可產生一對準時脈訊號源在內的多時脈訊號源的時脈產生器，其中，該外部相位檢查器根據該歸零訊號進行相位對準，使得該最低時脈訊號源與該對準時脈訊號源的相位同步，並輸出一校準訊號至該內部相位檢查器，以進行相位對準，使得各第二半導體元件內的多時脈訊號源分別產生時脈同步，因而達成所有半導體元件的時脈同步。

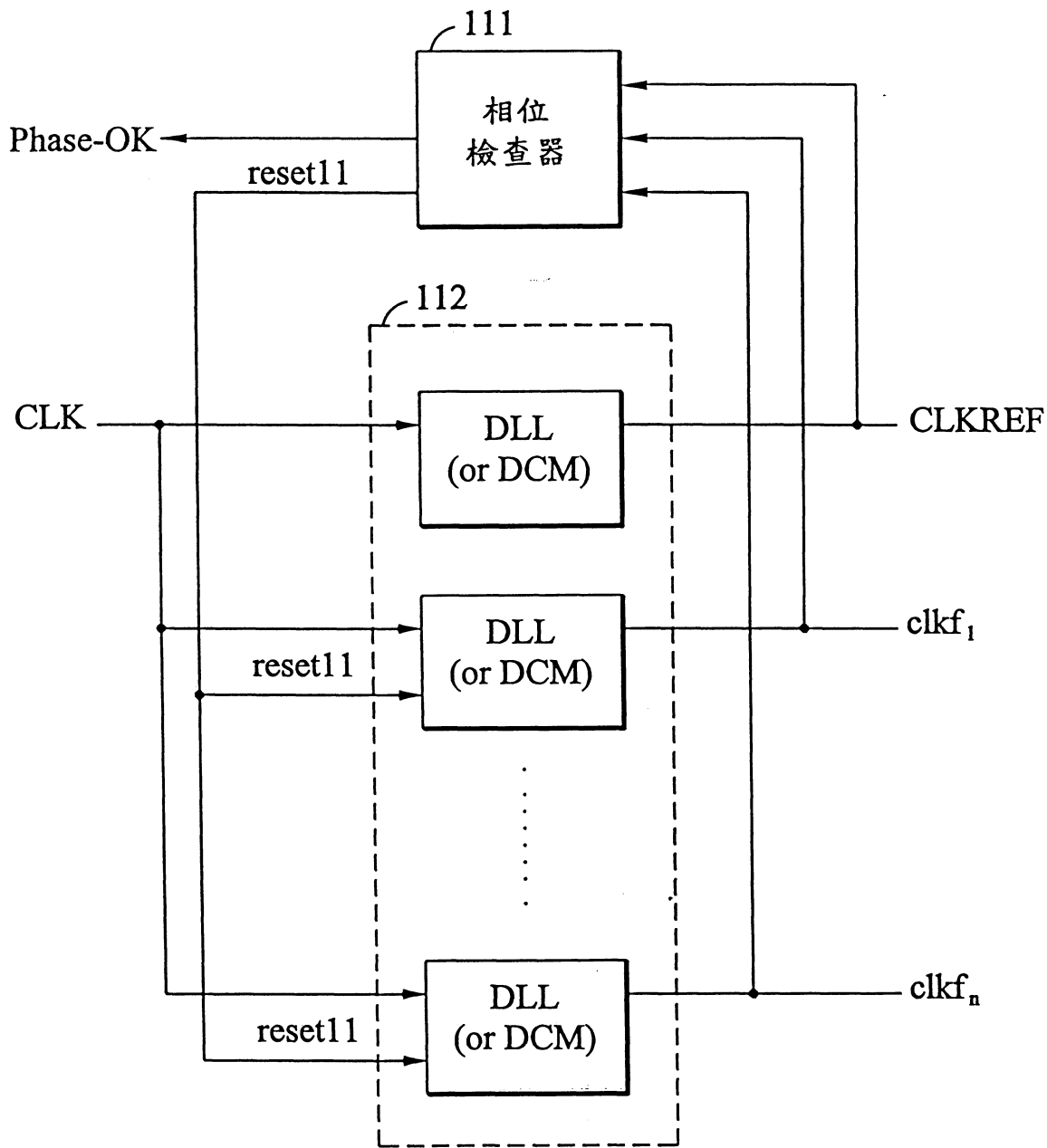
8. 如申請專利範圍第7項之可同步各半導體元件時脈訊號源的系統，其中，上述半導體元件是一場式可程式開陣列(Field Programmable Gate Array, FPGA)或一特殊用途積體電路(Application Specific Integrated Circuit, ASIC)。

9. 如申請專利範圍第1項之可同步各半導體元件時脈訊號源的方法，其中，上述時脈產生器是一延遲鎖定迴路(delay locked loop, DLL)或一數位時脈管理器(digital clock manager, DCM)。

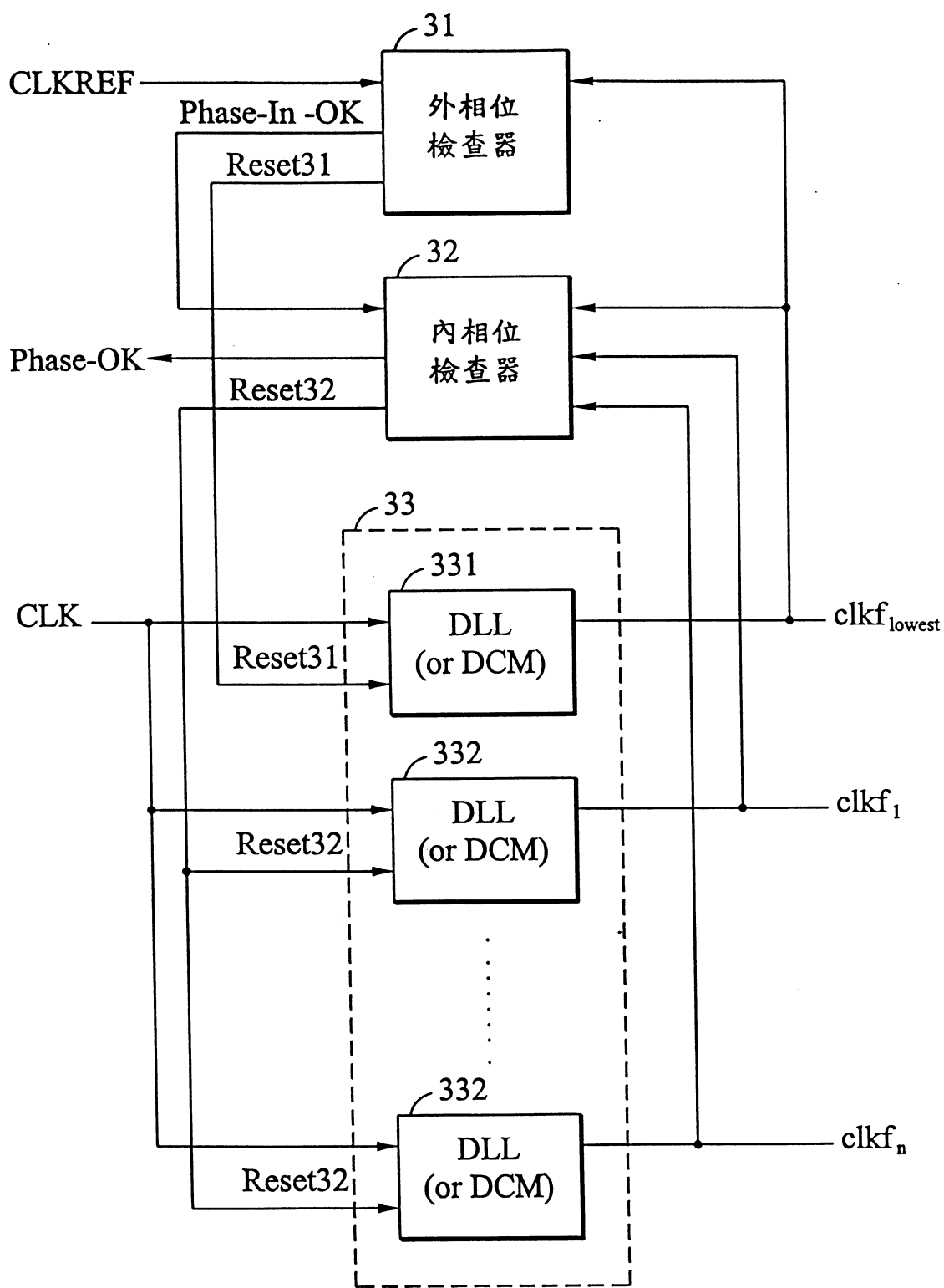




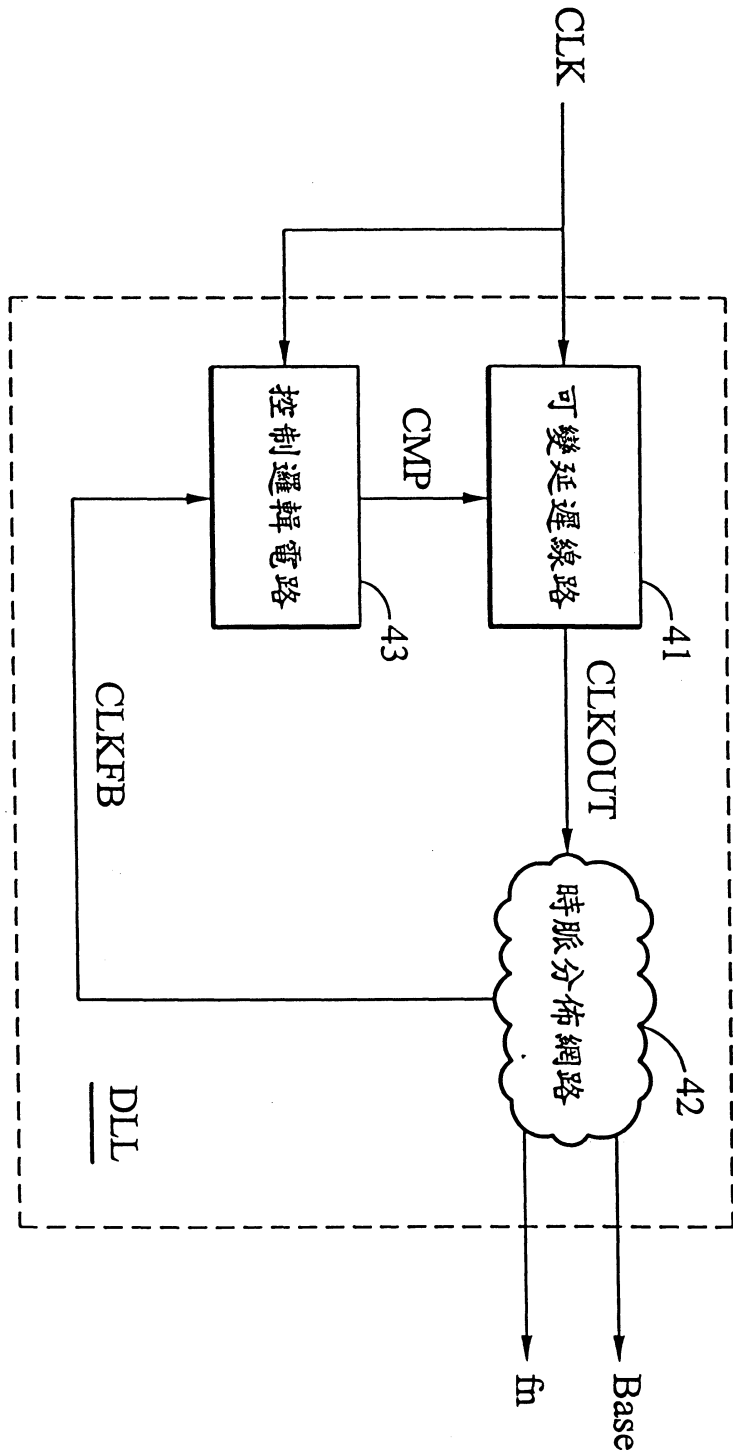
第 1 圖



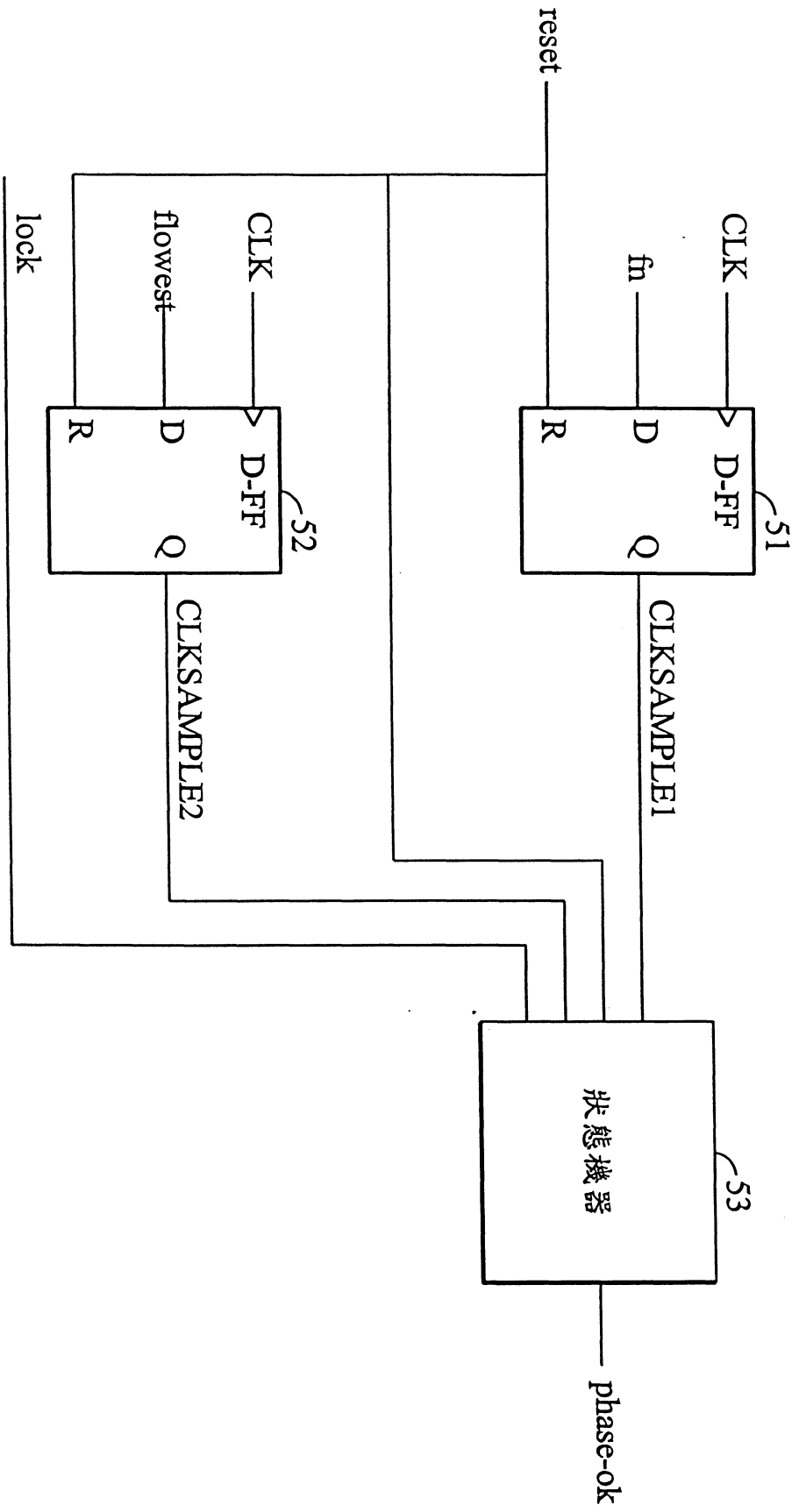
第 2 圖



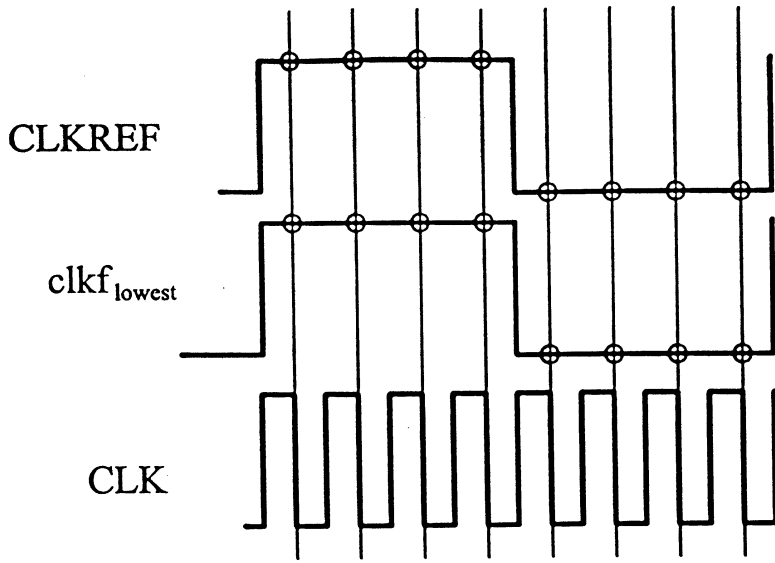
第 3 圖



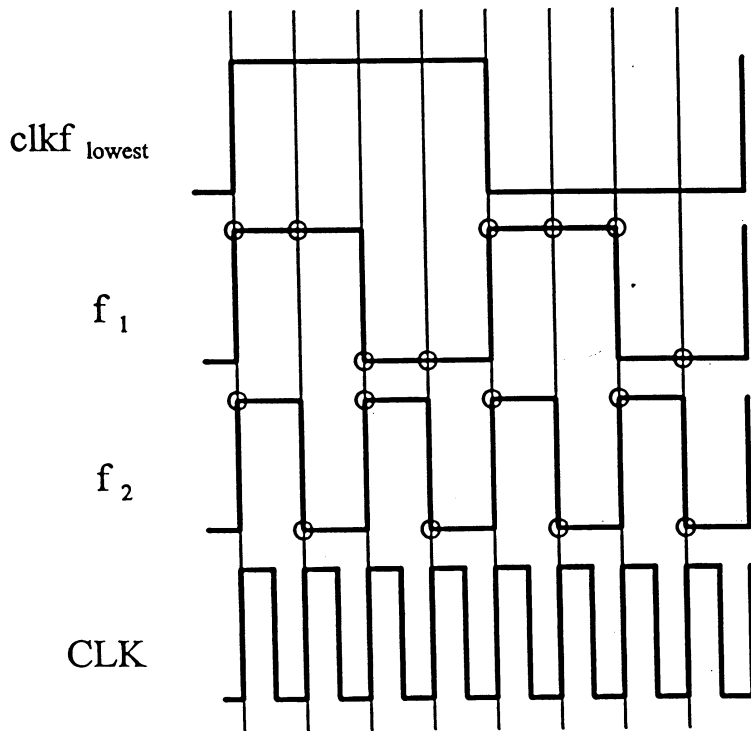
第 4 圖



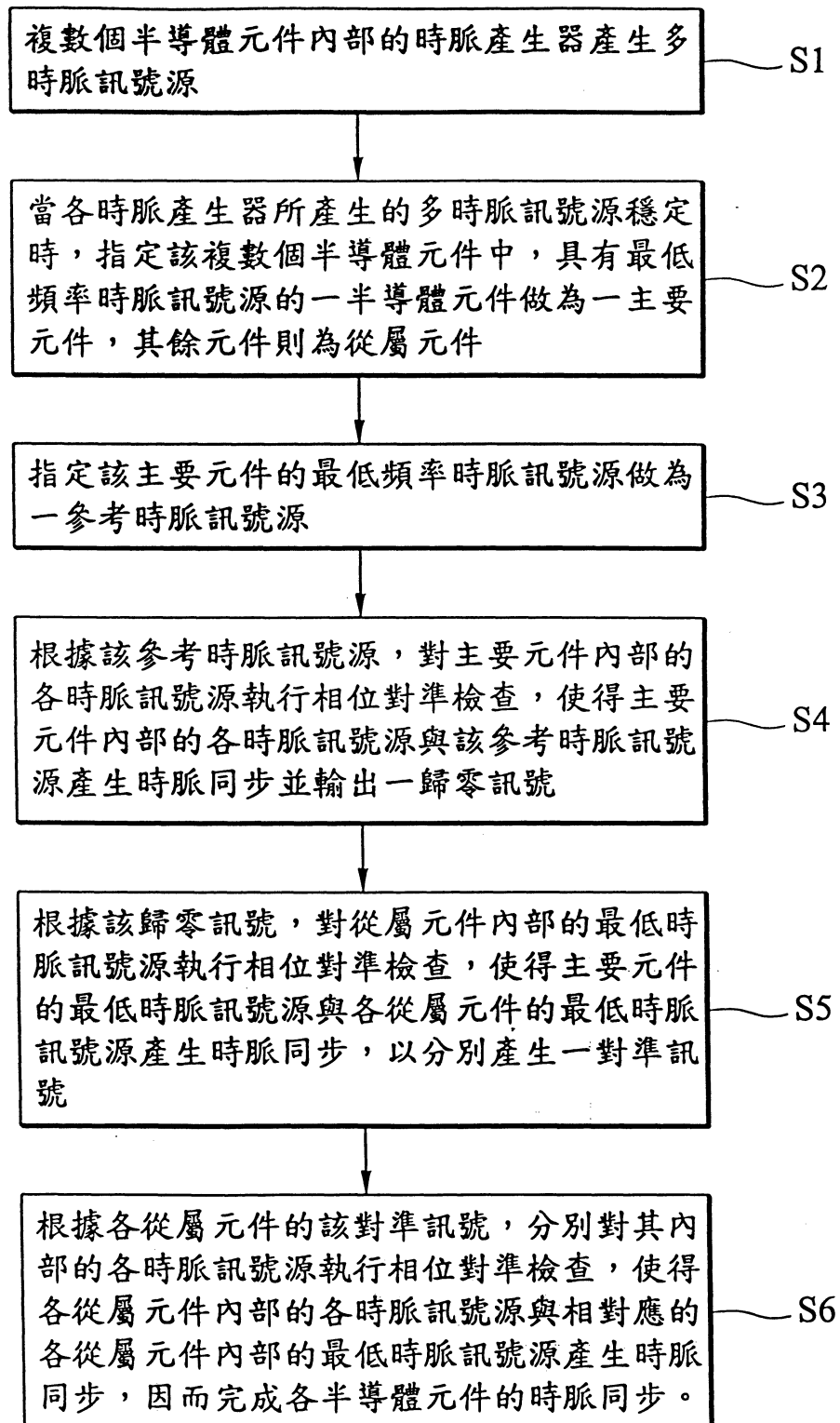
第 5 圖



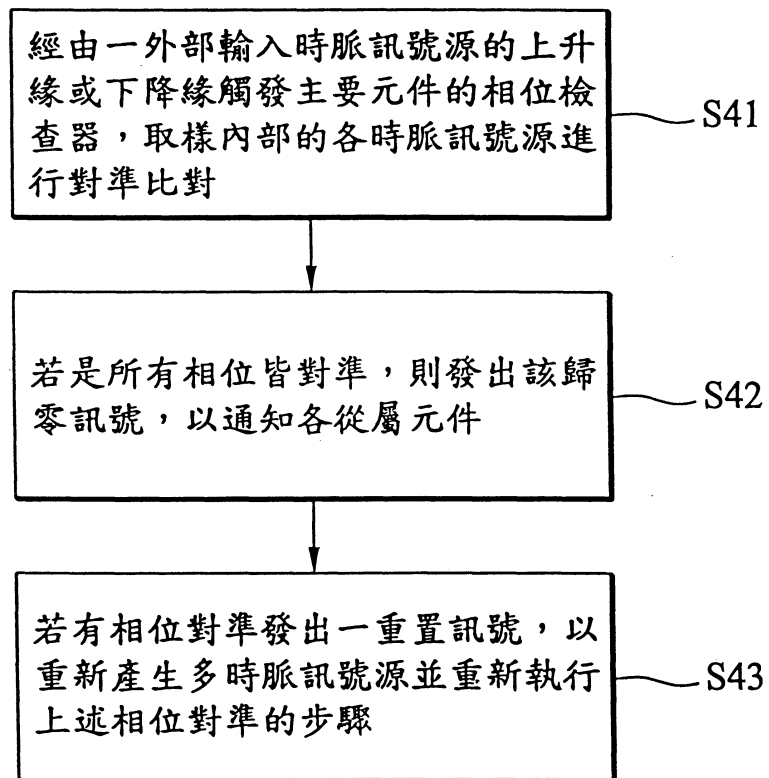
第 6 圖



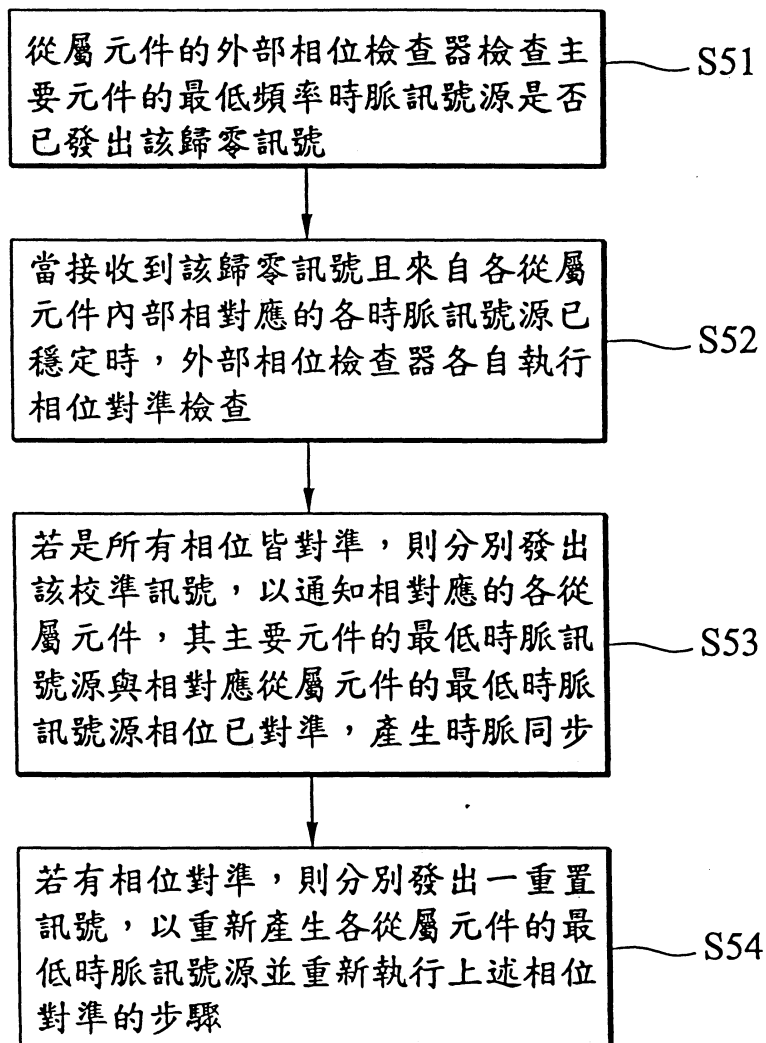
第 7 圖



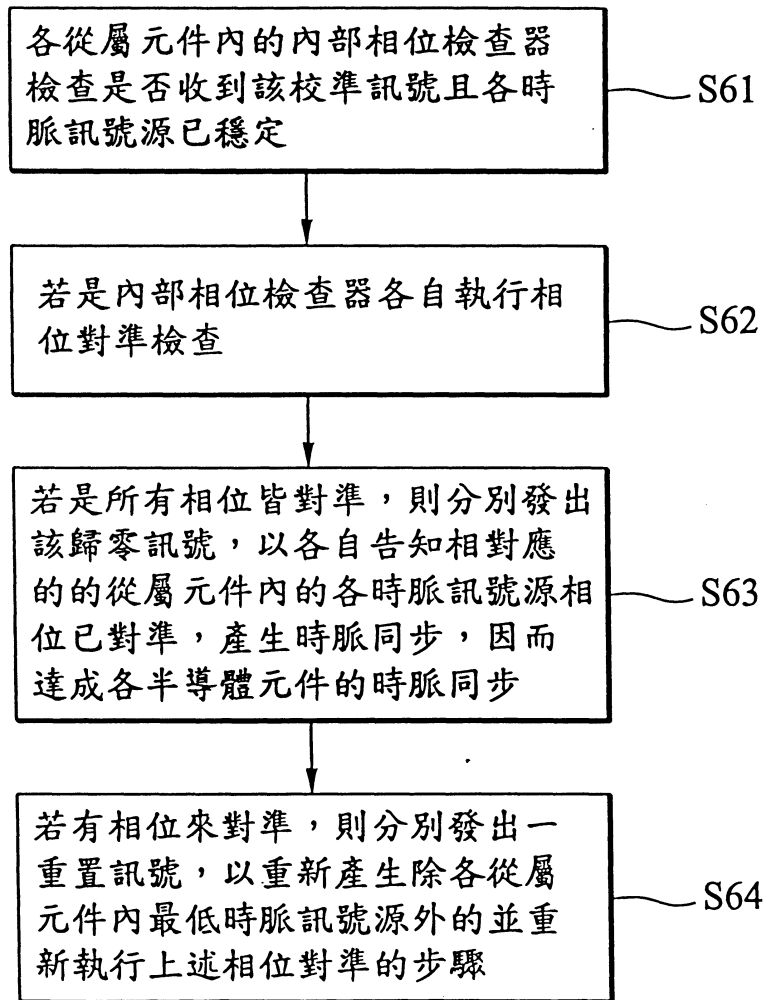
第 8 圖



第 9 圖



第 10 圖



第 11 圖