

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4115582号
(P4115582)

(45) 発行日 平成20年7月9日(2008.7.9)

(24) 登録日 平成20年4月25日(2008.4.25)

(51) Int.Cl.

F I

H O 1 L 21/336 (2006.01)

H O 1 L 29/78 6 2 7 G

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 2 7 B

H O 1 L 21/20 (2006.01)

H O 1 L 21/20

請求項の数 10 (全 18 頁)

(21) 出願番号 特願平10-100640

(22) 出願日 平成10年3月27日(1998.3.27)

(65) 公開番号 特開平11-284196

(43) 公開日 平成11年10月15日(1999.10.15)

審査請求日 平成17年3月22日(2005.3.22)

(73) 特許権者 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 山崎 舜平

神奈川県厚木市長谷398番地 株式会社

半導体エネルギー研究所内

審査官 河本 充雄

(56) 参考文献 特開平06-349734(JP,A)

特開平07-086602(JP,A)

(58) 調査した分野(Int.Cl., DB名)

H01L 29/786

H01L 21/336

H01L 21/20

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

絶縁表面に形成された複数の薄膜トランジスタを用いた回路を有する半導体装置の作製方法であって、

基板の絶縁表面上にアモルファスシリコン膜を形成する第1の工程と、

不活性ガスによって、前記アモルファスシリコン膜表面をスパッタエッチング処理する第2の工程と、

前記アモルファスシリコン膜の表面に接してゲルマニウム膜を形成する第3の工程と、

前記アモルファスシリコン膜の加熱温度が600を上限とする加熱処理により前記アモルファスシリコン膜を結晶化させてポリシリコン膜に変成させる第4の工程と、を有し、
前記第2の工程以後、前記第3の工程において前記ゲルマニウム膜が形成されるまで、前記アモルファスシリコン膜表面を大気雰囲気曝さないことを特徴とする半導体装置の作製方法。

【請求項2】

絶縁表面に形成された複数の薄膜トランジスタを用いた回路を有する半導体装置の作製方法であって、

基板の絶縁表面上にアモルファスシリコン膜を形成する第1の工程と、

不活性ガスによって、前記アモルファスシリコン膜表面をスパッタエッチング処理する第2の工程と、

前記アモルファスシリコン膜の表面に接してゲルマニウム膜を形成する第3の工程と、

10

20

前記アモルファスシリコン膜の加熱温度が600を上限とする加熱処理により前記アモルファスシリコン膜を結晶化させてポリシリコン膜に変成させる第4の工程と、を有し、前記第2の工程から前記第4の工程まで前記基板を大気雰囲気には曝さないことを特徴とする半導体装置の作製方法。

【請求項3】

請求項1又は請求項2に記載の第3の工程において、前記ゲルマニウム膜をスパッタ法にて形成することを特徴とする半導体装置の作製方法。

【請求項4】

絶縁表面に形成された複数の薄膜トランジスタを用いた回路を有する半導体装置の作製方法であって、

基板の絶縁表面上にアモルファスシリコン膜を形成する第1の工程と、

前記アモルファスシリコン膜に接して、開口部を有するマスク絶縁膜を形成する第2の工程と、

不活性ガスによって、前記開口部において露出している前記アモルファスシリコン膜表面をスパッタエッチング処理する第3の工程と、

前記開口部において、前記アモルファスシリコン膜表面に接してゲルマニウム膜を形成する第4の工程と、

前記アモルファスシリコン膜の加熱温度が600を上限とする加熱処理により前記アモルファスシリコン膜を結晶化させてポリシリコン膜に変成させる第5の工程と、を有し、前記第2の工程以後、前記第4の工程において前記ゲルマニウム膜が形成されるまで、前記アモルファスシリコン膜表面を大気雰囲気には曝さないことを特徴とする半導体装置の作製方法。

【請求項5】

絶縁表面に形成された複数の薄膜トランジスタを用いた回路を有する半導体装置の作製方法であって、

基板の絶縁表面上にアモルファスシリコン膜を形成する第1の工程と、

前記アモルファスシリコン膜に接して、開口部を有するマスク絶縁膜を形成する第2の工程と、

不活性ガスによって、前記開口部において露出している前記アモルファスシリコン膜表面をスパッタエッチング処理する第3の工程と、

前記開口部において、前記アモルファスシリコン膜表面に接してゲルマニウム膜を形成する第4の工程と、

前記アモルファスシリコン膜の加熱温度が600を上限とする加熱処理により前記アモルファスシリコン膜を結晶化させてポリシリコン膜に変成させる第5の工程と、を有し、前記第2の工程から第5の工程まで、前記基板を大気雰囲気には曝さないことを特徴とする半導体装置の作製方法。

【請求項6】

請求項4又は請求項5において、前記マスク絶縁膜には、前記薄膜トランジスタのソース領域及びドレイン領域となる領域上に前記開口部が形成されていることを特徴とする半導体装置の作製方法。

【請求項7】

請求項4又は請求項5において、前記マスク絶縁膜には、前記薄膜トランジスタのソース領域又はドレイン領域となる領域上に前記開口部が形成されていることを特徴とする半導体装置の作製方法。

【請求項8】

請求項4乃至請求項7のいずれか1項において、前記第2の工程の前に、前記アモルファスシリコン膜を前記薄膜トランジスタの活性層の形状にパターンニングする工程を有することを特徴とする半導体装置の作製方法。

【請求項9】

請求項4乃至請求項7のいずれか1項において、前記第5の工程の後に、前記ポリシリ

10

20

30

40

50

コン膜をパターンニングして前記薄膜トランジスタの活性層を形成する工程を有することを特徴とする半導体装置の作製方法。

【請求項 10】

請求項 4 乃至請求項 9 のいずれか 1 項に記載の第 4 の工程において、前記ゲルマニウム膜をスパッタ法にて形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本明細書で開示する発明は、半導体薄膜を用いた薄膜トランジスタ (TFT) で構成された回路を有する半導体装置の作製方法に関するものであり、特に絶縁表面上に形成された結晶性半導体薄膜の作製方法に関する。

10

【0002】

なお、本明細書中では半導体特性を利用して機能し得る装置全てを半導体装置と呼ぶ。従って、上記特許請求の範囲に記載された半導体装置は、TFT等の単体素子だけでなく、TFTで構成した半導体回路や電気光学装置およびそれらを部品として搭載した電子機器をも包含する。

【0003】

【従来の技術】

近年、ガラスや石英などの絶縁性基板上に形成された半導体薄膜 (厚さ数十～数百nm程度) を用いて薄膜トランジスタ (TFTとも表記される) を作製する技術が注目されている。TFTは特に、液晶表示装置等のアクティブマトリクス回路を備えた画像表示装置のスイッチング素子としての開発が急がれている。例えば、液晶表示装置においてはマトリクス状に配列された画素領域を個々に制御する画素マトリクス回路、画素マトリクス回路を制御する駆動回路、さらに外部からのデータ信号を処理するロジック回路 (演算回路、メモリ回路、クロックジェネレータなど) 等のあらゆる半導体回路にTFTを応用する試みがなされている。

20

【0004】

最近では、非晶質珪素膜 (アモルファスシリコン膜) よりも動作速度の速いTFTが作製できるという利点を生かして結晶性珪素膜 (ポリシリコン膜) を利用したTFTの量産が開始されている。

30

【0005】

本出願人は以前からポリシリコン膜の研究を進め、より単結晶に近い膜質を有するポリシリコン膜の開発を急いできた。その様なポリシリコン膜の形成方法として本出願人は特開平9-312260号公報に記載された技術を開示している。この公報ではアモルファスシリコン膜の結晶化に際して結晶化を助長する触媒元素としてニッケル等の金属元素を利用し、結晶化後に700を超える温度での加熱処理を施して、ポリシリコン膜の結晶性を改善する方法が開示されている。

【0006】

しかしながら結晶化の触媒としてニッケルを用いたポリシリコン膜を酸化性雰囲気に触れさせて直接熱処理すると、局所的に酸化シリコン (SiO_x) が異常成長する場合がある。この酸化シリコンの異常成長はちょうど“みみず腫れ”のようにポリシリコン膜の表面に現れる。このような酸化シリコンが存在すると、TFT作製工程中に酸化シリコンだけが除去されてシリコンが切断されるといった問題が発生する。

40

【0007】

図10に示すのは酸化シリコンの異常成長が生じているポリシリコン膜の断面SEM写真である。矢印で示す位置に酸化シリコンが異常発生し、活性層であるシリコン膜を殆ど分断していることが確認できる

【0008】

そのため、上記公報に記載された技術で形成されたポリシリコン膜は、ポリシリコン膜の表面が直接酸化性雰囲気に触れた状態で、加熱処理を加えることは避けなければならな

50

った。例えば、ポリシリコン膜の表面に熱酸化膜を形成する場合には、表面を絶縁膜で被覆しておくなどの工夫が必要であり、それがプロセスを煩雑にする原因ともなっていた。

【 0 0 0 9 】

【発明が解決しようとする課題】

本出願人によれば、結晶化の触媒としてニッケルを用いた場合に発生する酸化シリコンの異常成長は、ポリシリコン膜中に存在するニッケルシリサイドが集中的に酸化されることに起因すると考えている。本発明は、ニッケルを用いずにシリコンとの整合性の高いゲルマニウムに着目し、ゲルマニウムを触媒として用いることで、上述したような局所的なシリコンの異常酸化が起こらないようにしたものである。

【 0 0 1 0 】

ゲルマニウムを触媒元素としてアモルファスシリコン膜を結晶化させる技術に関しては、Subramanian他が「1997 Symposium on VLSI Technology Digest of Technical Papers 97-98頁」に掲載の論文において、ゲルマニウムを用いて結晶化したポリシリコン膜を用いてTFTを作製したことを報告している。この論文には、ゲルマニウムを用いた結晶化の過程は、低温の加熱によってアモルファスシリコン膜とゲルマニウム膜との界面でゲルマニウムが核となり、固相成長によってシリコンの結晶化が進行することが記載されている。

【 0 0 1 1 】

しかしながら、ゲルマニウムは比較的酸化され易い。シリコンとの界面で酸化ゲルマニウムが形成されてしまうと酸化ゲルマニウムが不活性なために、シリコンとゲルマニウムとが反応がしづらくなり結晶化が進行を妨げることとなる。また、ニッケルを用いたシリコンの結晶成長距離は数10 μm におよぶが、ゲルマニウムを用いた場合は結晶成長距離が高々1 μm 程度しかない。そのため、シリコンの結晶成長を阻害する要素はできるだけ排除することが望まれる。よって、ゲルマニウム膜にシリコンとの界面で酸化ゲルマニウムが形成されることは避ける必要がある。

【 0 0 1 2 】

本発明の目的は、上記の問題点を解消して、ゲルマニウムを用いたアモルファスシリコン膜の結晶化工程のスループット・生産性を向上するための技術を提供することにある。

【 0 0 1 3 】

【課題を解決するための手段】

上述した問題点を解消するために、本発明は、絶縁表面に形成された複数の薄膜トランジスタを用いた回路を有する半導体装置の作製方法であって、1) 基板の絶縁表面上にアモルファスシリコン膜を形成する第1の工程と、2) 不活性ガスによって、前記アモルファスシリコン膜表面をスパッタエッチング処理する第2の工程と、3) 前記アモルファスシリコン膜の表面に接してゲルマニウム膜を形成する第3の工程と、4) 加熱処理により前記アモルファスシリコン膜を結晶化させてポリシリコン膜に変成させる第4の工程と、を有し、第2の工程から第4の工程まで、前記基板を大気雰囲気曝さないことを特徴とする。

【 0 0 1 4 】

本発明では、アモルファスシリコン膜とゲルマニウム膜との界面に、不活性な酸化ゲルマニウムが形成されることを防ぐために、ゲルマニウム膜が成膜されるアモルファスシリコン表面をスパッタエッチングして、その表面に吸着した酸素、不純物や自然酸化膜を除去する工程を有することと、ゲルマニウム膜が形成されるまで、アモルファスシリコン膜表面を、大気雰囲気曝さないようにすることが重要になる。このようにすることによって、ゲルマニウム膜がアモルファスシリコン膜との界面において酸化されることを防いで、アモルファスシリコン膜を結晶化が効率よく進行するようにする。

【 0 0 1 5 】

【発明の実施の形態】

図を用いて本発明の実施の形態を説明する。

【 0 0 1 6 】

〔実施形態１〕本発明の実施形態を図１を用いて説明する。図１には、アモルファスシリコン膜を結晶化してポリシリコン膜に変成するまでの工程が図示されている。まず、絶縁表面を有する基板１０１を用意する。基板として、ガラス基板や石英基板、結晶化ガラス基板を用いることができる。またガラス基板や結晶化ガラス基板を用いた場合には、不純物拡散を防止するために、酸化シリコン膜や窒化シリコン膜等の下地絶縁膜を形成し、この絶縁膜表面にポリシリコン膜を形成すればよい。また、表面を熱酸化したシリコン基板を用いることもできる。

【００１７】

基板表面に、酸化シリコン膜や窒化シリコン膜等の下地絶縁膜を形成することで、表面の平坦化・平滑化できるという効果が期待でき、その絶縁膜表面に形成されるアモルファスシリコン膜にストレスを与えないため、アモルファスシリコン膜の結晶成長距離を長くなるという効果が期待できる。基板表面を平坦化・平滑化する効果が高い絶縁膜は、熱酸化シリコン膜である。本発明では、石英基板や結晶化ガラス基板、シリコン基板等、高耐熱性基板を用いた場合、表面（アモルファスシリコン膜が形成される面）、さらに基板全てを覆うようにアモルファスシリコン膜を形成し熱酸化させればよい。

【００１８】

基板１０１の絶縁表面上にアモルファスシリコン膜１０２を成膜する。成膜方法はプラズマＣＶＤ（ＰＣＶＤ）法、減圧ＣＶＤ（ＬＰＣＶＤ）法、熱ＣＶＤ法を用いることができる。また成膜ガスとしてはシラン（ SiH_4 ）又はジシラン（ Si_2H_6 ）を用いる。また、アモルファスシリコン膜１０１の膜厚はＴＦＴの活性層として適当な値であり、３０～２５０ｎｍ（代表的には１００～１５０ｎｍ）とすればよい。（図１（Ａ））

【００１９】

なお、アモルファスシリコン膜成膜中に混入する炭素、酸素及び窒素は後の結晶化を阻害する要因となり、徹底的に低減することが好ましい。具体的には、アモルファスシリコン膜１０２の炭素及び窒素の濃度はいずれも $5 \times 10^{18} \text{atoms/cm}^3$ 未満（代表的には $5 \times 10^{17} \text{atoms/cm}^3$ 以下）とし、酸素の濃度は $1.5 \times 10^{19} \text{atoms/cm}^3$ 未満（代表的には $1 \times 10^{18} \text{atoms/cm}^3$ 以下）とするのが望ましい。

【００２０】

本出願人の経験では、炭素、酸素及び窒素が上述の濃度範囲を超えると、ＴＦＴの特性が急激に悪化するという知見を得ている。おそらくシリコンの結晶化が阻害され、十分な結晶性を有するポリシリコン膜が得られないためと考えられる。従って、上述の濃度範囲に収めることが重要となる。また、上述の不純物はＴＦＴ作製過程で意図的に添加されない限りは、上述の濃度範囲を超えることはない。

【００２１】

次に、アモルファスシリコン膜１０２表面上にゲルマニウム膜１０３を形成する。ゲルマニウム膜１０３の膜厚は１～５０ｎｍ、好ましくは１～１０ｎｍとすればよい。（図１（Ｂ））

【００２２】

ゲルマニウム膜１０３を成膜する前に、アモルファスシリコン膜１０２表面を不活性ガスによってスパッタエッチングして、その表面に形成された自然酸化膜や、不純物を除去する。不活性ガスとしては、代表的にはアルゴン（ Ar ）を用いる。エッチング時の圧力は $10^{-3} \sim 10^{-1} \text{Pa}$ とし、温度は室温～４５０℃とする。また、基板１０１をカソードとするためのＲＦ電源の出力は３０～３００Ｗとする。

【００２３】

スパッタエッチング後、アモルファスシリコン膜１０２表面を大気雰囲気には曝らさないようにして、ゲルマニウム膜１０３を成膜する。したがって、ゲルマニウム膜１０３を形成するまでは基板１０１が存在する雰囲気に酸素等の酸化性物質ができるだけ含まれないようにするために、減圧状態でかつ窒素やアルゴンなどの不活性雰囲気とする。またゲルマニウム膜１０３の成膜方法は、スパッタエッチングするための処理室から、ゲルマニウム膜を成膜する処理室へ基板と搬送する際に、アモルファスシリコン膜１０２表面を大気

10

20

30

40

50

に曝さないようにすることができれるような成膜方法であれば良い。代表的には、後述するようにスパッタ法を用いることができるが、条件さえ満足できればCVD法など他の方法を用いることができる。

【0024】

ゲルマニウム膜103を成膜後、加熱処理により前記アモルファスシリコン膜102を結晶化させてポリシリコン膜104に変成させる。加熱処理することによって、ゲルマニウムを核にして、アモルファスシリコン膜102のゲルマニウム膜103との界面に、シリコンの結晶核が発生する。この結晶核を起点にして結晶粒が成長しポリシリコン膜104に変成される。(図1(C))

【0025】

結晶化工程でのアモルファスシリコン膜102の加熱温度は450～600 (好ましくは500～550)とする。600を上限としたのは、ゲルマニウムを核にした結晶成長だけを行わせるようにするためである。600を超えると、ゲルマニウム膜103との界面以外に、アモルファスシリコン膜102内での自然核が多く発生してしまう。このためゲルマニウムを核とした結晶成長と自然核からの結晶成長が同時に進行して、結晶性が乱れるからである。なお、結晶化工程はファーネスアニール、ランプアニール、レーザーアニールのいずれの手段を用いても良く、アモルファスシリコン膜102を加熱できればよい。

【0026】

加熱時間は、ファーネスアニールを用いた場合には8～20時間、キセノンランプを照射するRTA法を用いた場合には、キセノンランプの照射時間を数秒～数分程度にすればよい。

【0027】

結晶化工程が終了後、ゲルマニウム膜103を除去し、ポリシリコン膜104をパターニングしてTFETの活性層を形成する。以降は、公知のトップゲート型TFETの製造方法、例えば実施例1や実施例2に示す作製方法に従って、TFETを完成すればよい。

【0028】

TFETの作製工程において、ゲート絶縁膜を熱酸化膜で形成工程、熱酸化膜を形成・除去することで活性層を薄くする工程等、酸化性雰囲気中に活性層が接した状態で熱処理しても、本発明ではポリシリコン膜にニッケル元素が存在しないため、ポリシリコン膜を酸化性雰囲気中に直接に接しても、局所的な酸化シリコンの異常成長を防ぐことができる。

【0029】

また本発明では、スパッタエッチング処理以降、ゲルマニウム膜103を成膜するまで、アモルファスシリコン膜102表面を大気雰囲気中に曝さないようにすることで、ゲルマニウム膜103がアモルファスシリコン膜103との界面で酸化されることを防ぐことができるので、ゲルマニウムを核とした結晶化工程の生産性を向上させることができる。

【0030】

ここでは、スパッタエッチング処理以降ゲルマニウム膜103を成膜する間、アモルファスシリコン膜102表面を大気雰囲気中に曝さないようにしたが、更にゲルマニウム膜103を成膜した以降も結晶化工程まで、基板101を大気雰囲気中に曝さないようにして、ゲルマニウム膜103が酸素などの酸化性物質に接触することを避けるのが好ましく、結晶化工程の雰囲気は窒素等の不活性雰囲気や水素雰囲気とする。

【0031】

このように、スパッタエッチング処理工程から結晶化工程まで、基板を大気雰囲気中に曝さないようにするには、スパッタエッチング処理工程、ゲルマニウム膜の成膜工程、結晶化工程までを同一の装置内で実施するのが容易である。例えば図4に示すような、複数の処理室14～17を備えたマルチタスク型のスパッタ装置を用いればよい。エッチング室16でスパッタエッチング処理し、スパッタ室14でゲルマニウム膜を成膜し、加熱手段を備えた加熱室17で結晶化工程を行えばよい。

【0032】

スパッタ装置の気密を破らないようにすることで、基板 101 を大気雰囲気には曝さないようにすることが容易にできる。また、スパッタエッチング処理工程、ゲルマニウム膜成膜工程、結晶化工程を連続して行うことができるため、スループットの向上が図れる。また、これらの工程を行うには、それぞれの処理室内の真空度が $10^{-4} \sim 10^{-6}$ Pa まで減圧して、酸素などの酸素供給源をできるだけ減少させた状態にしてから、基板を搬入することが好ましい。

【0033】

マルチタスク型のスパッタ装置に限定されるものではなく、基板 101 を大気雰囲気には曝さないようであればよく、チャンパーを直線的に配置したインライン型の装置でもよい。

【0034】

〔実施形態 2〕 本実施形態を図 5 を用いて説明する。本実施形態は実施形態 1 の変形例であり、実施形態 1 では、図 1 (B) に示すようにアモルファスシリコン膜 102 の表面全体に接してゲルマニウム膜 103 を形成したが、アモルファスシリコン膜表面に部分的に接してゲルマニウム膜を形成することによって、アモルファスシリコンをラテラル成長させることができる。

【0035】

先ず絶縁表面を有する基板 201 上に、アモルファスシリコン膜を T F T の活性層の形状にパターンニングして、島状領域 202、203 を形成する。(図 5 (A))

【0036】

次に、開口部 202 a ~ 202 d を有するマスク絶縁膜 204 を形成する。マスク絶縁膜としては、酸化シリコン膜を利用することができる。マスク絶縁膜 204 には、島状領域 202、203 のソース領域となる領域 202 a、203 a 及びドレイン領域となる領域 202 b、203 b 上に開口部 202 a ~ 202 d が形成されている。(図 5 (B))

【0037】

次に、開口部 202 a ~ 202 d において、露出されている領域 202 a、203 a 及びドレインとなる領域 202 b、203 b 表面を Ar ガスを用いてスパッタエッチングする。そして基板 201 を大気雰囲気には曝さないようにして、その後ゲルマニウム膜 204 を形成する。(図 5 (C))

【0038】

そして不活性雰囲気又は水素雰囲気内で $450 \sim 600$ の温度で加熱して、アモルファスシリコン膜でなる島状領域 202、203 を結晶化して、ポリシリコン膜でなる活性層 211 と 212 を得る。ゲルマニウム膜 205 が領域 202 a、202 b、203 a、203 b で選択的にアモルファスシリコン膜と接しているため、矢印で示すような横方向(膜表面と平行な方向)に結晶成長が進行する。このような結晶成長はラテラル成長(横成長)と呼ばれている。(図 5 (D))

【0039】

本実施形態の場合には、ソース領域となる領域 202 a、203 a 及びドレイン領域となる領域 202 b、203 b を起点にして、結晶成長が進行するため、チャネル形成領域が形成される領域 202 c、203 c で成長の先端がぶつかり粒界が形成され、結晶成長が止まる。ゲルマニウムを結晶化の核に用いた場合には、 600 、8 時間の加熱処理で、ラテラル成長の距離は最大で $1 \mu\text{m}$ 程度であった。

【0040】

そのためチャネル形成領域を少なくとも結晶化させるという要求(即ち、T F T の電気的特性からの要求)と、スループットや生産性との兼ね合いから、チャネル長方向の領域 202 a と 202 b 間の距離 L1、及びチャネル長方向の領域 203 a と 203 b 間の距離 L2 (即ちチャネルが形成される領域 202 c、203 c のチャネル長方向の長さ L1、L2) は、ラテラル成長距離を考慮すれば、 $2 \mu\text{m}$ 以下、好ましくは $1 \mu\text{m}$ 以下(もちろんゼロは含まれない)とすることが好ましい。

【0041】

〔実施形態 3〕 本実施形態を図 7 を用いて説明する。本実施形態は実施形態 2 のマスク

10

20

30

40

50

絶縁膜の変形例である。図7において、図5と同じ符号は同じ構成要素を示す。実施形態2では、1つの島状領域202を結晶化させるために、ソース領域となる領域202aとドレイン領域となる領域202b双方にゲルマニウム膜203が接するようにしたが、本実施形態では、いずれか一方の領域202a又は202bでゲルマニウム膜が島状領域と接するようにしたものである。

【0042】

そこで、本実施形態のマスク絶縁膜304は島状領域202と203のソース領域となる領域202a、203a上に開口部304a、304bを有する。(図7(A))

【0043】

次に、マスク絶縁膜304上にゲルマニウム膜305を成膜する。ゲルマニウム膜305は島状領域202と203のソース領域となる領域202a、203aのみで接する。(図7(B))

【0044】

この状態で加熱処理を行ってラテラル成長させて、ポリシリコン膜でなるTF Tの活性層311、312を得る。以下、実施例1や2で示す公知の作製方法でTF Tを作製すればよい。(図7(C))

【0045】

ここでは、矢印で示すように島状領域202と203でのラテラル成長は一方向で進行するため、実施形態2のようにチャンネル形成領域が形成される領域202c、203cで成長の先端がぶつかり粒界が形成されることがない。よって、キャリア移動度が優れたTF Tを得ることができる。

【0046】

なお、上述したように、生産性の点からラテラル成長距離に限度があり、本実施形態では、結晶成長の起点となる領域が1活性層につき1箇所であるため、上記のチャンネルが形成される領域202c、203cのチャンネル長方向の長さL1、L2は1μm以下、好ましくは0.5μm以下(もちろんゼロは含まれない)とすることが好ましい。

【0047】

なお、実施形態2、3では、アモルファスシリコン膜をTF Tの活性層の形状にパターニングしたが、アモルファスシリコン膜をポリシリコン膜に変成した後、シリコン膜をパターニングしても良い。

【0048】

【実施例】

以下、図1～図9を用いて、本発明の実施例を詳細に説明する。なお、本発明の半導体装置は、実施例で示すアクティブマトリクス基板やCMOS回路の構成に限定されるものではない。

【0049】

〔実施例1〕 本実施例を図1～図4を用いて説明する。本実施例では、本発明の半導体回路として、液晶表示装置のアクティブマトリクス基板を作製する方法を示し、同一基板上に、アクティブマトリクス回路のスイッチング素子となるNチャンネル型TF Tと、アクティブマトリクス回路を駆動するドライバ回路のCMOSTF Tを作製する方法を示す。

【0050】

石英基板101上に減圧CVD法によってアモルファスシリコン膜102を50nmの厚さに成膜する。(図1(A))

【0051】

次に、アモルファスシリコン膜102表面をアルゴンによってスパッタエッチングする。その後、アモルファスシリコン膜102表面全体に接してゲルマニウム膜103スパッタ法にてゲルマニウム膜104を形成する。ゲルマニウム膜の成膜条件は、ターゲットをゲルマニウム、スパッタガスにアルゴンを用い、成膜温度を室温、到達圧力 4×10^{-4} Pa以下、成膜時のDC電流は0.4Aとする。(図1(B))

【0052】

次に、アモルファスシリコン膜 102 を結晶化させて、ポリシリコン膜 104 に変成させる。(図 1 (C))

【0053】

本実施例では、スパッタエッチング工程から結晶化工程までをマルチタスク型のスパッタ装置によって、連続処理する。図 4 にスパッタ装置の概略の構成図を示す。図 4 (A) は上面図であり、図 4 (B) は破線 X - X' での断面構成図を示す。

【0054】

11 は共通室、12、13 はロードロック室、14、15 はスパッタ室、16 はエッチング室であり、17 は加熱室である。各室 12 ~ 17 はゲート弁を介して共通室 11 に連結されており、室 11 ~ 17 ごとに気密性を保持できるようになっている。また各室 11 ~ 17 ごとに減圧状態にするための排気系(図示せず)と、雰囲気制御用のガスやスパッタガスを供給するためのガス供給系(図示せず)とが設けられている。スパッタ室 14、15、エッチング室 16 及び加熱室 17 の排気系には到達真空度 10^{-6} Pa を実現するためにクライオポンプを備えている。

10

【0055】

共通室 11 には処理基板 10 を室 12 ~ 17 へ移動刷るためのロボットアーム 31 が設けられている。ロボットアーム 31 の基板保持部分は矢印で示すように 3 次元的に移動自在とされている。また、ロボットアーム 31 は処理基板 10 の主表面(素子形成面)が下向きに搬送されるフェイスダウン方式となっており、主表面にゴミが付着するのを抑えている。

20

【0056】

ロードロック室 12、13 は処理基板 10 を装置外部に搬入・搬出するための室である。処理基板 10 は基板搬送力セット 32、33 に収納されて、装置に搬入・搬出される。

【0057】

スパッタ室 14、15 はほぼ同じ構造を有しており、図 4 (B) を用いてスパッタ室 14 の構成を説明する。スパッタ室 14 には、ターゲット支持台 41、ターゲット 42、シャッター 43、フェイスダウン方式の基板ホルダー 44 が設けられている。基板ホルダー 44 は処理基板 10 の端部数ミリを支持するように設計されており、基板 10 の汚染をできるだけ小さくしている。ターゲット 42 には図示しない DC 電源から DC 電力が供給されようになっている。スパッタ室 14、15 で成膜する材料によってガス供給系等の仕様が決められる。

30

【0058】

また、本実施例においては、エッチング室 16 はスパッタ室 14、15 とほぼ同様な構成であるが、DC 電源の代わりに RF 電源が接続されており、基板 10 に RF 電圧を供給して負のセルフバイアス電圧が印加されるようになっている。

【0059】

加熱室 17 は結晶化工程用の室であり、スループットの点から加熱手段として RTA 処理を可能な構成とした。フェイスダウン方式の基板ホルダー 51 と、基板 10 両面を加熱するために、キセノンランプ 52、53 とが設けられている。キセノンランプ 53 が基板主表面を加熱するメインランプとなる。

40

【0060】

本実施例では、加熱室 17 の仕様をスループットを考慮して、RTA 処理用の室としたが、電気炉を備えたファーンেসアニール処理によって加熱できる室としても良い。

【0061】

本実施例の、図 4 に示すスパッタ装置の使用方法を以下に説明する。アモルファスシリコン膜 102 を成膜した基板 101 をロードロック室 12 からスパッタ装置内に搬送する。ロードロック室 12 を減圧状態にした後に窒素雰囲気とする。共通室 11、スパッタ室 14、15、エッチング室 16 も減圧状態にされ、到達圧力 10^{-6} Pa とされている。

【0062】

ゲート弁 22 を開放し、ロボットアーム 31 によって基板 10 をエッチング室 16 に移動

50

する。なお、雰囲気との混合を避けるため、２つのゲート弁２２、２７は同時に開放しないように制御される。以下も同様である。エッチング室１６の基板ホルダーに基板を固定し、基板にＲＦ電圧を印加しながらアルゴンガスによってスパッタエッチング処理を行う。エッチングによってアモルファスシリコン膜１０２表面の不純物や自然酸化膜が除去される。

【００６３】

次に、基板をスパッタ室１４に移動してゲルマニウム膜１０３を成膜する。そして加熱室１７に基板を移動する。加熱室１７は窒素雰囲気とし、キセノンランプ５２、５３によって基板を加熱して、アモルファスシリコン膜１０２を結晶化させる。結晶化工程が終了したら、基板をロードロック室１３のカセット３３内に移動し、スパッタ装置から搬出する。そしてポリシリコン膜１０４上に残存するゲルマニウム膜１０３を硫酸過水溶液（ $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 = 1 : 1$ ）で除去する。

10

【００６４】

また、結晶化工程の前に、ゲルマニウム膜の酸化をできるだけ抑制するために、スパッタ室１４でゲルマニウム膜を成膜した後、スパッタ室１５でゲルマニウム表面に酸化シリコン膜を成膜して、ゲルマニウム表面を覆ってしまうことも有効である。この場合には、図４のスパッタ装置外部で結晶化工程を行った場合でも、結晶化の低下を抑制することができる。

【００６５】

20

以下図２、図３を用いて、得られたポリシリコン膜１０４を用いてアクティブマトリクス基板を作製する工程を説明する。なお、本実施例では基板上にＣＭＯＳ回路で構成したドライバ回路とＮチャネル型ＴＦＴ（Ｎチャネル型ＴＦＴ）で作製した画素マトリクス回路とを一体形成したアクティブマトリクス型液晶表示装置（ＡＭＬＣＤ）を例にとる。

【００６６】

ガラス基板１０１上にポリシリコン膜１０４を形成したら、パターニングしてＴＦＴの活性層１１１～１１３を形成する。活性層１１１と１１２はＣＭＯＳ回路を構成するＴＦＴに用いられ、活性層１１３は画素マトリクス回路に用いられる。（図２（Ａ））

【００６７】

次に、プラズマＣＶＤ法（又は減圧熱ＣＶＤ法）により酸化シリコン膜１１４を１２０ｎｍの膜厚に形成する。なお、他にも酸化窒化シリコン膜（ SiO_xN_y で示される）又は窒化シリコン膜を用いることができる。さらに、これらを自由に組み合わせて積層構造としても良い。

30

【００６８】

次に、酸化シリコン膜１１４の上にＮ型導電性を呈するポリシリコン膜からなるゲート電極１１５～１１７を形成する。ゲート電極１１５～１１７の膜厚は２００～３００ｎｍの範囲で選択すれば良い。（図２（Ｂ））

【００６９】

ゲート電極１１５～１１７を形成したら、ゲート電極１１５～１１７をマスクとしてドライエッチング工程により、ゲート電極（及びゲート配線）の直下のみに酸化シリコン膜が残存する状態となる。勿論、ゲート電極１１５～１１７の下に残った部分が実際にゲート絶縁膜として機能する部分である。

40

【００７０】

次に、Ｐチャネル型ＴＦＴとなる領域をレジストマスク１１９で隠し、Ｎ型を付与する不純物（本実施例ではリン）をプラズマドーピング法により添加する。この時形成される低濃度不純物領域１２０、１２１の一部は後にＬＤＤ（Lightly Doped Drain）領域となるので、 $1 \times 10^{17} \sim 5 \times 10^{18} \text{atoms/cm}^3$ の濃度でリンを添加する。（図２（Ｃ））

【００７１】

次に、レジストマスク１１９を除去した後、Ｎチャネル型ＴＦＴとなる領域をレジストマスク１２２で覆い、Ｐ型を付与する不純物（本実施例ではボロン）をプラズマドーピング

50

法により添加する。この時も、リンの場合と同様に低濃度不純物領域 1 2 3 を形成する。
(図 2 (D))

【0072】

こうして図 2 (D) の状態が得られたら、レジストマスク 1 2 2 を除去した後、エッチバック法を用いてサイドウォール 1 2 4 ~ 1 2 6 を形成する。本実施例ではサイドウォール 1 2 4 ~ 1 2 6 を窒化シリコン膜で構成する。

【0073】

こうしてサイドウォール 1 2 4 ~ 1 2 6 を形成したら、再び P チャネル型 T F T となる領域をレジストマスク 1 2 7 で隠し、リンを添加する。この時はリンよりもドーズ量を高くする。

10

【0074】

リンの添加工程により C M O S 回路を構成する N チャネル型 T F T のソース領域 1 2 8、ドレイン領域 1 2 9、低濃度不純物領域 (L D D 領域) 1 3 0、チャネル形成領域 1 3 1 が画定する。また、画素マトリクス回路を構成する N チャネル型 T F T のソース領域 1 3 2、ドレイン領域 1 3 3、低濃度不純物領域 (L D D 領域) 1 3 4、チャネル形成領域 1 3 5 が画定する。(図 3 (A))

【0075】

次に、レジストマスク 1 3 4 を除去した後、レジストマスク 1 3 6 で N チャネル型 T F T となる領域を隠し、ボロンをリンよりも高いドーズ量で添加する。このボロンの添加工程により C M O S 回路を構成する P チャネル型 T F T のソース領域 1 3 7、ドレイン領域 1 3 8、低濃度不純物領域 (L D D 領域) 1 3 9、チャネル形成領域 1 4 0 が画定する。(図 3 (B))

20

【0076】

以上の様にして、活性層 1 1 1 ~ 1 1 3 への不純物の添加工程が終了したら、ファーンスアニール、レーザーアニールまたはランプアニールによって熱処理を行い、添加した不純物の活性化を行う。また、この時、不純物の添加時に活性層が受けた損傷も回復される。

【0077】

なお、チャネル形成領域 1 3 1、1 3 5、1 4 0 は全く不純物元素が添加されず、真性または実質的に真性な領域である。ここで実質的に真性であるとは、N 型又は P 型を付与する不純物濃度がチャネル形成領域のスピン密度以下であること、或いは同不純物濃度が $1 \times 10^{14} \sim 1 \times 10^{17} \text{atoms/cm}^3$ の範囲であることを指す。

30

【0078】

次に、25 nm 厚の窒化シリコン膜と 900 nm 厚の酸化シリコン膜との積層膜からなる第 1 の層間絶縁膜 1 4 1 を形成する。そして、T i / A l / T i (膜厚は順に 100 / 500 / 100 nm) からなる積層膜で構成されるソース電極 1 4 2 ~ 1 4 4、ドレイン電極 1 4 5、1 4 6 を形成する。

【0079】

次に、50 nm 厚の窒化シリコン膜 2 3 7、20 nm 厚の酸化シリコン膜 (図示せず)、1 μ m 厚の有機樹脂膜 1 4 8 の積層構造からなる第 2 の層間絶縁膜を形成する。なお、有機樹脂膜 1 4 8 としては、ポリイミド、アクリル、ポリアミド等を用いることができる。また、この場合の 20 nm 厚の酸化シリコン膜は有機樹脂膜 1 4 8 をドライエッチングする際のエッチングストッパーとして機能する。

40

【0080】

第 2 の層間絶縁膜を形成したら、後に補助容量を形成する領域において有機樹脂膜 1 4 8 をエッチングして開口部を設ける。この時、開口部の底部には窒化シリコン膜 1 4 7 のみ残すか、窒化シリコン膜 1 4 7 と酸化シリコン膜 (図示せず) を残すかのいずれかの構造にする。

【0081】

そして、300 nm 厚のチタン膜を成膜し、パターンニングによりブラックマスク 1 4 9 を形成する。このブラックマスク 1 4 9 は画素マトリクス回路上において、T F T や配線部

50

など遮光を要する部分に形成される。

【0082】

この時、前述の開口部では画素マトリクス回路のドレイン電極146とブラックマスク149とが窒化シリコン膜237（又は窒化シリコン膜と酸化シリコン膜との積層膜）を挟んで近接した状態となる。

【0083】

本実施例ではブラックマスク149を固定電位に保持して、ドレイン電極146を下部電極、ブラックマスク239を上部電極とする補助容量150を構成する。この場合、誘電体が非常に薄く比誘電率が高いため、大きな容量を確保することが可能である。

【0084】

こうしてブラックマスク149及び補助容量150を形成したら、再び1 μ m厚の有機樹脂膜を形成して第3の層間絶縁膜151とする。そして、コンタクトホールを形成して透明導電膜（代表的にはITO）で構成される画素電極152を120nmの厚さに形成する。

【0085】

最後に、水素雰囲気中で350 $^{\circ}$ C 2時間程度の加熱処理を行い、素子全体の水素化を行う。こうして図3（C）に示す様なアクティブマトリクス基板が完成する。後は、公知のセル組み工程によって対向基板との間に液晶層を挟持すればアクティブマトリクス型液晶表示装置が完成する。

【0086】

〔実施例2〕 本実施例を図5、図6を用いて説明する。本実施例は実施例1の変形例であり、アモルファスシリコン膜表面に部分的に接するように、ゲルマニウム膜を形成することによって、アモルファスシリコン膜をラテラル成長させる。

【0087】

先ず絶縁表面を有する基板201上に、アモルファスシリコン膜をTFTの活性層の形状にパターニングして、島状領域202、203を形成する。（図5（A））

【0088】

次に、開口部202a～202dを有するマスク絶縁膜204を形成する。酸化シリコン膜でなるマスク絶縁膜を形成した。マスク絶縁膜204には、島状領域202、203のソース領域となる領域202a、203a及びドレイン領域となる領域202b、203b上に、それぞれ開口部202a～202dが形成されている。（図5（B））

【0089】

次に、実施例1と同様に図4に示すスパッタ装置において、スパッタエッチング工程から結晶化工程までを行う。先ず、エッチング室16において、アルゴンガスによって、開口部開口部202a～202dにおいて、露出されている領域202a、203a及びドレインとなる領域202b、203b表面をスパッタエッチングする。そして基板201をスパッタ室14に移動して、実施例1と同様な条件下でスパッタ法にてゲルマニウム膜204を形成する。（図5（C））

【0090】

そして加熱室17においてRTA処理して、アモルファスシリコン膜でなる島状領域202、203を結晶化して、ポリシリコン膜でなる活性層211と212を得る。ゲルマニウム膜205が領域202a、202b、203a、203bで選択的にアモルファスシリコン膜と接しているため、矢活性層211、212のチャネルが形成される領域202c、203cはラテラル成長された領域で構成される。ラテラル成長領域は結晶粒の配向の均一性が非常に高く、そのためTFTのキャリア移動度などの電気的特性を向上させることができる。（図5（D））

【0091】

そして、活性層211、212上に残存するゲルマニウム膜203を硫酸過水溶液（ $\text{H}_2\text{SO}_4 : \text{H}_2\text{O}_2 = 1 : 1$ ）で除去した後、次にゲート絶縁膜を構成する絶縁被膜213を成膜した。プラズマCVD装置によって、原料ガスに SiH_4 と N_2O を用いて厚さ1

10

20

30

40

50

20 nmの窒化酸化シリコン膜を形成した。成膜条件は、圧力0.3 torr、基板温度400、RF出力100 W、原料ガス流量は SiH_4 は4 sccm、 N_2O は400 sccmとする。
(図5(E))

【0092】

絶縁被膜213上にゲート電極を構成するアルミニウム膜(Scを0.18重量%添加した)をスパッタ装置によって400 nmの厚さに成膜した。そして、このアルミニウム膜表面を陽極酸化して図示しない陽極酸化膜を形成した。この陽極酸化工程は3重量%の酒石酸を含むエチレングリコール溶液中で、アルミニウム膜を陽極に、白金を陰極として、この電極間に10 Vの電圧を印加した。この工程で形成される陽極酸化膜は1 nm程度であって、後に形成されるフォトレジストの密着性を向上させるためのものである。陽極酸化工程後パターニングのための図示しないフォトレジストマスクを形成し、アルミニウム膜をウェットエッチングによってパターニングして、アルミニウムでなるパターン214、215を得る。(図6(A))

10

【0093】

次に陽極酸化工程を再び行い、パターン214、215の側面に陽極酸化膜216、217を形成する。この陽極酸化工程は電界溶液として、3重量%のシュウ酸溶液を用い、上記の陽極と陰極間の電圧を8 Vとした。この陽極酸化工程では、図示しないフォトレジストマスクが存在しているため、露出しているパターン214、215の側面が選択的に酸化されて、多孔質状の陽極酸化膜216、217が形成される。

【0094】

20

フォトレジストマスクを除去した後、再び上記の3重量%酒石酸を含有するエチレングリコール溶液を電解溶液に用いた陽極酸化工程を行い、緻密な膜質を有するバリア型の陽極酸化膜218、219を形成する。以上の3回の陽極酸化工程で陽極酸化されなかったパターン214、215がゲート電極220、221を構成する。この陽極工程では、多孔質状の陽極酸化膜中に電解溶液が浸入するためにパターン214、215の表面が酸化され、ゲート電極220、221が陽極酸化膜218、219に被覆された構成を得た。(図6(B))

【0095】

次に陽極酸化膜216、217とゲート電極220、221をマスクにして、窒化酸化シリコン膜でなる絶縁被膜213をパターニングした。パターニングされた絶縁被膜がゲート絶縁膜222、223として機能する。(図6(C))

30

【0096】

次に燐酸、酢酸、硝酸を混合した酸を用いて、多孔質状の陽極酸化膜216、217をウェットエッチングして除去した。そして、ソース/ドレイン領域を形成するために、活性層211、212に不純物を導入する。まず、イオンドーピング装置によって、N型の導電性を付与する燐(P)を2回のドーピング工程によって導入した。2回のドーピング工程においてドーピングガスには水素(H_2)で5%に希釈した PH_3 を使用した。1回目のドーピング条件は加速電圧90 kV、RF出力5 W、設定ドーズ量は $1.2 \times 10^{13} \text{ cm}^3$ とした。2回目のドーピング条件は加速電圧10 kV、RF出力20 W、設定ドーズ量は $5 \times 10^{14} \text{ cm}^3$ とした。

40

【0097】

次に、Nチャネル型TFETとなる活性層211をフォトレジストで被覆し、残りの活性層212にP型の導電性を付与するボロン(B)を2回のイオンドーピング工程によって導入した。2回のドーピング工程においてドーピングガスには水素(H_2)で5%に希釈した B_2H_6 を使用した。1回目のドーピング条件は加速電圧70 kV、RF出力5 W、設定ドーズ量は $2 \times 10^{14} \text{ cm}^3$ とした。2回目のドーピング条件は加速電圧10 kV、RF出力20 W、設定ドーズ量は $1.3 \times 10^{14} \text{ cm}^3$ とした。

【0098】

以上の工程によって、Nチャネル型TFETの活性層211において、その上にゲート電極220と陽極酸化膜218が存在する領域228は2回のドーピング工程でもリンイオン

50

が添加されず、チャネル形成領域となる。またゲート絶縁膜 222 が存在していない 2 つの領域 224 と 225 は、2 度のドーピングともリンイオンが添加され、ソース領域、ドレイン領域となる。残りの 2 つの領域 226 と 227 は 2 度目のドーピング工程において加速電圧が低いので、ゲート絶縁膜 222 がマスクとして機能するため、ソース/ドレイン領域 224、225 よりもリン濃度が低く、低濃度不純物領域となる。

【0099】

ボロンイオンのドーピング工程によって、Pチャネル型 TFT を構成する活性層 212 は先にリンが添加されて N 型であったソース/ドレイン領域 230、231 及び低濃度不純物領域 232、233 の導電型は P 型に反転される。リンイオンと同様に、ゲート絶縁膜 223、ゲート電極 221、陽極酸化膜 219 がマスクとして機能するため、低濃度不純物領域 232、233 のボロンの濃度はソース/ドレイン領域 230、231 よりも低くなっている。また領域 234 はリン及びボロンが添加されずチャネル形成領域として画定する。(図 6(D))

10

【0100】

次に、活性層 211、212 に導入された不純物(リン、ボロン)を活性化した後、層間絶縁膜 235 を形成した。層間絶縁膜 235 として、窒化シリコン膜と酸化シリコン膜との 2 層の絶縁膜を成膜する。まずプラズマ CVD 装置において、基板温度 325、圧力 0.7 torr、RF 出力 300 W とし、原料ガス SiH_4 (流量 5 sccm)、 NH_3 (流量 38 sccm)、 N_2 (流量 87 sccm) 用い、窒化シリコン膜を 25 nm の厚さに成膜する。次に、基板温度 300、圧力 1.05 torr、RF 出力 200 W とし、原料ガス TEOS (流量 35 sccm)、 O_2 (流量 500 sccm) 用い、酸化シリコン膜を 900 nm の厚さに成膜する。

20

【0101】

次に、層間絶縁膜 235 にコンタクトホールを開孔した。そしてソース/ドレイン電極を構成する導電膜として、厚さ 50 nm のチタン(Ti)膜、厚さ 400 nm アルミニウム(Al)膜でなる積層膜をスパッタ装置で連続成膜した。なおアルミニウム膜にはシリコン(Si)を 2 重量% 添加した。そして、チタン膜/アルミニウム膜でなる積層膜をパターニングして、ソース電極 236、ドレイン電極 237、239 をそれぞれ形成した。また、ここでは Nチャネル型 TFT と Pチャネル型 TFT によって、CMOS TFT を形成した。

30

【0102】

〔実施例 3〕 本実施例を図 8 を用いて説明する。実施例 1、2 ではアモルファスシリコン膜を形成した後に、ゲルマニウム膜を成膜したが、本実施例ではゲルマニウム膜を先に形成する例を示す。ここでは、ゲルマニウム膜が酸化されないように、ゲルマニウム膜とアモルファスシリコン膜とを複数の CVD 処理室を備えたマルチタスク型のプラズマ CVD 装置(図 4 のスパッタ室をプラズマ発生手段を備えた CVD 室に置き換えたものが相当する)内で成膜する。

【0103】

まず、石英基板 401 を CVD 装置の 1 つの CVD 室に移動してゲルマニウム膜 402 を成膜する。原料ガスにはゲルマン(GeH_4)を用いればよい。ゲルマンは 450 の低温で容易に分解される。(図 8(A))

40

【0104】

次に、他の CVD 室に基板 401 を移動し、ゲルマニウム膜 402 表面全体にアモルファスシリコン膜 403 を成膜する。原料ガスにはシランもしくはジシランを用いればよい。(図 8(B))

【0105】

そして、装置内の加熱室に移動して、RTA またはファーネスアニールによってゲルマニウムが核になって、アモルファスシリコン膜 403 が結晶化して、ポリシリコン膜 404 に変成する。(図 8(C))

【0106】

50

そして、CVD装置から基板を取り出し、ポリシリコン膜404をパターニングしてTFTの活性層405を形成する。またTFTの信頼性のため活性層405の下地のゲルマニウム膜403も活性層405と同じ形状の島状ゲルマニウム領域にパターニングして、TFTごとに分断する。以下、実施例1や実施例2に示すような公知のトップゲート型TFTの作製方法に従って、TFTを完成させればよい。

【0107】

本実施例では、ゲルマニウム膜402とアモルファスシリコン膜403とを同じ装置内で気密を破らずに成膜したため、アモルファスシリコン膜403との界面でゲルマニウム膜402が酸化されるのが抑制されるため、結晶化が効率よく行える。

【0108】

〔実施例4〕 本実施例では、実施例1～3で示された電気光学装置や半導体回路を搭載した電子機器（応用製品）の一例を図9に示す。なお、電子機器とは半導体回路および/または電気光学装置を搭載した製品と定義する。

【0109】

本願発明を適用し得る電子機器としてはビデオカメラ、電子スチルカメラ、プロジェクター、ヘッドマウントディスプレイ、カーナビゲーション、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話、PHS等）などが挙げられる。

【0110】

図9（A）は携帯電話であり、本体2001、音声出力部2002、音声入力部2003、表示装置2004、操作スイッチ2005、アンテナ2006で構成される。本願発明は音声出力部2002、音声入力部2003、表示装置2004等に適用することができる。

【0111】

図9（B）はビデオカメラであり、本体2101、表示装置2102、音声入力部2103、操作スイッチ2104、バッテリー2105、受像部2106で構成される。本願発明は表示装置2102、音声入力部2103、受像部2106等に適用することができる。

【0112】

図9（C）はモバイルコンピュータ（モービルコンピュータ）であり、本体2201、カメラ部2202、受像部2203、操作スイッチ2204、表示装置2205で構成される。本願発明はカメラ部2202、受像部2203、表示装置2205等に適用できる。

【0113】

図9（D）はヘッドマウントディスプレイであり、本体2301、表示装置2302、バンド部2303で構成される。本発明は表示装置2302に適用することができる。

【0114】

図9（E）はリア型プロジェクターであり、本体2401、光源2402、表示装置2403、偏光ビームスプリッタ2404、リフレクター2405、2406、スクリーン2407で構成される。本発明は表示装置2403に適用することができる。

【0115】

図9（F）はフロント型プロジェクターであり、本体2501、光源2502、表示装置2503、光学系2504、スクリーン2505で構成される。本発明は表示装置2503に適用することができる。

【0116】

以上の様に、本願発明の適用範囲は極めて広く、あらゆる分野の電子機器に適用することが可能である。また、電気光学装置や半導体回路を必要とする製品であれば全てに適用することが可能である。

【0117】

【発明の効果】

本発明ではゲルマニウムを結晶化の核に利用することで、酸化シリコンの異常成長の問題を生じない結晶化プロセスで高い結晶性を有するポリシリコン膜を得ることができ、また

10

20

30

40

50

ゲルマニウムの酸化が抑制されるため、結晶化工程を効率よく行うことができる。

【図面の簡単な説明】

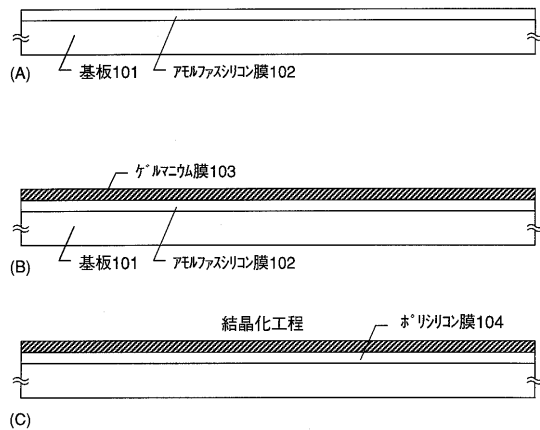
- 【図 1】 本発明のポリシリコン膜の結晶化工程を説明するための断面図。
 【図 2】 本発明のアクティブマトリクス基板の作製工程を説明するための図。
 【図 3】 本発明のアクティブマトリクス基板の作製工程を説明するための図。
 【図 4】 本発明の結晶化工程に用いるスパッタ装置の概略の構成図。
 【図 5】 本発明のポリシリコン膜の結晶化工程を説明するための断面図。
 【図 6】 本発明の T F T の作製工程を説明するための断面図。
 【図 7】 本発明のポリシリコン膜の結晶化工程を説明するための断面図。
 【図 8】 本発明のポリシリコン膜の結晶化工程を説明するための断面図。
 【図 9】 本発明の半導体装置を応用した電子機器を示す図。
 【図 10】 酸化シリコンの異常成長を示す S E M 写真。

10

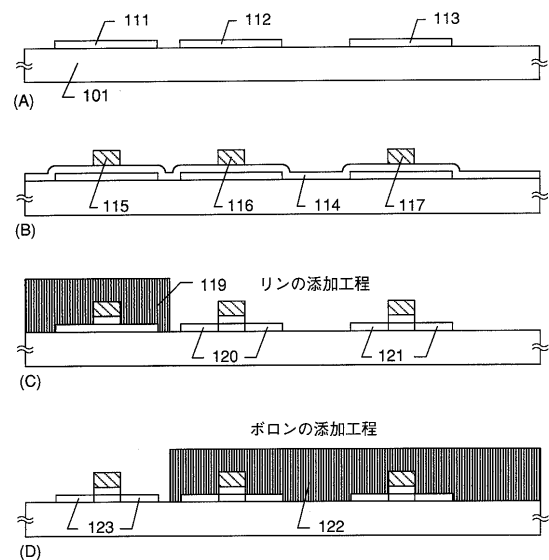
【符号の説明】

- 101 基板
 101 アモルファスシリコン膜
 103 ゲルマニウム膜
 104 ポリシリコン膜

【図 1】

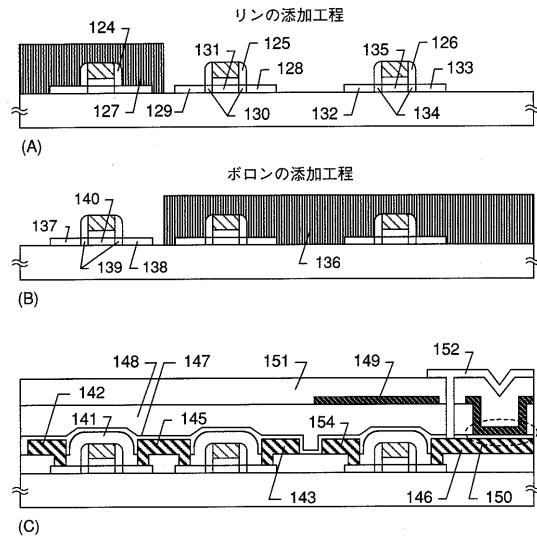


【図 2】



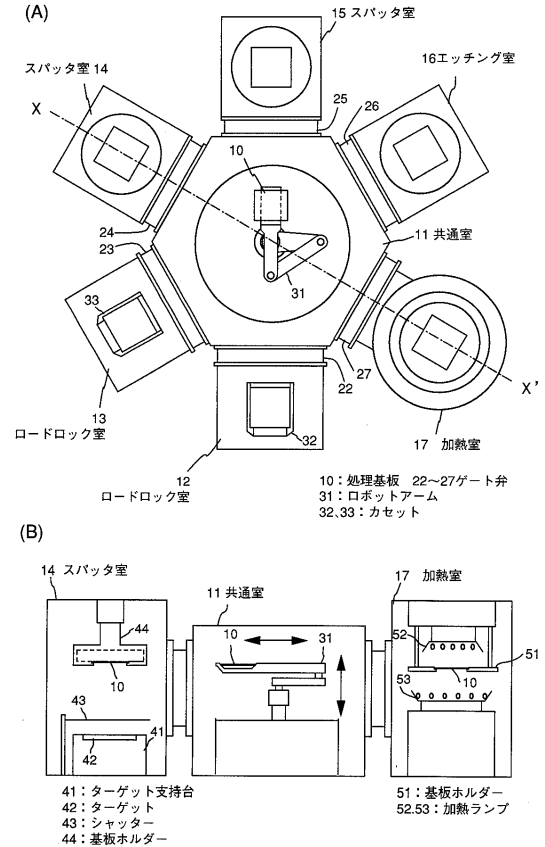
101：基板 111～123：活性層 114：ゲート絶縁膜
 115～117：ゲート電極 119、122：レジストマスク
 120、121：低濃度不純物領域（N型）
 123：低濃度不純物領域（P型）

【図 3】

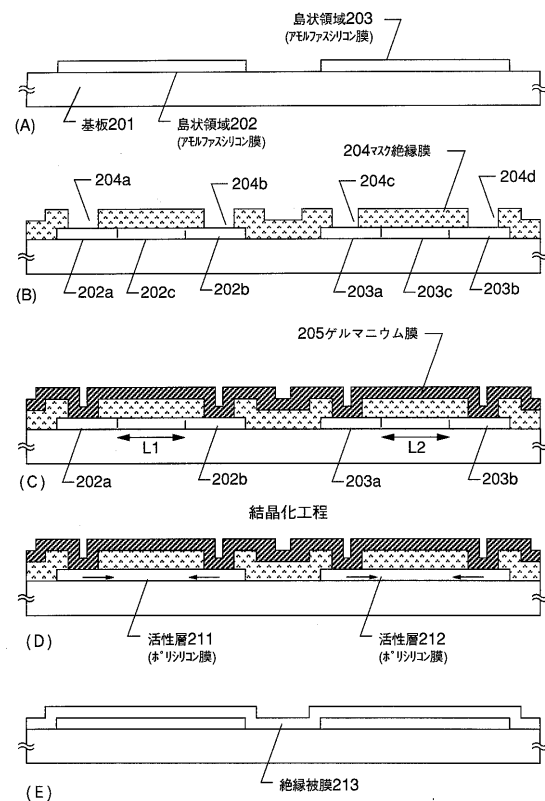


124~126: 斜トウール 127, 136: レースマスク 128, 132, 137: ソース領域
 129, 123, 138: ドレイン領域 140, 134, 139: 低濃度不純物領域
 131, 135, 140: チャネル形成領域 141: 第1の層間絶縁膜
 142~144: ソース電極 145, 146: ドレイン電極 147: 窒化珪素膜
 148: 有機樹脂膜 149: プラックマスク 150: 補助容量
 151: 第3の層間絶縁膜 152: 画素電極

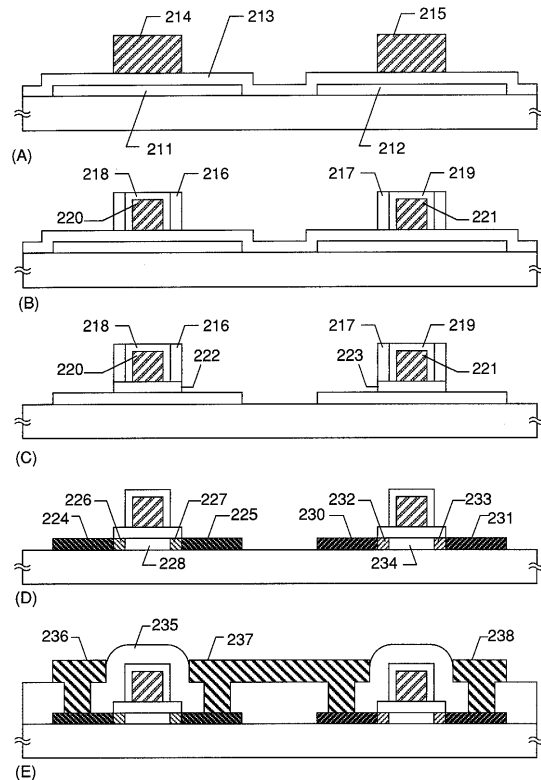
【図 4】



【図 5】

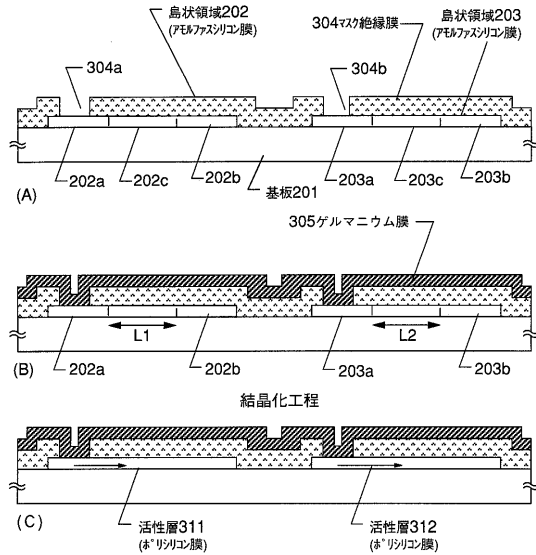


【図 6】

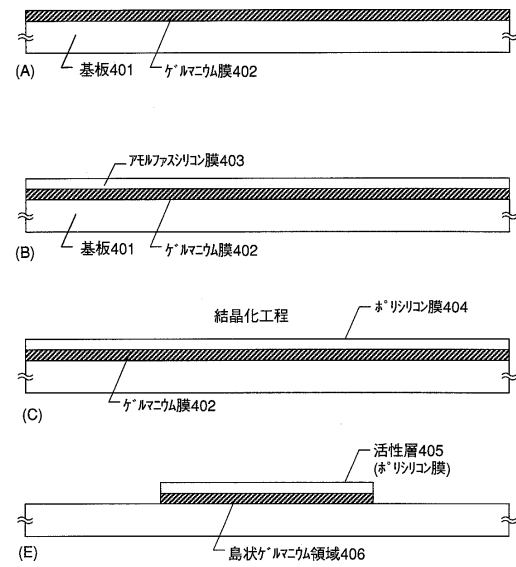


211, 212: 活性層(シリコン膜) 213: 絶縁被膜
 218, 219: N型シリコン層 220, 221: ゲート電極
 222, 223: ゲート絶縁膜 224, 230: ソース領域 225, 231: ドレイン領域
 226, 227, 232, 233: 低濃度不純物領域 228, 234: チャネル形成領域
 235: 層間絶縁膜 236, 238: ソース電極 237, 239: ドレイン電極

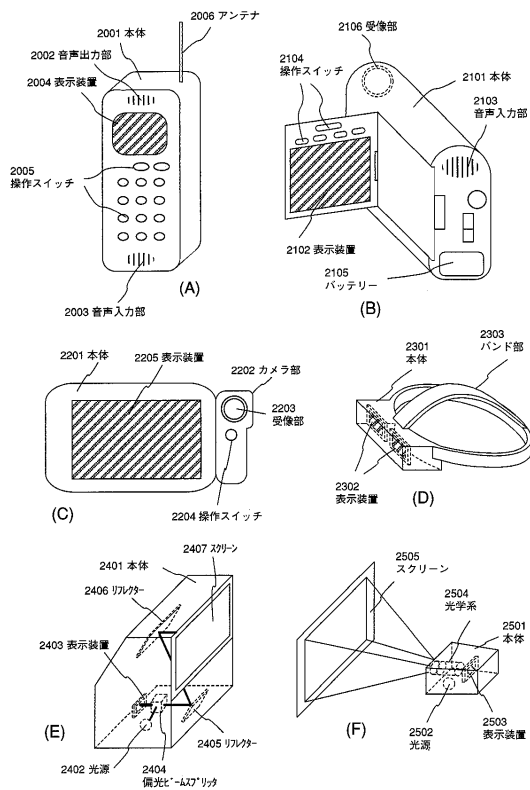
【図 7】



【図 8】



【図 9】



【図 10】

