

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6026802号
(P6026802)

(45) 発行日 平成28年11月16日(2016.11.16)

(24) 登録日 平成28年10月21日(2016.10.21)

(51) Int.Cl.	F 1
HO1L 29/786 (2006.01)	HO1L 29/78 618C
HO1L 21/336 (2006.01)	HO1L 29/78 617K
HO1L 21/8242 (2006.01)	HO1L 29/78 618B
HO1L 27/108 (2006.01)	HO1L 29/78 626C
HO1L 21/8247 (2006.01)	HO1L 27/10 321

請求項の数 3 (全 33 頁) 最終頁に続く

(21) 出願番号	特願2012-159191 (P2012-159191)	(73) 特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(22) 出願日	平成24年7月18日(2012.7.18)	(72) 発明者	石塚 章広 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(65) 公開番号	特開2013-42125 (P2013-42125A)	(72) 発明者	笛川 慎也 神奈川県厚木市長谷398番地 株式会社 半導体エネルギー研究所内
(43) 公開日	平成25年2月28日(2013.2.28)		
審査請求日	平成27年6月15日(2015.6.15)		
(31) 優先権主張番号	特願2011-160097 (P2011-160097)		
(32) 優先日	平成23年7月21日(2011.7.21)		
(33) 優先権主張国	日本国(JP)		

審査官 市川 武宜

最終頁に続く

(54) 【発明の名称】半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

酸化物絶縁層を形成し、

前記酸化物絶縁層に、バイアス電圧を印加する第1のプラズマエッティング処理を行って酸化物絶縁層上面に対して略垂直な側面を有する凹部を形成し、

前記凹部に、前記第1のプラズマエッティング処理よりも低いバイアス電圧を印加する第2のプラズマエッティング処理を行って下端コーナ部に曲面を有するトレンチを形成し、

前記トレンチの底部、前記下端コーナ部、及び側部に接する酸化物半導体膜を形成し、

前記酸化物半導体膜と電気的に接続するソース電極及びドレイン電極を形成し、

前記酸化物半導体膜上にゲート絶縁層を形成し、

前記ゲート絶縁層上にゲート電極を形成する半導体装置の作製方法。

【請求項2】

酸化物絶縁層を形成し、

前記酸化物絶縁層に、バイアス電圧を印加する第1のプラズマエッティング処理を行って酸化物絶縁層上面に対して略垂直な側面を有する凹部を形成し、

前記凹部に、前記第1のプラズマエッティング処理よりも低いバイアス電圧を印加する第2のプラズマエッティング処理と、希ガス雰囲気による第3のプラズマエッティング処理と、を行って下端コーナ部及び上端コーナ部に曲面を有するトレンチを形成し、

前記トレンチの底部、前記下端コーナ部、及び側部に接する酸化物半導体膜を形成し、

前記酸化物半導体膜と電気的に接続するソース電極及びドレイン電極を形成し、

10

20

前記酸化物半導体膜上にゲート絶縁層を形成し、
前記ゲート絶縁層上にゲート電極を形成する半導体装置の作製方法。

【請求項 3】

請求項1または請求項2において、

前記第2のプラズマエッティング処理において印加するバイアス電圧の電力密度は0W/cm²以上0.03W/cm²以下とする半導体装置の作製方法。

【発明の詳細な説明】

【技術分野】

【0001】

本明細書で開示する発明は、半導体装置及び半導体装置の作製方法に関する。

10

【背景技術】

【0002】

絶縁表面を有する基板上に形成された半導体薄膜を用いてトランジスタを構成する技術が注目されている。該トランジスタは、集積回路（IC）や画像表示装置のような電子デバイスに広く応用されている。また、トランジスタに適用可能な半導体薄膜として、酸化物半導体等のワイドギャップ半導体を用いる技術が注目されている。

【0003】

例えば、特許文献1では、InGaZn系酸化物で構成される酸化物半導体が、薄膜トランジスタのチャネル形成領域に適用可能であることが確認されている。

【先行技術文献】

20

【特許文献】

【0004】

【特許文献1】特開2004-103957号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

ところで、トランジスタの動作の高速化、トランジスタの低消費電力化、高集積化等を達成するためにはトランジスタの微細化が必須である。

【0006】

しかし、トランジスタを微細化すると、短チャネル効果の問題が生じる。短チャネル効果とは、トランジスタの微細化に伴って顕在化する電気特性の劣化である。短チャネル効果は、ドレインの電界の効果がソースにまで及ぶことに起因するものである。短チャネル効果の具体例としては、しきい値電圧の低下、サブスレッショルドスインギング値（S値）の増大、漏れ電流の増大等があげられる。

30

【0007】

特に、酸化物半導体を用いたトランジスタは、シリコンを用いたトランジスタのようにドーピングによるしきい値制御を適用することが難しいため、短チャネル効果が現れやすい傾向にある。

【0008】

そこで、開示する発明は、微細化を実現し、安定した電気的特性を付与する半導体装置を提供することを目的のーとする。また、上記半導体装置を作製する方法を提供することを目的のーとする。

40

【課題を解決するための手段】

【0009】

上記課題を解決するために、酸化物絶縁層にトレンチを形成し、該トレンチに接して酸化物半導体膜のチャネル形成領域を設けることで、チャネル形成領域を深さ方向（基板垂直方向）に延長させる。これによって、トランジスタの微細化を実現しつつ、実効的なチャネル長を延長させることができる。

【0010】

上記酸化物半導体膜のチャネル長方向の断面形状はトレンチの断面形状に沿った形状とな

50

っている。そのため、トレンチの深さが深くなればなるほどトランジスタのチャネル長が長くなる構造である。したがって、ソース電極とドレイン電極との距離を狭くしても、トレンチの深さを適宜設定することによって酸化物半導体膜のチャネル長を延長することができ、短チャネル効果を抑制できる。

【0011】

また、トレンチの下端コーナ部は曲面を含む構造とする。トレンチの下端コーナ部は酸化物半導体膜を成膜しにくく、下端コーナ部において酸化物半導体膜が段切れを起こす場合がある。したがって、トレンチの下端コーナ部に曲面を形成することで、酸化物半導体膜の段切れを抑制し、安定した電気的特性を付与することができる。

【0012】

また、トレンチの側部は酸化物絶縁層上面と略垂直な側面を有する。したがって、トレンチに沿って形成される酸化物半導体膜のチャネル長を長くして、短チャネル効果を抑制するとともに、トランジスタを微細化することができる。

10

【0013】

なお、本明細書において、トレンチの側部とはトレンチにおいて酸化物絶縁層上面と略垂直で、対向する2つの側面を含む部分のことを指し、トレンチの側面の幅とはトレンチの側面の一方から対向する他方のトレンチの側面に向かって、酸化物絶縁層上面と平行な方向における最短の距離のことである。トレンチの底部とは、対向する2つの側部の間にあり、トレンチの深さが最も深い部分を含む箇所のことを指す。

【0014】

20

トレンチの側部と底部が交わる領域をトレンチの下端コーナ部とし、トレンチの側部と酸化物絶縁層上面が交わる領域をトレンチの上端コーナ部とする。また、トレンチの上端の幅とは、チャネル長方向の断面において、酸化物絶縁層上面とトレンチの一方の側面が交わる点と、酸化物絶縁層上面とトレンチの対向する他方の側面が交わる点を結んだ長さ、または酸化物絶縁層上面とトレンチの側面の一方の延長線が交わる点と酸化物絶縁層上面とトレンチの対向する他方の側面の延長線が交わる点を結んだ長さのことを言う。

【0015】

したがって、本発明の一態様は、トレンチが設けられた酸化物絶縁層と、酸化物絶縁層のトレンチの底部、下端コーナ部、及び側部に接する酸化物半導体膜と、酸化物半導体膜と電気的に接続するソース電極及びドレイン電極と、酸化物半導体膜上のゲート絶縁層と、ゲート絶縁層上のゲート電極と、を有し、トレンチの側部は酸化物絶縁層上面と略垂直な側面を含み、上端の幅は側面の幅の1倍以上1.5倍以下であり、底部または底部と側部が交わる下端コーナ部は曲面を含む半導体装置である。

30

【0016】

本発明の一態様の半導体装置は、酸化物半導体膜を酸化物絶縁層に設けられたトレンチに接して形成することで、酸化物半導体膜のチャネル長方向の断面形状がトレンチの断面形状に沿った形状となっており、トレンチの深さが深くなればなるほどトランジスタのチャネル長が長くなる構成である。したがって、ソース電極とドレイン電極の距離を狭くしても、酸化物半導体膜のチャネル長を確保することができ、短チャネル効果を抑制することができる。また、酸化物絶縁層に接して酸化物半導体膜が設けられるため、酸化物絶縁層から酸化物半導体膜に酸素を供給することができ、酸化物半導体膜中の酸素欠陥を低減することができる。

40

【0017】

また、トレンチの側部が酸化物絶縁層上面に対して略垂直な側面を有するため、トレンチの上端の幅がトレンチの側面の幅に比べて広がらないため、微細なトランジスタを形成することができる。なお、ここで、略垂直とは80度から100度である。

【0018】

また、トレンチの下端コーナ部に曲面を含むため、酸化物半導体膜がトレンチの下端コーナ部において段切れを起こすことがなく、安定した電気的特性を付与することができる。また、トレンチの上端の幅が、トレンチの側面の幅の1倍以上1.5倍以下となっている

50

ため、微細化を実現することができる。

【0019】

また、上記トレンチの下端コーナ部が含む曲面は曲率半径が20nm以上70nm以下であることが好ましい。下端コーナ部が緩やかな傾斜であると、酸化物半導体膜が下端コーナ部において段切れを起こすことがなく、安定した電気的特性を得ることができる。また、トレンチの上端コーナ部にも曲面を有していてもよい。トレンチの上端コーナ部にも曲面を有することで、酸化物半導体膜の被覆性が向上し、電気的に安定した半導体装置を提供することができる。

【0020】

さらに、上記トレンチの側面の幅を0.2μm以上0.3μm以下と微少な幅にすることによって、該トレンチを設けてもトランジスタの微細化を実現することが可能である。

10

【0021】

また、本発明の一態様は、酸化物絶縁層を形成し、酸化物絶縁層に、バイアス電圧を印加する第1のプラズマエッチング処理を施すことで酸化物絶縁層上面に対して略垂直な側面を有する凹部を形成し、凹部に第1のプラズマエッチング処理よりも低いバイアス電圧を印加する第2のプラズマエッチング処理を施すことで下端コーナ部に曲面を有するトレンチを形成し、酸化物絶縁層のトレンチの底部、下端コーナ部、及び側部に接する酸化物半導体膜を形成し、酸化物半導体膜と電気的に接続するソース電極及びドレイン電極を形成し、酸化物半導体膜上にゲート絶縁層を形成し、ゲート絶縁層上にゲート電極を形成する半導体装置の作製方法である。

20

【0022】

また、本発明の一態様は、酸化物絶縁層を形成し、酸化物絶縁層に、バイアス電圧を印加する第1のプラズマエッチング処理を施すことで酸化物絶縁層上面に対して略垂直な側面を有する凹部を形成し、凹部に第1のプラズマエッチング処理よりも低いバイアス電圧を印加する第2のプラズマエッチング処理と、希ガス雰囲気による第3のプラズマエッチング処理と、を施すことで下端及び上端コーナ部に曲面を有するトレンチを形成し、酸化物絶縁層のトレンチの底部、下端コーナ部、及び側部に接する酸化物半導体膜を形成し、酸化物半導体膜と電気的に接続するソース電極及びドレイン電極を形成し、酸化物半導体膜上にゲート絶縁層を形成し、ゲート絶縁層上にゲート電極を形成する半導体装置の作製方法である。

30

【0023】

また、本発明の一態様の半導体装置の作製方法において、第2のプラズマエッチング処理において印加するバイアス電圧の電力密度は0W/cm²以上0.03W/cm²以下とすることが好ましい。

【0024】

なお、本明細書等における「第1」、「第2」、「第3」などの序数詞は、構成要素の混同を避けるために付すものであり、数的に限定するものではないことを付記する。

【発明の効果】

【0025】

本発明の一態様を用いることによって、微細化を実現し、安定した電気特性を付与する半導体装置を提供できる。また、該半導体装置を容易に作製する方法を提供できる。

40

【図面の簡単な説明】

【0026】

【図1】本発明の一態様の半導体装置の上面図及び断面図。

【図2】本発明の一態様の半導体装置の作製方法を示す図。

【図3】本発明の一態様の半導体装置の作製方法を示す図。

【図4】本発明の一態様の半導体装置の上面図及び断面図。

【図5】本発明の一態様の半導体装置を示す断面図、平面図、及び回路図。

【図6】本発明の一態様の半導体装置を示す回路図及び斜視図。

【図7】本発明の一態様の半導体装置を示す断面図及び平面図。

50

【図8】本発明の一態様の半導体装置を示す回路図。

【図9】本発明の一態様の半導体装置の一例を示すプロック図。

【図10】本発明の一態様の半導体装置の一例を示すプロック図。

【図11】本発明の一態様の半導体装置の一例を示すプロック図。

【図12】実施例1に示す比較例試料の断面TEM像を示す図。

【図13】実施例1に示す実施例試料の断面TEM像を示す図。

【図14】実施例2に示す実施例試料の断面TEM像を示す図。

【発明を実施するための形態】

【0027】

本発明の実施の形態の一例について、図面を用いて以下に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。 10

【0028】

なお、図面等において示す各構成の、位置、大きさ、範囲などは、理解を容易にするため、実際の位置、大きさ、範囲などを表していない場合がある。このため、開示する発明は、必ずしも、図面等に開示された位置、大きさ、範囲などに限定されない。

【0029】

また、本明細書等において、「電気的に接続」には、「何らかの電気的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電気的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電気的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、コイル、容量素子、その他の各種機能を有する素子などが含まれる。 20

【0030】

また、ソースやドレインの機能は異なる極性のトランジスタを採用する場合や、回路動作において、電流の方向が変化する場合などには入れ替わることがある。このため、本明細書においては、ソースやドレインの用語は入れ替えて用いることが出来るものとする。

【0031】

(実施の形態1)

本実施の形態では、本発明の一態様の半導体装置の基本的な構成及び作製方法について図面を用いて説明する。図1に本発明の一態様の半導体装置を示す。図1(A)は本発明の一態様の半導体装置の上面図を示しており、図1(B)は図1(A)の一点鎖線A1-A2における断面図である。 30

【0032】

図1に示すトランジスタ162は、トレンチ131が設けられた酸化物絶縁層130と、酸化物半導体膜144、ゲート絶縁層146、ソース電極またはドレイン電極として機能する導電層142a、導電層142b、ゲート電極148を有する。図示しないが、トランジスタ162は基板上に設けられている。

【0033】

トレンチ131は、下端コーナ部に曲面を含む。さらに、トレンチ131の下端コーナ部が含む曲面の曲率半径は20nm以上70nm以下が好ましく、より好ましくは20nm以上30nm以下であるとよい。トレンチ131の下端コーナ部に曲面が形成されることで、酸化物絶縁層130上に設けられる酸化物半導体膜144がトレンチ131の下端コーナ部において段切れを起こすことがなく、トランジスタ162は安定した電気的特性を得ることができる。 40

【0034】

また、トレンチ131の側部は酸化物絶縁層上面に対して略垂直な側面を有している。なお、本明細書中において、略垂直とは80度以上100度以下のことを指す。さらに、トレンチの上端の幅(図1(B)に示すL2)は、トレンチの側面の幅(図1(B)に示す

L 1) の 1 倍以上 1 . 5 倍以下であることが好ましい。トレンチの側面が酸化物絶縁層上面に対して略垂直であるため、トレンチの深さ（図 1 (B) に示す d ）を深くしても、トレンチの側面とトレンチの上端の幅がほぼ等しく、トレンチの上端の幅がトレンチの側面の幅に対して広がりをもたない。トレンチの上端の幅がトレンチの側面に対して広がらないため、微細化を実現することができる。

【 0 0 3 5 】

図 2 及び図 3 にトランジスタ 1 6 2 の作製方法の一例を示す。

【 0 0 3 6 】

まず、基板上に酸化物絶縁層 1 3 0 を形成する。

【 0 0 3 7 】

使用することができる基板に大きな制限はないが、少なくとも、後の熱処理に耐えうる程度の耐熱性を有していることが必要となる。例えば、バリウムホウケイ酸ガラスやアルミニノホウケイ酸ガラスなどのガラス基板、セラミック基板、石英基板、サファイア基板などを用いることができる。

【 0 0 3 8 】

また、シリコンや炭化シリコンなどの単結晶半導体基板、多結晶半導体基板、シリコンゲルマニウムなどの化合物半導体基板、S O I 基板、また、これらの基板上に半導体素子が設けられたもの、例えば、M O S F E T 構造のトランジスタを含む駆動回路が形成された半導体基板、容量が形成された半導体基板などを用いることができる。

【 0 0 3 9 】

酸化物絶縁層 1 3 0 は、1 n m 以上 1 0 0 n m 以下とし、スパッタリング法、M B E 法、C V D 法、パルスレーザ堆積法、A L D 法等を適宜用いることができる。なお、酸化物絶縁層 1 3 0 を、スパッタリング法を用いて形成すると、水素等の不純物が十分に低減された酸化物絶縁層を形成することができる。

【 0 0 4 0 】

酸化物絶縁層 1 3 0 としては、酸化シリコン、酸化ガリウム、酸化アルミニウム、酸化窒化シリコン、窒化酸化シリコン、酸化ハフニウム、または酸化タンタルなどを用いることが好ましい。また、これらの化合物を、単層構造または 2 層以上の積層構造で形成して用いることができる。積層構造とする際、例えば、基板と接する酸化物絶縁層に C V D 法によって形成した酸化シリコン膜を用い、酸化物半導体膜 1 4 4 と接する酸化物絶縁層にスパッタリング法によって形成した酸化シリコン膜を用いる構成としてもよい。酸化物半導体膜 1 4 4 と接する絶縁層を、水素濃度が低減された酸化物絶縁層として、酸化物半導体膜 1 4 4 に水素の拡散を抑制する他に、酸化物半導体膜 1 4 4 の酸素欠陥に酸化物絶縁層 1 3 0 から酸素が供給されるため、トランジスタの電気特性が良好になる。

【 0 0 4 1 】

ここで、酸化窒化シリコンとは、その組成において、窒素よりも酸素の含有量が多いものを示し、例として、少なくとも酸素が 5 0 原子 % 以上 7 0 原子 % 以下、窒素が 0 . 5 原子 % 以上 1 5 原子 % 以下、珪素が 2 5 原子 % 以上 3 5 原子 % 以下の範囲で含まれるものという。また、窒化酸化シリコンとは、その組成において、酸素よりも窒素の含有量が多いものを示し、例として、少なくとも酸素が 5 原子 % 以上 3 0 原子 % 以下、窒素が 2 0 原子 % 以上 5 5 原子 % 以下、珪素が 2 5 原子 % 以上 3 5 原子 % 以下の範囲で含まれるものという。但し、上記範囲は、ラザフォード後方散乱法 (R B S : R u t h e r f o r d B a c k s c a t t e r i n g S p e c t r o m e t r y) や、水素前方散乱法 (H F S : H y d r o g e n F o r w a r d S c a t t e r i n g) を用いて測定した場合のものである。また、構成元素の含有比率は、その合計が 1 0 0 原子 % を超えない値をとる。

【 0 0 4 2 】

酸化物絶縁層 1 3 0 は、酸化物半導体膜 1 4 4 と接するため、膜中 (バルク中) に少なくとも化学量論的組成を越える量の酸素が存在することが好ましい。例えば、酸化物絶縁層 1 3 0 として、酸化シリコン膜を用いる場合には、S i O ₂ + (ただし、> 0) とする。

10

20

30

40

50

【0043】

そして酸化物絶縁層に複数のトレンチ131（溝とも呼ぶ）を形成し、トレンチ131を有する酸化物絶縁層130を形成する。トレンチ131はフォトリソグラフィ法を用いたドライエッチング法を用いて作製することができる。

【0044】

例えば、反応性イオンエッチング（R I E : R e a c t i v e I o n E t c h i n g ）法、I C P (I n d u c t i v e l y C o u p l e d P l a s m a) エッチング法、E C R (E l e c t r o n C y c l o t r o n R e s o n a n c e) エッチング法、平行平板型（容量結合型）エッチング法、マグネットロンプラズマエッチング法、2周波プラズマエッチング法またはヘリコン波プラズマエッチング法等のドライエッチングを用いることができる。また、エッチングガスとしては、三フッ化メタン、（C H F₃）、四フッ化炭素（C F₄）、水素、ヘリウム、またはアルゴンなどの希ガスを適宜混合して用いることができる。10

【0045】

本実施の形態では、I C P エッチング装置を用いて絶縁層に凹部を形成する第1のプラズマエッチング処理と、該凹部に曲面を形成して下端コーナ部に曲面を有するトレンチ131を形成する第2のプラズマエッチング処理との2回のプラズマエッチング処理を行うことで、図1（B）に示すような、下端コーナ部に曲面を有するトレンチを形成する。

【0046】

まず、酸化物絶縁層130の上面に選択的にレジストマスク151を形成し、該レジストマスクを用いて酸化物絶縁層130に第1のプラズマエッチング処理を施し、凹部を形成する（図2（A）参照）。20

【0047】

第1のプラズマエッチング処理は、I C P エッチング装置内にエッチングガスを封入し、装置内に高周波電圧とバイアス電圧を印加することで行う。第1のプラズマエッチング処理において印加する電圧としては、例えば、電源電力475W、バイアス電力300Wとする。

【0048】

また、第1のプラズマエッチング処理に用いるエッチングガスとしては、例えば塩素を含むガス（塩素系ガス、例えば塩素（C l₂）、三塩化硼素（B C l₃）、四塩化珪素（S i C l₄）、四塩化炭素（C C l₄）など）が好ましい。また、フッ素を含むガス（フッ素系ガス、例えば四弗化炭素（C F₄）、六弗化硫黄（S F₆）、三弗化窒素（N F₃）、トリフルオロメタン（C H F₃）など）、臭化水素（H B r）、酸素（O₂）、これらのガスにヘリウム（H e）やアルゴン（A r）などの希ガスを添加したガス、またはこれらのガスを適宜混合したガスなどを用いることができる。30

【0049】

エッチングガスに高電圧をかけることでプラズマが発生し、このプラズマの中で得られるイオン、ラジカルといった化学的に活性な励起種が酸化物絶縁層130と反応する。該反応によって、酸化物絶縁層が削られて凹部を形成する。また、第1のプラズマエッチング処理においては、帯電しているイオンがバイアス電圧によって基板側に引き寄せられることで、方向性を有する異方性のエッチング処理を行うことができる。40

【0050】

続いて、第1のプラズマエッチング処理によって形成された凹部に第2のプラズマエッチング処理を行うことで、凹部の下端コーナ部に曲面を形成する（図2（B）参照）。第2のプラズマエッチング処理では、第1のプラズマエッチング処理よりも低いバイアス電圧を印加する。第1のプラズマエッチング処理よりも低いバイアス電圧を印加することで、エッチング装置内に発生したイオンとラジカルが基板側に強く引き寄せられることがなく、等方性のエッチング処理を行うことができる。したがって、第1のプラズマエッチング処理によって形成された凹部の下端コーナ部が、等方的に削られることによって曲面を形成することができる。50

【0051】

第2のプラズマエッティング処理において印加するバイアス電圧は、酸化物絶縁層にかかる電力密度が 0.03 W/cm^2 以下、さらにはましくは、 0.009 W/cm^2 以下とすることがよい。または、第2のプラズマエッティング処理においてはバイアス電圧を印加しなくてよい。第2のプラズマエッティング処理において、高いバイアス電圧、例えば、電力密度が 0.8 W/cm^2 となる電圧を印加すると、第1のプラズマエッティング処理と同様に、異方性のエッティングとなるため、第1のプラズマエッティング処理後と同様に下端コーナ部に曲面を含まない形状となる。したがって、下端コーナ部において、後に形成する酸化物半導体膜が段切れを起こす場合がある。

【0052】

10

上記の方法を用いて形成したトレンチ131は、側部に酸化物絶縁層上面に対して略垂直な側面を有する。そのため、トレンチの側面の幅に対してトレンチの上端の幅が広がりにくく、トランジスタの微細化を実現できる。トレンチの上端の幅は、トレンチの側面の幅に対して1倍以上1.5倍以下となることが好ましい。

【0053】

本実施の形態では、バイアス電圧を印加する第1のプラズマエッティング処理と、第1のプラズマエッティング処理よりも低いバイアス電圧を印加するか、またはバイアス電圧を印加しない第2のプラズマエッティング処理とを組み合わせることで、下端コーナ部に曲面を有するトレンチを形成する。

【0054】

20

ここで作製したトレンチ131は、下端コーナ部に曲面を含み、該曲面の曲率半径は 20 nm 以上 70 nm 以下（好ましくは 20 nm 以上 30 nm 以下）である。また、トレンチ131の側部は酸化物絶縁層130の上面に対し、略垂直な側面を有し、トレンチ131の上端の幅はトレンチ131の側面の幅の1倍以上1.5倍以下である。したがって、短チャネル効果を抑制しつつ、微細化を実現するトランジスタを作製することができる。

【0055】

次に、 O_2 アッシング等によってレジストマスク151を除去した後、トレンチ131を覆うように酸化物半導体膜144を形成する（図2（C）参照）。

【0056】

酸化物半導体膜144に用いる酸化物半導体としては、少なくともインジウム（In）あるいは亜鉛（Zn）を含むことが好ましい。特にInとZnを含むことが好ましい。また、該酸化物を用いたトランジスタの電気的特性のばらつきを低減するためのスタビライザーとして、それらに加えてガリウム（Ga）を有することが好ましい。また、スタビライザーとしてスズ（Sn）を有することが好ましい。また、スタビライザーとしてハフニウム（Hf）を有することが好ましい。また、スタビライザーとしてアルミニウム（Al）を有することが好ましい。

30

【0057】

また、他のスタビライザーとして、ランタノイドであるランタン（La）、セリウム（Ce）、プラセオジム（Pr）、ネオジム（Nd）、サマリウム（Sm）、ユウロピウム（Eu）、ガドリニウム（Gd）、テルビウム（Tb）、ジスプロシウム（Dy）、ホルミウム（Ho）、エルビウム（Er）、ツリウム（Tm）、イッテルビウム（Yb）、ルテチウム（Lu）、ジルコニウム（Zr）のいずれか一種あるいは複数種を有してもよい。

40

【0058】

例えば、酸化物半導体として、単元系金属の酸化物である酸化インジウム、酸化スズ、酸化亜鉛、二元系金属の酸化物であるIn-Zn系酸化物、Sn-Zn系酸化物、Al-Zn系酸化物、Zn-Mg系酸化物、Sn-Mg系酸化物、In-Mg系酸化物、In-Ga系酸化物、三元系金属の酸化物であるIn-Ga-Zn系酸化物（IGZOとも表記する）、In-Al-Zn系酸化物、In-Sn-Zn系酸化物、Sn-Ga-Zn系酸化物、Al-Ga-Zn系酸化物、Sn-Al-Zn系酸化物、In-Hf-Zn系酸化物、In-La-Zn系酸化物、In-Ce-Zn系酸化物、In-Pr-Zn系酸化物、

50

In - Nd - Zn系酸化物、In - Sm - Zn系酸化物、In - Eu - Zn系酸化物、In - Gd - Zn系酸化物、In - Tb - Zn系酸化物、In - Dy - Zn系酸化物、In - Ho - Zn系酸化物、In - Er - Zn系酸化物、In - Tm - Zn系酸化物、In - Yb - Zn系酸化物、In - Lu - Zn系酸化物、四元系金属の酸化物であるIn - Sn - Ga - Zn系酸化物、In - Hf - Ga - Zn系酸化物、In - Al - Ga - Zn系酸化物、In - Sn - Al - Zn系酸化物、In - Sn - Hf - Zn系酸化物、In - Hf - Al - Zn系酸化物を用いることができる。

【0059】

なお、ここでは、例えば、In - Ga - Zn系酸化物とは、InとGaとZnを主成分として有する酸化物という意味であり、InとGaとZnの比率は問わない。また、InとGaとZn以外の金属が入っていてもよい。

【0060】

また、酸化物半導体として、 $InMO_3 (ZnO)_m$ ($m > 0$ 、且つ、 m は整数でない) で表記される材料を用いてもよい。なお、Mは、Ga、Fe、Mn及びCoから選ばれた一の金属元素または複数の金属元素を示す。また、酸化物半導体として、 $In_2SnO_5 (ZnO)_n$ ($n > 0$ 、且つ、 n は整数) で表記される材料を用いてもよい。

【0061】

例えば、 $In : Ga : Zn = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$) あるいは $In : Ga : Zn = 2 : 2 : 1$ ($= 2/5 : 2/5 : 1/5$) の原子比のIn - Ga - Zn系酸化物やその組成の近傍の酸化物を用いることができる。あるいは、 $In : Sn : Zn = 1 : 1 : 1$ ($= 1/3 : 1/3 : 1/3$)、 $In : Sn : Zn = 2 : 1 : 3$ ($= 1/3 : 1/6 : 1/2$) あるいは $In : Sn : Zn = 2 : 1 : 5$ ($= 1/4 : 1/8 : 5/8$) の原子比のIn - Sn - Zn系酸化物やその組成の近傍の酸化物を用いるとよい。

【0062】

しかし、これらに限られず、必要とする半導体特性(移動度、しきい値、ばらつき等)に応じて適切な組成のものを用いればよい。また、必要とする半導体特性を得るために、キャリア濃度や不純物濃度、欠陥密度、金属元素と酸素の原子数比、原子結合距離、密度等を適切なものとすることが好ましい。

【0063】

例えば、In - Sn - Zn系酸化物では比較的容易に高い移動度が得られる。しかしながら、In - Ga - Zn系酸化物でも、バルク内欠陥密度を下げるにより移動度を上げることができる。

【0064】

なお、例えば、In、Ga、Znの原子数比が $In : Ga : Zn = a : b : c$ ($a + b + c = 1$) である酸化物の組成が、原子数比が $In : Ga : Zn = A : B : C$ ($A + B + C = 1$) の酸化物の組成の近傍であるとは、a、b、cが、 $(a - A)^2 + (b - B)^2 + (c - C)^2 / r^2$ を満たすことをいう。rとしては、例えば、0.05とすればよい。他の酸化物でも同様である。

【0065】

なお、酸化物半導体膜144は、単結晶、多結晶(ポリクリスタルともいう。)または非晶質などの状態をとる。

【0066】

好ましくは、酸化物半導体膜144は、CAAC - OS (C Axis Aligned Crystalline Oxide Semiconductor) 膜とする。

【0067】

CAAC - OS膜は、完全な単結晶ではなく、完全な非晶質でもない。CAAC - OS膜は、非晶質相に結晶部および非晶質部を有する結晶 - 非晶質混相構造の酸化物半導体膜である。なお、当該結晶部は、一辺が100nm未満の立方体内に収まる大きさであることが多い。また、透過型電子顕微鏡(TEM: Transmission Electron Microscope)による観察像では、CAAC - OS膜に含まれる非晶質部と

10

20

30

40

50

結晶部との境界は明確ではない。また、TEMによってCAC-OS膜には粒界（グレインバウンダリーともいう。）は確認できない。そのため、CAC-OS膜は、粒界に起因する電子移動度の低下が抑制される。

【0068】

CAC-OS膜に含まれる結晶部は、c軸がCAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃い、かつa b面に垂直な方向から見て三角形状または六角形状の原子配列を有し、c軸に垂直な方向から見て金属原子が層状または金属原子と酸素原子とが層状に配列している。なお、異なる結晶部間で、それぞれa軸およびb軸の向きが異なっていてもよい。本明細書において、単に垂直と記載する場合、85°以上95°以下の範囲も含まれることとする。また、単に平行と記載する場合、-5°以上5°以下の範囲も含まれることとする。 10

【0069】

なお、CAC-OS膜において、結晶部の分布が一様でなくてもよい。例えば、CAC-OS膜の形成過程において、酸化物半導体膜の表面側から結晶成長させる場合、被形成面の近傍に対し表面の近傍では結晶部の占める割合が高くなることがある。また、CAC-OS膜へ不純物を添加することにより、当該不純物添加領域において結晶部が非晶質化することもある。

【0070】

CAC-OS膜に含まれる結晶部のc軸は、CAC-OS膜の被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向に揃うため、CAC-OS膜の形状（被形成面の断面形状または表面の断面形状）によっては互いに異なる方向を向くことがある。なお、結晶部のc軸の方向は、CAC-OS膜が形成されたときの被形成面の法線ベクトルまたは表面の法線ベクトルに平行な方向となる。結晶部は、成膜することにより、または成膜後に加熱処理などの結晶化処理を行うことにより形成される。 20

【0071】

CAC-OS膜を用いたトランジスタは、可視光や紫外光の照射による電気特性の変動を低減することが可能である。よって、当該トランジスタは、信頼性が高い。

【0072】

酸化物半導体膜144は、スパッタリング法、蒸着法、PCVD法、PLD法、ALD法またはMBE法などを用いて成膜することができる。 30

【0073】

酸化物半導体膜144は、好ましくはスパッタリング法により、基板加熱温度を100以上600以下、好ましくは150以上550以下、さらに好ましくは200以上500以下とし、酸素ガス雰囲気で成膜する。酸化物半導体膜144の厚さは、1nm以上40nm以下、好ましくは3nm以上20nm以下とする。成膜時の基板加熱温度が高いほど、得られる酸化物半導体膜144の不純物濃度は低くなる。また、酸化物半導体膜144中の原子配列が整い、高密度化され、多結晶またはCACが形成されやすくなる。

【0074】

さらに、酸素ガス雰囲気下で成膜することでも、希ガスなどの余分な原子が含まれないため、多結晶半導体膜またはCAC-OS膜が形成されやすくなる。ただし、酸素ガスと希ガスの混合雰囲気としてもよく、その場合は酸素ガスの割合は30体積%以上、好ましくは50体積%以上、さらに好ましくは80体積%以上とする。なお、酸化物半導体膜の成膜に用いるアルゴン及び酸素は、水、水素などが含まれないことが好ましい。例えば、アルゴンの純度を9N（露点-121、水0.1ppb、水素0.5ppb）、酸素の純度を8N（露点-112、水1ppb、水素1ppb）とすることが好ましい。なお、酸化物半導体膜144は薄いほどトランジスタの短チャネル効果が低減される。ただし、薄くしそうると界面散乱の影響が強くなり、電界効果移動度の低下が起こることがある。

【0075】

10

20

30

40

50

アモルファス状態の酸化物半導体は、比較的容易に平坦な表面を得ることができるため、これを用いてトランジスタを作製した際の界面散乱を低減でき、比較的容易に、比較的高い移動度を得ることができる。

【0076】

また、結晶性を有する酸化物半導体では、よりバルク内欠陥を低減することができ、表面の平坦性を高めればアモルファス状態の酸化物半導体以上の移動度を得ることができる。表面の平坦性を高めるためには、平坦な表面上に酸化物半導体を形成することが好ましく、具体的には、平均面粗さ (Ra) が 1 nm 以下、好ましくは 0.3 nm 以下、より好ましくは 0.1 nm 以下の表面上に形成するとよい。

【0077】

なお、Ra は、JIS B 0601:2001 (ISO 4287:1997) で定義されている算術平均粗さを面に対して適用できるよう三次元に拡張したものであり、「基準面から指定面までの偏差の絶対値を平均した値」で表現でき、以下の式にて定義される。

【0078】

【数1】

$$Ra = \frac{1}{S_0} \int_{x_1}^{x_2} \int_{y_1}^{y_2} |f(x, y) - Z_0| dx dy$$

【0079】

ここで、指定面とは粗さ計測の対象となる面であり、座標 (x₁, y₁, f(x₁, y₁)) (x₁, y₂, f(x₁, y₂)) (x₂, y₁, f(x₂, y₁)) (x₂, y₂, f(x₂, y₂)) の 4 点で表される四角形の領域とし、指定面を xy 平面に投影した長方形の面積を S₀、基準面の高さ（指定面の平均の高さ）を Z₀ とする。Ra は原子間力顕微鏡 (AFM: Atomic Force Microscope) にて測定可能である。なお、指定面とは、全測定データの示す面であり、三つのパラメータ (x, y, Z) から成り立っており、Z = f(x, y) によって表記される。

【0080】

また、基準面は、指定面の平均の高さにおける、xy 平面と平行な面である。つまり、指定面の高さの平均値を Z₀ とするとき、基準面の高さも Z₀ で表される。

【0081】

このように、酸化物半導体膜が形成される酸化物絶縁層の平均面粗さを 0.3 nm 以下とするためには、平坦化処理を行えばよい。平坦化処理は酸化物半導体膜の形成前に行えばよい。

【0082】

例えば、平坦化処理として、化学的機械的研磨 (Chemical Mechanical Polishing: CMP) 処理を行えばよい。ここで、CMP 処理は、一回以上行えばよい。複数回に分けて CMP 処理を行う場合には、高い研磨レートで一次研磨を行った後、低い研磨レートで仕上げ研磨を行うことが好ましい。

【0083】

また、酸化物絶縁層を平坦化させるためには、CMP 処理に代えてドライエッチングなどを行ってもよい。ここで、エッチングガスとしては、塩素、塩化ボロン、塩化シリコンまたは四塩化炭素などの塩素系ガス、四フッ化炭素、フッ化硫黄またはフッ化窒素などのフッ素系ガスなどを用いればよい。

【0084】

本実施の形態では、酸化物絶縁層にトレンチを形成するプラズマエッチング処理において、酸化物絶縁層を平坦化することも可能である。プラズマ処理によって、被処理面に不活性ガスのイオンが照射され、スパッタリング効果により被処理面の微細な凹凸が平坦化される。このようなプラズマ処理は逆スパッタとも呼ばれる。特に、希ガスを用いるプラズマ処理は酸化物絶縁層を平坦化するのに好ましい。

【0085】

10

20

30

40

50

なお、酸化物絶縁層を平坦化するためには、前記処理のいずれを用いてもよい。例えば逆スパッタのみを行ってもよいし、C M P処理を行った後にドライエッチングを行ってもよい。ただし、酸化物半導体膜の被形成面である酸化物絶縁層に水などを混入させないためには、ドライエッチングまたは逆スパッタを用いることが好ましい。

【0086】

なお、金属酸化物には化学量論的組成に対し、酸素を過剰に含ませることが好ましい。酸素を過剰に含ませると、形成される酸化物半導体膜の酸素欠損によるキャリアの生成を抑制することができる。

【0087】

なお、一例として、酸化物半導体膜144をIn-Zn系金属酸化物により形成する場合には、ターゲットの原子数比を、In/Zn=1~100、好ましくはIn/Zn=1~20、さらに好ましくはIn/Zn=1~10とする。Znの原子数比を好ましい範囲とすることで、電界効果移動度を向上させることができる。ここで、酸素を過剰に含ませるために、金属酸化物の原子数比In:Zn:O=X:Y:Zを、Z>1.5X+Yとすることが好ましい。

10

【0088】

また、酸化物半導体膜144としてIn-Ga-Zn-O系材料をスパッタリング法で成膜する場合、好ましくは、原子数比がIn:Ga:Zn=1:1:1、4:2:3、3:1:2、1:1:2、2:1:3、または3:1:4で示されるIn-Ga-Zn-Oターゲットを用いる。前述の原子数比を有するIn-Ga-Zn-Oターゲットを用いて酸化物半導体膜144を成膜することで、多結晶酸化物半導体膜またはCAC-O₅膜が形成されやすくなる。

20

【0089】

また、酸化物半導体膜144としてIn-Sn-Zn-O系材料をスパッタリング法で成膜する場合、好ましくは、原子数比がIn:Sn:Zn=1:1:1、2:1:3、1:2:2、または20:45:35で示されるIn-Sn-Zn-Oターゲットを用いる。前述の原子数比を有するIn-Sn-Zn-Oターゲットを用いて酸化物半導体膜144を成膜することで、多結晶酸化物半導体膜またはCAC-O₅膜が形成されやすくなる。

30

【0090】

なお、ここで、ターゲットの充填率は90%以上100%以下、好ましくは95%以上99.9%以下であるとよい。ターゲットの充填率を高くすることで、形成される酸化物半導体膜を緻密なものとすることができます。

【0091】

なお、酸化物半導体膜に適用することができる金属酸化物は、エネルギーギャップが2eV以上、好ましくは2.5eV以上、さらに好ましくは、3eV以上であるとよい。このように、バンドギャップの広い金属酸化物を用いると、トランジスタのオフ電流を低減することができる。

40

【0092】

なお、酸化物半導体膜には、水素が含まれる。この水素は、水素原子の他、水素分子、水、水酸基、またはその他の水素化物として含まれる場合もある。酸化物半導体膜に含まれる水素は、極力少ないことが好ましい。

【0093】

なお、酸化物半導体膜のアルカリ金属及びアルカリ土類金属は少なくすることが好ましく、これらの濃度は、好ましくは 1×10^{-8} atoms/cm³以下、さらに好ましくは 2×10^{-6} atoms/cm³以下とする。アルカリ金属及びアルカリ土類金属は、酸化物半導体と結合するとキャリアが生成されることがあり、トランジスタのオフ電流を増大させる原因となるからである。

【0094】

なお、酸化物半導体膜に加熱処理を行うことで、不純物濃度を低減することができる。加

50

熱処理は、減圧雰囲気、不活性雰囲気または酸化性雰囲気で行う。

【0095】

加熱処理は、減圧雰囲気または不活性雰囲気で加熱処理を行った後、温度を保持しつつ酸化性雰囲気に切り替えてさらに加熱処理を行うと好ましい。これは減圧雰囲気または不活性雰囲気にて加熱処理を行うと、酸化物半導体膜144中の不純物濃度を低減することができるが、同時に酸素欠損も生じてしまうためあり、このとき生じた酸素欠損を、酸化性雰囲気での加熱処理により低減することができる。

【0096】

酸化物半導体膜144は、成膜時の基板加熱に加え、加熱処理を行うことで、膜中の不純物準位を極めて小さくすることが可能となる。その結果、トランジスタの電界効果移動度を理想的な電界効果移動度近くまで高めることができると10なる。

【0097】

なお、酸化物絶縁層130上に酸化物半導体膜144が設けられた状態で加熱することによって、酸化物半導体膜144に酸素を供給することができ、酸化物半導体膜144の酸素欠陥を低減し、半導体特性を良好にすることができる。酸化物半導体膜144及び酸化物絶縁層130を少なくとも一部が接した状態で加熱工程を行うことによって、酸化物半導体膜144への酸素の供給を行ってもよい。

【0098】

また、酸化物半導体膜144に、酸素（少なくとも、酸素ラジカル、酸素原子、酸素イオン、のいずれかを含む）を導入して膜中に酸素を供給してもよい。酸素の導入方法としては、イオン注入法、イオンドーピング法、プラズマイマージョンイオンインプランテーション法、プラズマ処理などを用いることができる。酸素の導入は、露出された酸化物半導体膜144に直接行ってもよいし、ゲート絶縁層146などを通過させて行ってもよい。

【0099】

酸化物半導体膜144は島状に加工してもよいし、形状を加工せず、膜状のままで設けてもよい。また、酸化物半導体膜を素子毎に分離する絶縁層からなる素子分離領域を設けてもよい。素子分離領域にもトレンチ構造を用いることができる。

【0100】

なお、酸化物半導体膜144を島状に加工する場合、酸化物半導体膜144のエッチングはドライエッチングでもウェットエッチングでもよく、両方を用いてもよい。例えば、酸化物半導体膜144のウェットエッチングに用いるエッチング溶液としては、リン酸と酢酸と硝酸を混ぜた溶液などを用いることができる。また、ITO07N（関東化学社製）を用いてもよい。

【0101】

続いて、酸化物半導体膜144上に、ソース電極及びドレイン電極となる導電膜を形成する。該導電膜は後の加熱処理に耐えうる材料を用いる。ソース電極及びドレイン電極に用いる導電材料としては、例えば、Al、Cr、Cu、Ta、Ti、Mo、Wから選ばれた元素を含む金属、または上述した元素を成分とする金属窒化物（窒化チタン、窒化モリブデン、窒化タンゲステン）等を用いることができる。また、Al、Cu、などの金属の下側または上側の一方または双方にTi、Mo、Wなどの高融点金属またはそれらの金属窒化物（窒化チタン、窒化モリブデン、窒化タンゲステン）を積層させた構成としてもよい。また、ソース電極及びドレイン電極に用いる導電膜を、導電性の金属酸化物で形成してもよい。導電性の金属酸化物としては、酸化インジウム（In₂O₃）、酸化スズ（SnO₂）、酸化亜鉛（ZnO）、インジウムスズ酸化物（In₂O₃ - SnO₂）、インジウム亜鉛酸化物（In₂O₃ - ZnO）またはこれらの金属酸化物に酸化シリコンを含ませたものを用いることができる。

【0102】

フォトリソグラフィ工程により導電膜上にレジストマスクを形成し、選択的にエッチングを行ってソース電極またはドレイン電極として機能する導電層142a、導電層142bを形成した後、レジストマスクを除去する。

10

20

30

40

50

【0103】

本実施の形態では、導電膜としてTi膜を用い、酸化物半導体膜144にはIn-Ga-Zn-O系酸化物半導体膜を用いたので、エッティング液としてアンモニア過水（アンモニア、水、過酸化水素水の混合液）を用いる。

【0104】

なお、本実施の形態では、酸化物半導体膜144を形成した後に、ソース電極及びドレイン電極となる導電層142a、導電層142bを設け、酸化物半導体膜144の上面において導電層142a及び導電層142bが接する構成としたが、本発明の一態様の半導体装置はこれに限らず、酸化物半導体膜144を形成するよりも前に、導電層142a及び導電層142bを設け、酸化物半導体膜の下面で接する構成としてもよい。なお、この場合、酸化物半導体膜の被覆性を向上させるため、導電層142a及び導電層142bにテープを設けることが好ましい。

10

【0105】

次いで、酸化物半導体膜144の一部、並びにソース電極またはドレイン電極として機能する導電層142a及び導電層142bを覆うゲート絶縁層146を形成する。また、チャネル幅方向のトレンチの側部及び底部にもゲート絶縁層146を形成する（図3（A）参照）。

【0106】

ゲート絶縁層146の膜厚は、1nm以上100nm以下とし、スパッタリング法、MBE法、CVD法、パルスレーザ堆積法、ALD法等を適宜用いることができる。また、ゲート絶縁層146は、スパッタリングターゲット表面に対し、略垂直に複数の基板表面がセットされた状態で成膜を行うスパッタ装置を用いて成膜してもよい。

20

【0107】

ゲート絶縁層146の材料として酸化ハフニウム、酸化イットリウム、ハフニウムシリケート（ $HfSi_xO_y$ 、 $x > 0$ 、 $y > 0$ ）、窒素が添加されたハフニウムシリケート（ $HfSi_xO_y$ 、 $x > 0$ 、 $y > 0$ ）、ハフニウムアルミネート（ $HfAl_xO_y$ 、 $x > 0$ 、 $y > 0$ ）、酸化ランタン、などのHigh-k材料を用いることでゲートリーキ電流を低減できる。さらに、ゲート絶縁層146は、単層構造としてもよいし、積層構造としてもよい。

【0108】

30

そして、ゲート絶縁層146上に、ゲート電極148となる導電層がトレンチ内に充填されるように形成し、ゲート電極148をゲート絶縁層146上に形成する（図3（B）参照）。ゲート電極148の材料は、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジム、スカンジウム等の金属材料またはこれらを主成分とする合金材料を用いて形成することができる。また、ゲート電極148としてリン等の不純物元素をドーピングした多結晶シリコン膜に代表される半導体膜、ニッケルシリサイドなどのシリサイド膜を用いてもよい。ゲート電極148は、単層構造としてもよいし、積層構造としてもよい。

【0109】

40

また、ゲート電極148の材料は、インジウムスズ酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウムスズ酸化物、インジウム亜鉛酸化物、酸化珪素を添加したインジウムスズ酸化物などの導電性材料を適用することもできる。また、上記導電性材料と、上記金属材料の積層構造とすることもできる。

【0110】

また、ゲート絶縁層146と接するゲート電極148の一層として、窒素を含む金属酸化物、具体的には、窒素を含むIn-Ga-Zn-O膜や、窒素を含むIn-Sn-O膜や、窒素を含むIn-Ga-O膜や、窒素を含むIn-Zn-O膜や、窒素を含むSn-O膜や、窒素を含むIn-O膜や、金属窒化膜（InN、SnNなど）を用いることができる。これらの膜は5eV、好ましくは5.5eV以上の仕事関数を有し、ゲート電極とし

50

て用いた場合、トランジスタの電気特性の閾値電圧をプラスにすることができ、いわゆるノーマリオフのスイッチング素子を実現できる。

【0111】

以上の工程により、トランジスタ162が形成される。

【0112】

なお、トランジスタ162は図4に示すように、下端及び上端コーナ部に曲面を有するトレンチ231を有していてもよい。ここで、下端及び上端コーナ部に曲面を有するトレンチ231の作製方法について説明する。

【0113】

トレンチ231の作製方法は、まず、酸化物絶縁層130に下端コーナ部に曲面を有するトレンチ131を形成するまでは上記のトレンチ131の作製方法と同様の方法を用いることができる。その後、該トレンチに対して、希ガスを用いたプラズマエッチング処理(第3のプラズマエッチング処理)を施すことによって、トレンチ131の上端コーナ部にも曲面を形成し、下端及び上端コーナ部に曲面を有するトレンチ231を形成することができる。

10

【0114】

第3のプラズマエッチング処理は、トレンチ131が設けられた酸化物絶縁層130に希ガス元素、好ましくはアルゴン、クリプトン、またはキセノンなどの質量の大きい希ガス元素を用いて行う。第3のプラズマエッチング処理の条件は、少なくとも上端コーナ部において曲率半径が20nm以上60nm以下の曲面が形成されるように、酸化物絶縁層130の材料及びトレンチ131の形状などにより適宜設定すればよい。

20

【0115】

例えば、酸化シリコン膜からなる絶縁層に行う第3のプラズマエッチング処理の条件の一例として、ICP装置により、ガスとしてアルゴン(Ar = 100sccm)を用い、電源電力500W、バイアス電力100W、圧力1.35Pa、基板温度-10、180秒間行うことによって第3のプラズマエッチング処理を行うことができる。

30

【0116】

第3のプラズマエッチング処理を行うことで、下端及び上端コーナ部に曲面を有するトレンチを形成することができるため、酸化物絶縁層130上に設けられる酸化物半導体膜144の被覆性が向上し、電気的特性が安定したトランジスタを提供することができる。

【0117】

また、図示しないが、トランジスタ162上に絶縁層を設けてもよい。絶縁層としては、代表的には酸化シリコン膜、酸化窒化シリコン膜、酸化アルミニウム膜、酸化窒化アルミニウム膜、酸化ハフニウム膜、酸化ガリウム膜、窒化シリコン膜、窒化アルミニウム膜、窒化酸化シリコン膜、又は窒化酸化アルミニウム膜などの無機絶縁膜の単層又は積層を用いることができる。

【0118】

絶縁層上にさらに絶縁層を積層してもよい。特に絶縁層として酸化物絶縁層を用いた場合、水分や水素などの不純物が酸化物半導体膜144に再混入しないように、これらが外部から侵入することを防ぐ保護絶縁層を設けることが好ましい。保護絶縁層としては、無機絶縁層を用い、窒化シリコン、酸化アルミニウム、酸化窒化シリコン、窒化アルミニウム、窒化酸化アルミニウムなどの無機絶縁物を用いればよい。例えば、水素、水分などの不純物、及び酸素の両方に対して膜を通過させない遮断効果(ブロック効果)が高い酸化アルミニウム膜を用いることができる。

40

【0119】

絶縁層の形成後、さらに加熱工程を行ってもよい。例えば、大気中、100以上200以下、1時間以上30時間以下の加熱工程を行ってもよい。この加熱工程は一定の加熱温度を保持して加熱してもよいし、室温から、100以上200以下の加熱温度への昇温と、加熱温度から室温までの降温を複数回繰り返して行ってもよい。

【0120】

50

また、トランジスタ 162 起因の表面凹凸を低減するために、平坦化絶縁膜を形成してもよい。平坦化絶縁膜としては、ポリイミド、アクリル樹脂、ベンゾシクロブテン系樹脂等の有機材料を用いることができる。また、上記有機材料の他に、低誘電材料（low-k 材料）等を用いることができる。なお、これらの材料で形成される絶縁膜を複数積層させることで、平坦化絶縁膜を形成してもよい。

【0121】

本実施の形態で示した半導体装置は、トレンチ構造を設けその中にトランジスタを形成することで、深さ方向にチャネル長をとることができるので、微細化を達成しつつ、短チャネル効果が抑制された半導体装置を提供することができる。また、該トレンチの上端コーナ部及び下端コーナ部に曲面を形成することで、酸化物半導体膜の被覆性を向上し、電気的に安定した半導体装置を提供することができる。

10

【0122】

また、該トレンチの上端の幅はトレンチの側面の幅の 1 倍以上 1.5 倍以下であるため、トレンチを有するトランジスタの微細化を実現することができる。

【0123】

本実施の形態は、他の実施の形態と適宜組み合わせることができる。

【0124】

（実施の形態 2）

本実施の形態では、実施の形態 1 に示すトランジスタ 162 を使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限がない半導体装置の一例を、図面を用いて説明する。

20

【0125】

トランジスタ 162 は、オフ電流が小さいため、これを用いることにより長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作を必要としない、あるいは、リフレッシュ動作の頻度が極めて少ない半導体記憶装置とすることが可能となるため、消費電力を十分に低減することができる。

【0126】

図 5 は、半導体装置の構成の一例である。図 5 (A) に半導体装置の断面図を、図 5 (B) に半導体装置の平面図を、図 5 (C) に半導体装置の回路図をそれぞれ示す。ここで、図 5 (A) は図 5 (B) の C1 C2、及び D1 D2 における断面に相当する。

30

【0127】

図 5 (A) 及び図 5 (B) に示す半導体装置は、下部に第 1 の半導体材料を用いたトランジスタ 160 を有し、上部に第 2 の半導体材料を用いたトランジスタ 162 を有するものである。トランジスタ 162 は、実施の形態 1 で示した構成と同一であるため、図 5 (A)、図 5 (B) において図 1 と同じ箇所は、同じ符号を用いて説明する。

【0128】

ここで、第 1 の半導体材料と第 2 の半導体材料は異なる禁制帯幅をもつ材料とすることが好みしい。例えば、第 1 の半導体材料を酸化物半導体材料以外の半導体材料（シリコンなど）とし、第 2 の半導体材料を酸化物半導体とすることができます。酸化物半導体以外の材料を用いたトランジスタは、高速動作が容易である。一方で酸化物半導体を用いたトランジスタはその特性により、長時間の電荷保持を可能とする。

40

【0129】

なお、上記トランジスタは、いずれも n チャネル型トランジスタであるものとして説明するが、p チャネル型トランジスタを用いることができるのではない。また、開示する発明の技術的な本質は、情報を保持するために酸化物半導体をトランジスタ 162 に用いる点にあるから、半導体装置に用いられる材料や半導体装置の構造など、半導体装置の具体的な構成をここで示す物に限定する必要はない。

【0130】

図 5 (A) におけるトランジスタ 160 は、半導体材料（例えば、シリコンなど）を含む基板 100 に設けられたチャネル形成領域 116 と、チャネル形成領域 116 を挟むよう

50

に設けられた不純物領域 120 と、不純物領域 120 に接する金属間化合物領域 124 と、チャネル形成領域 116 上に設けられたゲート絶縁層 108 と、ゲート絶縁層 108 上に設けられたゲート電極 110 と、を有する。

【0131】

図 5 には図示しないが、トランジスタ 160 の金属間化合物領域 124 の一部には電極が接続されている。ここで、電極は、トランジスタ 160 のソース電極やドレイン電極として機能する。また、基板 100 上にはトランジスタ 160 を囲むように素子分離絶縁層 106 が設けられており、トランジスタ 160 を覆うように絶縁層 128、酸化物絶縁層 130 が設けられている。なお、高集積化を実現するためには、図 5 (A) に示すように、トランジスタ 160 がサイドウォール絶縁層を有しない構成とすることが望ましい。一方で、トランジスタ 160 の特性を重視する場合には、ゲート電極 110 の側面にサイドウォール絶縁層を設け、不純物濃度が異なる領域を含む不純物領域 120 としてもよい。

10

【0132】

トランジスタ 160 上には、トランジスタ 162 が設けられている。なお、トランジスタ 162 は、先の実施の形態に示したトランジスタと同様の構成を有するため、詳細な説明は省略する。

【0133】

トランジスタ 162 は酸化物半導体膜 144 を有するトレンチ構造のトランジスタである。トレンチ構造を有するトランジスタを用いることによって、短チャネル効果を抑制することが可能である。さらに、本発明の一態様のトランジスタはトレンチの側部に酸化物絶縁層上面に対して略垂直な側面を有し、トレンチ上端の幅がトレンチの側面の幅の 1 倍以上 1.5 倍以下であるため、該トレンチの上端の幅を狭くする微細なトランジスタを作製することができ、半導体装置を高集積化することができる。

20

【0134】

トランジスタ 162 上には、絶縁層 150 が単層または積層で設けられている。また、ゲート絶縁層 146 及び絶縁層 150 を介して、トランジスタ 162 の導電層 142a と重畳する領域には、導電層 148b が設けられており、導電層 142a と、ゲート絶縁層 146 と、絶縁層 150 と、導電層 148b によって、容量素子 164 が構成される。すなわち、トランジスタ 162 の導電層 142a は、容量素子 164 の一方の電極として機能し、導電層 148b は、容量素子 164 の他方の電極として機能する。なお、容量が不要の場合には、導電層 148b を設けない構成とすることもできる。また、容量素子 164 は、別途、トランジスタ 162 の上方に設けてよい。例えば、トレンチ型のキャパシタやスタック型の容量素子を別途、トランジスタ 162 の上方、あるいは、トランジスタ 160 の下方に形成し、3 次元的に積み重ねることで、より高集積化を図ってもよい。

30

【0135】

トランジスタ 162 及び容量素子 164 の上には絶縁層 152 が設けられている。そして、絶縁層 152 上にはトランジスタ 162 と、他のトランジスタを接続するための配線 156 が設けられている。図 5 (A) には図示しないが、配線 156 は、絶縁層 150 及び絶縁層 152 などに形成された開口に形成された電極を介して導電層 142b と電気的に接続される。ここで、該電極は、少なくともトランジスタ 162 の酸化物半導体膜 144 の一部と重畳するように設けられることが好ましい。

40

【0136】

図 5 (A) 及び図 5 (B) において、トランジスタ 160 と、トランジスタ 162 とは、少なくとも一部が重畳するように設けられており、トランジスタ 160 のソース領域またはドレイン領域と酸化物半導体膜 144 の一部が重畳するように設けられていることが好ましい。また、トランジスタ 162 及び容量素子 164 が、トランジスタ 160 の少なくとも一部と重畳するように設けられている。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

【0137】

50

なお、金属間化合物領域 124、導電層 142b 及び配線 156 の電気的接続は、直接接觸させて行ってもよいし、間の絶縁層に電極を設けて該電極を介して行ってもよい。また、間に介する電極は複数でもよい。

【0138】

次に、図 5 (A) 及び図 5 (B) に対応する回路構成の一例を図 5 (C) に示す。

【0139】

図 5 (C) において、第 1 の配線 (1st Line) とトランジスタ 160 のソース電極とは、電気的に接続され、第 2 の配線 (2nd Line) とトランジスタ 160 のドレイン電極とは、電気的に接続されている。また、第 3 の配線 (3rd Line) とトランジスタ 162 のソース電極またはドレイン電極の一方とは、電気的に接続され、第 4 の配線 (4th Line) と、トランジスタ 162 のゲート電極とは、電気的に接続されている。そして、トランジスタ 160 のゲート電極と、トランジスタ 162 のソース電極またはドレイン電極の他方は、容量素子 164 の電極の一方と電気的に接続され、第 5 の配線 (5th Line) と、容量素子 164 の電極の他方は電気的に接続されている。

10

【0140】

図 5 (C) に示す半導体装置では、トランジスタ 160 のゲート電極の電位が保持可能という特徴を生かすことで、次のように、情報の書き込み、保持、読み出しが可能である。

【0141】

情報の書き込みおよび保持について説明する。まず、第 4 の配線の電位を、トランジスタ 162 がオン状態となる電位にして、トランジスタ 162 をオン状態とする。これにより、第 3 の配線の電位が、トランジスタ 160 のゲート電極、および容量素子 164 に与えられる。すなわち、トランジスタ 160 のゲート電極には、所定の電荷が与えられる（書き込み）。ここでは、異なる二つの電位レベルを与える電荷（以下ローレベル電荷、ハイレベル電荷という）のいずれかが与えられるものとする。その後、第 4 の配線の電位を、トランジスタ 162 がオフ状態となる電位にして、トランジスタ 162 をオフ状態することにより、トランジスタ 160 のゲート電極に与えられた電荷が保持される（保持）。

20

【0142】

トランジスタ 162 のオフ電流は極めて小さいため、トランジスタ 160 のゲート電極の電荷は長時間にわたって保持される。

30

【0143】

次に情報の読み出しについて説明する。第 1 の配線に所定の電位（定電位）を与えた状態で、第 5 の配線に適切な電位（読み出し電位）を与えると、トランジスタ 160 のゲート電極に保持された電荷量に応じて、第 2 の配線は異なる電位をとる。一般に、トランジスタ 160 を n チャネル型とすると、トランジスタ 160 のゲート電極にハイレベル電荷が与えられている場合の見かけのしきい値 V_{th_H} は、トランジスタ 160 のゲート電極にローレベル電荷が与えられている場合の見かけのしきい値 V_{th_L} より低くなるためである。ここで、見かけのしきい値電圧とは、トランジスタ 160 を「オン状態」とするために必要な第 5 の配線の電位をいうものとする。したがって、第 5 の配線の電位を V_{th_H} と V_{th_L} の間の電位 V_0 とすることにより、トランジスタ 160 のゲート電極に与えられた電荷を判別できる。例えば、書き込みにおいて、ハイレベル電荷が与えられていた場合には、第 5 の配線の電位が V_0 ($> V_{th_H}$) となれば、トランジスタ 160 は「オン状態」となる。ローレベル電荷が与えられていた場合には、第 5 の配線の電位が V_0 ($< V_{th_L}$) となっても、トランジスタ 160 は「オフ状態」のままである。このため、第 2 の配線の電位を見ることで、保持されている情報を読み出すことができる。

40

【0144】

なお、メモリセルをアレイ状に配置して用いる場合、所望のメモリセルの情報のみを読み出せることが必要になる。このように情報を読み出さない場合には、ゲート電極の状態にかかわらずトランジスタ 160 が「オフ状態」となるような電位、つまり、 V_{th_H} よ

50

り小さい電位を第5の配線に与えればよい。または、ゲート電極の状態にかかわらずトランジスタ160が「オン状態」となるような電位、つまり、 V_{th_L} より大きい電位を第5の配線に与えればよい。

【0145】

本実施の形態に示す半導体装置では、チャネル形成領域に酸化物半導体を用いたオフ電流の極めて小さいトランジスタを適用することで、極めて長期にわたり記憶内容を保持することが可能である。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合（ただし、電位は固定されていることが望ましい）であっても、長期にわたって記憶内容を保持することが可能である。

10

【0146】

また、本実施の形態に示す半導体装置では、情報の書き込みに高い電圧を必要とせず、素子の劣化の問題もない。例えば、従来の不揮発性メモリのように、フローティングゲートへの電子の注入や、フローティングゲートからの電子の引き抜きを行う必要がないため、ゲート絶縁層の劣化といった問題が全く生じない。すなわち、開示する発明に係る半導体装置では、従来の不揮発性メモリで問題となっている書き換え可能回数に制限はなく、信頼性が飛躍的に向上する。さらに、トランジスタのオン状態、オフ状態によって、情報の書き込みが行われるため、高速な動作も容易に実現しうる。

【0147】

また、本実施の形態に示す半導体装置ではトレンチ構造を採用することで、平面面積を縮小できるため、高集積化が可能である。また、本実施の形態に示す半導体装置はトレンチに沿って酸化物半導体膜が形成されるため、トランジスタを高集積化しても、チャネル長を確保することができ、短チャネル効果が抑制された半導体装置を提供することができる。さらに、該トレンチの側部は酸化物絶縁層上面に対して略垂直な側面を有し、トレンチの上端の幅はトレンチの側面の幅に対して1倍以上1.5倍以下であるため、該トレンチの幅を狭くする微細なトランジスタを作製することができ、半導体装置のさらなる高集積化が可能である。

20

【0148】

以上、本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

30

【0149】

（実施の形態3）

本実施の形態においては、実施の形態1に示すトランジスタ162を使用し、電力が供給されない状況でも記憶内容の保持が可能で、かつ、書き込み回数にも制限がない半導体装置について、実施の形態2に示した構成と異なる構成について、図6及び図7を用いて説明する。

【0150】

図6（A）は、半導体装置の回路構成の一例を示し、図6（B）は半導体装置の一例を示す概念図である。まず、図6（A）に示す半導体装置について説明を行い、続けて図6（B）に示す半導体装置について、以下説明を行う。

40

【0151】

図6（A）に示す半導体装置において、ビット線BLと、トランジスタ162のソース電極又はドレイン電極とは電気的に接続され、ワード線WLとトランジスタ162のゲート電極とは電気的に接続され、トランジスタ162のソース電極またはドレイン電極と容量素子254の第1の端子とは電気的に接続されている。

【0152】

酸化物半導体を用いたトランジスタ162は、オフ電流が極めて小さいという特徴を有している。このため、トランジスタ162をオフ状態とすることで、容量素子254の第1の端子の電位（あるいは、容量素子254に蓄積された電荷）を極めて長時間にわたって保持することが可能である。

50

【0153】

次に、図6(A)に示す半導体装置(メモリセル250)に、情報の書き込み及び保持を行う場合について説明する。

【0154】

まず、ワード線WLの電位をトランジスタ162がオン状態となる電位として、トランジスタ162をオフ状態とする。これにより、ビット線BLの電位が、容量素子254の第1の端子に与えられる(書き込み)。その後、ワード線WLの電位を、トランジスタ162がオフ状態となる電位として、トランジスタ162をオフ状態とすることにより、容量素子254の第1の端子の電位が保持される(保持)。

【0155】

10

トランジスタ162のオフ電流は極めて小さいから、容量素子254の第1の端子に電位(あるいは容量素子に蓄積された電荷)は長時間にわたって保持することができる。

【0156】

次に、情報の読み出しについて説明する。トランジスタ162がオン状態となると、浮遊状態であるビット線BLと容量素子254とが導通し、ビット線BLと容量素子254の間に電荷が再分配される。その結果、ビット線BLの電位が変化する。ビット線BLの電位の変化量は、容量素子254の第1の端子の電位(あるいは、容量素子254に蓄積された電荷)によって、異なる値をとる。

【0157】

20

例えば、容量素子254の第1の端子の電位をV、容量素子254の容量をC、ビット線BLが有する容量成分(以下、ビット線容量とも呼ぶ)をCB、電荷が再分配される前のビット線BLの電位をVB0とすると、電荷が再分配された後のビット線BLの電位は、 $(CB * VB0 + C * V) / (CB + C)$ となる。従って、メモリセル250の状態として、容量素子254の第1の端子の電位がV1とV0($V1 > V0$)の2状態をとるとすると、電位V1を保持している場合のビット線BLの電位($= (CB * VB0 + C * V1) / (CB + C)$)は、電位V0を保持している場合のビット線BLの電位($= (CB * VB0 + C * V0) / (CB + C)$)よりも高くなることがわかる。

【0158】

そして、ビット線BLの電位を所定の電位と比較することで、情報を読み出すことができる。

30

【0159】

このように、図6(A)に示す半導体装置は、トランジスタ162のオフ電流が極めて小さいという特徴から、容量素子254に蓄積された電荷は長時間にわたって保持することができる。つまり、リフレッシュ動作が不要となるか、または、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。また、電力の供給がない場合であっても、長期にわたって記憶内容を保持することができる。

【0160】

次に、図6(B)に示す半導体装置について、説明を行う。

【0161】

40

図6(B)に示す半導体装置は、上部に記憶回路として図6(A)に示したメモリセル250を複数有するメモリセルアレイ251(メモリセルアレイ251a及びメモリセルアレイ251b)を有し、下部に、メモリセルアレイ251(メモリセルアレイ251a及びメモリセルアレイ251b)を動作させるために必要な周辺回路253を有する。なお、周辺回路253は、メモリセルアレイ251と電気的に接続されている。

【0162】

図6(B)に示す構成とすることにより、周辺回路253をメモリセルアレイ251(メモリセルアレイ251a及びメモリセルアレイ251b)の直下に設けることができるため、半導体装置の小型化を図ることができる。

【0163】

50

周辺回路 253 に設けられるトランジスタは、トランジスタ 162 と異なる半導体材料を用いるのがより好ましい。例えば、シリコン、ゲルマニウム、シリコンゲルマニウム、炭化シリコン、またはガリウムヒ素等を用いることができ、単結晶半導体を用いることが好ましい。他に、有機半導体材料などをもちいてもよい。このような半導体材料を用いたトランジスタは、十分な高速動作が可能である。したがって、該トランジスタにより、高速動作が要求される各種回路（論理回路、駆動回路など）を好適に実現することが可能である。

【0164】

なお、図 6 (B) に示した半導体装置では、2つのメモリセルアレイ 251（メモリセルアレイ 251a 及びメモリセルアレイ 251b）が積層された構成を例示したが、積層するメモリセルの数はこれに限定されない。3つ以上のメモリセルを積層する構成としてもよい。

10

【0165】

次に、図 6 (A) に示したメモリセル 250 の具体的な構成について図 7 を用いて説明を行う。

【0166】

図 7 は、メモリセル 250 の構成の一例である。図 7 (A) に、メモリセル 250 の断面図を、図 7 (B) にメモリセル 250 の平面図をそれぞれ示す。ここで、図 7 (A) は、図 7 (B) の F1 - F2、及び G1 - G2 における断面に相当する。

20

【0167】

図 7 (A) 及び図 7 (B) に示すトランジスタ 162 は、実施の形態 1 に示した構成と同一であるため、図 1 と同じ箇所は、同じ符号を用いて説明し、その詳細は省略する。

【0168】

トランジスタ 162 上には、絶縁層 256 が単層または積層で設けられている。また、絶縁層 256 を介して、トランジスタ 162 の導電層 142a と重畳する領域には、導電層 262 が設けられており、導電層 142a と、絶縁層 256 と、導電層 262 とによって、容量素子 254 が構成される。すなわち、トランジスタ 162 の導電層 142a は、容量素子 254 の一方の電極として機能し、導電層 262 は、容量素子 254 の他方の電極として機能する。

30

【0169】

トランジスタ 162 及び容量素子 254 の上には絶縁層 258 が設けられている。そして、絶縁層 258 上にはメモリセル 250 と、隣接するメモリセル 250 を接続するための配線 260 が設けられている。図示しないが、配線 260 は、絶縁層 256 及び絶縁層 258 などに形成された開口を介してトランジスタ 162 の導電層 142b と電気的に接続されている。但し、開口に他の導電層を設け、該他の導電層を介して、配線 260 と導電層 142b とを電気的に接続してもよい。なお、配線 260 は、図 6 (A) の回路図におけるビット線 BL に相当する。

【0170】

図 7 (A) 及び図 7 (B) において、トランジスタ 162 の導電層 142b は、隣接するメモリセルに含まれるトランジスタのソース電極としても機能することができる。このような平面レイアウトを採用することにより、半導体装置の占有面積の低減を図ることができるため、高集積化を図ることができる。

40

【0171】

以上のように、上部に多層に形成された複数のメモリセルは、酸化物半導体を用いたトランジスタにより形成されている。酸化物半導体を用いたトランジスタは、オフ電流が小さいため、これを用いることにより、長期にわたり記憶内容を保持することができる。つまり、リフレッシュ動作の頻度を極めて低くすることが可能となるため、消費電力を十分に低減することができる。

【0172】

このように、酸化物半導体以外の材料を用いたトランジスタ（言い換えると、十分な高速

50

動作が可能なトランジスタ)を用いた周辺回路と、酸化物半導体を用いたトランジスタ(より広義には、十分にオフ電流が低減されたトランジスタ)を用いた記憶回路とを一体に備えることで、これまでにない特徴を有する半導体装置を実現することができる。また、周辺回路と記憶回路を積層構造とすることにより、半導体装置の集積化を図ることができる。

【0173】

また、本実施の形態に示す半導体装置ではトレンチ構造を採用することで、平面面積を縮小できるため、高集積化が可能である。また、本実施の形態に示す半導体装置はトレンチに沿って酸化物半導体膜が形成されるため、トランジスタを高集積化しても、チャネル長を確保することができ、短チャネル効果が抑制された半導体装置を提供することができる。さらに、該トレンチの側部は酸化物絶縁層上面に対して略垂直な側面を有し、トレンチの上端の幅はトレンチの側面の幅に対して1倍以上1.5倍以下であるため、該トレンチの側面の幅を狭くする微細なトランジスタを作製することができ、半導体装置のさらなる高集積化が可能である。

10

【0174】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせて実施することが可能である。

【0175】

(実施の形態4)

本実施の形態では、先の実施の形態で示した半導体装置を携帯電話、スマートフォン、電子書籍などの携帯機器に応用した場合の例を図8乃至図11を用いて説明する。

20

【0176】

携帯電話、スマートフォン、電子書籍などの携帯機器においては、画像データの一時記憶などにSRAMまたはDRAMが使用されている。SRAMまたはDRAMが使用される理由としてはフラッシュメモリでは応答が遅く、画像処理では不向きであるためである。一方で、SRAMまたはDRAMを画像データの一時記憶に用いた場合、以下の特徴がある。

【0177】

通常のSRAMは、図8(A)に示すように1つのメモリセルがトランジスタ801~806の6個のトランジスタで構成されており、それをXデコーダー807、Yデコーダー808にて駆動している。トランジスタ803とトランジスタ805、トランジスタ804とトランジスタ806はインバータを構成し、高速駆動を可能としている。しかし1つのメモリセルが6トランジスタで構成されているため、セル面積が大きいという欠点がある。デザインルールの最小寸法をFとしたときにSRAMのメモリセルの面積は通常100~150F²である。このためSRAMはビットあたりの単価が各種メモリの中で最も高い。

30

【0178】

それに対して、DRAMはメモリセルが図8(B)に示すようにトランジスタ811、保持容量812によって構成され、それをXデコーダー813、Yデコーダー814にて駆動している。1つのセルが1つのトランジスタに対し、1つの容量を有する構成になっており、面積が小さい。DRAMのメモリセル面積は通常10F²以下である。ただし、DRAMは常にリフレッシュが必要であり、書き換えを行わない場合でも電力を消費する。

40

【0179】

しかし、先の実施の形態で説明した半導体装置のメモリセル面積は、10F²前後であり、かつ頻繁なリフレッシュは不要である。したがって、メモリセル面積が縮小され、かつ消費電力を低減することができる。

【0180】

図9に携帯機器のブロック図を示す。図9に示す携帯機器はRF回路901、アナログベースバンド回路902、デジタルベースバンド回路903、バッテリー904、電源回路905、アプリケーションプロセッサ906、フラッシュメモリ910、ディスプレイコ

50

ントローラ 911、メモリ回路 912、ディスプレイ 913、タッチセンサ 919、音声回路 917、キーボード 918 などより構成されている。ディスプレイ 913 は表示部 914、ソースドライバ 915、ゲートドライバ 916 によって構成されている。アプリケーションプロセッサ 906 は CPU 907、DSP 908、インターフェイス (IF) 909 を有している。一般にメモリ回路 912 は SRAM または DRAM で構成されており、この部分に先の実施の形態で説明した半導体装置を採用することによって、情報の書き込み及び読み出しが高速で、長期間の記憶保持が可能で、かつ消費電力を十分に低減することができる。

【0181】

図10に、ディスプレイのメモリ回路 950 に先の実施の形態で説明した半導体装置を使用した例を示す。図10に示すメモリ回路 950 は、メモリ 952、メモリ 953、スイッチ 954、スイッチ 955 およびメモリコントローラ 951 により構成されている。また、メモリ回路 950 は、信号線からの画像データ（入力画像データ）、メモリ 952、及びメモリ 953 に記憶されたデータ（記憶画像データ）を読み出し、及び制御を行うディスプレイコントローラ 956 と、ディスプレイコントローラ 956 からの信号により表示するディスプレイ 957 が接続されている。

【0182】

まず、ある画像データがアプリケーションプロセッサ（図示しない）によって、形成される（入力画像データ A）。入力画像データ A は、スイッチ 954 を介してメモリ 952 に記憶される。そしてメモリ 952 に記憶された画像データ（記憶画像データ A）は、スイッチ 955、及びディスプレイコントローラ 956 を介してディスプレイ 957 に送られ、表示される。

【0183】

入力画像データ A に変更が無い場合、記憶画像データ A は、通常 30 ~ 60 Hz 程度の周期でメモリ 952 からスイッチ 955 を介して、ディスプレイコントローラ 956 から読み出される。

【0184】

次に、例えばユーザーが画面を書き換える操作をしたとき（すなわち、入力画像データ A に変更が有る場合）、アプリケーションプロセッサは新たな画像データ（入力画像データ B）を形成する。入力画像データ B はスイッチ 954 を介してメモリ 953 に記憶される。この間も定期的にメモリ 952 からスイッチ 955 を介して記憶画像データ A は読み出されている。メモリ 953 に新たな画像データ（記憶画像データ B）が記憶し終わると、ディスプレイ 957 の次のフレームより、記憶画像データ B は読み出され、スイッチ 955、及びディスプレイコントローラ 956 を介して、ディスプレイ 957 に記憶画像データ B が送られ、表示がおこなわれる。この読み出しあはさらに次に新たな画像データがメモリ 952 に記憶されるまで継続される。

【0185】

このようにメモリ 952 及びメモリ 953 は交互に画像データの書き込みと、画像データの読み出しを行うことによって、ディスプレイ 957 の表示をおこなう。なお、メモリ 952 及びメモリ 953 はそれぞれ別のメモリには限定されず、1つのメモリを分割して使用してもよい。先の実施の形態で説明した半導体装置をメモリ 952 及びメモリ 953 に採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を十分に低減することができる。

【0186】

図11に電子書籍のブロック図を示す。図11はバッテリー 1001、電源回路 1002、マイクロプロセッサ 1003、フラッシュメモリ 1004、音声回路 1005、キーボード 1006、メモリ回路 1007、タッチパネル 1008、ディスプレイ 1009、ディスプレイコントローラ 1010 によって構成される。

【0187】

ここでは、図11のメモリ回路 1007 に先の実施の形態で説明した半導体装置を使用す

10

20

30

40

50

ることができる。メモリ回路 1007 の役割は書籍の内容を一時的に保持する機能を持つ。例えば、ユーザーがハイライト機能を使用する場合、メモリ回路 1007 は、ユーザーが指定した箇所の情報を記憶し、保持する。なおハイライト機能とは、ユーザーが電子書籍を読んでいるときに、特定の箇所にマーキング、例えば、表示の色を変える、アンダーラインを引く、文字を太くする、文字の書体を変えるなどによって周囲との違いを示すことである。メモリ回路 1007 は短期的な情報の記憶に用い、長期的な情報の保存にはフラッシュメモリ 1004 に、メモリ回路 1007 が保持しているデータをコピーしてもよい。このような場合においても、先の実施の形態で説明した半導体装置を採用することによって、情報の書き込みおよび読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を十分に低減することができる。

10

【0188】

以上のように、本実施の形態に示す携帯機器には、先の実施の形態に係る半導体装置が搭載されている。このため、読み出しが高速で、長期間の記憶保持が可能で、且つ消費電力を低減した携帯機器が実現される。また、本発明の一態様のトランジスタはトレンチ構造を採用することで、平面面積を縮小できるため、高集積化が可能である。また、本発明の一態様のトランジスタはトレンチに沿って酸化物半導体膜が形成されるため、トランジスタを高集積化しても、チャネル長を確保することができ、短チャネル効果が抑制される。さらに、該トレンチの側部は酸化物絶縁層上面に対して略垂直な側面を有し、トレンチの上端の幅はトレンチの側面の幅に対して 1 倍以上 1.5 倍以下であるため、該トレンチの側面の幅を狭くする微細なトランジスタを作製することができ、半導体装置のさらなる高集積化が可能である。

20

【0189】

本実施の形態に示す構成、方法などは、他の実施の形態に示す構成、方法などと適宜組み合わせて用いることができる。

【実施例 1】

【0190】

本実施例では試料として、本発明の一態様のトランジスタに用いることができる、トレンチを含む酸化物絶縁層を作製した。これを実施例試料 1 とする。また、比較例として実施例試料 1 とは異なる作製方法でトレンチを含む酸化物絶縁層を作製した。比較例試料及び実施例試料 1 の作製方法について説明する。

30

【0191】

まず、実施例試料 1、比較例試料とともに、酸化物絶縁層としてシリコン基板上にスパッタリング法による酸化シリコン膜を膜厚 400 nm で形成した。

【0192】

酸化シリコン膜の成膜条件は、ターゲットとして酸化シリコン (SiO₂) ターゲットを用い、シリコン基板とターゲット間との距離を 60 mm、圧力 0.4 Pa、電源 2 kW、アルゴン及び酸素 (アルゴン流量 25 sccm : 酸素流量 25 sccm) 雰囲気下、基板温度 100 とした。

【0193】

実施例試料 1 は、酸化シリコン膜上にフォトリソグラフィ工程によりレジストマスクを形成し、レジストマスクを用いて酸化シリコン膜をエッチングしトレンチを形成した。エッチング工程としては、ICP (Inductively Coupled Plasma : 誘導結合型プラズマ) エッチング法により、エッチングガスとして三フッ化メタン (CHF₃)、ヘリウム (He)、及びメタン (CH₄) (CHF₃ : He : CH₄ = 22.5 sccm : 127.5 sccm : 5 sccm) を用い、電源電力 475 W、バイアス電力 300 W、圧力 3.5 Pa、基板温度 70 で、60 秒間、エッチング (第 1 のプラズマエッチング) を行った。

40

【0194】

その後、異なる条件によるエッチング (第 2 のプラズマエッチング処理) を施した。第 2 のプラズマエッチング処理は、ICP (Inductively Coupled P1

50

a s m a : 誘導結合型プラズマ) エッティング法により、エッティングガスとして六フッ化硫黄 (S F₆) (S F₆ = 1 0 0 s c c m) を用い、電源電力 3 0 0 0 W、バイアス電力 0 W、圧力 0 . 6 7 P a、基板温度 4 0 度、8 0 秒間行った。

【 0 1 9 5 】

一方、比較例試料としては、酸化シリコン膜上にフォトリソグラフィ工程によりレジストマスクを形成し、レジストマスクを用いて酸化シリコン膜をエッティングしトレンチを形成した。エッティング工程としては、実施例試料 1 の第 1 のプラズマエッティングと同様の条件を用いた。

【 0 1 9 6 】

実施例試料 1、比較例試料とともに、エッティング工程の後に、酸素によるアッシング (電源電力 2 0 0 W、圧力 6 6 . 5 P a (0 . 5 T o r r) 、1 2 0 秒間) を行った。また、トレンチの断面における深さ (図 1 (B) における d) は約 2 5 0 n m、側面の幅 (図 1 (B) における L 1) は約 3 0 0 n m とした。

【 0 1 9 7 】

次いで、酸化シリコン膜から剥離液を用いてレジストマスクを除去した後、アルゴン雰囲気で平坦化処理を行った。平坦化処理としては、 I C P (I n d u c t i v e l y C o u p l e d P l a s m a : 誘導結合型プラズマ) エッティング法により、エッティングガスとしてアルゴン (A r) (A r = 1 0 0 s c c m) を用い、電源電力 5 0 0 W、バイアス電力 1 0 0 W、圧力 1 . 3 5 P a で、1 8 0 秒間行った。

【 0 1 9 8 】

以上の工程で得られた実施例試料 1 の断面 T E M (T r a n s m i s s i o n E l e c t r o n M i c r o s c o p y (透過型電子顕微鏡)) 写真を図 1 2 に、比較例試料の断面 T E M 写真を図 1 3 に示す。

【 0 1 9 9 】

図 1 2 に示すように、実施例試料 1 は酸化物絶縁層 6 3 0 a にトレンチ構造が形成されている。トレンチの下端コーナ部 6 3 1 a は曲面を有する。下端コーナ部 6 3 1 a が有する曲面の曲率半径は 2 5 n m ~ 6 5 n m である。したがって、実施例試料 1 では曲率半径が 2 0 n m 以上 7 0 n m 以下の下端コーナ部を作製することができた。一方、図 1 3 に示す比較例試料では、酸化物絶縁層 6 3 0 b にトレンチが形成され、トレンチの下端コーナ部 6 3 1 b は角状となっている。

【 0 2 0 0 】

また、実施例試料 1 の側部は酸化物絶縁層上面と略垂直な側面を有し、トレンチの上端の幅がトレンチの側部に対して広がっていない。

【 0 2 0 1 】

以上より、本実施例で作製した実施例試料 1 は、下端コーナ部に曲面を有し、側部に酸化物絶縁層上面と略垂直な側面を有し、トレンチの上端の幅がトレンチの側面の幅の 1 倍以上 1 . 5 倍以下であることが示された。

【 0 2 0 2 】

本実施例で示したような酸化物絶縁層に設けたトレンチにトランジスタを作製することで、短チャネル効果が抑制され、電気的特性の安定したトランジスタを提供することができる。また、本実施例で示したような酸化物絶縁層に設けたトレンチを用いることによって、トランジスタの微細化を実現することができる。

【 実施例 2 】

【 0 2 0 3 】

本実施例では、トレンチを含む酸化物絶縁層を形成し、該トレンチ上に酸化物半導体膜を形成した試料を作製し、酸化物半導体膜の被覆性を調べた。

【 0 2 0 4 】

本実施例で用いた試料の作製方法を以下に示す。なお、本実施例で作製した試料を実施例試料 2 とする。

【 0 2 0 5 】

10

20

30

40

50

まず、酸化物絶縁層としてシリコン基板上にスパッタリング法による酸化シリコン膜を膜厚400nmで形成した。

【0206】

酸化シリコン膜の成膜条件は、ターゲットとして酸化シリコン(SiO₂)ターゲットを用い、シリコン基板とターゲット間との距離を60mm、圧力0.4Pa、電源2kW、アルゴン及び酸素(アルゴン流量25sccm:酸素流量25sccm)雰囲気下、基板温度100とした。

【0207】

次いで、酸化シリコン膜上にフォトリソグラフィ工程によりレジストマスクを形成し、レジストマスクを用いて酸化シリコン膜をエッチングしトレンチを形成した。エッチング工程としては、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法により、エッチングガスとして三フッ化メタン(CHF₃)、ヘリウム(He)、及びメタン(CH₄)(CHF₃:He:CH₄=22.5sccm:127.5sccm:5sccm)を用い、電源電力475W、バイアス電力300W、圧力3.5Pa、基板温度70で、60秒間で行う第1のプラズマエッチング処理と、ICP(Inductively Coupled Plasma:誘導結合型プラズマ)エッチング法により、エッチングガスとして三フッ化メタン(CHF₃)、ヘリウム(He)、及びメタン(CH₄)(CHF₃:He:CH₄=22.5sccm:127.5sccm:5sccm)を用い、電源電力3000W、バイアス電力0W、圧力3.5Pa、基板温度70で、60秒間で行う第2のプラズマエッチング処理を行った。

10

20

【0208】

エッチング工程の後に、酸素によるアッシング(電源電力200W、圧力66.5Pa、(0.5Torr)、120秒間)を行った。トレンチの断面における側面の長さ(図1(B)におけるトレンチの深さd)は約250nm、側面の幅(図1(B)におけるL1)は約300nmとした。

【0209】

酸化シリコン膜上から剥離液を用いてレジストマスクを除去し、トレンチの側部、トレンチの底部、及び絶縁層の上面に接する酸化物半導体膜として、スパッタリング法によりIn-Ga-Zn-O膜を成膜した。

30

【0210】

本実施例においては、基板を400に加熱しながら酸化物半導体膜の成膜を行った。なお、In-Ga-Zn-O膜の成膜条件は、原子数比がIn:Ga:Zn=1:1:1[atom比]の酸化物ターゲットを用い、シリコン基板とターゲットとの間の距離を60mm、圧力0.4Pa、直流(DC)電源0.5kW、アルゴン及び酸素(アルゴン流量30sccm:酸素流量15sccm)雰囲気下とした。酸化物半導体膜の膜厚は20nmを狙って成膜した。

40

【0211】

以上の工程で得られた実施例試料2の断面TEM写真を図14に示す。なお、図14(B)は図14(A)に示す断面TEM写真の拡大図である。

40

【0212】

図14(A)に示す実施例試料2は、トレンチが設けられた酸化物絶縁層730と、該トレンチに沿って形成された酸化物半導体膜744と、を有する。トレンチの下端コーナ部731には曲面が形成されている。図14(B)に示すように、該トレンチに沿って形成された酸化物半導体膜744はトレンチのコーナ部においても、膜厚が薄くなることがなく、良好な被覆性を示している。

【0213】

以上のように、下端コーナ部に曲面を有するトレンチに沿って形成される酸化物半導体膜は被覆性よく成膜されることが示された。したがって、本実施例に示す作製方法を用いて形成したトレンチを有するトランジスタは安定した電気的特性を得ることができる。

50

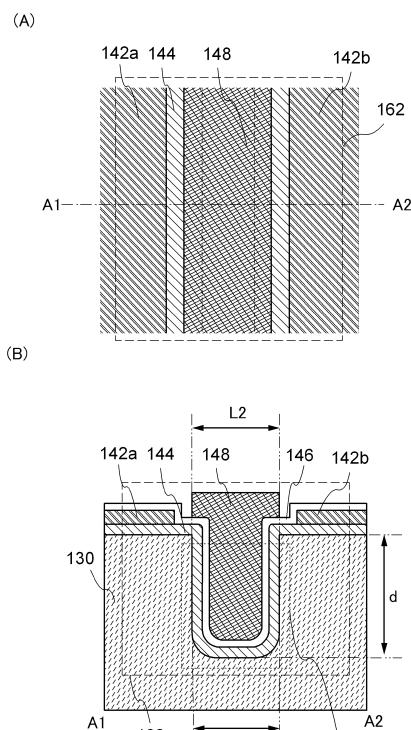
【符号の説明】

【0214】

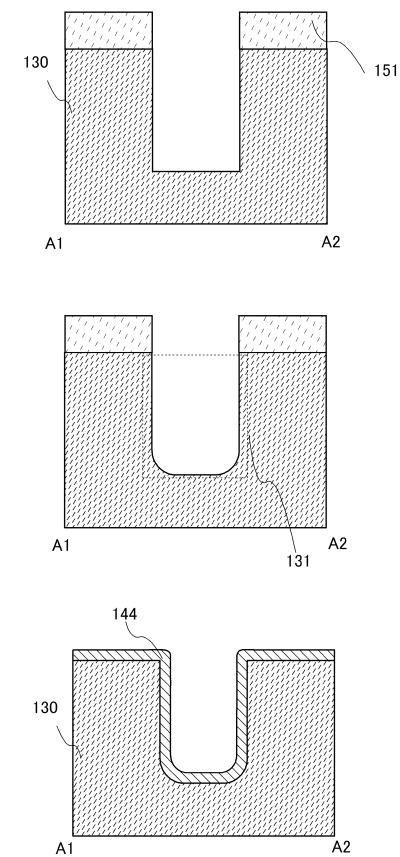
1 0 0	基板	
1 0 6	素子分離絶縁層	
1 0 8	ゲート絶縁層	
1 1 0	ゲート電極	
1 1 6	チャネル形成領域	
1 2 0	不純物領域	
1 2 4	金属間化合物領域	
1 2 8	絶縁層	10
1 3 0	酸化物絶縁層	
1 3 1	トレンチ	
1 4 2 a	導電層	
1 4 2 b	導電層	
1 4 4	酸化物半導体膜	
1 4 6	ゲート絶縁層	
1 4 8	ゲート電極	
1 4 8 b	導電層	
1 5 0	絶縁層	
1 5 1	レジストマスク	20
1 5 2	絶縁層	
1 5 6	配線	
1 6 0	トランジスタ	
1 6 2	トランジスタ	
1 6 4	容量素子	
2 3 1	トレンチ	
2 5 0	メモリセル	
2 5 1	メモリセルアレイ	
2 5 1 a	メモリセルアレイ	
2 5 1 b	メモリセルアレイ	30
2 5 3	周辺回路	
2 5 4	容量素子	
2 5 6	絶縁層	
2 5 8	絶縁層	
2 6 0	配線	
2 6 2	導電層	
6 3 0 a	酸化物絶縁層	
6 3 0 b	酸化物絶縁層	
6 3 1 a	下端コーナ部	
6 3 1 b	下端コーナ部	40
7 3 0	酸化物絶縁層	
7 3 1	下端コーナ部	
7 4 4	酸化物半導体膜	
8 0 1	トランジスタ	
8 0 3	トランジスタ	
8 0 4	トランジスタ	
8 0 5	トランジスタ	
8 0 6	トランジスタ	
8 0 7	Xデコーダー	
8 0 8	Yデコーダー	50

8 1 1	トランジスタ	
8 1 2	保持容量	
8 1 3	X デコーダー	
8 1 4	Y デコーダー	
9 0 1	R F 回路	
9 0 2	アナログベースバンド回路	
9 0 3	デジタルベースバンド回路	
9 0 4	バッテリー	
9 0 5	電源回路	
9 0 6	アプリケーションプロセッサ	10
9 0 7	C P U	
9 0 8	D S P	
9 1 0	フラッシュメモリ	
9 1 1	ディスプレイコントローラ	
9 1 2	メモリ回路	
9 1 3	ディスプレイ	
9 1 4	表示部	
9 1 5	ソースドライバ	
9 1 6	ゲートドライバ	
9 1 7	音声回路	20
9 1 8	キーボード	
9 1 9	タッチセンサ	
9 5 0	メモリ回路	
9 5 1	メモリコントローラ	
9 5 2	メモリ	
9 5 3	メモリ	
9 5 4	スイッチ	
9 5 5	スイッチ	
9 5 6	ディスプレイコントローラ	
9 5 7	ディスプレイ	30
1 0 0 1	バッテリー	
1 0 0 2	電源回路	
1 0 0 3	マイクロプロセッサ	
1 0 0 4	フラッシュメモリ	
1 0 0 5	音声回路	
1 0 0 6	キーボード	
1 0 0 7	メモリ回路	
1 0 0 8	タッチパネル	
1 0 0 9	ディスプレイ	
1 0 1 0	ディスプレイコントローラ	40

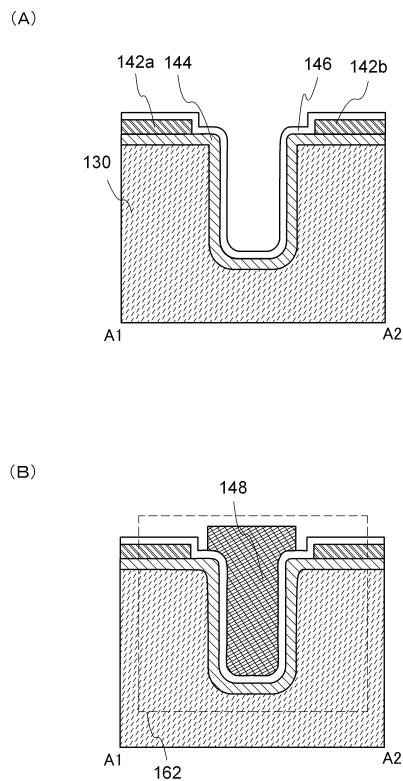
【図1】



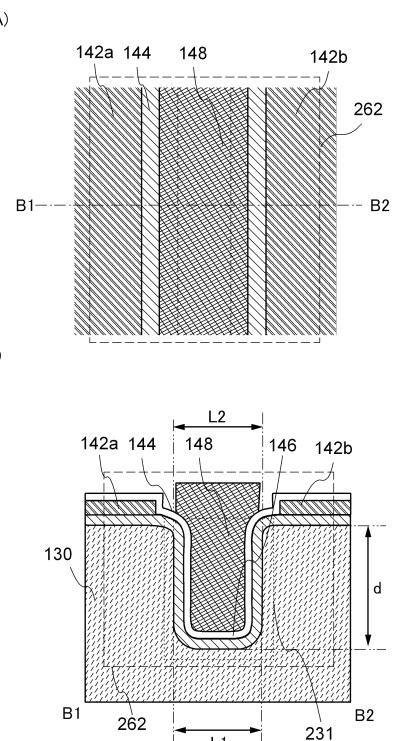
【図2】



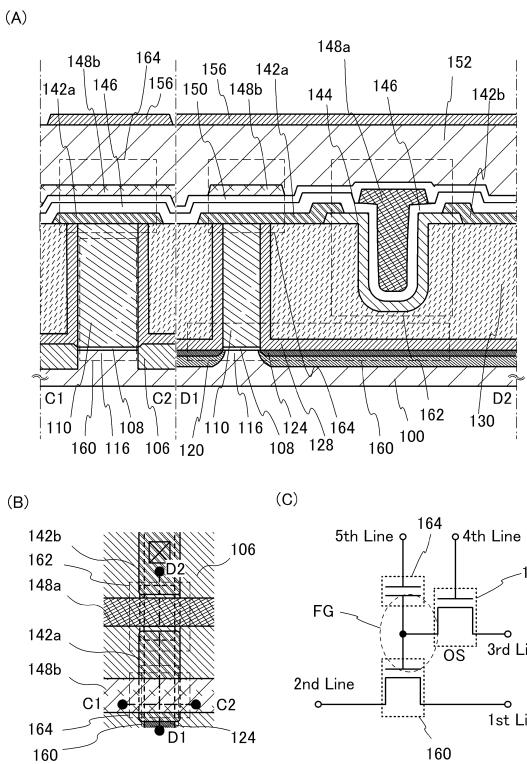
【図3】



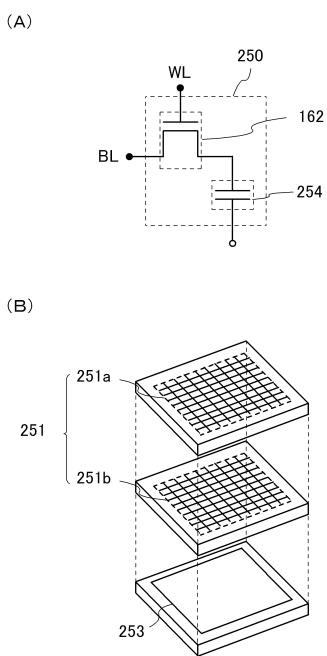
【図4】



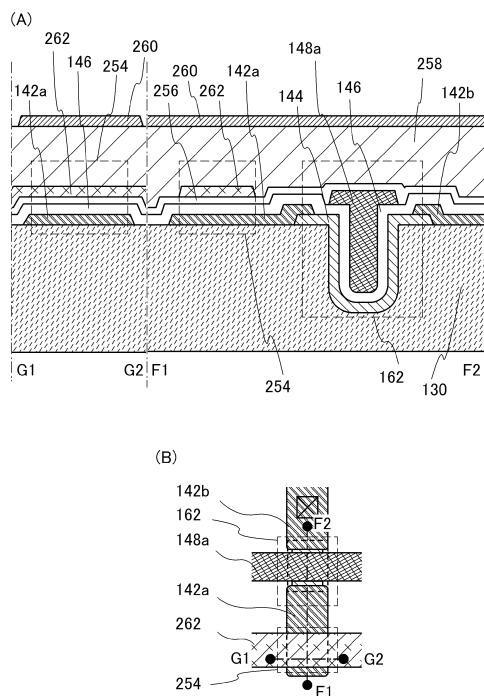
【 図 5 】



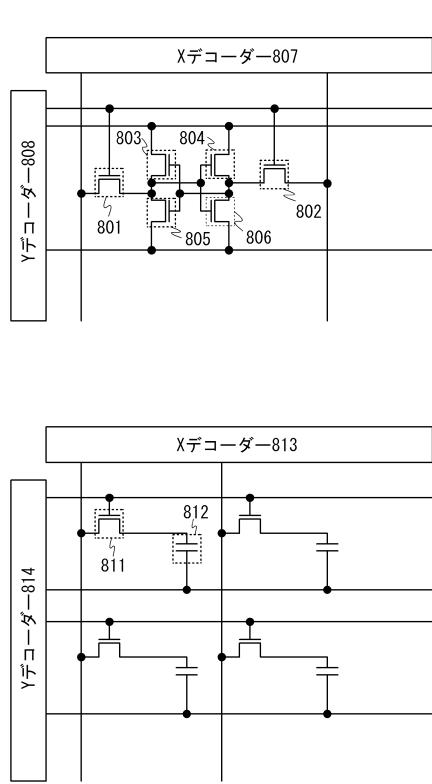
【図6】



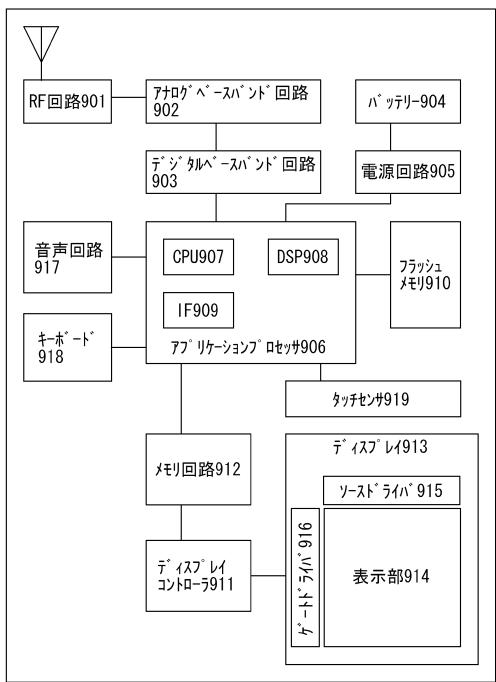
【図7】



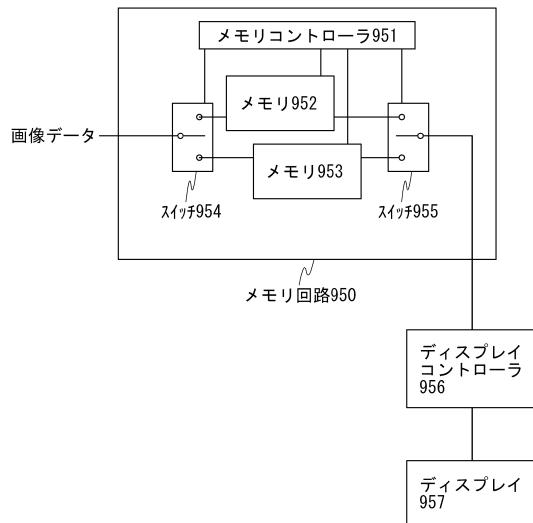
【図8】



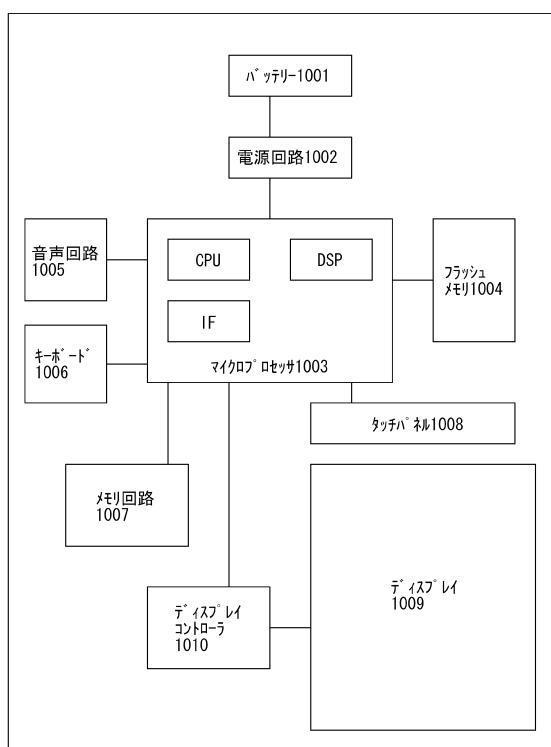
【図9】



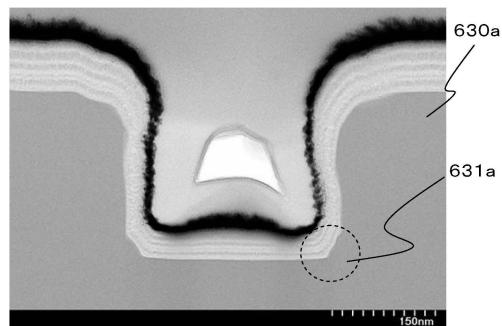
【図10】



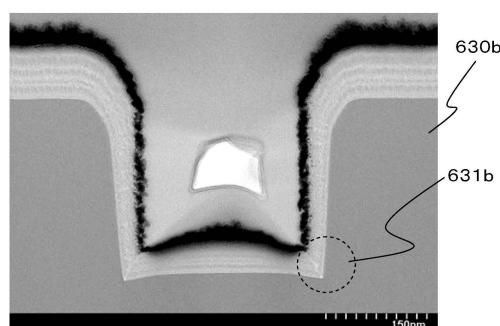
【図11】



【図12】

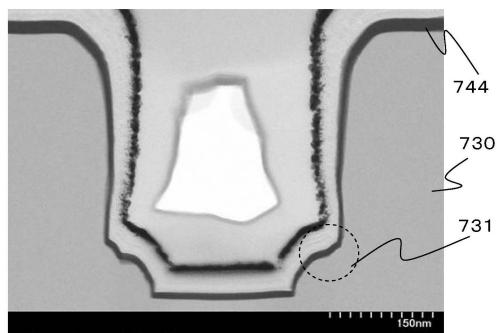


【図13】

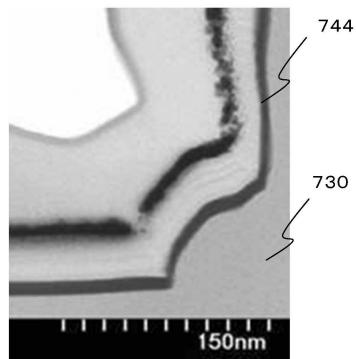


【図 1 4】

(A)



(B)



フロントページの続き

(51)Int.Cl.		F I	
H 0 1 L	27/115 (2006.01)	H 0 1 L	27/10 4 3 4
H 0 1 L	29/788 (2006.01)	H 0 1 L	27/10 6 2 1 Z
H 0 1 L	29/792 (2006.01)	H 0 1 L	27/10 6 5 1
		H 0 1 L	27/10 6 7 1 C
		H 0 1 L	27/10 6 7 1 Z
		H 0 1 L	29/78 3 7 1

- (56)参考文献 特開2008-034760 (JP, A)
特開2008-060524 (JP, A)
特開昭59-124166 (JP, A)
特開2003-023150 (JP, A)
特開平07-263692 (JP, A)
特表2004-509464 (JP, A)
特開2004-259927 (JP, A)
特開平04-251926 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H 0 1 L 2 1 / 3 3 6
H 0 1 L 2 1 / 8 2 4 2
H 0 1 L 2 1 / 8 2 4 7
H 0 1 L 2 7 / 1 0 8
H 0 1 L 2 7 / 1 1 5
H 0 1 L 2 9 / 7 8 6
H 0 1 L 2 9 / 7 8 8
H 0 1 L 2 9 / 7 9 2