

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4435343号
(P4435343)

(45) 発行日 平成22年3月17日 (2010.3.17)

(24) 登録日 平成22年1月8日 (2010.1.8)

(51) Int.Cl.

F I

G06K 7/10 (2006.01)
H03M 1/12 (2006.01)G06K 7/10 B
H03M 1/12 C

請求項の数 30 (全 16 頁)

(21) 出願番号 特願平11-312689
 (22) 出願日 平成11年11月2日 (1999.11.2)
 (65) 公開番号 特開2000-235615 (P2000-235615A)
 (43) 公開日 平成12年8月29日 (2000.8.29)
 審査請求日 平成18年10月31日 (2006.10.31)
 (31) 優先権主張番号 98830665.0
 (32) 優先日 平成10年11月2日 (1998.11.2)
 (33) 優先権主張国 欧州特許庁 (EP)

(73) 特許権者 599068887
 データロジック・エス・ピー・エー
 DATA LOGIC S. p. A.
 イタリア国、40012 リッポ・ディ・
 カルデラーラ・ディ・レノ、ピア・カンデ
 ィーニ、2
 (74) 代理人 100058479
 弁理士 鈴江 武彦
 (74) 代理人 100084618
 弁理士 村松 貞男
 (74) 代理人 100092196
 弁理士 橋本 良郎
 (74) 代理人 100095441
 弁理士 白根 俊郎

最終頁に続く

(54) 【発明の名称】 光コードから得られたデータを捕捉および自動処理する装置および方法

(57) 【特許請求の範囲】

【請求項 1】

光コードから得られたデータを捕捉して自動処理する装置において、
イメージ検出器と、

前記イメージ検出器に接続されているデータ処理装置とを具備し、

前記イメージ検出器は、

複数のCMOS感知素子を備えているCMOS光センサと、

前記CMOS光センサに接続されているアナログ/デジタル変換装置とを具備し、

前記データ処理装置は、マイクロプロセッサを具備し、

光コードから得られたデータを捕捉して自動処理する前記装置はさらに、揮発性メモリを具備し、前記揮発性メモリは前記アナログ/デジタル変換装置と前記マイクロプロセッサの間に挿入されて、それらと直接接続されていることを特徴とする装置。

10

【請求項 2】

前記データ処理装置はさらに、前記マイクロプロセッサに接続されているデータメモリ装置と前記マイクロプロセッサに接続されているプログラムメモリ装置とを具備していることを特徴とする請求項 1 記載の装置。

【請求項 3】

前記揮発性メモリは第 1 の接続によって前記アナログ/デジタル変換装置に、第 2 の接続によって前記マイクロプロセッサに接続されており、前記第 2 の接続は前記第 1 の接続と全く異なることを特徴とする請求項 1 または 2 記載の装置。

20

【請求項 4】

前記イメージ検出器はアナログ処理装置を具備し、前記アナログ処理装置は前記 C M O S 光センサと前記アナログ / デジタル変換装置に接続されていることを特徴とする請求項 1 乃至 3 いずれか 1 項記載の装置。

【請求項 5】

前記揮発性メモリは前記イメージ検出器の一部であることを特徴とする請求項 1 乃至 4 いずれか 1 項記載の装置。

【請求項 6】

前記揮発性メモリは R A M であることを特徴とする請求項 1 乃至 5 いずれか 1 項記載の装置。

10

【請求項 7】

前記 C M O S センサは線形タイプであることを特徴とする請求項 1 乃至 6 のいずれか 1 項記載の装置。

【請求項 8】

前記 C M O S センサはマトリックスタイプであることを特徴とする請求項 1 乃至 6 のいずれか 1 項記載の装置。

【請求項 9】

前記アナログ処理装置はフィルタ手段と自動利得制御手段とを具備していることを特徴とする請求項 1 乃至 8 のいずれか 1 項記載の装置。

【請求項 10】

バッテリー電源装置を具備していることを特徴とする請求項 1 乃至 9 のいずれか 1 項記載の装置。

20

【請求項 11】

ユーザインターフェイス手段を具備していることを特徴とする請求項 1 乃至 10 のいずれか 1 項記載の装置。

【請求項 12】

前記ユーザインターフェイス手段はディスプレイ装置を具備していることを特徴とする請求項 11 記載の装置。

【請求項 13】

前記ユーザインターフェイス手段はキーボードとマウスの少なくとも一方を具備していることを特徴とする請求項 11 または 12 記載の装置。

30

【請求項 14】

論理制御装置を具備しており、前記論理制御装置は、前記 C M O S 光センサと前記アナログ / デジタル変換装置と前記マイクロプロセッサに接続されていることを特徴とする請求項 1 乃至 13 のいずれか 1 項記載の装置。

【請求項 15】

前記論理制御装置は前記揮発性メモリに接続されていることを特徴とする請求項 14 項記載の装置。

【請求項 16】

前記論理制御装置は前記マイクロプロセッサ中に集積されていることを特徴とする請求項 14 記載の装置。

40

【請求項 17】

前記論理制御装置は、前記 C M O S センサと、前記アナログ処理装置と、前記アナログ / デジタル変換装置とに分散して集積されていることを特徴とする請求項 14 記載の装置。

【請求項 18】

データおよび命令の送信および受信の少なくとも一方のための転送インターフェイス装置を具備し、

前記転送インターフェイス装置は前記アナログ / デジタル変換装置に直接結合されて、デジタルイメージデータを転送するように構成されていることを特徴とする請求項 1 乃至

50

17のいずれか1項記載の装置。

【請求項19】

前記転送インターフェイス装置は、外部装置または外部中央装置へ遠隔接続するための入力／出力インターフェイスであることを特徴とする請求項18記載の装置。

【請求項20】

前記転送インターフェイス装置は、無線によって遠隔接続するための入力／出力インターフェイスであることを特徴とする請求項18記載の装置。

【請求項21】

前記転送インターフェイス装置は電話によって遠隔接続するための入力／出力インターフェイスであることを特徴とする請求項18記載の装置。

10

【請求項22】

前記転送インターフェイス装置はUSBタイプであることを特徴とする請求項18記載の装置。

【請求項23】

前記転送インターフェイス装置はRAMであることを特徴とする請求項18記載の装置。

【請求項24】

前記転送インターフェイス装置は遠隔タイプであることを特徴とする請求項18記載の装置。

【請求項25】

20

前記アナログ／デジタル変換装置とイメージメモリ装置との間に接続された直接メモリアクセス制御装置を具備していることを特徴とする請求項2記載の装置。

【請求項26】

前記CMOS光センサと、前記アナログ処理装置の中から選択された少なくとも1つの素子と、前記アナログ／デジタル変換装置と、前記データ処理装置と、前記揮発性メモリとは単一のチップに集積されていることを特徴とする請求項4記載の装置。

【請求項27】

低解像度イメージを捕捉する手段と、この低解像度イメージ中の関心のある区域をサーチする手段と、前記関心のある区域の高解像度イメージを捕捉する手段と、前記高解像度イメージ中のデータをデコードする手段とを具備していることを特徴とする請求項1乃至26のいずれか1項記載の装置。

30

【請求項28】

前記低解像度イメージを捕捉する手段は前記複数のCMOS感知素子の中のいくつかのCMOS感知素子のみを選択的に質問する手段を具備していることを特徴とする請求項26記載の装置。

【請求項29】

前記低解像度イメージを捕捉する手段は、前記CMOS感知素子の隣接する素子を共にマクロ画素にグループ化する手段と、各前記マクロ画素により生成された電気信号を捕捉する手段とを具備していることを特徴とする請求項26記載の装置。

【請求項30】

40

前記低解像度イメージを捕捉する手段は、前記CMOS感知素子のアクティブ区域を変更する手段と、変更されたアクティブ区域を有する前記CMOS感知素子により供給された電気信号を捕捉する手段を具備していることを特徴とする請求項26記載の装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、光コードから得られたデータを捕捉および自動処理するための装置および方法に関する。

【0002】

【従来の技術】

50

以後、用語“光コード”は、コード化されたデータを記憶する機能を有するグラフィック表示を示している。光コードの特定の例は線形または２次元コードを含んでおり、それにおいてはデータは予め定められた形態、即ちバーコード、スタックコード（PDF 417を含む）、マキシコード、データマトリックス、QRコードまたはカラーコード等のような光素子（通常は白色のスペース）により分離された暗色（通常は黒色）の正方形、長方形または六角形の素子の適切な組み合わせによりコード化される。より一般的には、用語“光コード”はさらに、コード化されていない印刷された文字（文字、数字等）と特別の形状（パターン）（スタンプ、ロゴ、サイン等）を含むデータコード化機能で形成する。

【 0 0 0 3 】

光データを捕捉するため、光センサが必要とされ、これはデータコード化イメージをイメージドットの輝度に相関された電気信号に変換し、（電子プロセッサを介して）自動的に処理されデコードされることができる。

10

【 0 0 0 4 】

現在、光センサはCCD（電荷結合装置）技術を使用して製造される。しかしながら、これらのセンサは必ずしも満足すべき読取り性能ではなく、読取装置全体の複雑性、価格およびサイズにより生じる欠点を有する。

【 0 0 0 5 】

さらに、光センサの製造において、CMOS技術の使用が既に提案されているが、現在集積された電子回路でのみ使用されている。しかしながら、CCD技術は、その性能が量的効率と、光“フィルファクタ”（即ち光データを捕捉するため個々の検出素子または画素により占有される利用区域の割合）と、暗電流漏洩と、読取り雑音と、動力学に関して良好であるのでCMOS技術に好ましい。

20

【 0 0 0 6 】

最近、（画素中に増幅セクションを有する）アクティブ画素CMOSセンサが開発され、これはCCDセンサと匹敵する性能レベルを有するが、さらに優れた機能的能力を有する。イメージ捕捉装置は２つの部分、即ち受信された光に相関された出力電気信号を供給する（線形またはマトリックスタイプの）光センサと、電気信号を処理する装置とに分割されることができる。従来使用されているCCD技術では、処理装置が光センサからデータを集めなければならないときにはいつでも予め定められたシーケンスで光センサを形成する全ての画素にアクセスしなければならない。一方、CMOS技術は処理装置が、特定の順序に従う必要なく、また存在する全ての画素にアクセスする必要なく、任意の画素に直接アクセスすることを可能にする。さらに、CMOSセンサはCMOS技術自体を使用して生成される論理回路と十分に両立可能である。

30

【 0 0 0 7 】

【 発明が解決しようとする課題 】

したがって、本発明の目的は、CCD技術と比較してCMOS技術の固有の利点を活用する光データを捕捉する装置および方法を提供することである。

【 0 0 0 8 】

【 課題を解決するための手段 】

本発明によれば、光コードからデータを捕捉し、自動的に処理する装置が与えられ、その装置は、

40

CMOS光センサと、

前記CMOS光センサに接続されているアナログ処理装置と、

前記アナログ処理装置に接続されているアナログ／デジタル変換装置と、

前記アナログ／デジタル変換装置に接続されているデータ処理装置との組合わせを特徴とする。

【 0 0 0 9 】

CMOSセンサは線形またはマトリックスタイプであり、装置にはディスプレイ装置とキーボードおよび／またはマウスも設けられている。インターフェイスは無線、電話、GSMまたは衛星システムへの接続を許容する。

50

【 0 0 1 0 】

C M O S センサと少なくとも 1 つのアナログおよびデジタルイメージ処理装置は 1 つのチップで集積されることが好ましく、結果として装置は廉価で高速で雑音に対する感度が少なくすることができる。

【 0 0 1 1 】

装置は最初に有効に低解像度イメージを捕捉し、低解像度イメージ中の、関心のある区域を捜し、その関心のある区域の高解像度イメージを捕捉し、高解像度イメージでデータをデコードする。

【 0 0 1 2 】

本発明によって、光コードから得られたデータを自動的に捕捉する方法が提供され、その方法は、C M O S 光センサによりイメージの輝度に相関されたアナログ電気信号を発生し、前記アナログ電気信号をアナログ的に処理し、前記アナログ電気信号をデジタル信号へ変換し、コード化された光データを抽出するため前記デジタル信号を処理するステップを含んでいる。

10

【 0 0 1 3 】

さらに、本発明は、光コードから得られたデータを自動的に捕捉する装置に関し、その装置は、

C M O S 光センサと、

前記 C M O S 光センサに接続されているアナログ処理装置と、

前記アナログ処理装置に接続されているアナログ / デジタル変換装置との組合わせを特徴とする。

20

【 0 0 1 4 】

【 発明の実施の形態 】

本発明のさらに別の特徴は単なる例示として与えられ、添付図面で示されている幾つかの好ましい実施形態についての説明から明白になるであろう。

図 1 では、データの捕捉および自動処理用装置 1 は、イメージ検出器 2 と処理装置 3 を具備している。そのイメージ検出器 2 は相互に縦続接続されて C M O S センサ 5 とアナログ処理装置 6 と A / D 変換器 7 とを具備している。

【 0 0 1 5 】

詳細には、既知のタイプの C M O S センサ 5 は、C M O S 技術を使用して生成され、各イメージ素子（画素）を与えることを意図された感知素子の線形またはマトリックスタイプのアレイを具備している。以後、説明を簡単にするために、画素という用語は各感知素子から採取されたイメージ素子と感知素子自体との両者を示す。C M O S センサ 5 は出力で、感知素子自体に入射した光の量に相関されたアナログ信号を供給する。

30

【 0 0 1 6 】

ライン 8 で C M O S センサ 5 からの出力信号を受信するアナログ処理装置 6 は C M O S センサ 5 から出力信号を適合し、次の信号のデジタル変換を可能にする機能を有し、特に、自動利得制御によって A / D 変換器 7 に必要とされる電圧値に匹敵する信号を生成し、C M O S センサ 5 内で発生したまたは外部からピックアップされた（熱および電磁的に）雑音を消去し、ぼやけたまたは過剰なイメージ限定を補償するために信号を修正する目的を行う。

40

【 0 0 1 7 】

ライン 9 によりアナログ処理装置 6 の出力に接続されている A / D 変換器 7 は、適切な瞬間でアナログ信号をサンプルし、データをデジタル形態にコード化することによって、アナログ処理装置 6 により供給されるアナログ信号を連続したデジタルパルスに変換する。特に、最も簡単なケースでは、A / D 変換器 7 は 1 ビットを使用する（また白色 / 黒色データだけを供給する）こともできるが、さらに一般的にはこれは N ビット変換器（例えば 4、6、8、10、12、16）である。

【 0 0 1 8 】

デジタル論理制御装置 10 はそれぞれのライン 11 - 13 により C M O S センサ 5 と、アナ

50

ログ処理装置 6 と、A / D 変換器 7 とに接続され、動作に必要な制御信号、例えば付勢および同期信号をこれらに与える。論理制御装置 10 はブロック 5 - 7 を管理するためのハードウェアおよびソフトウェア構成要素を具備し、非常に複雑な仕事を実行することもできる。

【 0 0 1 9 】

A / D 変換器 7 の出力 7 a は、処理装置 3 に属すマイクロプロセッサ 15 と、プログラム記憶用のそれ自身の R O M メモリ 16 と、実行期間中にデータ、デジタルイメージ、プログラム情報記憶用のそれ自身の R A M メモリ 17 とに接続される。マイクロプロセッサ 15 はライン 18 によって論理制御装置 10 に接続され、図 1 1 を参照して詳細に後述するように、全ての画素（フレーム）に関連する信号またはいくつかの特定の画素にのみに関連する信号を捕捉するために制御信号を供給する。アプリケーションに応じて、マイクロプロセッサ 15 はまた連続的ではない順序で画素捕捉を制御することもできる。さらに、これはデジタルイメージデータを処理し、コード化されたデータを捕捉されたイメージから抽出し、このデータを既知のアルゴリズムにしたがって任意選択的に処理する。

10

【 0 0 2 0 】

装置 1 では、C M O S センサ 5 と、イメージ検出器 2 の少なくとも 1 つの素子および / または処理装置 3 は 1 つのチップに集積されている。図 1 で示されている例では、例えばイメージ検出器 2 と処理装置 3 とを含む装置 1 全体は 1 つのチップ 20 に集積される。

【 0 0 2 1 】

装置 1 はしたがって、構成要素が隣接し、外部接続がないために非常にコンパクトであり、製造価格が廉価で、高いイメージ処理速度を有する。

20

【 0 0 2 2 】

図 2 は図 1 で示されているブロックに加えて、イメージ検出器 2 と処理装置 3 に接続され、装置 1 に電力を供給するバッテリー電源装置 80 と、2 つのユーザインターフェイス、特に図示していない方法でバッテリー電源装置 80 により供給される入力インターフェイス 21 と出力インターフェイス 22 とを含んだ装置 1 を示している。入力インターフェイス 21 は、データおよび命令を入力するため例えばキーボードまたはマウスのような入力装置 81 に接続されており、出力インターフェイス 22 はテキストおよび / またはイメージを表示するため出力装置 82、典型的にはディスプレイ装置に接続されている。入力インターフェイス 21 と出力インターフェイス 22 はデータおよび制御バス 23 を経てマイクロプロセッサ 15 に接続されている。

30

【 0 0 2 3 】

図 2 の装置 1 には他の装置との間の遠隔送信および受信または中央装置（図示せず）との間の送信および受信をするためのデータ転送および制御インターフェイス 35 もまた設けられており、典型的にこのインターフェイス 35 はマイクロプロセッサ 15 により捕捉されたイメージから抽出されたデータの発送を許容する。

【 0 0 2 4 】

この場合にもまた、C M O S センサ 5 は線形またはマトリックスタイプである。

【 0 0 2 5 】

図 3 は別の実施形態を示しており、ここでは適切な装置（論理制御装置 10）に集中する代わりに、論理制御装置は C M O S センサ 5、アナログ処理装置 6 および A / D 変換器 7 を形成するブロック内に分散されている。論理制御装置 10 はしたがって除去され、マイクロプロセッサ 15 はブロック 5、6、7 と直接インターフェイスされている。

40

【 0 0 2 6 】

図 3 のブロック図でも示されている変形によれば、論理制御装置はマイクロプロセッサ 15 内に設けられている。それ故、ここでもマイクロプロセッサ 15 はブロック 5、6、7 と直接インターフェイスされている。本発明にしたがって多数の装置 1 を生成することが必要なときにこの変形は有効であり、事実、この場合にはイメージ検出器 2 に直接接続するのに適したハードウェアリソースを有するカスタムマイクロプロセッサ構成要素を生成することが可能である。

50

【 0 0 2 7 】

図 4 はイメージ検出器 2 によってのみ形成される装置 1 a を示しており、ここでは A / D 変換器 7 の出力 7 a はデータ転送および制御インターフェイス 35 に接続されている。データ転送および制御インターフェイス 35 はまたライン 36 を経て制御装置 10 へ接続され、ライン 37 を経てパーソナルコンピュータ (図示せず) に接続されている。データ転送および制御インターフェイス 35 は例えば U S B 、 I E E E 1394 または S C S I インターフェイスであり、また、その代わりとしてパーソナルコンピュータが A / D 変換装置 7 により供給されるデジタルデータを直接集収することを可能にする R A M インターフェイスまたは D M A C インターフェイスが設けられることができる。さらにデータ転送および制御インターフェイス 35 はまた無線インターフェイス、電話インターフェイスまたは G S M または衛星インターフェイスであってもよい。

10

【 0 0 2 8 】

イメージ検出器 2 とデータ転送および制御インターフェイス 35 は単一のチップ 38 に集積されることが好ましい。図示の例では、図 4 の装置 1 a は、パーソナルコンピュータ (図示せず) に接続され、図 4 の全てのブロックに必要な電圧を供給する供給インターフェイス 39 を介してパーソナルコンピュータにより直接供給される。その代わりとして、装置 1 a はデータ転送および制御インターフェイス 35 により供給されるか、またはバッテリインターフェイスにより直接供給され、したがって (示されていない方法で) 図 2 のブロック 80 と類似の電源装置ブロックが設けられる。

20

【 0 0 2 9 】

図 4 の装置 1 a には図 2 のインターフェイス 21 と 22 に類似した入力および出力インターフェイスも設けられることができる。

【 0 0 3 0 】

データ転送および制御インターフェイス 35 は、捕捉されたイメージをパーソナルコンピュータに転送し、パーソナルコンピュータから命令を受信し、それによって (例えば図 7 を参照して以下詳細に説明する方法で) パーソナルコンピュータによるイメージ処理を可能にする。さらに処理 (例えば統計、計算等) するために利用可能なパーソナルコンピュータが既に存在するとき、この方法は有効であり、これはイメージ処理の作業を実行するのに便利であり、したがって装置 1 a の寸法と価格をイメージ検出器 2 およびオプションの転送インターフェイス 35 の寸法および価格だけに簡単化し減少する。

30

【 0 0 3 1 】

図 5 は図 1 の装置と同一素子 (それ故同一の参照符号で示されている) と、 A / D 変換器 7 とマイクロプロセッサ 15 との間に接続されている揮発性タイプの付加的なメモリ 25 (R A M) とを有する装置 1 を示している。詳細に説明すると、付加的なメモリ 25 はライン 26 により A / D 変換器 7 の出力 7 a に、データおよびアドレスバス 27 によりマイクロプロセッサ 15 に、ライン 28 により論理制御装置 10 に接続されている。

【 0 0 3 2 】

付加的なメモリ 25 はイメージ検出器 2 のイメージの一部であり、複数のドットにより形成されるデジタルイメージを記憶し、そのデジタル値は A / D 変換器 7 により供給される。それによって、イメージ検出器 2 の外部の専用の構成要素はイメージの記憶には必要ではない。

40

【 0 0 3 3 】

図 5 の装置 1 では、マイクロプロセッサ 15 はイメージのアクセスが必要なときデータバス 27 を経て付加的なメモリ 25 を直接アクセスすることができ、プログラムを実行またはイメージ以外のそのプライベートなデータに従うときその固有の R O M メモリ 16 と R A M メモリ 17 にアクセスできる。

【 0 0 3 4 】

さらに、装置 1 はデータおよび制御転送インターフェイス 35 と (方法は図示せず) 1 つのチップに十分に集積されることができ、または前述したように部分的にのみ集積されることができる。

50

【 0 0 3 5 】

図 6 は図 1 の装置と同一の素子と、さらに A / D 変換器 7 とマイクロプロセッサ 15 との間に接続されている D M A (Direct Memory Access) 制御装置 30 とを有する装置 1 を示している。詳しく説明すると、D M A 制御装置 30 はライン 31 によって A / D 変換器 7 の出力 7 a に、また制御ライン 32 によってマイクロプロセッサ 15 に、さらにデータバス 33 によって同じマイクロプロセッサ 15 と R O M メモリ 16 と R A M メモリ 17 とに、またライン 34 によって論理制御装置 10 に接続されている。

【 0 0 3 6 】

D M A 制御装置 30 はイメージ検出器 2 の一部であり、有効なデジタルイメージを R A M メモリ 17 へ直接転送することによってこれをマイクロプロセッサ 15 へ迅速に提供する目的を有する。特に、イメージが R A M メモリ 17 へ転送されなければならないとき、D M A 制御装置 30 は制御ライン 32 を介してマイクロプロセッサ 15 にデータバス 33 を制御するようにリクエストし、この制御を獲得したとき A / D 変換器 7 の出力イメージを R A M メモリ 17 に直接記憶するのに必要なアドレスおよび制御信号を発生する。転送が実行されたとき、データバス 33 の制御はマイクロプロセッサ 15 へ戻され、マイクロプロセッサ 15 は丁度ロードされているイメージを処理する。

【 0 0 3 7 】

図 6 の装置 1 はまた 1 つのチップで十分に集積されるが、また、その一部のみに集積されることもできる。

【 0 0 3 8 】

図 7 は図 1 の装置と同一素子と、図 5 と類似の付加的な R A M メモリ 25 a と、図 6 と類似の D M A 制御装置 30 a とを有する装置 1 を示している。D M A 制御装置 30 a は図 6 を参照して前述した方法と同じように接続され、付加的なメモリ 25 a はその出力が直接的にデータバス 33 に接続されている。

【 0 0 3 9 】

図 7 の装置 1 は図 5 のアーキテクチャと図 6 のアーキテクチャとの両方の利点を有する。事実、この場合、付加的なメモリ 25 a に含まれているイメージのコピーを R A M メモリ 17 へ迅速に生成し、第 2 のイメージを捕捉することが可能であり、したがって 2 つの連続的なイメージの比較を実行することを可能にする。これは動画を処理する場合、および一般的に、アルゴリズムが 2 つの連続的なイメージの比較に基づいてイメージを処理するために使用されるときにはいつでも非常に有効である。

【 0 0 4 0 】

図 8 は装置 1 のより詳細なアーキテクチャを示しており、これは図 1 で示されている一般的なダイアグラムを有する。図 8 では、C M O S センサ 5 は線形タイプであり、アナログ処理装置 6 はチャンネルフィルタおよび自動利得制御装置を具備し、A / D 変換器 7 は 1 ビットタイプ (デジタイザ) である。詳しく説明すると、アナログ処理装置 6 は、有用な信号に重畳された雑音を濾波し、A / D 変換器 7 に供給された出力信号の振幅を自動的に制御し、したがってその利得を捕捉されたイメージのコントラストおよび強度の種々の動作状況に適合することによって、捕捉された信号の有効な帯域を選択するタスクを有する。A / D 変換器 7 が 1 ビットで動作するので、変換は特に簡単で迅速である。イメージ検出器 2 は単一のチップに集積され、マイクロ制御装置により形成されマイクロプロセッサ 15 と対応する R O M メモリ 16 と R A M メモリ 17 とを含む外部処理装置 3 に接続されている。

【 0 0 4 1 】

図 9 は別の装置 1 のさらに詳細なアーキテクチャを示しており、これは図 1 に示されている一般的なダイアグラムを有する。図 9 では C M O S センサ 5 はマトリックスタイプであり、アナログ処理装置 6 は信号増幅用のアナログ回路を具備し、A / D 変換器 7 は 8 ビットタイプであり、それ故、出力 7 a で、2 5 6 のグレーレベルのうちの 1 つにしたがって各画素を符号化するデジタル信号を供給する。イメージ検出器 2 は単一のチップに集積され、マイクロプロセッサ 15 は外部の R I S C または C I S C タイプの非揮発性メモリ 16 (

この場合外部 E P R O M からなる) と R A M メモリ 17 が設けられている。

【 0 0 4 2 】

8 ビット A / D 変換はイメージ転送および処理の複雑性を制限し、イメージに含まれたデータを捕捉するためのイメージ処理動作をスピードアップする。

【 0 0 4 3 】

図 1 0 で示されている別の実施形態にしたがって、単一のチップは線形タイプの C M O S センサ 5 と、アナログ処理装置 6 と、8 ビット A / D 変換器 7 と、マイクロプロセッサ 15 と、プログラムデータ用の R A M メモリ 17 とを集積する。この方法では、R O M メモリ 16 のみが外部装置である。

【 0 0 4 4 】

図 1 0 の装置では、(コンタクトリーダーの場合のように)輝度レベルが既知の演繹的であるならば、これで十分であり、C M O S センサ 5 により供給される信号レベルは十分であり、アナログ処理装置 6 が省略される。

【 0 0 4 5 】

8 ビット変換器は、信号が図 8 の場合よりも高い解像度で変換されることを確実にする。この方法はしたがってできる限りこれを簡単にし、信号のアナログ処理をなくし、さらに複雑なデジタルフォーマットでイメージを処理するためのアルゴリズムを実行することを可能にする。これらのアルゴリズムにより、非常に低コントラストのコード、ダメージのあるコード等の場合に、特に読取り性能を改良することが可能である。

【 0 0 4 6 】

読取り速度を改良するために、装置 1 は図 1 1 のフローチャートで示されているように機能する。特に最初にイメージ検出器 2 は低解像度のイメージ全体を捕捉し(ブロック 40)、マイクロプロセッサ 15 は丁度検出されたイメージを解析してブロック 41 においてイメージ内の捕捉されるデータを含んだ関心のある区域を位置付け、それに続いて、ブロック 42 においてイメージ検出器 2 はマイクロプロセッサ 15 の命令で前よりも高い解像度で関心のある区域のみのイメージを検出し、最終的に、ブロック 43 においてマイクロプロセッサ 15 はさらに詳細なイメージを処理してこれらが含んでいるデータを抽出する。

【 0 0 4 7 】

前述のタイプの二重捕捉が C M O S センサ 5 により得られることができ、以下説明するように画素への直接アクセスを可能にし、それと同様にまたは別に形が可変形状の画素を有する。さらに、データ管理は以下のステップの連続に基づき、即ち C M O S センサ 5 により光データを検出し(イメージ捕捉としても知られている)、マイクロプロセッサ 15 により実行され、プログラム制御された関心のある区域を識別し(位置付けとしても知られている)、ソフトウェアを通してマイクロプロセッサ 15 により実行されたデータを解釈する(デコードとしても知られている)。

【 0 0 4 8 】

実際に、本発明の装置 1 は、過度に厄介なプロセスを行わずに処理ステップ毎(位置付けまたはデコード)に目的に適している詳細なレベル(イメージ解像度)で動作する。特に、位置付け中に、処理されるイメージの寸法を減少するために低くて粗い解像度が使用され、全体としてのイメージ中のデータの位置を決定する。それに続いて、解釈されるデータを含んでいると推定される関心のある区域のみが高い解像度で C M O S センサ 5 により捕捉され、それによってデコードアルゴリズムがイメージの減少された部分のみに適用されることができ、全体の位置付けおよびデコードの両者に必要な回数は減少されることができる。

【 0 0 4 9 】

特に捕捉方法について図 1 1 のフローチャートを参照して説明すると、この方法ではイメージ検出器 2 の画素に直接アクセスする。C M O S センサ 5 が使用されると仮定され、全ての画素は同一であり、隣接する必要のない線と列を選択することにより、または隣接した画素の長方形ウィンドウを選択することによって直接アクセスされてもよく、用語“ウィンドウ”は最大の解像度を有するイメージの方形部分を意味する。

【 0 0 5 0 】

この仮説では、低解像度捕捉40は最大の解像度を有するイメージの規則的なサブサンプリングによって実行される（したがって例えば最大の解像度を有するイメージの2行毎に1行および2列毎に1列から形成される第1のイメージを獲得する）。

【 0 0 5 1 】

イメージ解析41のステップはステップ40で得られた（寸法を減少した）第1のイメージの関心のある区域を識別するためのアルゴリズムを使用することにより実行される。一般的な光コードはデータを符号化するために明と暗区域の交互の区域を使用しているので、このアルゴリズムは例えば最大のコントラストの区域をサーチし、低コントラストの区域を無視することができる。それによって関心のある区域のリストが得られる。

10

【 0 0 5 2 】

高解像度捕捉42のステップは、各関心のある区域に対して最大の解像度にある関心のある区域を含むウィンドウのみを捕捉するステップを有する。デコードステップ43はデコードアルゴリズムをこのようにして得られたイメージの各部分に適用する。

【 0 0 5 3 】

可変形状の画素を使用した異なる捕捉方法について説明する。特に、CMOSセンサ5が使用されると仮定し、全ての画素は同一であり、隣接する画素はハードウェアにより共にグループ化されることができ、それによって制御可能なスイッチにより相互に物理的に接続されて大きな寸法のマクロ画素を獲得する。これに関して、複数のエレメントセンサ51から形成されるCMOSセンサ5の部分50に関して図12aと12bを参照すると、それぞれ対応する画素を供給し、図12aではエレメントセンサ51は異なり、一方、図12bではエレメントセンサ51は2×2画素により形成されるマクロ画素52を与えるように共にグループ化されている。マクロ画素52が使用され、エレメント画素の輝度の平均に相關する輝度値に関連する単一のユニットとして管理される。したがって、各個々のエレメント画素51が独立して使用されるとき最大の解像度よりも低い解像度のイメージが生成される。

20

【 0 0 5 4 】

可変形状の画素方法にしたがい、図11を参照すると、低解像度捕捉ステップ40は、隣接する画素がハードウェアにより共にグループ化され、制御装置10により発生される制御信号に基づいて、マイクロプロセッサ15により制御される第1のステップと、このようにして得られたマクロ画素により低解像度イメージを捕捉する第2のステップとを含む。それに続いて、直接アクセス方法を参照して前述した処理手順に類似している。イメージの解析ステップ41と、高解像度捕捉ステップ42（ここでは個々の画素の値は関心のある区域が位置付けされているウィンドウ中でのみ捕捉される）、デコードステップ43が行われる。

30

【 0 0 5 5 】

本発明の別の特徴によると、可変の高さの画素が使用される。この方法は線形のバーコードと、スタックされたコード（即ち非常に低い高さで一連のバーコードを重畳することによって得られた）の場合に読取り能力を改良するために特に有効である。特に、この方法は方形形状のマクロ画素を生成する可能性およびエレメント画素の異なる数、または以下説明する方法でCMOSセンサの画素の高さおよびアクティブ区域を構成する可能性のいずれかに基づいている。

40

【 0 0 5 6 】

特に、線形コード（通常のバーコード）を読取るため、水平寸法よりも非常に大きい垂直方向を有する長方形画素を有するセンサの使用（読取り線の方法を水平とする）は、水平寸法に関して比較的広い感度の検出区域を得ることを可能にし、したがって、図13aと14aの高い（示されている例では10よりも遥かに大きい）高さ対幅比を有する画素55と1に近い高さ対幅比を有する画素56との比較により直ぐに明らかのように、単一のバーコードの読取りに関して大きな感度と良好な信号対雑音比を与える。

【 0 0 5 7 】

他方、減少された高さの画素を有するセンサは画素と同一線上ではないエレメント（図1

50

3 b と 1 4 b) を有する光コードを読取るとき、またはスタックされたコード (図 1 3 c と 1 4 c) を読取るときに有利である。

【 0 0 5 8 】

特に、C M O S センサの画素形状の適合性は各画素の感知区域を適切に減少することにより得られる。実際に、知られているように、各 C M O S 画素は出力において、受信された光量に相関し記憶キャパシタを充電するために使用される電流を発生する光素子により形成される。この光素子はゲートエレメントに重畳し、そのバイアスは面する感知区域の部分を隔離することを可能にし、したがって光素子の感知区域部分のみを付勢する。それ故、図 1 3 a - 1 3 c (例えば $200 \times 14 \mu\text{m}$) で示されているような長方形形態の感知区域では、各画素のゲート電極を適切にバイアスすることによって、各画素の形状を変形

10

【 0 0 5 9 】

画素の形状を変化させる前述の可能性は、同じ検出装置が 2 つ (またはそれ以上) の異なる動作形態を有すること、したがって異なるコードまたは演繹的な未知の読取り状況 (例えばバーコードの傾斜が未知の状態) に対して単一データ捕捉装置を使用することを可能にする。

【 0 0 6 0 】

この場合、アルゴリズムが実行され、最初に最大の高さで読取りが試みられ、読取りが不適切な場合には高さを減少する。C M O S センサ 5 によってディスクリートな画素の高さの調整によって複数の異なる高さを得ることができるならば、高さの減少は漸進的である。

20

【 0 0 6 1 】

この場合、形状が可変の画素を有するデータ捕捉装置は図 1 5 にしたがって動作することができる。詳しく説明すると、最大の画素の高さが最初に設定され (ブロック 60) 、イメージ (またはその少なくとも減少された試験部分) が捕捉され (ブロック 61) 、例えば関心のある区域を位置付けるかまたはイメージがデータの抽出に十分であるか否かを評価するように予備処理する等、ブロック 62 において捕捉されたイメージがコード化されたデータを抽出するように処理され、ブロック 63 において読取りが適切であったか否かを確認し、適切であったならば (ブロック 63 からイエス出力) 処理が続行され (イメージ処理の終了または抽出データの使用、ブロック 64) 、適切ではないならば (ブロック 63 からノー出力) 画素が既に最小の高さであることを確認する (ブロック 67) 。最小の高さであるならば (ブロック 67 からイエス出力) エラー信号が発生され (ブロック 68 、読取りが不可能であることを示すため) 、最小の高さではないならば (ブロック 67 からノー出力) 画素の高さがブロック 69 において減少され、イメージはもう一度捕捉され、ブロック 61 に戻る。

30

【 0 0 6 2 】

説明した装置および方法の利点を以下示す。最初に、これらはセンサと、V L S I 論理回路の少なくとも一部との両者を 1 つのチップに集積することを可能にし、したがって装置全体の構成要素とパッケージングの価格を廉価にし、さらに、これらは光コード化されたデータを読取るための C M O S 技術の固有の利点を活用し、特に、これらはイメージ処理記憶段に基づいて選択的なイメージサブセットの捕捉を可能にし、したがってデータ処理を簡単にし高速化する。

40

【 0 0 6 3 】

本発明の装置は特定のアプリケーション要求と特別な特性にしたがって、種々の前述のアーキテクチャのうちの 1 つにしたがって製造されることができる。

【 0 0 6 4 】

単一のチップに装置の重要な部分を集積する可能性は、まず装置の寸法を減少させることを可能にし (これはオペレータにより物理的に支持される手動の光学的読取り装置の場合には特に有効である) 、第 2 に処理時間と接続、ワイヤ等により生じる干渉を減少するこ

50

とを可能にする。

【 0 0 6 5 】

最後に、多数の変形および変更をここで説明し図示した装置および方法に対して行うことができることは明らかであり、これらは全て特許請求の範囲で規定されている本発明の技術的範囲内にある。特に、特定のアーキテクチャに関して参照して説明した種々のブロックはまた特定の要求に基づいて非常に変化した組合わせにしたがって異なるアーキテクチャで使用されることができる。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施形態にしたがったデータの捕捉および自動処理を行う装置のブロック図。

10

【図 2】本発明の第 2 の実施形態にしたがった装置のブロック図。

【図 3】本発明の第 3 の実施形態にしたがった装置のブロック図。

【図 4】本発明の第 4 の実施形態にしたがった装置のブロック図。

【図 5】本発明の第 5 の実施形態にしたがった装置のブロック図。

【図 6】本発明の第 6 の実施形態にしたがった装置のブロック図。

【図 7】本発明の第 7 の実施形態にしたがった装置のブロック図。

【図 8】図 1 の装置の第 1 の変形によるさらに詳細なブロック図。

【図 9】図 1 の装置の第 2 の変形によるさらに詳細なブロック図。

【図 10】図 1 の装置の第 3 の変形によるさらに詳細なブロック図。

【図 11】本発明にしたがったデータの捕捉および自動処理を行う方法のフローチャート

20

。

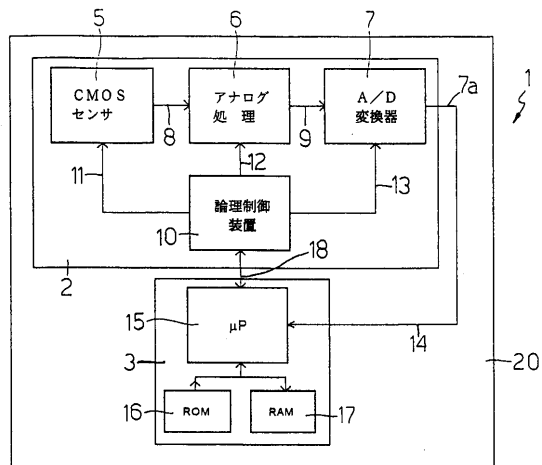
【図 12】本発明の装置で使用されるセンサの 2 つの部分の図。

【図 13】イメージ捕捉システムの画素の第 1 の形状を表している格子上に重畳された光コードの説明図。

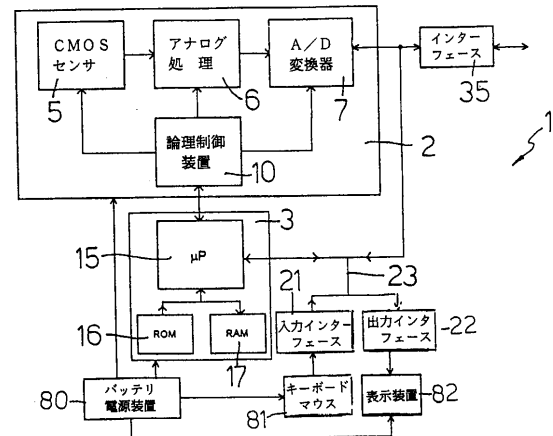
【図 14】イメージ捕捉システムの画素の第 2 の形状を表している格子上に重畳された光コードの説明図。

【図 15】本発明にしたがって自動的にデータを捕捉する変形方法のフローチャート。

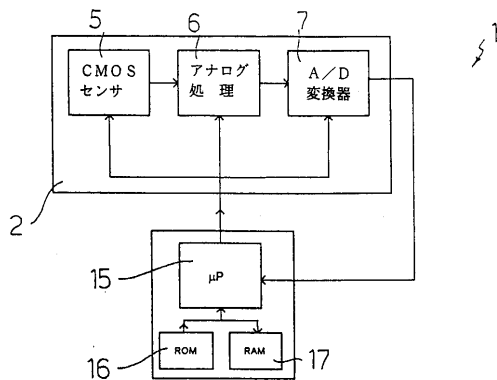
【図 1】



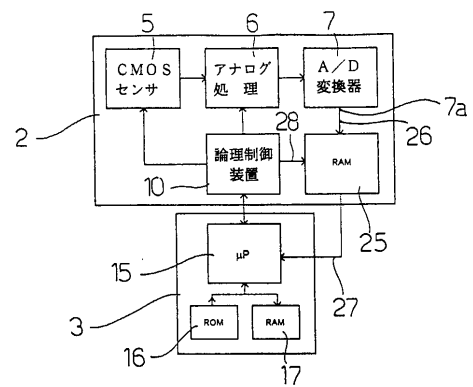
【図 2】



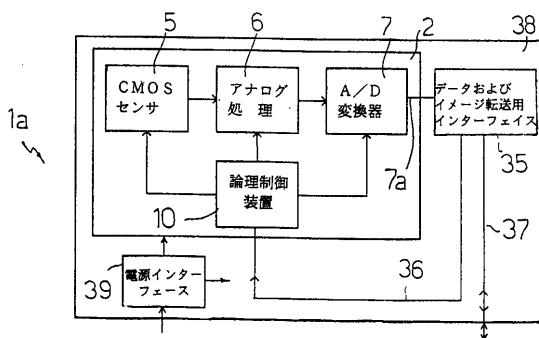
【図 3】



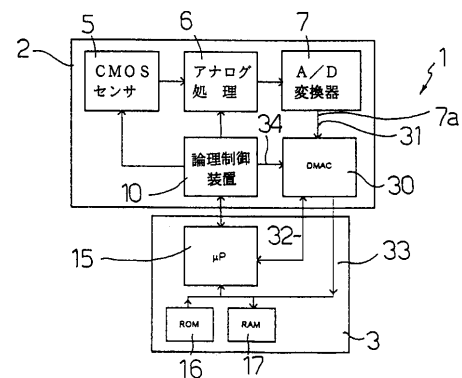
【図 5】



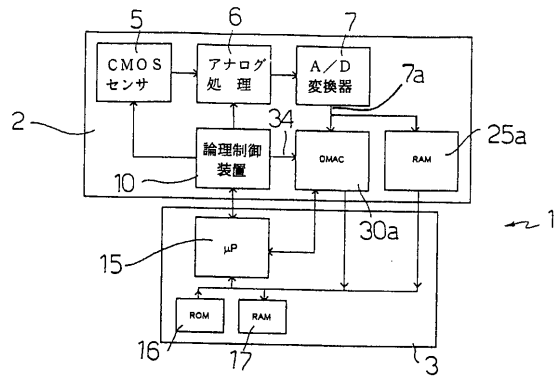
【図 4】



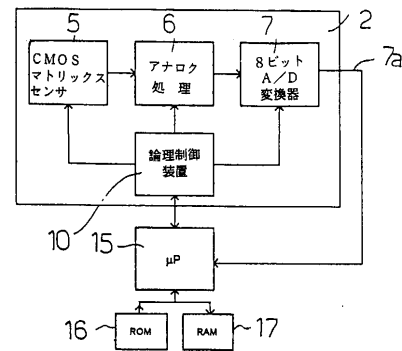
【図 6】



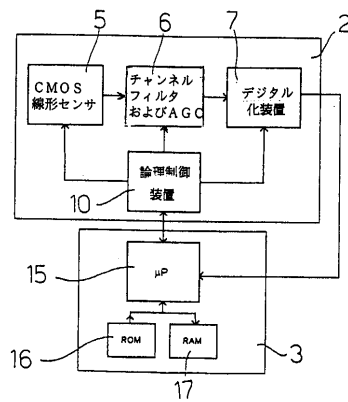
【図 7】



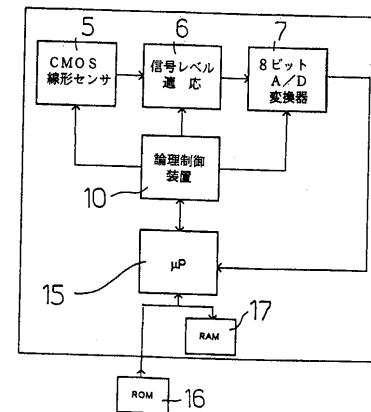
【図 9】



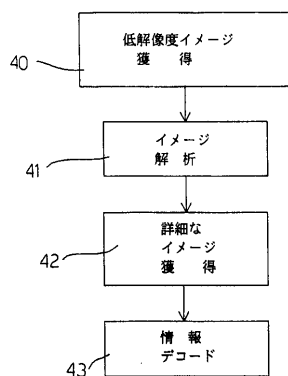
【図 8】



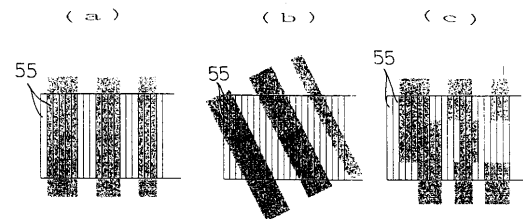
【図 10】



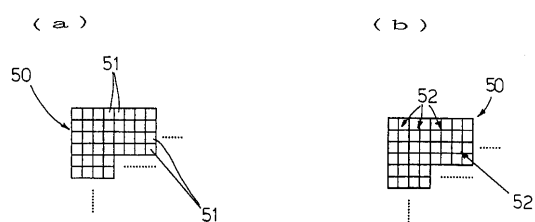
【図 11】



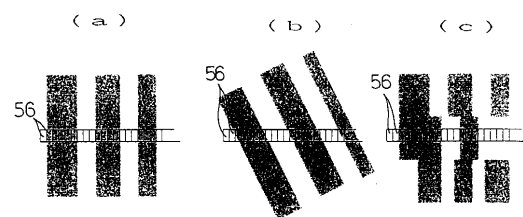
【図 13】



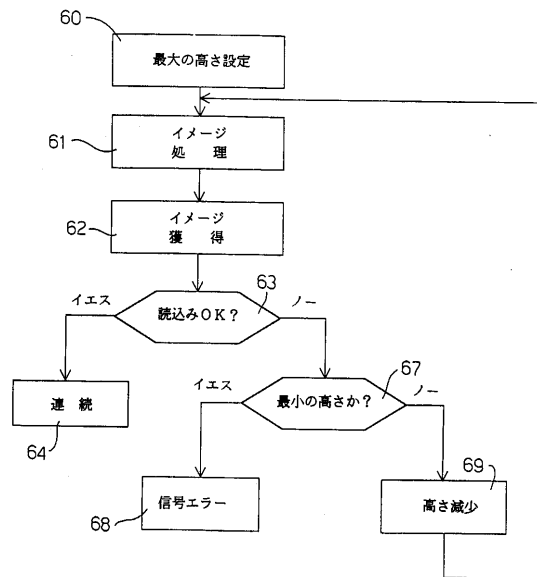
【図 12】



【図 14】



【図 15】



フロントページの続き

(72)発明者 フェデリコ・カニーニ

イタリア国、4 0 0 6 9 ゾーラ・プレドーサ、ピア・カバルカンティ、3

(72)発明者 マルコ・ピーバ

イタリア国、6 1 0 1 0 ペンナビッリ、ピア・セッラ・ディ・ソブラ、2 5

(72)発明者 リナルド・ゾッカ

イタリア国、4 0 1 2 9 ボローニャ、ピア・ドン・ジョバンニ・ベリータ、1 0

審査官 梅沢 俊

(56)参考文献 特表平10 - 508133 (JP, A)

特開平08 - 263582 (JP, A)

特開平06 - 266884 (JP, A)

特開平10 - 261044 (JP, A)

特開平08 - 153153 (JP, A)

特開平09 - 204487 (JP, A)

特開平10 - 145512 (JP, A)

特開平09 - 034982 (JP, A)

特開平08 - 315063 (JP, A)

特開平06 - 274670 (JP, A)

米国特許第05262871 (US, A)

特開平10 - 232924 (JP, A)

国際公開第98 / 048371 (WO, A1)

(58)調査した分野(Int.Cl., DB名)

G06K 7/10

H03M 1/12