

發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：97112894

※ 申請日期：97.4.9

※IPC 分類：H01L27/088; H01L21/8234 (2006.01)

一、發明名稱：(中文/英文)

H01L 21/76, 21/336

半導體裝置及其製造方法

(2006.01)

SEMICONDUCTOR DEVICE AND METHOD FOR
MANUFACTURING THE SAME

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

日商新力股份有限公司
SONY CORPORATION

代表人：(中文/英文)

中鉢 良治
CHUBACHI, RYOJI

住居所或營業所地址：(中文/英文)

日本東京都港區港南1丁目7番1號
1-7-1 KONAN, MINATO-KU, TOKYO, 108-0075, JAPAN

國 籍：(中文/英文)

日本 JAPAN

三、發明人：(共 1 人)

姓 名：(中文/英文)

菊池 善明
KIKUCHI, YOSHIKI

國 籍：(中文/英文)

日本 JAPAN

四、聲明事項：

☐ 主張專利法第二十二條第二項 ☐ 第一款或 ☐ 第二款規定之事實，其事實發生日期為： 年 月 日。

☒ 申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

☒ 有主張專利法第二十七條第一項國際優先權：

1. 日本；2007年04月18日；特願2007-108953

2. 日本；2008年03月10日；特願2008-060164

☐ 無主張專利法第二十七條第一項國際優先權：

1.

2.

☐ 主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

☐ 主張專利法第三十條生物材料：

☐ 須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

☐ 不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

五、中文發明摘要：

本發明揭示一種半導體裝置，其包括一場效電晶體，該場效電晶體包括：一半導體基板，其具有一通道形成區域；一絕緣膜，其於該半導體基板上形成；一閘極電極溝渠，其於該絕緣膜中形成；一閘極絕緣膜，其於該閘極電極溝渠之底部形成；一閘極電極，其於該閘極絕緣膜上以一層填充該閘極電極溝渠而形成；偏移間隔物，其由氧化矽或含硼氮化矽組成並形成為該絕緣膜之一部分以構成該閘極電極溝渠之側壁；側壁間隔物，其在背離該閘極電極之側上於該等偏移間隔物之兩側上形成為該絕緣膜之一部分；以及源極-汲極區域，其具有一延伸區域並於該半導體基板中且於至少該等偏移間隔物與該等側壁間隔物之下形成。

六、英文發明摘要：

A semiconductor device includes a field effect transistor including a semiconductor substrate having a channel-forming region, an insulating film formed on the semiconductor substrate, a gate electrode trench formed in the insulating film, a gate insulating film formed at the bottom of the gate electrode trench, a gate electrode formed by filling the gate electrode trench with a layer on the gate insulating film, offset spacers composed of silicon oxide or boron-containing silicon nitride and formed as a portion of the insulating film to constitute the sidewall of the gate electrode trench, sidewall spacers formed as a portion of the insulating film on both sides of the offset spacers on the side away from the gate electrode, and source-drain regions having an extension region and formed in the semiconductor substrate and below at least the offset spacers and the sidewall spacers.

七、指定代表圖：

(一)本案指定代表圖為：第 (1) 圖。

(二)本代表圖之元件符號簡單說明：

10	矽半導體基板
11	元件隔離絕緣膜
15	偏移間隔物
16	延伸區域
17a	氮化矽膜(側壁間隔物)
18	源極-汲極區域
19	耐火金屬矽化物層
20	層間絕緣膜
21	閘極絕緣膜
22	閘極電極
23	耐火金屬矽化物層
24	上絕緣膜
25	插塞
26	上線路
A	閘極電極溝渠
CH	開口
I	絕緣膜

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)

九、發明說明：

【發明所屬之技術領域】

本發明關於一種半導體裝置及其製造方法，且特別言之關於一種包括一場效電晶體之半導體裝置及其製造方法。

本發明包括在2007年4月18日向日本專利局申請的日本專利申請案JP 2007-108953的相關標的，該案之全文以引用的方式併入本文中。

【先前技術】

在半導體裝置之製造方法中，通常使用鑲嵌程序作為線路之形成方法。

在鑲嵌程序中，例如，於基板上之絕緣膜中形成閘極電極之溝渠，並沈積導電材料以填充閘極電極之溝渠，隨後藉由CMP(化學機械拋光)從外側移除溝渠，留下閘極電極之溝渠中之導電材料以形成線路。

為半導體裝置之基本元件的MOSFET(金氧半導體場效電晶體；以下稱為"MOS電晶體")係因小型化之進展與半導體裝置之整合之提升而愈來愈小型化。因此，閘極長度與閘極絕緣膜之厚度係與比例相關聯而減小。

用作閘極絕緣膜之SiON絕緣膜在32-nm產生後導致大洩漏，且因此難以使用SiON絕緣膜作為閘極絕緣膜。

因此，有研究一方法，其使用實體膜厚度能夠增加之高介電常數膜(所謂的高k膜)作為閘極絕緣膜材料。

由於高k膜通常具有低耐熱性，因此期望在其中執行高溫處理之源極-汲極區域之擴散熱處理後形成閘極絕緣

膜。

通常使用運用鑲嵌程序形成MOS電晶體之閘極電極的鑲嵌閘極程序來作為允許此等步驟的方法。

日本未審查專利申請公開案第2005-303256號揭示一種具有一源極-汲極區域之MOS電晶體的形成方法，該源極-汲極區域使用鑲嵌閘極程序而具備延伸區域。

在此方法中，例如，於半導體基板之作用區域上形成一虛設閘極絕緣膜與一虛設閘極電極，於該基板上之虛設絕緣膜之兩側上形成由氮化矽組成的偏移間隔物，且該半導體基板係使用該虛設閘極電極與該等偏移間隔物作為形成延伸區域之遮罩來植入離子。

接著，於該基板上之偏移間隔物之兩側上形成側壁間隔物，且該半導體基板係使用該虛設閘極電極、該等偏移間隔物與該等側壁間隔物作為形成源極-汲極區域之遮罩來植入離子。

如上所述，形成各具備延伸區域之源極-汲極區域。

接著，在整個表面上形成一層間絕緣膜以覆蓋該虛設閘極電極，拋光頂部表面直到曝露該虛設閘極電極之表面為止，隨後藉由蝕刻移除該虛設閘極電極與該虛設閘極絕緣膜以形成閘極電極之溝渠。

接著，於閘極電極之溝渠之底部形成一閘極絕緣膜，隨後於該閘極絕緣膜上形成一閘極電極以填充閘極電極之溝渠。

如上所述，MOS電晶體係使用鑲嵌程序來形成。

形成閘極電極之溝渠時，該虛設閘極絕緣膜較佳地係藉由濕式蝕刻來移除以便能避免對該基板造成損害。因此，在日本未審查專利申請公開案第2005-303256號中，該等偏移間隔物係由氮化矽組成以便能避免該等偏移間隔物藉由濕式蝕刻而移除。

儘管可避免該等偏移間隔物藉由濕式蝕刻而移除，然而閘極電極與源極-汲極區域間之寄生電容係增加，因為氮化矽之介電常數係比氧化矽之介電常數高。此導致MOS電晶體之特性劣化。

【發明內容】

欲解決之一問題係在使用鑲嵌程序形成MOS電晶體時，難以形成具有高特性之電晶體。

根據本發明之一具體實施例之一半導體裝置包括一場效電晶體，其包括：一半導體基板，其具有一通道形成區域；一絕緣膜，其於該半導體基板上形成；一閘極電極溝渠，其於該絕緣膜中形成；一閘極絕緣膜，其於該閘極電極溝渠之底部形成；一閘極電極，其於該閘極絕緣膜上形成以填充該閘極電極溝渠；偏移間隔物，其由氧化矽或含硼氮化矽組成並形成為該絕緣膜之一部分以構成該閘極電極溝渠之側壁；側壁間隔物，其在背離該閘極電極之側上於該等偏移間隔物之兩側上形成為該絕緣膜之一部分；以及源極-汲極區域，其各具有一延伸區域並於該半導體基板中且於至少該等偏移間隔物與該等側壁間隔物之下形成。

該半導體裝置包括於具有該通道形成區域之半導體基板上形成之絕緣膜、於該絕緣膜中形成之閘極電極溝渠、於該閘極電極溝渠之底部形成之閘極絕緣膜以及於該閘極絕緣膜上形成以填充該閘極電極溝渠之閘極電極。

同時，由氧化矽或含硼氮化矽組成之偏移間隔物係形成為該絕緣膜之一部分以構成該閘極電極溝渠之側壁，而該等側壁間隔物係在背離該閘極電極之側上於該等偏移間隔物之兩側上形成為該絕緣膜之一部分。

此外，各具有一延伸區域之源極-汲極區域係於該半導體基板中且於至少該等偏移間隔物與該等側壁間隔物之下形成。

該場效電晶體係如上所述地組態。

根據本發明之另一具體實施例之一半導體裝置包括一場效電晶體，其包括：一半導體基板，其具有一通道形成區域；一絕緣膜，其於該半導體基板上形成；一閘極電極溝渠，其於該絕緣膜中形成；一閘極絕緣膜，其於該閘極電極溝渠之底部形成；一閘極電極，其於該閘極絕緣膜上形成以填充該閘極電極溝渠；偏移間隔物，其各包括一氮化矽膜或一含硼氮化矽膜與一氧化矽膜(其係層壓自該閘極電極側)並形成為該絕緣膜之一部分以構成該閘極電極溝渠之側壁；側壁間隔物，其在背離該閘極電極之側上於該等偏移間隔物之兩側上形成為該絕緣膜之一部分；以及源極-汲極區域，其各具有一延伸區域並於該半導體基板中且於至少該等偏移間隔物與該等側壁間隔物之下形成。

該半導體裝置包括於具有該通道形成區域之半導體基板上形成之絕緣膜、於該絕緣膜中形成之閘極電極溝渠、於該閘極電極溝渠之底部形成之閘極絕緣膜以及於該閘極絕緣膜上形成以填充該閘極電極溝渠之閘極電極。

同時，各包括層壓自該閘極電極側之氮化矽膜或含硼氮化矽膜與氧化矽膜之偏移間隔物係形成為該絕緣膜之一部分以構成該閘極電極溝渠之側壁，而該等側壁間隔物係在背離該閘極電極之側上於該等偏移間隔物之兩側上形成為該絕緣膜之一部分。

此外，各具有一延伸區域之源極-汲極區域係於該半導體基板中且於至少該等偏移間隔物與該等側壁間隔物下形成。

該場效電晶體係如上所述地組態。

根據本發明之一進一步具體實施例之一半導體裝置之製造方法包括下列步驟：於具有一通道形成區域之一半導體基板上形成一虛設閘極絕緣膜與一虛設閘極電極，於該虛設閘極電極之兩側上形成由氧化矽或含硼氮化矽組成之偏移間隔物，使用該等偏移間隔物與該閘極電極作為一遮罩於該半導體基板中形成延伸區域，於該等偏移間隔物之兩側上形成側壁間隔物，使用該等側壁間隔物、該等偏移間隔物與該閘極電極作為一遮罩於該半導體基板中形成源極-汲極區域，形成一絕緣膜以覆蓋該虛設閘極電極，移除該絕緣膜直到從該絕緣膜之頂部曝露該虛設閘極電極為止，移除該虛設閘極電極與該虛設閘極絕緣膜以形成一閘

極電極溝渠，於該閘極電極溝渠之底部形成一閘極絕緣膜，於該閘極絕緣膜上形成一導電層以填充該閘極電極溝渠，以及從該閘極電極溝渠之外側移除該導電層以形成一場效電晶體。至少移除該虛設閘極絕緣膜之步驟包括一蝕刻處理，其包括以含氮與氟化氫之蝕刻氣體來處理該絕緣層之曝露表面之表面的第一處理以及分解並蒸發於第一處理中形成之產物的第二處理。

於一半導體裝置之製造方法中，於具有一通道形成區域之一半導體基板上形成一虛設閘極絕緣膜與一虛設閘極電極，於該虛設閘極電極之兩側上形成由氧化矽或含硼氮化矽組成之偏移間隔物，以及使用該等偏移間隔物與該閘極電極作為一遮罩於該半導體基板中形成延伸區域。

接著，側壁間隔物係於該等偏移間隔物之兩側上，且源極-汲極區域係使用該等側壁間隔物、該等偏移間隔物與該閘極電極作為一遮罩於該半導體基板中形成。

接著，形成一絕緣膜以覆蓋該虛設閘極電極，移除該絕緣膜直到從該絕緣膜之頂部曝露該虛設閘極電極為止，並移除該虛設閘極電極與該虛設閘極絕緣膜以形成一閘極電極溝渠。

接著，一閘極絕緣膜係於該閘極電極溝渠之底部形成，一導電層係於該閘極絕緣膜上形成以填充該閘極電極溝渠，並從該閘極電極溝渠之外側移除該導電層。

依此方式，形成一場效電晶體。

至少移除該虛設閘極絕緣膜之步驟包括一蝕刻處理，其

包括以含氮與氟化氫之蝕刻氣體來處理該絕緣層之曝露表面的第一處理以及分解並蒸發於第一處理中形成之產物的第二處理。

根據本發明之一又進一步具體實施例之一半導體裝置之製造方法包括下列步驟：於具有一通道形成區域之一半導體基板上形成一虛設閘極絕緣膜與一虛設閘極電極，依序層壓一氮化矽膜與一氧化矽膜或一含硼氮化矽膜以於該虛設閘極電極之兩側上形成偏移間隔物，使用該等偏移間隔物與該閘極電極作為一遮罩於該半導體基板中形成延伸區域，於該等偏移間隔物之兩側上形成側壁間隔物，使用該等側壁間隔物、該等偏移間隔物與該閘極電極作為一遮罩於該半導體基板中形成源極-汲極區域，形成一絕緣膜以覆蓋該虛設閘極電極，移除該絕緣膜直到從該絕緣膜之頂部曝露該虛設閘極電極為止，移除該虛設閘極電極與該虛設閘極絕緣膜以形成一閘極電極溝渠並移除構成該等偏移間隔物之氮化矽膜，於該閘極電極溝渠之底部形成一閘極絕緣膜，於該閘極絕緣膜上形成一導電層以填充該閘極電極溝渠，以及從該閘極電極溝渠之外側移除該導電層以形成一場效電晶體。

於一半導體裝置之製造方法中，於具有一通道形成區域之一半導體基板上形成一虛設閘極絕緣膜與一虛設閘極電極，層壓一氮化矽膜與一氧化矽膜或一含硼氮化矽膜以便能於該虛設閘極電極之兩側上形成偏移間隔物，以及使用該等偏移間隔物與該閘極電極作為一遮罩於該半導體基板

中形成延伸區域。

接著，於該等偏移間隔物之兩側上形成側壁間隔物，且源極-汲極區域係使用該等側壁間隔物、該等偏移間隔物與該閘極電極作為一遮罩於該半導體基板中形成。

接著，形成一絕緣膜以覆蓋該虛設閘極電極，移除該絕緣膜直到從該絕緣膜之頂部曝露該虛設閘極電極為止，移除該虛設閘極電極與該虛設閘極絕緣膜以形成一閘極電極溝渠，並移除構成該等偏移間隔物之氮化矽膜。

接著，一閘極絕緣膜係於該閘極電極溝渠之底部形成，一導電層係於該閘極絕緣膜上形成以填充該閘極電極溝渠，並從該閘極電極溝渠之外側移除該導電層。

依此方式，形成一場效電晶體。

根據本發明之一又進一步具體實施例之一半導體裝置之製造方法包括下列步驟：於具有一通道形成區域之一半導體基板上形成一虛設閘極絕緣膜與一虛設閘極電極，依序層壓一氮化矽膜或一含硼氮化矽膜與一氧化矽膜以於該虛設閘極電極之兩側上形成偏移間隔物，使用該等偏移間隔物與該閘極電極作為一遮罩於該半導體基板中形成延伸區域，於該等偏移間隔物之兩側上形成側壁間隔物，使用該等側壁間隔物、該等偏移間隔物與該閘極電極作為一遮罩於該半導體基板中形成源極-汲極區域，形成一絕緣膜以覆蓋該虛設閘極電極，移除該絕緣膜直到從該絕緣膜之頂部曝露該虛設閘極電極為止，移除該虛設閘極電極與該虛設閘極絕緣膜以形成一閘極電極溝渠同時留下構成該等偏

移間隔物之氮化矽膜或含硼氮化矽膜之至少一部分，於該閘極電極溝渠之底部形成一閘極絕緣膜，於該閘極絕緣膜上形成一導電層以填充該閘極電極溝渠，以及從該閘極電極溝渠之外側移除該導電層以形成一場效電晶體。

於一半導體裝置之製造方法中，於具有一通道形成區域之一半導體基板上形成一虛設閘極絕緣膜與一虛設閘極電極，層壓一氮化矽膜或一含硼氮化矽膜與一氧化矽膜以便能於該虛設閘極電極之兩側上形成偏移間隔物，以及使用該等偏移間隔物與該閘極電極作為一遮罩於該半導體基板中形成延伸區域。

接著，於該等偏移間隔物之兩側上形成側壁間隔物，且源極-汲極區域係使用該等側壁間隔物、該等偏移間隔物與該閘極電極作為一遮罩於該半導體基板中形成。

接著，形成一絕緣膜以覆蓋該虛設閘極電極，移除該絕緣膜直到從該絕緣膜之頂部曝露該虛設閘極電極為止，並移除該虛設閘極電極與該虛設閘極絕緣膜以形成一閘極電極溝渠同時留下構成該等偏移間隔物之氮化矽膜或含硼氮化矽膜之至少一部分。

接著，一閘極絕緣膜係於該閘極電極溝渠之底部形成，一導電層係於該閘極絕緣膜上形成以填充該閘極電極溝渠，並從該閘極電極溝渠之外側移除該導電層。

依此方式，形成一場效電晶體。

根據本發明之一具體實施例之一半導體裝置具有一結構，其中使用具有比由氮化矽組成之偏移間隔物之介電常

數低之介電常數的一氧化矽膜並在製程後保留該氧化矽膜。因此，可能保有高特性，因為MOS電晶體由鑲嵌閘極程序形成。

根據本發明之一具體實施例之一半導體裝置之製造方法包括在使用該鑲嵌閘極程序形成MOS電晶體時，形成偏移間隔物，其各包括具有比由氮化矽組成之偏移間隔物之介電常數低之介電常數的一氧化矽膜。由於在製程中並未移除該氧化矽膜，故而可能增強MOS電晶體之特性。

【實施方式】

以下將參考圖式描述根據本發明之具體實施例之半導體裝置及其製造方法。

第一具體實施例

圖1係顯示根據第一具體實施例之半導體裝置的示意性斷面圖。

例如，藉由STI(淺溝渠隔離)方法形成元件隔離絕緣膜11以用於一矽半導體基板10(其具有一通道形成區域)上之隔離作用區域。此外，於該半導體基板10上形成包括偏移間隔物15、氮化矽膜(側壁間隔物)17a與一層間絕緣膜20之一絕緣膜I。

例如，於該絕緣膜I中形成一閘極電極溝渠A，並於該閘極電極溝渠A之底部形成包括具有比氧化矽之介電常數高之介電常數之氧化鈺膜或氧化鋁膜(即，高k膜)或氧化矽膜的一閘極絕緣膜21。此外，藉由以多晶矽或一金屬材料填充該閘極電極溝渠A於該閘極絕緣膜21上形成一閘極電極

22。此外，如圖1中顯示，當該閘極電極22係由多晶矽組成時，在該閘極電極22之頂部表面上形成由NiSi組成之一耐火金屬矽化物層23。當該閘極電極22係由一金屬材料組成時，使用例如選自由鎢、鉛、鉭、鈦、鉬、鈮、鎳與鉑組成之群組的一金屬、含該金屬之合金或該金屬之化合物。

例如，該等偏移間隔物15係形成為該絕緣膜I之一部分以便能接觸該半導體基板10並構成該閘極電極溝渠A之側壁。該等偏移間隔物15係由氧化矽組成。

該等氮化矽膜(側壁間隔物)17a係形成為該絕緣膜I之一部分以便能接觸該半導體基板10。於背離該閘極電極22之偏移間隔物15之兩側上形成該等氮化矽膜17a。

該層間絕緣膜20係由(例如)氧化矽組成。

此外，於至少該等偏移間隔物15與該等氮化矽膜(側壁間隔物)17a之下且於該半導體基板10上形成各具有一延伸區域16之源極-汲極區域18。於該等源極-汲極區域18中之每一者之表面層上亦形成由NiSi組成之一耐火金屬矽化物層19。

一場效電晶體係如上所述地組態。

此外，形成由氧化矽組成之一上絕緣膜24以覆蓋該絕緣膜I與該閘極電極22(或該耐火金屬矽化物層23)。此外，開口CH係提供以通過該上絕緣膜24與該層間絕緣膜20並到達該等源極-汲極區域18中之每一者之耐火金屬矽化物層19及該閘極電極22之耐火金屬矽化物層23。該等開口CH

之每一者係填充由導電材料組成之插塞25。此外，於該上絕緣膜24上形成由一導電材料組成之一上線路26以便能連接至該等插塞25之每一者。

該等偏移間隔物15係用作形成該等延伸區域之一遮罩層。因此，取決於活化熱處理之條件，該等偏移間隔物15背離該閘極電極22之端位置係用於實質上定位該等延伸區域16之通道側端。因此，該等偏移間隔物15之每一者的寬度係與該等延伸區域之輪廓有關，並可能由該輪廓決定氧化矽膜係用於該等偏移間隔物15。

同時，該等氮化矽膜(側壁間隔物)17a係用作形成該等源極-汲極區域之一遮罩層。因此，取決於活化熱處理之條件，該等氮化矽膜(側壁間隔物)17a背離該閘極電極22之端位置係用於實質上定位該等延伸區域18之通道側端。

根據此具體實施例之半導體裝置具有一結構，其中使用具有比由氮化矽組成之偏移間隔物之介電常數低之介電常數的一氧化矽膜並在製程後保留該氧化矽膜。因此，可能保有高特性，因為MOS電晶體由鑲嵌閘極程序形成。

該等偏移間隔物15之材料並不限於氧化矽，而可使用含硼氮化矽(SiBN)膜。SiBN膜具有比氮化矽膜之介電常數低之介電常數，且在B/N比率為2之情況下介電常數係大約5。同時，SiBN膜具有比氧化矽膜之耐酸性高之耐酸性，因而蝕刻量係較小。因此，即便是使用SiBN膜，仍可能如上述具體實施例保有高電晶體特性。

接著，將參考圖式描述根據此具體實施例之半導體裝置

之製造方法。

首先，如圖2A中顯示，藉由STI(淺溝渠隔離)方法形成元件隔離絕緣膜11以在具有一通道形成區域之矽半導體基板10中隔離一作用區域。

接著，藉由(例如)熱氧化方法於整個表面上沈積氧化矽達約4 nm之厚度，藉由CVD(化學汽相沈積)方法沈積多晶矽達150至200 nm之厚度，並進一步沈積氮化矽達50至100 nm之厚度。然後，除了閘極形成區域外，執行光微影蝕刻以於該半導體基板10之作用區域中之閘極電極形成區域上形成氧化矽之虛設絕緣膜12、多晶矽之虛設閘極電極13與氮化矽之硬遮罩層14。

接著，如圖2B中顯示，使用(例如)TEOS(四乙基正矽酸鹽)作為原料氣體藉由CVD方法於整個表面上沈積氧化矽達8至14 nm之厚度，隨後並回蝕以在該虛設閘極電極13之兩側上且接觸該半導體基板10形成該等偏移間隔物15。

接著，如圖3A中顯示，該作用區域係使用該等偏移間隔物15與該硬遮罩層14(或該虛設閘極電極13)作為一遮罩來植入雜質離子以在該半導體基板10中形成囊穴層(暈；未顯示)與延伸區域16。

接著，如圖3B中顯示，藉由(例如)電漿CVD方法於整個表面上沈積氮化矽達20 nm之厚度，並進一步沈積氧化矽達50 nm之厚度。然後，於整個表面上執行回蝕以於該等偏移間隔物15之兩側上且接觸該半導體基板10形成該等側壁間隔物17，其各包括該氮化矽膜17a與該氧化矽膜17b。

該等側壁間隔物17之每一者可為一三層層壓絕緣膜，如氧化矽膜/氮化矽膜/氧化矽膜。

接著，如圖4A中顯示，該作用區域係使用(例如)該等側壁間隔物17、該等偏移間隔物15與該硬遮罩層14(或該虛設閘極電極13)作為一遮罩來植入雜質離子以在該半導體基板10中形成該源極-汲極區域18。

例如，硼係以2至4 keV之能量植入 1.5 至 $3.5 \times 10^{15}/\text{cm}^2$ 之劑量。

如上所述，各具有該延伸區域16之源極-汲極區域18係於該半導體基板10中且於至少該等偏移間隔物15與該等側壁間隔物17下形成。

然後，執行RTA(快速熱退火， 1050°C)熱處理以活化雜質。

接著，如圖4B中顯示，在以稀釋氫氟酸(DHF)預處理後，藉由濺鍍於整個表面上沈積如鎳、鈷或鉑之耐火金屬達8 nm之厚度，隨後並於該等源極-汲極區域之每一者之表面上(即，於耐火金屬與矽間之接觸)矽化以形成該等耐火金屬矽化物層19。然後，移除未反應之耐火金屬。

在DHF處理中，移除構成該等側壁間隔物17之氧化矽膜17b。以下，該等氮化矽膜17a可稱為"側壁間隔物"。

接著，如圖5A中顯示，藉由CVD方法於整個表面上沈積氧化矽以覆蓋(例如)該硬遮罩層14(或該虛設閘極電極13)來形成該層間絕緣膜20。然後，藉由CMP(化學機械拋光)方法拋光頂部表面直到曝露該硬遮罩層14(或該虛設閘極

電極13)之表面為止。

如上所述形成之包括該層間絕緣膜20之膜、偏移間隔物15與氮化矽膜(側壁間隔物)17a係稱為"絕緣膜I"。

然後，如圖5B中顯示，在預定條件下藉由(例如)蝕刻移除該虛設電極13(與該硬遮罩層14)。

在此等條件下執行蝕刻使得氧化矽之虛設閘極絕緣膜展現足夠的選擇比率。

接著，如圖6A中顯示，藉由(例如)以下將詳細加以描述之蝕刻移除該虛設閘極絕緣膜12。

用於移除該虛設閘極絕緣膜12之蝕刻包括以氨與氟化氫來處理該虛設閘極絕緣膜12之曝露表面的第一處理以及分解並蒸發由該第一處理所形成之產物的第二處理。

描述該第一處理。

以含有 NH_3 、 HF 與 Ar 之混合氣體化學蝕刻該虛設閘極絕緣膜12之表面。

明確地說，將一晶圓(基板10)傳送至蝕刻設備之化學蝕刻室並置於晶圓平台上，隨後並形成下述之氣體環境以於該虛設閘極絕緣膜12之表面上形成含 Si 錯合物。

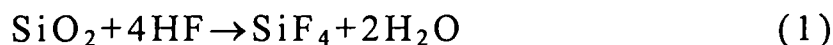
氣體環境係如下：

$\text{NH}_3/\text{HF}/\text{Ar}=50/50/80$ sccm，壓力=6.7 Pa，平台溫度=30°C

於混合氣體環境中之化學反應係如下所述。

當將 $\text{HF}/\text{NH}_3/\text{Ar}$ 作為汽相供應至化學蝕刻室中，氣體係於該虛設閘極絕緣膜12之曝露氧化矽表面上根據蘭繆爾

(Langmuir)吸附來吸附。同時，進行下列化學反應。



即，與HF之反應產生SiF₄與H₂O，隨後並藉由NH₃、HF與SiF₄之化學反應於氧化矽絕緣層之表面上形成(NH₄)₂SiF₆錯合物之層。

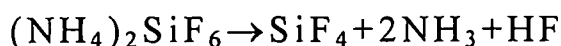
該反應根據蘭繆爾吸附係由氣體吸附控制數個分子層之位準並在所吸附之氣體分子之覆蓋區域係飽和時自行終止。因此，(NH₄)₂SiF₆錯合物之產生亦係飽和。

於接續的第二處理中，將覆蓋(NH₄)₂SiF₆錯合物之晶圓傳送至加熱室並置於加熱平台上，隨後並開始加熱器加熱以將(NH₄)₂SiF₆錯合物分解成SiF₄等並使其蒸發。

加熱條件係如下：

平台溫度=200℃，壓力=26.7 Pa

反應係由以下反應來表示。於氧化矽之虛設閘極絕緣膜12之表面上所沈積之(NH₄)₂SiF₆錯合物係藉由將該基板加熱至200℃而分解成SiF₄、NH₃與HF並蒸發，隨後並在氣體穿過乾式幫浦時耗盡。



由於該化學蝕刻使用一表面反應，故而具有一圖案中出現無任何密度差異的優點。

例如，氧化矽之虛設閘極絕緣膜12之蝕刻量係藉由決定氣體供應時間而控制成一所需值。

在移除該虛設絕緣膜之處理中，曝露該半導體基板之表

面，但不損壞該基板。

如上所述，閘極電極溝渠A係於該絕緣膜1中形成。

在上述蝕刻中，如下所述，選擇蝕刻時間，使得由熱氧化方法所形成之氧化矽膜之蝕刻量可受控制以大於藉由使用TEOS作為原料之CVD方法所形成之氧化矽膜之蝕刻量。因此，僅部分移除該等偏移間隔物15直到完全移除該虛設閘極絕緣膜為止。儘管該等偏移間隔物15係稍微縮回，然而可能避免使該閘極電極溝渠變寬。因此，於某種程度保有電晶體之效能。

例如，當該等偏移間隔物15之厚度係8 nm，且該虛設閘極絕緣膜12之厚度係4 nm，在上述蝕刻條件下蝕刻直到完全移除該虛設閘極絕緣膜12為止需要45秒。在此時間期間，移除該等偏移間隔物15之每一者3.9 nm，從而留下每一者之厚度為大約4.1 nm之偏移間隔物。

接著，如圖6B中顯示，例如，藉由熱氧化方法沈積氮氧化矽以覆蓋該閘極電極溝渠A之底部或藉由ALD方法沈積氧化鈣或氧化鋁以覆蓋該閘極電極溝渠A之內部表面，形成由高k膜組成之閘極絕緣膜21。形成高k膜後，於低於500°C之處理溫度執行一步驟，因為高k膜具有低耐熱性。

接著，例如，藉由濺鍍或CVD方法於該閘極絕緣膜21上沈積如金屬材料(例如，鈦、氮化鈦、矽化鈣(HfSix)或鎢)或多晶矽之導電材料以覆蓋該閘極電極溝渠A之內壁。然後，藉由拋光移除沈積於該閘極電極溝渠A外側之導電材料以形成該閘極電極22。

此外，當使用多晶矽形成該閘極電極22，在該閘極電極22上可形成NiSi之耐火金屬矽化物層23。

在一接續步驟中，藉由(例如)CVD方法沈積氧化矽以覆蓋該絕緣膜1與該閘極電極22(或該耐火金屬矽化物層23)，形成該上絕緣膜24。

接著，形成該等開口CH，以通過該上絕緣膜24與該層間絕緣膜20並到達該等源極-汲極區域18之耐火金屬矽化物層19及該閘極電極22之耐火金屬矽化物層23。

所得之開口CH之每一者係填充有由如一金屬之導電材料組成之插塞25，並在該上絕緣膜24上形成由一導電材料組成之上線路26以便能連接至該等插塞25。

如上所述，製造與具有圖1中顯示之結構之半導體裝置類似的半導體裝置。

使用該等偏移間隔物15作為形成該等延伸區域之一遮罩，因而取決於活化熱處理之條件，該等偏移間隔物15背離該閘極電極22之端位置係實質上用於定位該等延伸區域16之通道側端。

同時，亦使用該等氮化矽膜(側壁間隔物)17a作為形成該等源極-汲極區域之一遮罩，因而取決於活化熱處理之條件，該等氮化矽膜(側壁間隔物)17a背離該閘極電極22之端位置係實質上用於定位該等源極-汲極區域18之通道側端。

根據本發明之此具體實施例之半導體裝置之製造方法包括在使用該鑲嵌閘極程序形成MOS電晶體時，形成偏移間

隔物，其各包括具有比由氮化矽組成之偏移間隔物之介電常數低之介電常數之一氧化矽膜。由於在製程中並未移除該氧化矽膜，故而可能增加MOS電晶體之特性。

第二具體實施例

根據本發明之第二具體實施例之半導體裝置實質上係與該第一具體實施例相同。

參考圖式描述根據此具體實施例之半導體裝置之製造方法。

首先，如圖7A中顯示，藉由STI方法形成元件隔離絕緣膜11以在具有一通道形成區域之矽半導體基板10中隔離一作用區域。接著，藉由熱氧化方法於整個表面上沈積氧化矽達約4 nm之厚度。此外，藉由CVD方法沈積多晶矽與氮化矽，且除了用於沈積虛設閘極絕緣膜12、由多晶矽組成之虛設閘極電極13與由氮化矽組成之硬遮罩層14的閘極形成區域外，執行光微影蝕刻。

接著，藉由電漿CVD方法或ALD(原子層沈積)方法於整個表面上沈積氮化矽達0.28 nm之厚度，並進一步藉由CVD方法沈積氧化矽達8至14 nm之厚度。然後，執行回蝕以於該虛設閘極電極13之兩側上且接觸該半導體基板10形成該等偏移間隔物15，其各包括一氮化矽膜15a與一氧化矽膜15b。

接續步驟直到如圖7B中顯示形成一層間絕緣膜20為止係與該第一具體實施例相同。

接著，如圖8A中顯示，在預定條件下藉由(例如)蝕刻移

除該虛設閘極電極13(與該硬遮罩14)。

在此等條件下執行蝕刻使得氧化矽之虛設閘極絕緣膜展現足夠的選擇比率。

接著，如圖8B中顯示，藉由(例如)與第一具體實施例中用於移除該虛設閘極絕緣膜12之蝕刻相同之蝕刻來移除該虛設閘極絕緣膜12。

如上所述，閘極電極溝渠A係於該絕緣膜I中形成。

在上述蝕刻中，如下所述，氮化矽之蝕刻速率係充分低於由熱氧化方法所形成之氧化矽膜的蝕刻速率。例如，當該等偏移間隔物15之每一者包括厚度為0.28 nm之氮化矽膜與厚度為8 nm之氧化矽膜的積層，在直到完全蝕刻該虛設電極絕緣膜12為止所需之45秒之時間期間，該等偏移間隔物15之每一者之氮化矽膜15a係移除0.28 nm(即，完全移除該氮化矽膜)。因此，厚度為8 nm之氧化矽膜15b係如原本完全留下，從而避免使該閘極電極溝渠變寬。此時，該等氧化矽膜15構成個別偏移間隔物15。

如上所述，在此具體實施例中，先前沈積氮化矽以作為該等偏移間隔物之溝渠側部分，其之厚度使得在移除該虛設閘極絕緣膜所需之時間期間恰移除該氮化矽膜。

當移除該虛設閘極絕緣膜所需之處理時間改變，該等氮化矽膜15a之厚度可適當地改變。

此可應用於移除該虛設閘極絕緣膜之DHF處理。在此情況中，移除藉由熱氧化方法所形成之4 nm之氧化矽膜需要103秒，且此時間在DHF處理中氮化矽係移除0.86 nm。因

此，例如，當該等偏移間隔物15之每一者包括厚度為0.86 nm之氮化矽膜與厚度為8 nm之氧化矽膜的積層，在直到完全蝕刻該虛設電極絕緣膜12為止所需之103秒之時間期間，該等偏移間隔物15之每一者之氮化矽膜15a係移除0.86 nm(即，完全移除該氮化矽膜)。因此，厚度為8 nm之氧化矽膜15b係如原本完全留下。

然後，如在第一具體實施例中，例如，於該閘極電極溝渠A中形成該閘極絕緣膜21、該閘極電極22與該耐火金屬矽化物層23，形成該上絕緣膜24，形成並以該等插塞25填充該等開口CH，以及形成該上層線路26。

如上所述，製造與根據此具體實施例之半導體裝置類似之半導體裝置。

根據本發明之此具體實施例之半導體裝置之製造方法包括在使用該鑲嵌閘極程序形成MOS電晶體時，形成偏移間隔物，其各包括具有比由氮化矽組成之偏移間隔物之介電常數低之介電常數的一氧化矽膜。由於在製程中並未移除該氧化矽膜，故而可能增強MOS電晶體之特性。

儘管使用該氧化矽膜15b作為構成該等偏移間隔物15之膜，然而該等偏移間隔物15並不限於此，而在該氧化矽膜外可使用一含硼氮化矽(SiBN)膜。SiBN膜具有比氮化矽膜之介電常數低之介電常數，且在B/N比率為2之情況下介電常數係大約5。同時，SiBN膜具有比氧化矽膜之耐酸性高之耐酸性，因而蝕刻量係較小。因此，即便是使用SiBN膜，仍可能如上述具體實施例保有高電晶體特性。

第三具體實施例

圖9係根據第三具體實施例之半導體裝置的斷面圖。

此具體實施例實質上係與第一具體實施例相同，除了留下偏移間隔物15之每一者作為一氮化矽膜15a與一氧化矽膜15b之積層外。其他組件係與第一具體實施例相同。

將參考圖式描述根據此具體實施例之半導體裝置之製造方法。

首先，如圖10A中顯示，執行與第二具體實施例相同之步驟，直到移除該虛設閘極電極13(與該硬遮罩層14)為止。

接著，如圖10B中顯示，例如，控制構成該等偏移間隔物15之每一者之氮化矽膜15a之厚度，此厚度使該等氮化矽膜係藉由與第一具體實施例或DHF處理中相同的移除該虛設閘極絕緣膜12之蝕刻在移除該虛設閘極絕緣膜12所需之時間期間完全移除。

如上所述，閘極電極溝渠A係於該絕緣膜I中形成。

在上述蝕刻中，如下所述，氮化矽之蝕刻速率係低於由熱氧化方法所形成之氧化矽膜的蝕刻速率。例如，當該等偏移間隔物15之每一者包括厚度為0.50 nm之氮化矽膜與厚度為8 nm之氧化矽膜的積層，在直到完全蝕刻該虛設電極絕緣膜12為止所需之45秒之時間期間，該等偏移間隔物15之每一者之氮化矽膜15a係移除0.28 nm。即，使該等氮化矽膜15a變薄成0.22 nm之厚度，但並非完全移除。因此，厚度為8 nm之氧化矽膜係如原本完全留下，從而避免

使該閘極電極溝渠變寬。

如上所述，在此具體實施例中，先前形成氮化矽膜以作為該等偏移間隔物之溝渠側部分，其之厚度大於在移除該虛設閘極絕緣膜所需之時間期間恰移除之厚度。即使留下該等氮化矽膜，具有高介電常數之氮化矽膜較佳地係儘可能地薄並充分地薄於構成個別偏移間隔物之氧化矽膜。

當移除該虛設閘極絕緣膜所需之處理時間改變，該等氮化矽膜15a之厚度可適當地改變。

此處理可應用於移除該虛設閘極絕緣膜之DHF處理。在此情況中，移除藉由熱氧化方法所形成之4 nm之氧化矽膜需要103秒，且此時間在DHF處理中氮化矽係移除0.86 nm。因此，例如，當該等偏移間隔物15之每一者包括厚度為1.3 nm之氮化矽膜與厚度為8 nm之氧化矽膜的積層，在直到完全蝕刻該虛設電極絕緣膜12為止所需之103秒之時間期間，該等偏移間隔物15之每一者之氮化矽膜15a係移除0.86 nm(即，該氮化矽膜留下0.44 nm之厚度)。因此，厚度為8 nm之氧化矽膜15b係如原本完全留下。

然後，如在第一具體實施例中，例如，於該閘極電極溝渠A中形成該閘極絕緣膜21、該閘極電極22與該耐火金屬矽化物層23，形成該上絕緣膜24，形成並以該等插塞25填充該等開口CH，以及形成該上層線路26。

如上所述，製造與根據此具體實施例之半導體裝置類似之半導體裝置。

根據本發明之此具體實施例之半導體裝置之製造方法包

括在運用該鑲嵌閘極程序形成MOS電晶體時，形成偏移間隔物，其各包括具有比由氮化矽組成之偏移間隔物之介電常數低之介電常數的一氧化矽膜。由於在製程中並未移除該氧化矽膜，故而可能增加MOS電晶體之特性。

第四具體實施例

圖11係根據第四具體實施例之半導體裝置的斷面圖。

此具體實施例實質上係與第一具體實施例相同，除了使包括偏移間隔物15、氮化矽膜(側壁間隔物)17a與一層間絕緣膜20之一絕緣膜I進一步變薄(即，使一閘極電極22之高度變低)外。其他組件係與第一具體實施例相同。

將參考圖式描述根據此具體實施例之半導體裝置之製造方法。

首先，如圖12A中顯示，執行與第一具體實施例相同之步驟，直到在源極-汲極區域之每一者之表面上形成該耐火金屬矽化物層19為止。

接著，如圖12B中顯示，例如，藉由CVD方法於整個表面上沈積氧化矽以覆蓋該硬遮罩層14(或該虛設閘極電極13)，形成該層間絕緣膜20，並藉由CMP(化學機械拋光)方法拋光頂部表面直到曝露該硬遮罩層14(或該虛設閘極電極13)之表面為止。

如上所述形成之包括該層間絕緣膜20之膜、偏移間隔物15與氮化矽膜(側壁間隔物)17a係稱為"絕緣膜I"。

在此具體實施例中，進一步執行拋光以使該絕緣膜I變薄。

例如，當存在該硬遮罩14，可拋光該絕緣膜I直到完全拋光該硬遮罩層14以曝露該虛設閘極電極13之表面為止或可將其拋光至該虛設閘極電極13之中間高度。

當未出現該硬遮罩14，藉由拋光至該虛設閘極電極13之中間高度來移除該絕緣膜I。

然後，如在第一具體實施例中，移除該虛設閘極電極13(與該硬遮罩層14)與該虛設閘極絕緣膜12以在該絕緣膜I中形成該閘極電極溝渠A，在該閘極電極溝渠A中形成該閘極絕緣膜21、該閘極電極22與該耐火金屬矽化物層23，形成該上絕緣膜24，形成並以該等插塞25填充該等開口CH，以及形成該上層線路26。

如上所述，製造與根據此具體實施例之半導體裝置類似之半導體裝置。

根據本發明之此具體實施例之半導體裝置之製造方法包括在使用該鑲嵌閘極程序形成MOS電晶體時，形成偏移間隔物，其各包括具有比由氮化矽組成之偏移間隔物之介電常數低之介電常數的一氧化矽膜。由於在製程中並未移除該氧化矽膜，故而可能增強MOS電晶體之特性。

在此具體實施例中，如在第二具體實施例中，可先前形成氮化矽膜以作為該等偏移間隔物之溝渠側部分，其之厚度使得在移除該虛設閘極絕緣膜所需之時間期間恰移除該氮化矽。

第五具體實施例

圖13係根據第五具體實施例之半導體裝置的斷面圖。

此具體實施例實質上係與第三具體實施例相同，除了如在第四具體實施例中，使包括偏移間隔物15、氮化矽膜(側壁間隔物)17a與一層間絕緣膜20之一絕緣膜I變薄(即，使一閘極電極22之高度變低)外。其他組件係與第三具體實施例相同。

根據此具體實施例之半導體裝置之製造方法係與第三具體實施例相同，除了如在第四具體實施例中，進一步使該絕緣膜I變薄外。

在根據本發明之此具體實施例之半導體裝置之製造方法中，在MOS電晶體係使用該鑲嵌閘極程序來形成時，形成偏移間隔物，其各包括具有比由氮化矽組成之偏移間隔物之介電常數低之介電常數的一氧化矽膜。由於在製程中並未移除該氧化矽膜，故而可能增強MOS電晶體之特性。

第六具體實施例

圖14至17各係根據本發明之一具體實施例之半導體裝置之斷面圖。

此等具體實施例實質上係與第一至第五具體實施例相同，除了由如氧化鈣或氧化鋁之所謂高k材料組成之一閘極絕緣膜30係藉由ALD方法來形成以覆蓋一閘極電極溝渠A之內壁，且該閘極電極溝渠A係填充如鈦或鎢之金屬材料以於該閘極絕緣膜30上形成一閘極電極31外。

圖14、15、16與17分別對應於第一與第二具體實施例、第三具體實施例、第四具體實施例與第五具體實施例。

在根據本發明之一具體實施例之半導體裝置之製造方法

中，在MOS電晶體係使用該鑲嵌閘極程序來形成時，形成偏移間隔物，其各包括具有比由氮化矽組成之偏移間隔物之介電常數低之介電常數的一氧化矽膜。由於在製程中並未移除該氧化矽膜，故而可能增強MOS電晶體之特性。

範例

關於第一具體實施例中移除該虛設閘極絕緣膜之蝕刻方法，檢查(a)藉由熱氧化方法所形成之氧化矽膜，(b)使用TEOS作為原料藉由電漿CVD方法所形成之氧化矽膜，以及(c)藉由電漿CVD方法所形成之氮化矽膜之蝕刻時間與蝕刻量間之關係。

圖18中顯示結果。

圖18顯示在超過40秒之蝕刻時間時，(a)藉由熱氧化方法所形成之氧化矽膜之蝕刻量變成大於(b)使用TEOS作為原料藉由電漿CVD方法所形成之氧化矽膜之蝕刻量。因此，當使用此等膜(a)與(b)分別作為虛設閘極絕緣膜與偏移間隔物之材料，可移除該虛設閘極電極，而留下偏移間隔物。

此外，(c)氮化矽膜之蝕刻量係持續小於(a)藉由熱氧化方法所形成之氧化矽膜之蝕刻量。因此，當使用此等膜(a)與(c)分別作為虛設閘極絕緣膜與偏移間隔物之材料，可移除該虛設閘極電極，而留下偏移間隔物。

本發明不限於以上描述。

例如，該閘極絕緣膜與該閘極電極之材料不限於上述具體實施例。

不必然形成該耐火金屬矽化物層。

例如，在第一具體實施例中可使用含硼氮化矽(SiBN)膜而非氧化矽膜，在第二具體實施例中可使用氮化矽膜與含硼氮化矽膜之積層而非氮化矽膜與氧化矽膜之積層，以及在第三具體實施例中可使用含硼氮化矽膜與氧化矽膜之積層而非氮化矽膜與氧化矽膜之積層。含硼氮化矽膜具有比氮化矽膜之介電常數低之介電常數，且在B/N比率為2之情況下介電常數係大約5。同時，SiBN膜具有比氧化矽膜之耐酸性高之耐酸性，因而蝕刻量係較小。因此，相較於該等偏移間隔物使用氮化矽膜之情況可能形成更薄的偏移間隔物。

習知此項技術者應明白，可根據設計要求及其他因素進行各種修改、組合、再組合及變更，只要其係在隨附申請專利範圍或其等效內容的範疇內即可。

【圖式簡單說明】

圖1係根據本發明之第一具體實施例之半導體裝置的示意性斷面圖；

圖2A與2B係各顯示根據本發明之第一具體實施例之半導體裝置之製造方法之一步驟的斷面圖；

圖3A與3B係各顯示根據本發明之第一具體實施例之半導體裝置之製造方法之一步驟的斷面圖；

圖4A與4B係各顯示根據本發明之第一具體實施例之半導體裝置之製造方法之一步驟的斷面圖；

圖5A與5B係各顯示根據本發明之第一具體實施例之半

導體裝置之製造方法之一步驟的斷面圖；

圖 6A 與 6B 係各顯示根據本發明之第一具體實施例之半導體裝置之製造方法之一步驟的斷面圖；

圖 7A 與 7B 係各顯示根據本發明之第二具體實施例之半導體裝置之製造方法之一步驟的斷面圖；

圖 8A 與 8B 係各顯示根據本發明之第二具體實施例之半導體裝置之製造方法之一步驟的斷面圖；

圖 9 係根據本發明之第三具體實施例之半導體裝置之示意性斷面圖；

圖 10A 與 10B 係各顯示根據本發明之第三具體實施例之半導體裝置之製造方法之一步驟的斷面圖；

圖 11 係根據本發明之第四具體實施例之半導體裝置的示意性斷面圖；

圖 12A 與 12B 係各顯示根據本發明之第四具體實施例之半導體裝置之製造方法之一步驟的斷面圖；

圖 13 係根據本發明之第五具體實施例之半導體裝置之示意性斷面圖；

圖 14 係根據本發明之第六具體實施例之半導體裝置之示意性斷面圖；

圖 15 係根據本發明之第七具體實施例之半導體裝置之示意性斷面圖；

圖 16 係根據本發明之第八具體實施例之半導體裝置之示意性斷面圖；

圖 17 係根據本發明之第九具體實施例之半導體裝置之示

意性斷面圖；以及

圖18係顯示於本發明之一範例中所測量之蝕刻速率的曲線圖。

【主要元件符號說明】

10	矽半導體基板
11	元件隔離絕緣膜
12	虛設閘極絕緣膜/虛設電極絕緣膜
13	虛設閘極電極
14	硬遮罩層
15	偏移間隔物
15a	氮化矽膜
15b	氧化矽膜
16	延伸區域
17	側壁間隔物
17a	氮化矽膜(側壁間隔物)
17b	氧化矽膜
18	源極-汲極區域
19	耐火金屬矽化物層
20	層間絕緣膜
21	閘極絕緣膜
22	閘極電極
23	耐火金屬矽化物層
24	上絕緣膜
25	插塞

26	上線路
30	閘極絕緣膜
31	閘極電極
A	閘極電極溝渠
CH	開口
I	絕緣膜

十、申請專利範圍：

1. 一種包含一場效電晶體之半導體裝置，其包括：
 - 一半導體基板，其具有一通道形成區域；
 - 一閘極電極溝渠，其於該半導體基板上之一絕緣膜中；
 - 一閘極絕緣膜，其於該閘極電極溝渠之底部；
 - 一閘極電極，其於該閘極絕緣膜上以填充該閘極電極溝渠；
 - 一絕緣膜，其於該半導體基板上，該絕緣膜包括：
 - (a) 偏移間隔物，其由含硼氮化矽組成並形成作為該閘極電極溝渠之一側壁，
 - (b) 側壁間隔物，其在背離該閘極電極之該等偏移間隔物之兩側上，以及
 - (c) 一中間層絕緣膜；以及
 - 源極-汲極區域，其各具有一延伸區域並於該半導體基板中且於至少該等偏移間隔物與該等側壁間隔物之下形成。
2. 如請求項1之半導體裝置，其中該等偏移間隔物之閘極電極側端係一用於定位該等延伸區域之通道側端之構件。
3. 如請求項1之半導體裝置，其中該閘極電極係由選自由鎢、鉛、鉭、鈦、鉬、鈮、鎳與鉑組成之群組的一金屬、含該金屬之一合金或該金屬之一化合物組成。
4. 一種包含一場效電晶體之半導體裝置，其包括：

- 一半導體基板，其具有一通道形成區域；
- 一閘極電極溝渠，其於該半導體基板上之一絕緣膜中；
- 一閘極絕緣膜，其於該閘極電極溝渠之該底部；
- 一閘極電極，其於該閘極絕緣膜上以填充該閘極電極溝渠；
- 一絕緣膜，其於該半導體基板上，該絕緣膜包括：
 - (a) 偏移間隔物，其形成作為該閘極電極溝渠之一側壁，每一偏移間隔物包括一由含硼氮化矽組成之第一膜及一由氧化矽組成之第二膜，該第一膜及該第二膜自該閘極電極側層壓，
 - (b) 側壁間隔物，其在背離該閘極電極之該等偏移間隔物之兩側上，以及
 - (c) 一中間層絕緣膜；以及
- 源極-汲極區域，其各具有一延伸區域並於該半導體基中且於至少該等偏移間隔物與該等側壁間隔物之下形成，

其中該第一膜係與該閘極電極接觸。

5. 如請求項4之半導體裝置，其中該等偏移間隔物之該閘極電極側端係一用於定位該等延伸區域之該通道側端之構件。
6. 如請求項4之半導體裝置，其中於該等偏移間隔物之每一者中，該第一膜係薄於該第二膜。
7. 如請求項4之半導體裝置，其中該閘極電極係由選自由

鎢、鉛、鉭、鈦、鉬、釷、鎳與鉑組成之群組的一金屬、含該金屬之一合金或該金屬之一化合物組成。

十一、圖式：

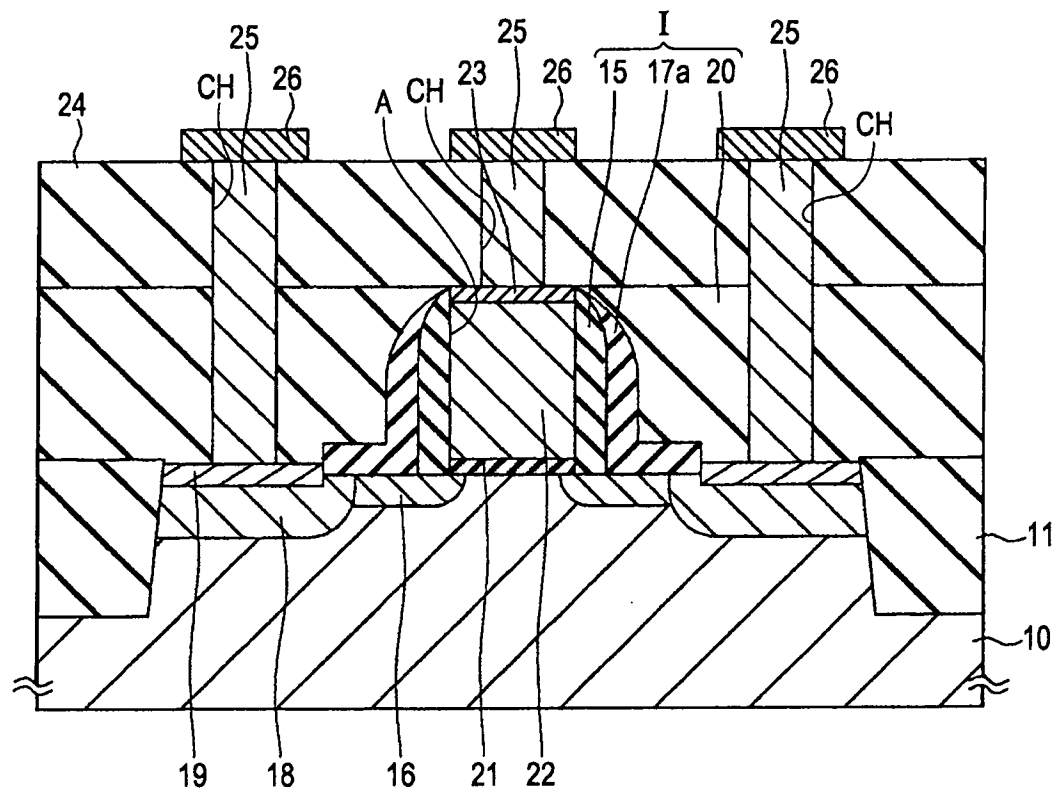


圖 1

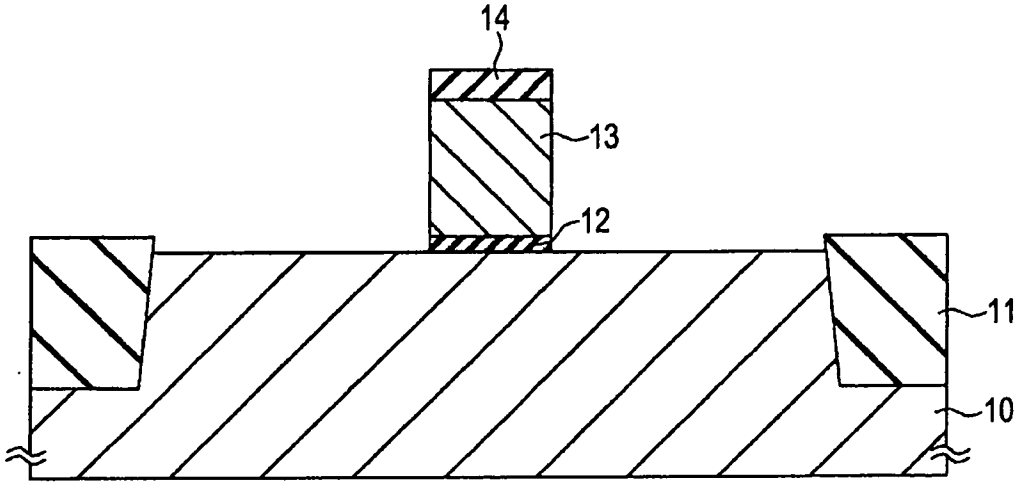


圖 2A

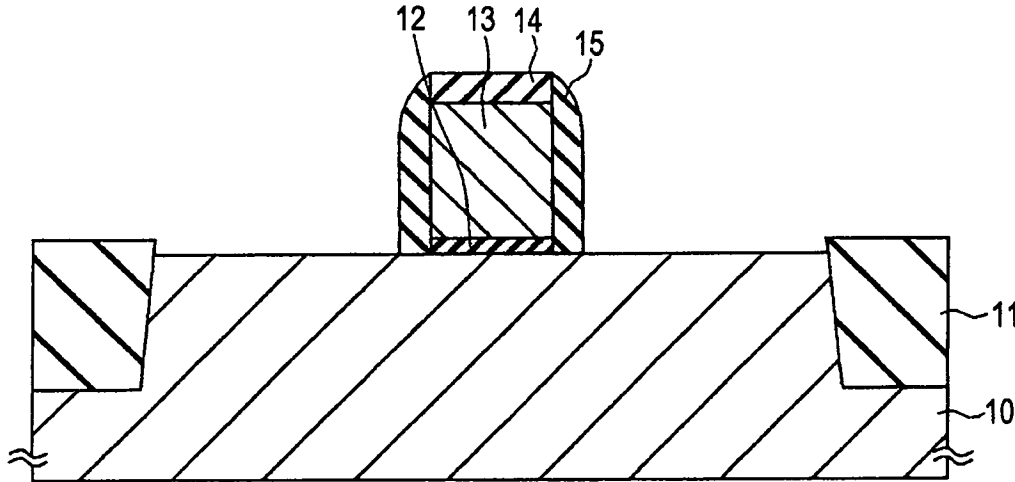


圖 2B

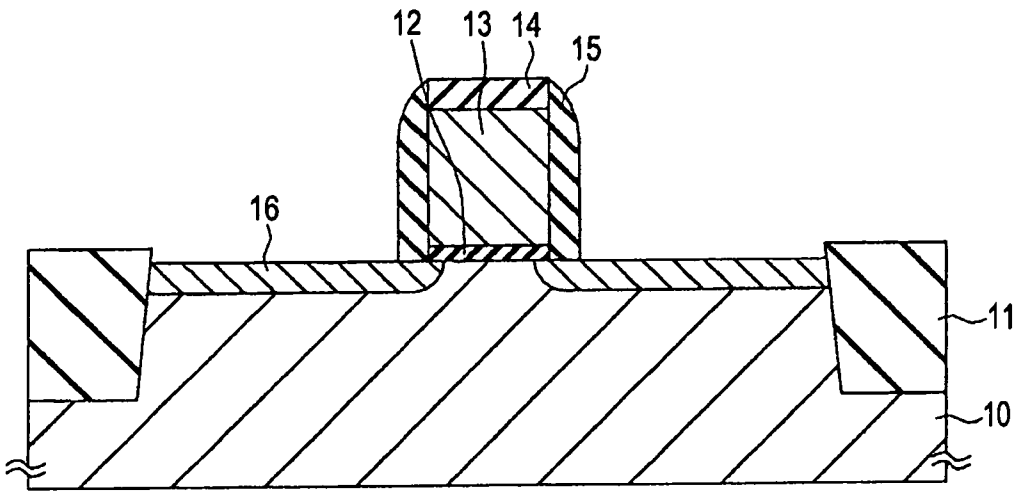


圖 3A

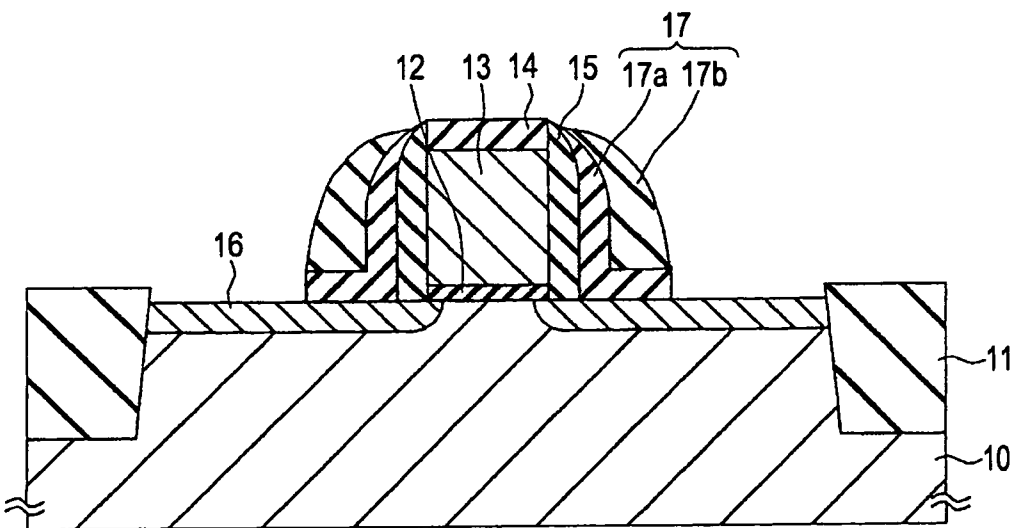


圖 3B

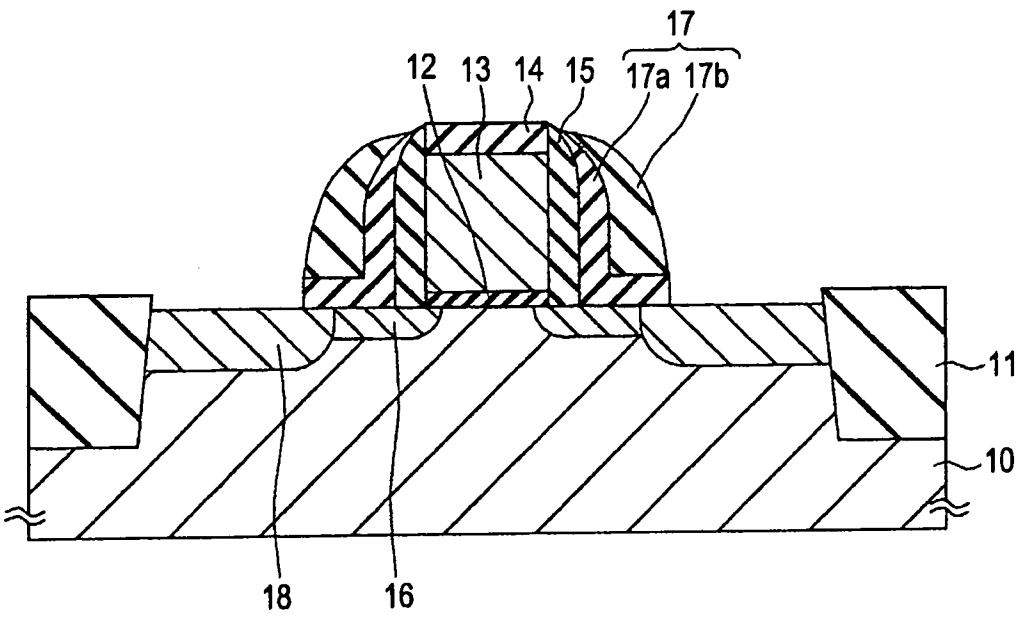


圖 4A

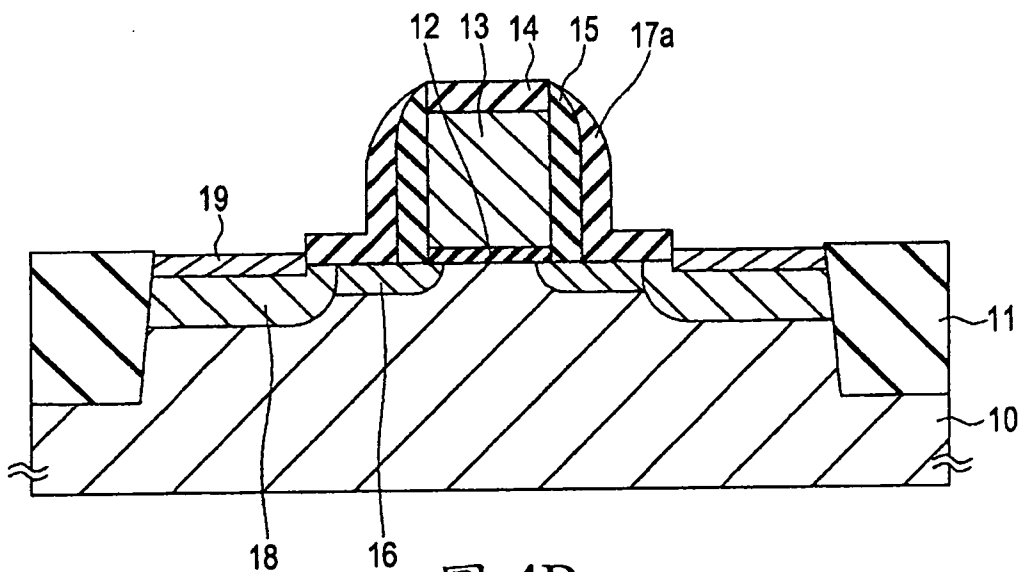


圖 4B

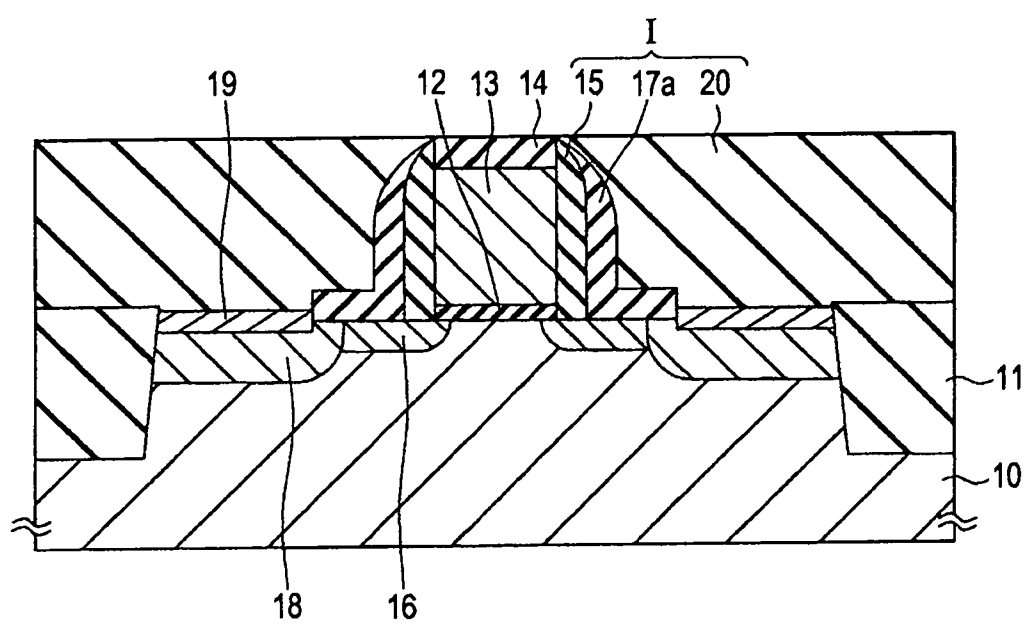


圖 5A

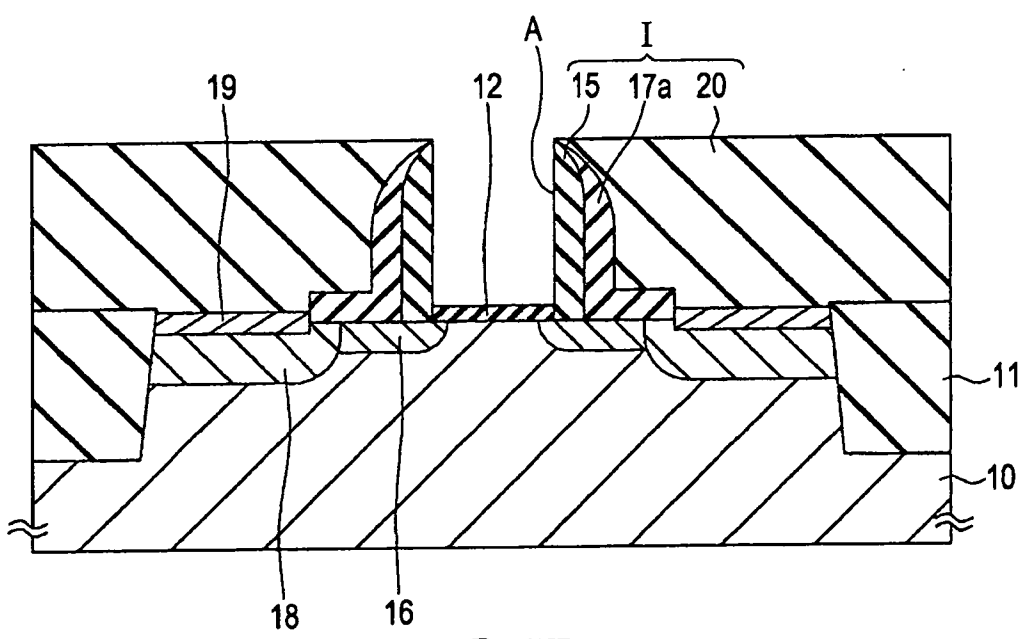
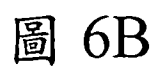
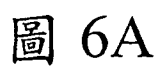
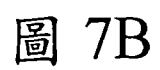
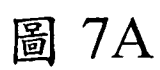


圖 5B





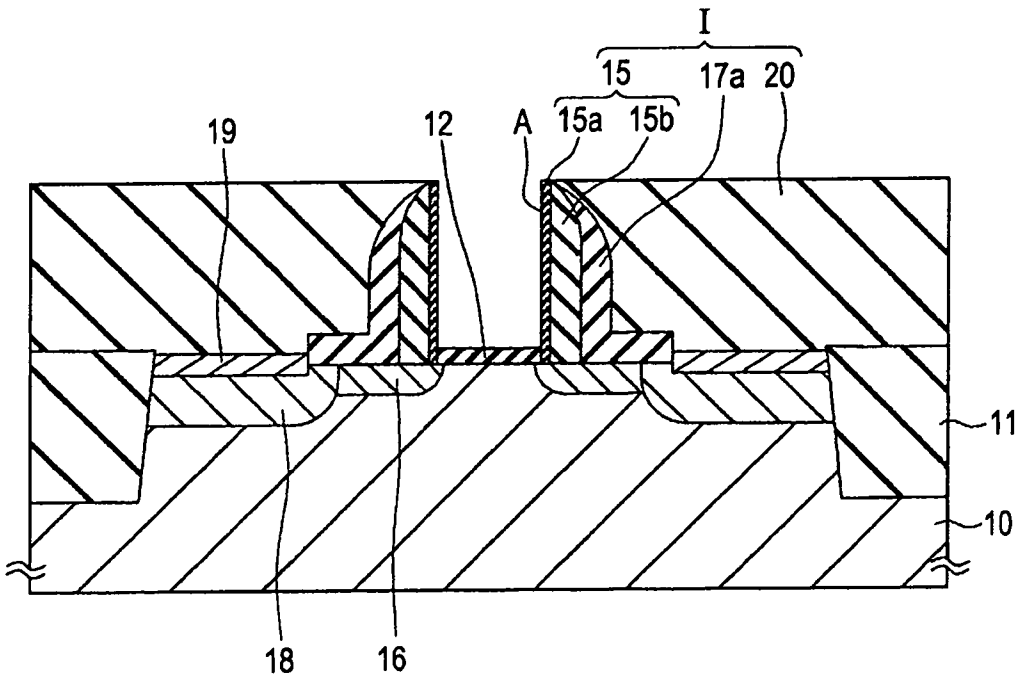


圖 8A

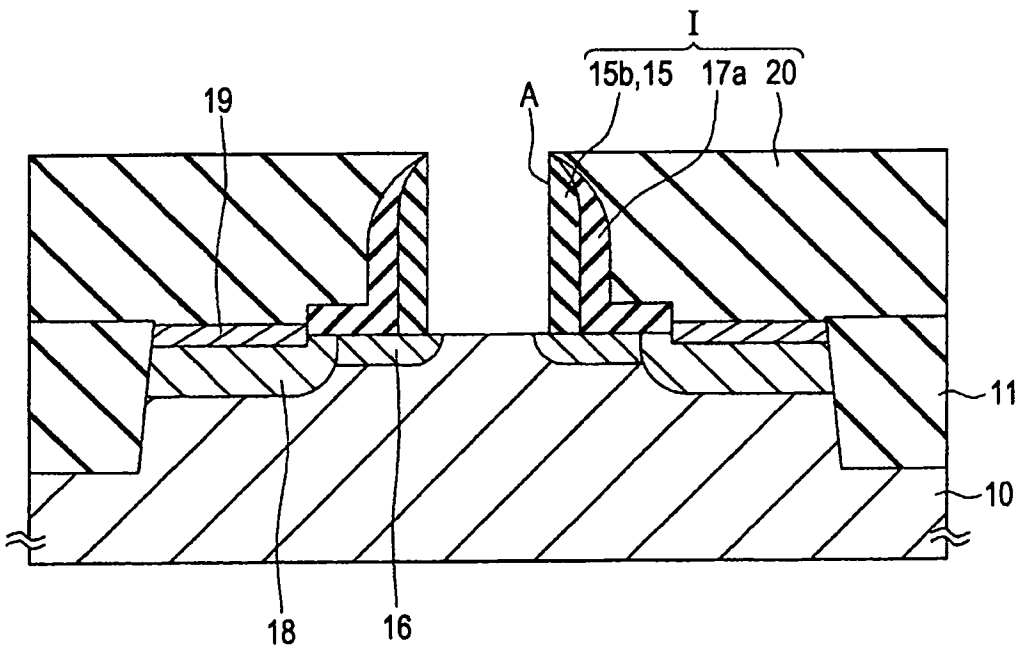


圖 8B

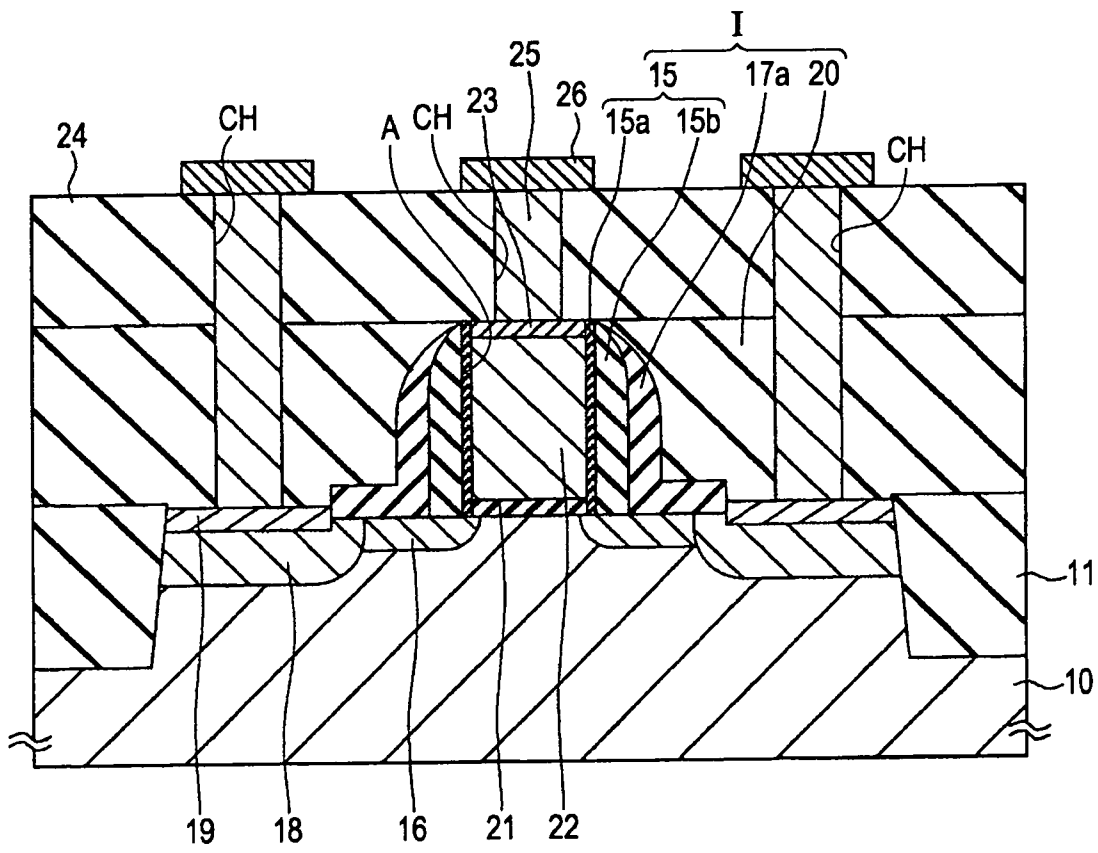


圖 9

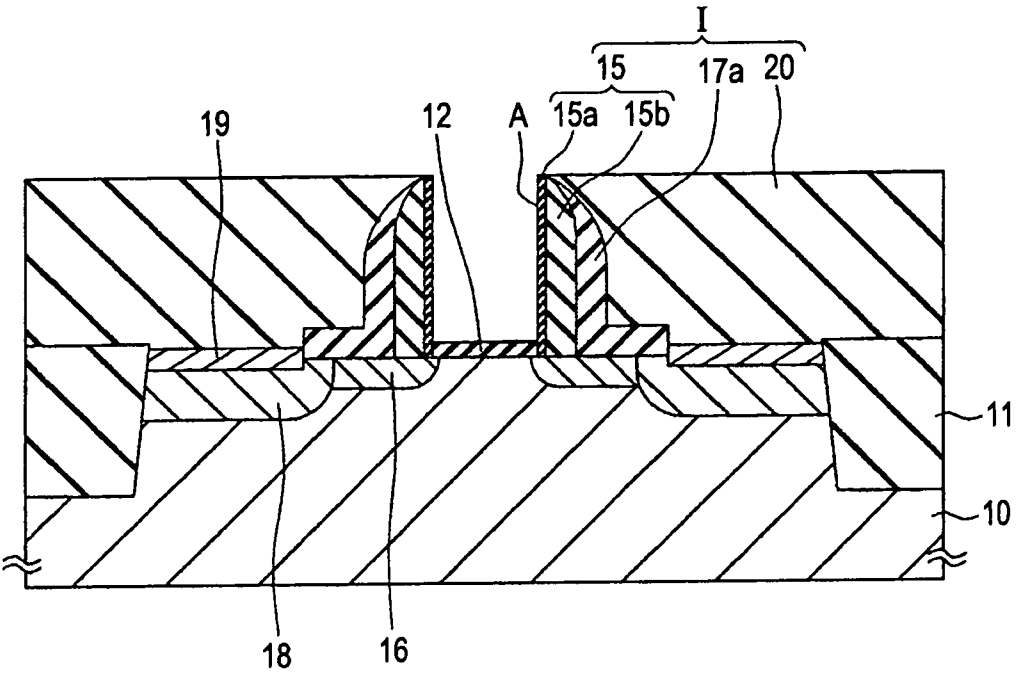


圖 10A

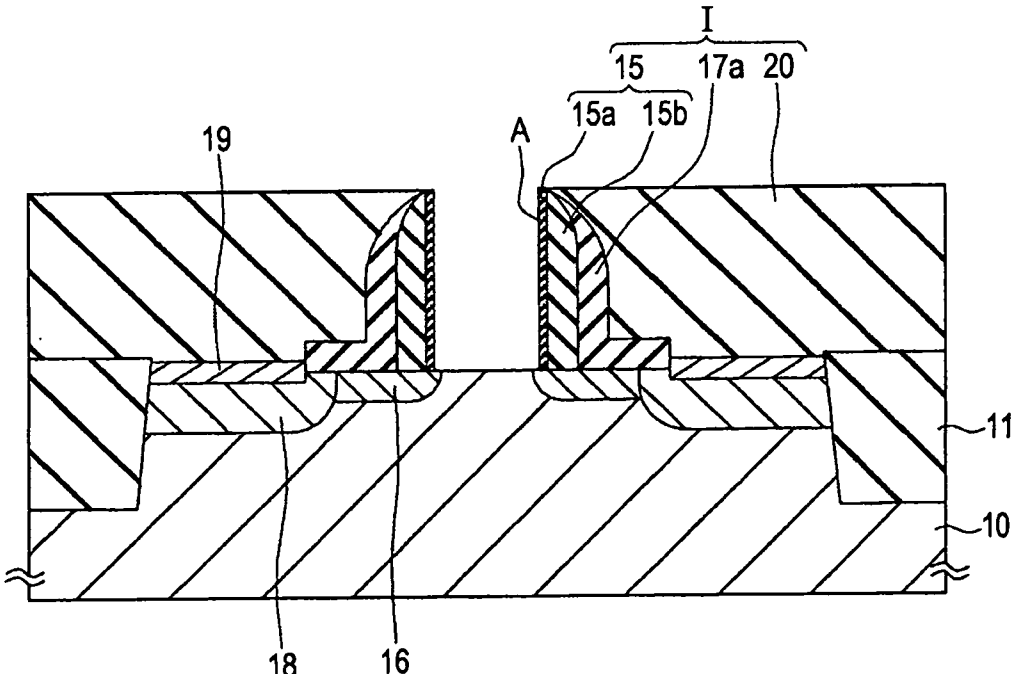


圖 10B

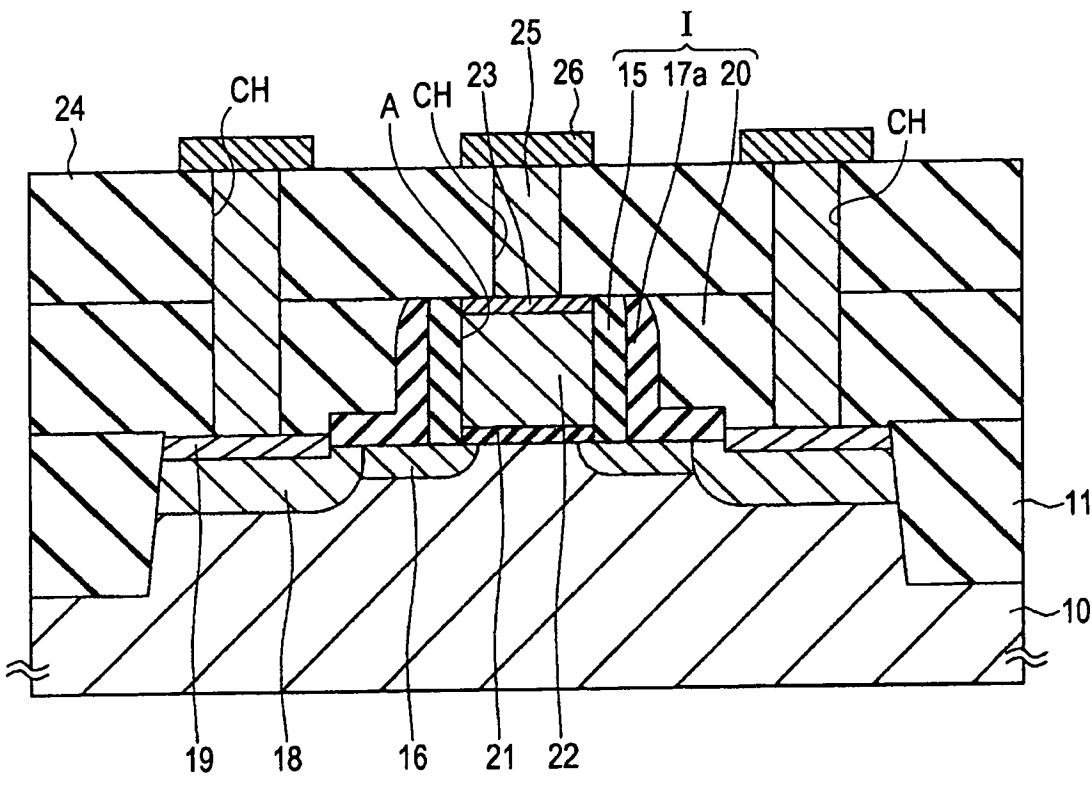


圖 11

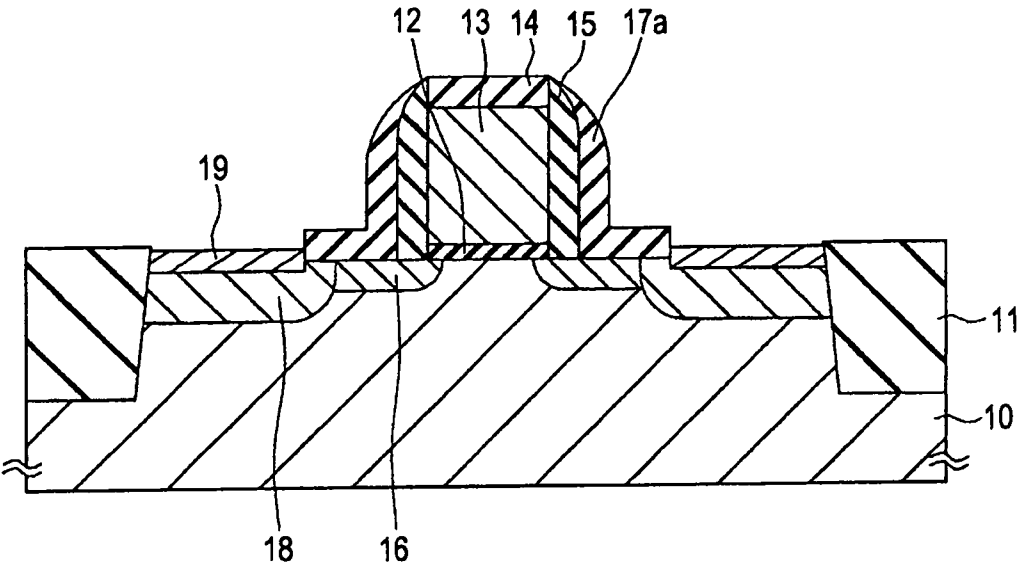


圖 12A

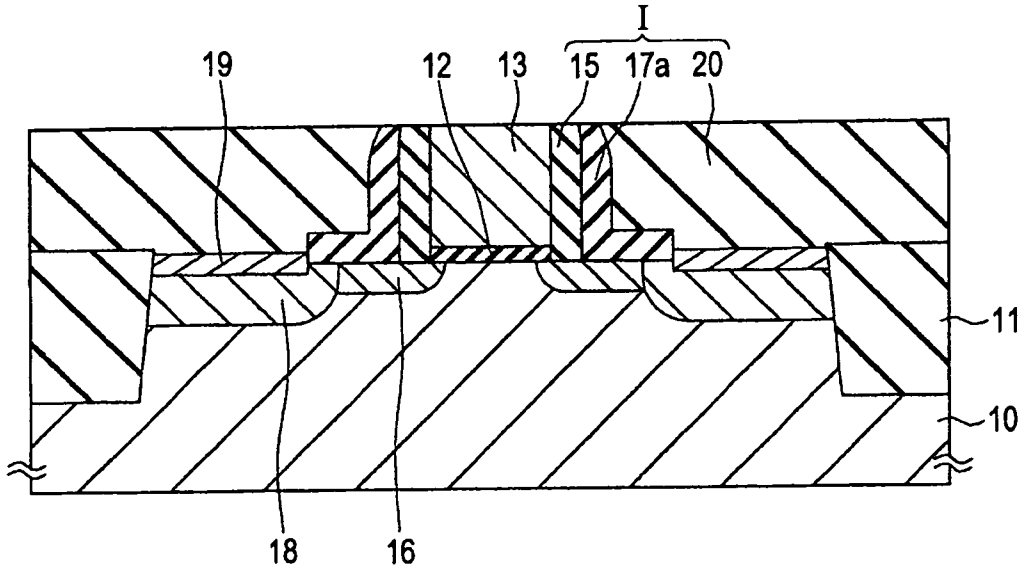


圖 12B

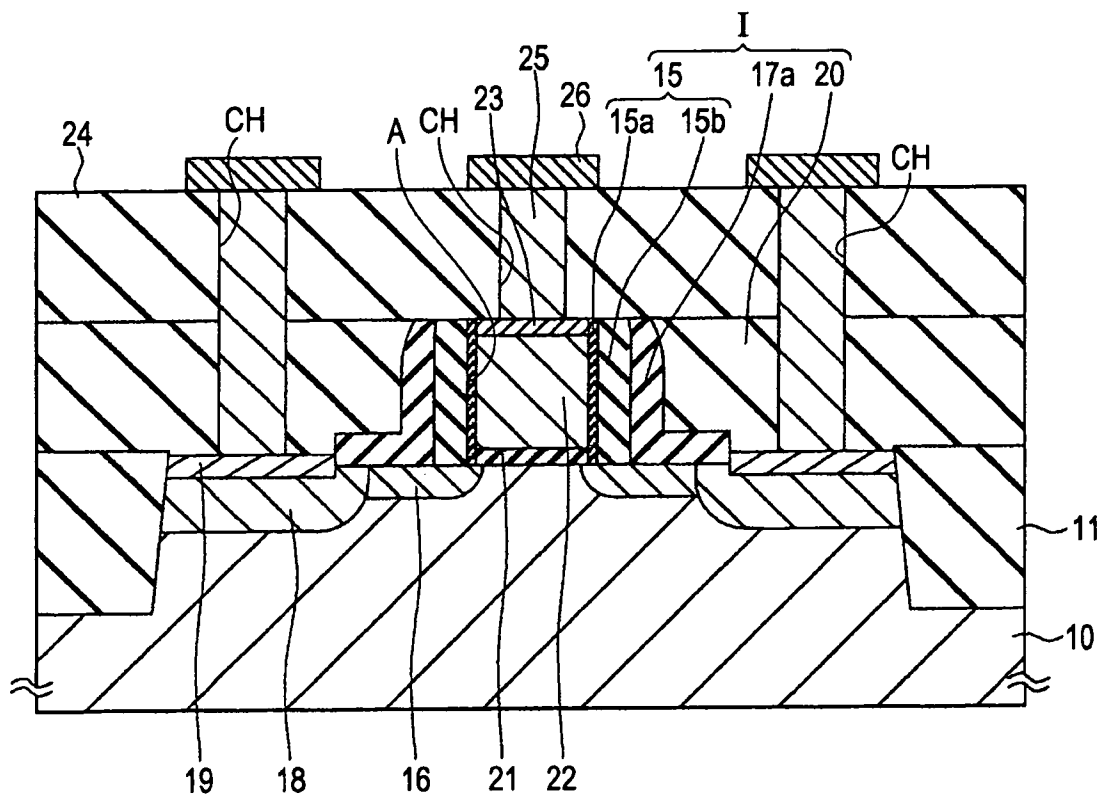


圖 13

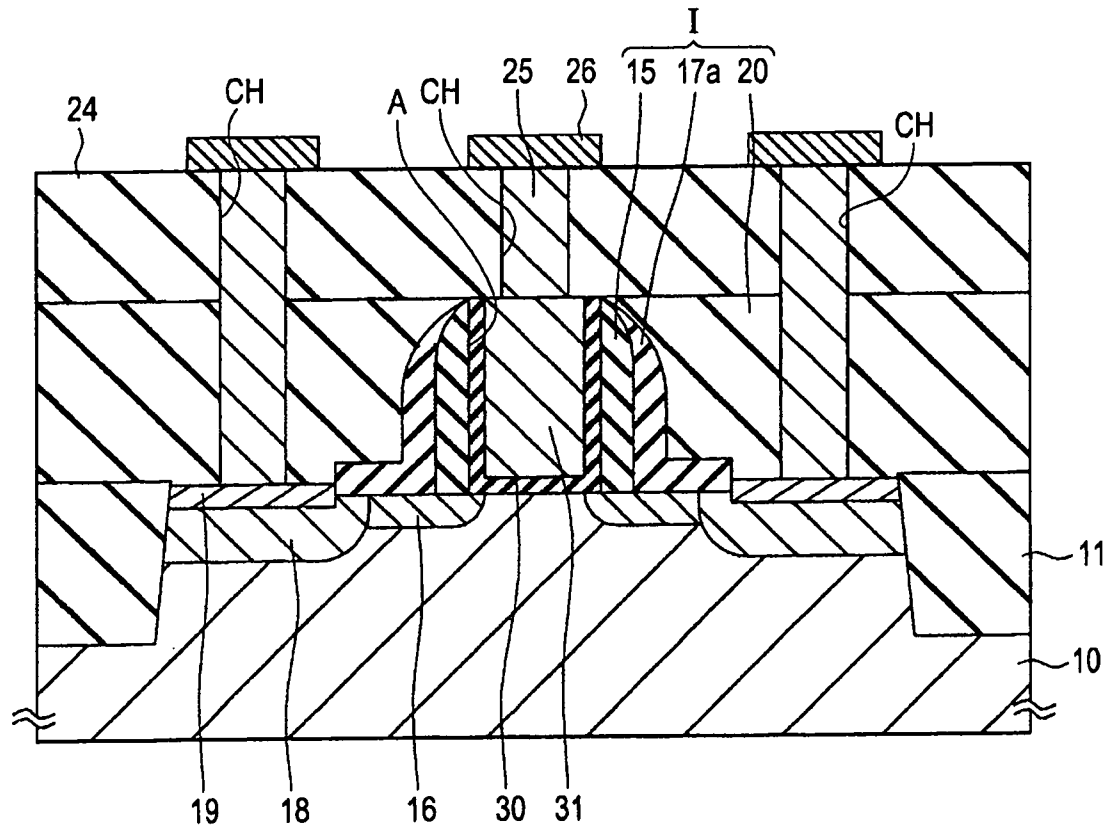
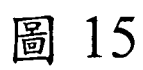


圖 14



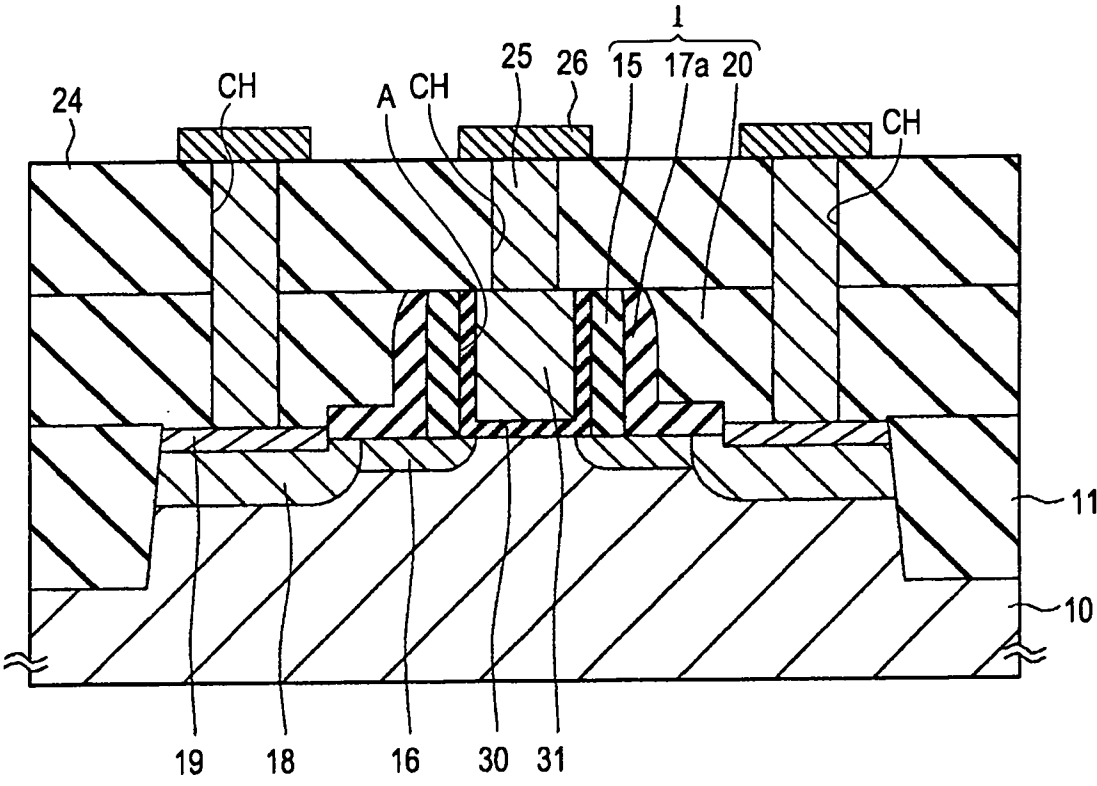


圖 16

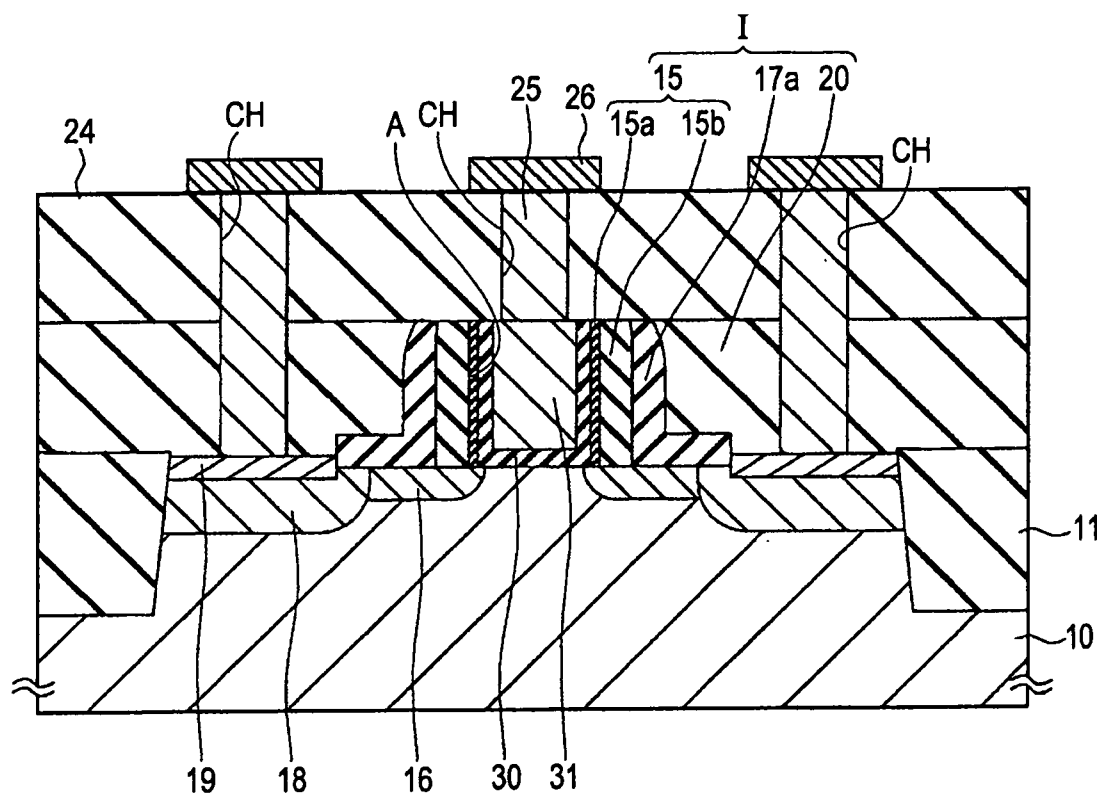


圖 17

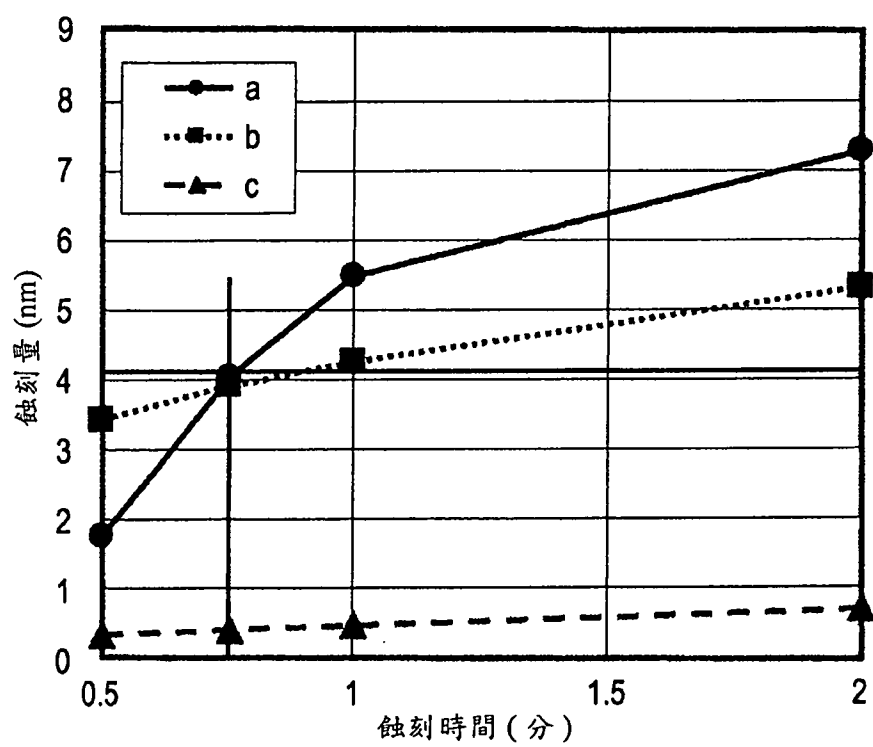


圖 18